

①②

DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 02.04.98.

③⑦ Priorité :

④③ Date de mise à la disposition du public de la
demande : 08.10.99 Bulletin 99/40.

⑤⑥ Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥⑦ Références à d'autres documents nationaux
apparentés :

⑦① Demandeur(s) : SGS THOMSON MICROELECTRO-
NICS SA Société anonyme — FR.

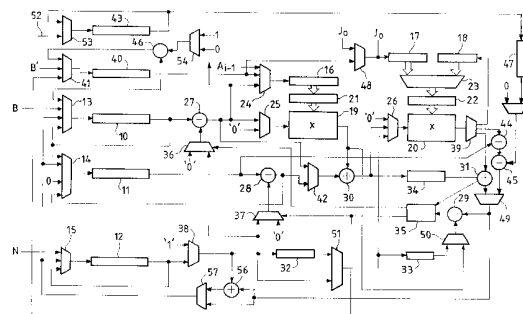
⑦② Inventeur(s) : MONIER GUY.

⑦③ Titulaire(s) :

⑦④ Mandataire(s) : CABINET BALLOT SCHMIT.

⑤④ PROCÉDE DE REALISATION AMELIORE D'UNE DIVISION ENTIERE.

⑤⑦ L'invention concerne un procédé de réalisation, dans un coprocesseur d'arithmétique modulaire, d'une division entière d'une première donnée binaire M par une deuxième donnée binaire D. Selon l'invention, le résultat est produit en réalisant une boucle itérative d'opérations comprenant une division entière de la première donnée par un mot de poids fort de la deuxième donnée, un test afin de déterminer si le résultat de la division réalisée correspond à un mot du résultat final cherché, et la modification de la première donnée en lui soustrayant une donnée produite en multipliant la deuxième donnée par le mot du résultat final cherché précédemment produit.



Procédé de réalisation amélioré d'une division entière.

L'invention concerne un procédé de réalisation d'une division entière mis en oeuvre dans un coprocesseur d'arithmétique modulaire. Il trouve une application par exemple en cryptographie, lorsque l'on utilise un codage de type RSA mettant en oeuvre une arithmétique modulaire.

Tel que décrit dans la demande internationale PCT/FR 97/00035, on connaît déjà des coprocesseurs d'arithmétique modulaire permettant de mettre en oeuvre des exponentiations modulaires, ce type d'opération permettant de crypter et de décrypter des messages binaires codés selon un codage de type RSA. Ce type de coprocesseur, décrit par exemple dans la demande de brevet européen 0 601 907, ne permet pas de réaliser des divisions entière. Or, l'utilisation d'un codage RSA nécessite la réalisation de telles divisions. On est donc amené à utiliser un processeur pour réaliser ces divisions, ce qui est pénalisant en terme de durée de calcul et nécessite l'utilisation d'une mémoire de programme et de donnée de taille importante.

La demande PCT/FR 97/00035 propose de modifier le coprocesseur pour permettre de réaliser avec celui-ci, et donc sans utiliser un processeur, des divisions entières.

La présente demande concerne une amélioration du procédé de division décrit dans la demande ci-dessus référencée, de sorte à réduire le temps de calcul nécessaire pour réaliser une division entière.

Ainsi l'invention propose un procédé de réalisation d'une division entière, dans un coprocesseur, d'une première donnée M , codée en binaire sur m mots $M(m-1) \dots M(1) M(0)$ de L bits, par une deuxième donnée D , codée en binaire sur d mots $D(d-1) \dots D(1) D(0)$ de L bits, avec m , L et d entiers et $d < m$, le résultat, noté Q , étant codé sur q mots $Q(q-1) Q(q-2) \dots Q(1) Q(0)$ de L bits, avec $q = m - d + 1$ et $Q(q-1) = 00 \dots 00$ ou $00 \dots 01$.

Ledit procédé comprend :

- le complément de la donnée M par un mot de poids fort $M(m)$ formé de L zéros,
- la réalisation, $m - d + 1$ fois, d'une boucle itérative de calcul comprenant :

- la production d'une première donnée intermédiaire $Q(q-1-j)$ avec j indice variant de 0 à $q-1$, codée en binaire sur L bits, en mettant en oeuvre la division entière des deux mots de poids les plus forts de la première donnée M par le mot de poids le plus fort de la deuxième donnée D ,
- 5 - la production d'une deuxième donnée intermédiaire $Z(m-j)$, codée en binaire sur $2 * L$ bits, afin de tester si la première donnée intermédiaire $Q(q-1-j)$ est supérieure à une valeur cherchée de l'un des mots du résultat Q ou si elle correspond à une valeur cherchée de l'un de ces mots; et
 - dans le premier cas, décrémentation de une unité de la première
 - 10 donnée intermédiaire et répétition de l'étape précédente, ou
 - dans le deuxième cas, mise en oeuvre de la multiplication de la deuxième donnée D par la première donnée intermédiaire $Q(q-1-j)$, pour former une troisième donnée intermédiaire B codée en binaire sur $d+1$ mots de L bits, et production de d nouveau mots de poids fort $M(m-j-1) \dots$
 - 15 $M(m-j-d)$ de la première donnée en mettant en oeuvre une soustraction de la troisième donnée intermédiaire B aux $d+1$ mots non nuls de poids les plus forts de la première donnée, excepté lors de la première itération où on considère le mot $M(m)$ et les d mots de poids les plus forts de la première donnée M ; et si le résultat de la soustraction est négatif : décrémentation de
 - 20 une unité de la première donnée intermédiaire et modification des d nouveaux mots de poids fort produits, par addition de la deuxième donnée à ces dits mots.

Selon un mode de réalisation, le procédé comprend les étapes suivantes :

- E1 - chargement du mot $M(m-1)$ dans un premier registre, le bit de poids fort
- 25 de ce mot étant en sortie de ce premier registre; chargement de L zéros, correspondants à un mot $M(m)$, dans un deuxième registre ; chargement de L zéros dans un troisième registre; chargement du mot $D(d-1)$ dans un quatrième registre, le bit de poids le plus faible de ce mot étant en sortie de ce quatrième registre;
- 30 Répétition q fois des étapes suivantes, avec j indice variant de 0 à $q-1$:
- E2 - division entière du contenu des deuxième et premier registres par le contenu du quatrième registre, et stockage des L bits de poids faible du

résultat, notés $Q(q-1-j)$, dans le premier registre et dans des cinquième et sixième registres;

5 E3 - chargement du mot $D(d-2)$ dans le deuxième registre, le bit de poids faible de ce mot étant en sortie du deuxième registre; chargement des mots $M(m-1-j)$ et $M(m-j)$ en série dans le troisième registre, les bits poids faibles étant orientés vers la sortie de ce troisième registre; chargement du mot $M(m-2-j)$ dans un septième registre, le bit de poids faible de ce mot étant orienté vers la sortie du septième registre;

10 E4 - décalage des contenus des deuxième et quatrième registres vers des entrées série d'un premier et d'un deuxième circuits de multiplication et des contenus des troisième et septième registres, avec rebouclage des sorties de ces registres vers leurs entrées; multiplication de $D(d-2)$ par $Q(q-1-j)$ dans le premier circuit de multiplication; multiplication de $D(d-1)$ par $Q(q-1-j)$ dans le deuxième circuit de multiplication; soustraction de $M(m-j)$ $M(m-j-1)$ à $D(d-1) * Q(q-1-j)$ dans un premier circuit de soustraction; soustraction de $M(m-2-j)$ à la donnée produite par le premier circuit de soustraction, dans un deuxième circuit de soustraction, le mot $M(m-2-j)$ ayant été retardé dans une cellule à retard; soustraction de la donnée produite par le deuxième circuit de soustraction à $D(d-2) * Q(q-1-j)$ dans un troisième circuit de soustraction;

15

20 test du résultat de la dernière soustraction dans un circuit de test;

E5 - si le résultat de la dernière soustraction de l'étape E4 est positif, décalage du contenu du premier registre; soustraction d'une donnée de L bits, formée de un bit de poids faible à un et de $L - 1$ bit de poids fort à zéro, à la donnée $Q(q-1-j)$ initialement présente dans le premier registre, la soustraction s'effectuant dans un quatrième circuit de soustraction, et stockage de la donnée produite par le quatrième circuit de soustraction dans le premier registre; répétition de l'étape précédente E4;

25

E6 - si le résultat de la dernière soustraction de l'étape E4 est négatif, chargement des mots $M(m-j) \dots M(m-d-j)$ dans le troisième registre et de la donnée D dans le quatrième registre; décalage du contenu des troisième et quatrième registres, avec rebouclage de la sortie du quatrième registre vers son entrée de manière à conserver $D(d-1)$ dans ce registre; multiplication de la donnée D par la donnée $Q(q-1-j)$ dans le deuxième circuit de

30

multiplication; soustraction du résultat produit par le deuxième circuit de
 multiplication aux bits fournis par le troisième registre, dans le premier
 circuit de soustraction, et test du résultat; si le résultat fourni par le premier
 circuit de soustraction est négatif : addition de la donnée D, fournie par le
 5 quatrième registre, au résultat produit par le premier circuit de soustraction,
 dans un circuit d'addition, et soustraction d'une donnée de L bits, formée de
 un bit de poids faible à un et de L - 1 bit de poids fort à zéro, à la donnée
 Q(q-1-j) initialement présente dans le premier registre, ladite soustraction
 s'effectuant dans le quatrième circuit de soustraction, et stockage de la
 10 donnée produite par le quatrième circuit de soustraction dans le premier
 registre; stockage des deux derniers mots du résultat produit par le premier
 circuit de soustraction ou le cas échéant par le circuit d'addition, noté
 M(m-1-j) ... M(m-d-j), dans les deuxième et premier registres, les données
 Q(q-1-j) et M(m-3-j) ... M(m-d-j) étant sorties en dehors du coprocesseur à
 15 fin de mémorisation et les données M(m-3-j) ... M(m-d-j) se substituant aux
 données M(m-3-j) ... M(m-d-j) de poids correspondants dans la donnée M,
 les bits de poids faible des mots M(m-1-j) et M(m-2-j) étant orientés vers les
 sorties des deuxième et premier registres; chargement de L zéros dans le
 troisième registre.

20 Selon un mode de réalisation les étapes E1, E3 et E6 sont modifiées de la
 manière suivante :

E1 - chargement de la donnée M et de L zéros dans un troisième registre;
 chargement du mot M(m-1) dans un premier registre, le bit de poids fort de
 ce mot étant en sortie de ce premier registre; chargement de L zéros,
 25 correspondants à un mot M(m), dans un deuxième registre; chargement de la
 donnée D dans un quatrième registre, le bit de poids le plus faible du mot
 D(d-1) étant en sortie de ce quatrième registre;

E3 - chargement du mot D(d-2) dans le deuxième registre, le bit de poids faible
 de ce mot étant en sortie du deuxième registre; chargement du mot M(m-2-j)
 30 dans un septième registre, le bit de poids faible de ce mot étant orienté vers
 la sortie de ce registre;

E6 - si le résultat de la dernière soustraction de l'étape E4 est négatif, décalage

du contenu des troisième et quatrième registres; multiplication de la donnée D par la donnée $Q(q-1-j)$ dans le deuxième circuit de multiplication; soustraction du résultat produit par le deuxième circuit de multiplication aux bits fournis par le troisième registre, dans le premier circuit de soustraction; si le résultat produit par le premier circuit de soustraction est négatif :
 5 addition de la donnée D, fournie par le quatrième registre, au résultat produit par le premier circuit de soustraction, dans le circuit d'addition - et soustraction de d'une donnée de L bits formée de un bit de poids faible à un et de L - 1 bit de poids fort à zéro, à la donnée $Q(q-1-j)$ initialement présente
 10 dans le premier registre, la soustraction s'effectuant dans le quatrième circuit de soustraction, et stockage du résultat de cette dernière soustraction dans le premier registre; stockage des deux derniers mots du résultat produit par le premier circuit de soustraction ou le cas échéant par le circuit d'addition, noté $M(m-1-j) \dots M(m-d-j)$, dans les troisième, deuxième et premier registres, les données $M(m-3-j) \dots M(m-d-j)$ étant mémorisées dans le
 15 troisième registre et se substituant aux données $M(m-3-j) \dots M(m-d-j)$ de poids correspondants dans la donnée M, les bits de poids faible des mots $M(m-1-j)$ et $M(m-2-j)$ étant orientés vers les sorties des deuxième et premier registres; chargement de L zéros dans le troisième registre.

20 Selon un mode de réalisation, l'étape E2 comprend les sous-étapes suivantes :
 E21 - initialisation à zéro du circuit de test, du troisième et d'un cinquième circuits de soustraction;
 E22 - décalage de un bit des troisième et quatrième registres, le troisième registre récupérant en bit de poids fort le bit de poids fort du deuxième
 25 registre, le quatrième registre ayant sa sortie reliée à son entrée; soustraction dans le troisième circuit de soustraction du bit de poids fort du deuxième registre avec le bit de poids faible du quatrième registre, le cinquième circuit de soustraction effectuant une soustraction du bit de poids faible du troisième registre avec zéro;
 30 E23 - décalage de $2 * L - 1$ bits des troisième et quatrième registres, la sortie du quatrième registre étant reliée à son entrée, l'entrée du troisième registre étant reliée à la sortie du cinquième circuit de soustraction; soustraction des

2 * L - 1 bits sortant du troisième registre avec zéro dans le cinquième circuit de soustraction; soustraction du résultat sortant du cinquième circuit de soustraction avec les bits du quatrième registre;

5 E24 - mémorisation de la dernière retenue du troisième circuit de soustraction dans le circuit de test et production à la sortie de ce circuit de test d'une donnée binaire valant le complément de la retenue mémorisée;

10 E25 - décalage de un bit des premier et deuxième registres, le bit de poids fort du premier registre étant chargé en bit de poids faible du deuxième registre, la donnée binaire mémorisée dans le circuit de test étant chargée en bit de poids faible dans le premier registre;

E26 - initialisation des troisième et cinquième circuits de soustraction;

15 E27 - répétition 2 * L - 1 fois des étapes E2 à E6, le cinquième circuit de soustraction effectuant une soustraction du contenu du troisième registre avec zéro si la retenue précédemment mémorisée est égale à un ou le cinquième circuit de soustraction effectuant une soustraction du contenu du troisième registre avec le contenu du quatrième registre si la retenue précédemment mémorisée est égale à zéro.

D'autres avantages et particularités apparaîtront à la lecture de la description qui suit d'un exemple de réalisation de l'invention, à lire conjointement aux dessins annexés dans lesquels :

20 - la figure 1 représente un coprocesseur d'arithmétique modulaire de l'état de l'art,

- la figure 2 représente un circuit de division selon l'état de l'art,

- la figure 3 représente un coprocesseur d'arithmétique modulaire modifié pour réaliser un circuit de division, selon l'état de l'art,

25 - la figure 4 représente le coprocesseur de la figure 3, modifié de sorte à pouvoir mettre en oeuvre l'invention,

- la figure 5 représente un premier exemple de réalisation d'un registre de taille variable, et

30 - la figure 6 représente un deuxième exemple de réalisation d'un registre de taille variable.

La figure 1 représente un coprocesseur d'arithmétique modulaire. Ladite figure correspond à la figure 1 de la demande PCT/FR 97/00035, décrite page 6 - ligne 1 à

page 7 - ligne 7 de cette demande, incorporées par référence dans la présente demande.

La figure 2 représente schématiquement un circuit de division, réalisé à partir d'éléments du coprocesseur illustré sur la figure 1. Ladite figure 2 correspond à la figure 2 de la demande PCT/FR 97/00035, décrite page 7 - ligne 8 à page 9 - ligne 13 de cette demande, incorporées par référence dans la présente demande.

La figure 3 représente schématiquement le coprocesseur de la figure 1 complété d'éléments permettant de mettre en oeuvre une division entière. Cette figure 3 correspond à la figure 3 de la demande PCT/FR 97/00035, décrite page 13 - ligne 24 à page 15 - ligne 9, incorporées par référence dans la présente demande. Principalement, le circuit illustré sur la figure 3 comprend, en complément des éléments du circuit de la figure 1, un registre 40 et des multiplexeurs 41 et 42 supplémentaires.

La demande PCT/FR 97/00035 décrit un procédé de calcul de division entière mettant en oeuvre le circuit de la figure 2, ledit procédé étant décrit page 9 - ligne 14 à page 11 - ligne 5 de cette demande.

Supposons que l'on souhaite réaliser la division entière d'un nombre M , codé sur m bits (avec m un entier), par un nombre D , codé sur d bits, le résultat Q étant codé sur $q = m - d + 1$ bits.

Le procédé décrit pour mettre en oeuvre l'algorithme ci-dessus, avec $d = n$, n nombre entier, $m = 2 * n$ et $q = n$, est le suivant :

Etape 1 :

- chargement de la donnée M dans les registres 40 et 10 de n bits, le registre 40 contenant les n bits de poids faible de M et le registre 10 contenant les n bits de poids fort de M , chacun de ces registres 40 et 10 ayant son bit de poids le plus fort vers sa sortie et son bit de poids le plus faible vers son entrée,
- initialisation du registre 11 de n bits avec des zéros,
- chargement dans le registre 12 de n bits du nombre D , le bit de poids le plus faible étant vers la sortie et le bit de poids le plus fort étant vers l'entrée,
- initialisation du circuit de test 35, ceci afin d'effectuer la connexion de la deuxième entrée du circuit de soustraction 28 avec un zéro logique,

- initialisation à zéro des circuits de soustraction 28 et 29,

Etape 2 :

- décalage de un bit des registres 11 et 12, le registre 11 récupérant en bit de poids fort le bit de poids fort du registre 10, le registre 12 ayant sa sortie reliée à son entrée,

- soustraction dans le circuit de soustraction 29 du bit de poids fort du registre 10 avec le registre de poids faible du registre 12, et soustraction dans le circuit de soustraction 28 du bit de poids faible du registre 11 avec zéro,

Etape 3 :

- décalage de $(n - 1)$ bits des registres 11 et 12, la sortie du registre 12 étant reliée à son entrée et l'entrée du registre 11 étant reliée à la sortie du circuit de soustraction 28,

- soustraction des $(n - 1)$ bits sortant du registre 11 avec zéro dans le circuit de soustraction 28,

- soustraction, dans le circuit de soustraction 29, des bits résultants sortant du circuit de soustraction 28 avec les bits sortant du registre 12,

Etape 4 :

- mémorisation d'une donnée binaire valant le complément de la dernière retenue du circuit de soustraction 29 dans le circuit de test 35 et production à la sortie de ce circuit de test 35 de la donnée binaire,

Etape 5 :

- décalage de un bit des registres 40 et 10, le bit de poids fort du registre 40 étant chargé en bit de poids faible du registre 10, la donnée binaire mémorisée dans le circuit de test 35 étant chargée en bit de poids faible dans le registre 40,

Etape 6 :

- initialisation des circuits de soustraction 28 et 29,

Etape 7 :

- répétition $(2 * n - 1)$ fois des étapes 2 à 6, le circuit de soustraction 28 effectuant une soustraction du contenu du registre 11 avec :

- zéro si la donnée binaire mémorisée est égale à zéro,
- le contenu du registre 12 si cette donnée est égale à un.

Le résultat Q est stocké dans les registres 40 et 10. On pourra dès lors l'extraire

par un décalage de $2 * n$ bits du contenu des registres 40 et 10, la sortie du registre 40 étant reliée à l'entrée du registre 10, le bit de poids fort du résultat sortant en premier. Le reste de la division est présent dans le registre 11.

Le procédé mis en oeuvre est susceptible de diverses modifications, décrites page 11 - ligne 6 à page 13 - ligne 23 de la demande PCT/FR 97/00035, incorporées par référence dans la présente demande.

Ledit procédé permet de réaliser la division en $2n^2 + 9n$ cycles d'horloge, tel qu'indiqué en page 12 - ligne 29 de la demande 97/00035.

L'inventeur a cherché à modifier le procédé décrit ci-dessus, de sorte à réduire le temps de calcul. Pour ce faire, il propose d'opérer différemment, en calculant des sous - ensembles de bits du résultat Q. On supprime ainsi la recherche des bits du résultat Q par une division bit par bit, cette recherche induisant un temps de calcul proportionnel à n^2 , tel que mentionné ci-dessus.

Dans le procédé de l'invention, on va produire le résultat Q par paquets de L bits, avec L un entier supérieur à 1. Plus précisément, on procède dans un premier temps à une estimation des paquets de L bits du résultat Q, estimation que l'on réajuste si nécessaire. Puis, on réalise une multiplication du diviseur par les paquets de L bits du résultat et on effectue une comparaison et une soustraction.

On supposera que les opérandes M et D sont codées sur $m * L$ et $d * L$ bits, avec m, d et L entiers (le cas échéant, on pourra compléter les données M et D avec des zéros logiques pour satisfaire à cette condition). On obtient un résultat Q codé sur $(m - d) * L + 1$ bits.

Soit :

$M = M_{mL-1} M_{mL-2} \dots M_1 M_0 = M(m-1) M(m-2) \dots M(1) M(0)$, avec $M(0), \dots, M(m-1)$ des sous - données de L bits,

$D = D_{dL-1} D_{dL-2} \dots D_1 D_0 = D(d-1) D(d-2) \dots D(1) D(0)$, avec $D(0), \dots, D(d-1)$ des sous - données de L bits, et

$Q = M/D = Q_{(m-d)L} \dots Q_1 Q_0 = Q(q-1) Q(q-2) \dots Q(1) Q(0)$, avec $Q(0), \dots, Q(q-1)$ des sous-données de L bits, $q = m - d + 1$ et $Q(q-1) = 00 \dots 00$ ou $00 \dots 01$.

Pour calculer le résultat Q, on implémente l'algorithme suivant :

$M'(m) = M(m)$, $M(m)$ étant formé de L zéros,

Pour j variant de 0 à $(q - 1)$:

Etape 1 : $X(m-j) = M'(m-j) * 2^L + M(m-j-1)$, avec $X(j)$ codé sur $2 * L$ bits,

Etape 2 : $Q(q-1-j) = X(m-j) / D(d-1)$, avec $Q(q-1-j)$ codé sur L bits,

5 Etape 3 : $Z(m-j) = [Q(q-1-j) * D(d-2)] - [X(m-j) - Q(q-1-j) * D(d-1) + M(m-2-j)]$, $Z(m-j)$ étant codé sur $2 * L$ bits,

Si $Z(m-j) > 0$ alors

$Q(q-1-j) = Q(q-1-j) - 00 \dots 01$ et calcul à nouveau de $Z(m-j)$

Sinon

10 $M(m-j-1) \dots M(m-j-d) = A - B$, A et B étant codés sur $(d + 1) * L$ bits,
avec

$A = M'(m-j) M(m-j-1) \dots M(m-j-d)$

$B = Q(q-1-j) * D$

Si $A - B < 0$, alors

15 $Q(q-1-j) = Q(q-1-j) - 00 \dots 01$

$M(m-j-1) \dots M(m-j-d) = M(m-j-1) \dots M(m-j-d) + D$

$j = j + 1$.

Selon l'invention, on produit le résultat de la division entière en effectuant :

20 - le complément de la première donnée M par un mot de poids fort $M(m)$ formé
de L zéros,

- la réalisation, $m - d + 1$ fois, d'un boucle itérative de calcul (indiquée par j , avec
 j variant de 0 à $(q - 1)$) comprenant :

25 - la production d'une première donnée intermédiaire $Q(q-1-j)$ avec j indice
variant de 0 à $q-1$, codée en binaire sur L bits, en mettant en oeuvre la
division entière des deux mots de poids les plus forts de la première donnée
par le mot de poids le plus fort de la deuxième donnée D ,

30 - la production d'une deuxième donnée intermédiaire $Z(m-j)$, codée en
binaire sur $2 * L$ bits, afin de tester si la première donnée intermédiaire
 $Q(q-1-j)$ est supérieure à une valeur cherchée de l'un des mots du résultat Q
ou si elle correspond à une valeur cherchée de l'un de ces mots; et

- dans le premier cas, décrémentation de une unité de la première
donnée intermédiaire $Q(q-1-j)$ et répétition de l'étape précédente, ou

- dans le deuxième cas, mise en oeuvre de la multiplication de la deuxième donnée D par la première donnée intermédiaire $Q(q-1-j)$, pour former une troisième donnée intermédiaire B codée en binaire sur $d+1$ mots de L bits, et production de d nouveau mots de poids fort $M(m-j-1) \dots M(m-j-d)$ de la première donnée en mettant en oeuvre une soustraction de la troisième donnée intermédiaire B aux $d+1$ mots non nuls de poids les plus forts de la première donnée, excepté lors de la première itération où on considère le mot $M(m)$ et les d mots de poids les plus forts de la première donnée M; si le résultat de la dernière soustraction est négatif :
 5 décrémentation de une unité de la première donnée intermédiaire $Q(q-1-j)$ et
 10 modification des d nouveaux mots de poids fort produits $M(m-j-1) \dots M(m-j-d)$, par addition de la deuxième donnée D à ces dits d mots produits.

Pour mettre en oeuvre le procédé ci-dessus, on va utiliser le circuit illustré à la figure 4, en supposant que l'on dispose de registres 10, 11, 12 et 40 de tailles variables, ce qui permet de stocker des données binaires de tailles différentes dans un même registre.
 15

La figure 5 représente un premier exemple de réalisation de registre de taille variable. A titre d'exemple, on considère le registre 11. Selon le mode de réalisation de la figure 5, le registre 11 est formé de sous-registres 110, 111 et 112 disposés en série. La sortie du multiplexeur 14 est reliée à l'entrée du sous-registre 110 et à des premières entrées de multiplexeurs 60 et 61. Ces multiplexeurs 60 et 61 ont des deuxièmes entrées, reliées respectivement aux sorties des sous-registres 110 et 111, et des sorties reliées respectivement aux entrées des sous-registres 111 et 112. Ainsi, la taille du registre 11 pourra varier selon la commande de sélection des multiplexeurs
 20
 25 60 et 61.

La figure 6 représente un deuxième exemple de réalisation de registre de taille variable. A titre d'exemple, on considère le registre 11. Selon le mode de réalisation de la figure 6, le registre 11 est formé de sous-registres 113, 114 et 115 disposés en parallèle. La sortie du multiplexeur 14 est reliée à l'entrée d'un démultiplexeur 62. Ce démultiplexeur comprend trois sorties reliées aux entrées des sous-registres. Les sorties des sous-registres sont reliées à des trois entrées d'un multiplexeur 63, dont
 30 une sortie forme la sortie du registre 11. La taille du registre 11 pourra varier selon la

commande de sélection du démultiplexeur et du multiplexeur.

On remarquera que, dans les exemples décrits sur les figures 5 et 6, si on utilise lors d'un calcul un nombre sous-registres inférieur au nombre maximal de sous-registres, on pourra utiliser les sous-registres non utilisés pour stocker des données pouvant par exemple être utilisées dans un calcul ultérieur.

Outre les différents éléments de la figure 3 de la présente demande, le circuit illustré sur la figure 4 comprend un registre 43 de L bits à entrée et sortie série, trois circuits de soustraction 44, 45 et 46 comprenant deux entrées et une sortie de type série, une cellule à retard 47 de taille L ayant une entrée et une sortie série, huit multiplexeurs 48, 49, 50, 51, 53, 54, 55 et 57 comprenant deux entrées et une sortie, et un circuit d'addition 56 comprenant deux entrées série et une sortie série.

Une première entrée du multiplexeur 53 est reliée à une entrée supplémentaire 52 du circuit, et sa sortie est reliée à l'entrée du registre 43. La deuxième entrée du multiplexeur 53 est reliée à la sortie du registre 43, ce qui permet de relier l'entrée de ce registre à sa sortie. La sortie du registre 43 est reliée à l'entrée de la cellule à retard 47.

Le multiplexeur 24 est modifié et comprend trois entrées au lieu de deux. Sa troisième entrée est reliée à la sortie du registre 40. De la sorte, il est possible de charger, dans le registre 16, des bits provenant du registre 40.

La sortie du registre 40 est par ailleurs reliée à une des entrées du multiplexeur 48. L'autre entrée de ce multiplexeur 48 est reliée à une entrée du circuit apte à recevoir une donnée binaire J0, et sa sortie est reliée à l'entrée série du registre 17. On peut ainsi charger dans le registre 17 des bits fournis par la sortie du registre 40.

Une première entrée du circuit de soustraction 44 est reliée à la sortie du circuit de multiplication 20 par le biais d'une troisième sortie du démultiplexeur 39. La deuxième entrée du circuit 44 est reliée à la sortie du registre 11.

Une première entrée du circuit de soustraction 45 est reliée à la sortie du circuit de soustraction 44. Sa deuxième entrée est reliée à la sortie du multiplexeur 55. La première entrée de ce multiplexeur 55 est reliée à la sortie de la cellule à retard 47, et sa deuxième entrée reçoit un zéro logique.

Une première entrée du multiplexeur 49 est reliée à la sortie du circuit de soustraction 45. Sa deuxième entrée est reliée à la sortie du circuit d'addition 31, et sa sortie est reliée à la première entrée du circuit de soustraction 29 et à une première

entrée du circuit d'addition 56. La deuxième entrée du circuit d'addition 56 est reliée à la sortie du multiplexeur 38. On peut ainsi fournir le contenu du registre 12 à la deuxième entrée du circuit d'addition 56. La sortie du circuit d'addition 56 est reliée à une première entrée du multiplexeur 57. La deuxième entrée de ce multiplexeur est
5 reliée à la sortie du multiplexeur 49, et sa sortie est reliée aux entrées des registres 10, 11 et 12, par le biais des multiplexeurs 13, 14 et 15. On pourra ainsi fournir aux registres 10, 11 et/ou 12 soit des données fournies par le multiplexeur 49, soit des données obtenues par addition du contenu du registre 12 aux données fournies par le multiplexeur 49.

10 Une première entrée du multiplexeur 50 est reliée à la sortie du circuit de multiplication 19. Sa deuxième entrée est reliée à la sortie de la cellule à retard 33, et sa sortie est reliée à la deuxième entrée du circuit de soustraction 29.

Une première entrée du multiplexeur 51 est reliée à la sortie du multiplexeur 38. Sa deuxième entrée est reliée à la sortie de la cellule à retard 32, et sa sortie est reliée
15 au multiplexeur 26 et à la cellule 33 (en lieu et place de la sortie de la cellule 32, comme c'est le cas pour les circuits des figures 1 et 3). Le multiplexeur 51 permet de fournir le contenu du registre 12 à l'entrée série du circuit de multiplication 20 en évitant de retarder ce contenu dans la cellule 32.

Une première entrée du circuit de soustraction 46 est reliée à la sortie du
20 registre 40. Sa deuxième entrée est reliée à la sortie du multiplexeur 54, celui-ci recevant sur ses entrées un 1 et un 0 logiques. Le multiplexeur 41 comprend une troisième entrée, reliée à la sortie du circuit de soustraction 46, de sorte que l'on peut relier la sortie de ce registre à son entrée.

On notera que l'on pourrait modifier différemment le circuit de la figure 3 pour
25 mettre en oeuvre le procédé de l'invention, l'exemple donné n'étant fourni qu'à titre indicatif. On remarquera néanmoins que la disposition des nouveaux éléments, tels qu'il est décrit, permet de mettre en oeuvre toutes les opérations pouvant être précédemment réalisées par le circuit de la figure 3. Pour cela, il suffira de sélectionner de manière adéquate les entrées et sorties des multiplexeurs et du
30 démultiplexeur. On ne détaillera pas plus avant cette particularité, celle-ci ne pouvant qu'apparaître clairement à l'homme du métier.

Un exemple de mise en oeuvre du procédé de l'invention comprend les étapes

suivantes :

- 5 E1 - chargement du mot $M(m-1)$ dans le registre 40 par le biais du multiplexeur 41, le bit de poids fort de ce mot étant en sortie de ce registre 40; chargement de L zéros, correspondants à un mot $M(m)$, dans le registre 10 par le biais du multiplexeur 13; chargement de L zéros dans le registre 11 par le biais du multiplexeur 14; chargement du mot $D(d-1)$ dans le registre 12 par le biais du multiplexeur 15, le bit de poids le plus faible de ce mot étant en sortie de ce registre 12;
- Répétition q fois des étapes suivantes, avec j indice variant de 0 à q-1 :
- 10 E2 - division entière du contenu des registres 10 et 40 par le contenu du registre 12, et stockage des L bits de poids faible du résultat, notés $Q(q-1-j)$, dans les registres 40, 16 et 17;
- 15 E3 - transfert des contenus des registres 16 et 17 respectivement dans les registres 21 et 22 ; chargement du mot $D(d-2)$ dans le registre 10 par le biais du multiplexeur 13, le bit de poids faible de ce mot étant en sortie du registre 10; chargement des mots $M(m-1-j)$ et $M(m-j)$ en série dans le registre 11 par le biais du multiplexeur 14, les bits poids faibles étant orientés vers la sortie de ce registre; chargement du mot $M(m-2-j)$ dans le registre 43, le bit de poids faible de ce mot étant orienté vers la sortie du registre 43;
- 20 E4 - décalage des contenus des registres 10 et 12 vers les entrées série des circuits de multiplication 19 et 20 et décalage des contenus des registres 11 et 43, avec rebouclage des sorties de ces registres vers leurs entrées; multiplication de $D(d-2)$ par $Q(q-1-j)$ dans le circuit de multiplication 19; multiplication de $D(d-1)$ par $Q(q-1-j)$ dans le circuit de multiplication 20;
- 25 soustraction de $M(m-j) M(m-j-1)$ à $D(d-1) * Q(q-1-j)$ dans le circuit de soustraction 44; soustraction de $M(m-2-j)$ à la donnée produite par le circuit de soustraction 44, dans le circuit de soustraction 45, le mot $M(m-2-j)$ ayant été retardé dans la cellule à retard 47; soustraction de la donnée produite par le circuit de soustraction 45 à $D(d-2) * Q(q-1-j)$ dans le circuit de
- 30 soustraction 29; test du résultat de la dernière soustraction dans le circuit de test 35;
- E5 - si le résultat de la dernière soustraction de l'étape E4 est positif, décalage du contenu du registre 40, son entrée et sa sortie étant reliées par le biais du

5 multiplexeur 41; soustraction d'une donnée de L bits, fournie par le
 multiplexeur 54 et formée de un bit de poids faible à un et de L - 1 bit de
 poids fort à zéro, à la donnée $Q(q-1-j)$ initialement présente dans le registre
 40, la soustraction s'effectuant dans le circuit de soustraction 46, et stockage
 10 de la donnée produite par le circuit de soustraction 46 dans le registre 40;
 répétition de l'étape précédente E4;
 E6 - si le résultat de la dernière soustraction de l'étape E4 est négatif,
 chargement des mots $M(m-j) \dots M(m-d-j)$ dans le registre 11 et de la donnée
 D dans le registre 12; décalage du contenu des registres 11 et 12, avec
 15 rebouclage de la sortie du registre 12 vers son entrée de manière à conserver
 $D(d-1)$ dans ce registre; multiplication de la donnée D par la donnée $Q(q-1-j)$
 dans le circuit de multiplication 20; soustraction du résultat produit par le
 circuit de multiplication 20 aux bits fournis par le registre 11, dans le circuit
 de soustraction 44 (on sélectionne alors la deuxième entrée du multiplexeur
 20 55 de sorte que le circuit de soustraction 45 soit transparent) et test du
 résultat (par exemple dans le circuit de test 35); si le résultat fourni par le
 circuit de soustraction 44 est négatif, addition de la donnée D, fournie par le
 registre 12, au résultat produit par le circuit de soustraction 44, dans le
 circuit d'addition 56 - et soustraction de d'une donnée de L bits, fournie par
 le multiplexeur 54 et formée de un bit de poids faible à un et de L - 1 bit de
 poids fort à zéro, à la donnée $Q(q-1-j)$ initialement présente dans le registre
 40, la soustraction s'effectuant dans le circuit de soustraction 46, et stockage
 du résultat dans le registre 40; stockage des deux derniers mots du résultat
 produit par le circuit de soustraction 44 ou le cas échéant par le circuit
 25 d'addition 56, noté $M(m-1-j) \dots M(m-d-j)$, dans les registres 10 et 40, la
 donnée $Q(q-1-j)$ et les données $M(m-3-j) \dots M(m-d-j)$ étant sorties en dehors
 du coprocesseur à fin de mémorisation, les données $M(m-3-j) \dots M(m-d-j)$ se
 substituant aux données $M(m-3-j) \dots M(m-d-j)$ de poids correspondants dans
 la donnée M, les bits de poids faible des mots $M(m-1-j)$ et $M(m-2-j)$ étant
 30 orientés vers les sorties des registres 10 et 40; chargement de L zéros dans le
 registre 11.

Concernant l'étape E2, on pourra procéder de la manière suivante, analogue au

procédé décrit dans la demande PCT 97/00035, en considérant la division entière d'une donnée de $2 * L$ bits par une donnée de L bits :

- E21 - initialisation à zéro du circuit de test 35 et des circuits de soustraction 28 et 29;
- 5 E22 - décalage de un bit des registres 11 et 12, le registre 11 récupérant en bit de poids fort le bit de poids fort du registre 10 par le biais du multiplexeur 14, le registre 12 ayant sa sortie reliée à son entrée par le biais du multiplexeur 15; soustraction dans le circuit de soustraction 29 du bit de poids fort du registre 10 avec le bit de poids faible du registre 12, le circuit
- 10 de soustraction 28 effectuant une soustraction du bit de poids faible du registre 11 avec zéro;
- E23 - décalage de $2 * L - 1$ bits des registres 11 et 12, la sortie du registre 12 étant reliée à son entrée par le biais du multiplexeur 15, l'entrée du troisième
- 15 registre 11 étant reliée à la sortie du circuit de soustraction 28 par le biais du multiplexeur 14; soustraction des $2 * L - 1$ bits sortant du registre 11 avec zéro dans le circuit de soustraction 28; soustraction du résultat sortant du circuit de soustraction 28 avec les bits du registre 12;
- E24 - mémorisation de la dernière retenue du circuit de soustraction 29 dans le
- 20 circuit de test 35 et production à la sortie de ce circuit de test d'une donnée binaire valant le complément de la retenue mémorisée;
- E25 - décalage de un bit des registres 40 et 10, le bit de poids fort du registre 40 étant chargé en bit de poids faible du registre 10, la donnée binaire mémorisée dans le circuit de test 35 étant chargée en bit de poids faible dans
- 25 le registre 40;
- E26 - initialisation des circuits de soustraction 28 et 29;
- E27 - répétition $2 * L - 1$ fois des étapes E2 à E6, le circuit de soustraction 28
- 30 effectuant une soustraction du contenu du registre 11 avec zéro si la retenue précédemment mémorisée est égale à un ou le circuit de soustraction 28 effectuant une soustraction du contenu du registre 11 avec le contenu du registre 12 si la retenue précédemment mémorisée est égale à zéro.

Gain en temps de calcul :

On supposera par exemple que l'on a M sur $2 * n$ bits et D sur n bits, avec $n =$

512 et que l'on subdivise les données en mots de $L = 32$ bits. On a alors $m = 32$ et $d = 16$, d'où $q = 17$.

Selon la technique antérieure, on obtient le résultat en $2 * n^2 + 9 * n$ cycles d'horloge, c'est-à-dire en 528 896 cycles d'horloge.

5 Avec le nouveau procédé, le nombre de cycles d'horloge nécessaires peut s'approximer de la manière suivante, en considérant que

- l'on charge en parallèle les registres lorsque cela est possible,
- l'on ne doit pas effectuer de calcul redondant suite à l'étape E4, et
- l'on néglige les quelques cycles d'horloge isolés nécessaires aux initialisations

10 des différents circuits de calcul :

- l'étape E1 nécessite L cycles d'horloge,
- l'étape E2 nécessite $(m - d + 1) * (2 * L^2 + 6 * L)$ cycles d'horloge,
- l'étape E3 nécessite $(m - d + 1) * (2 * L + 1)$ cycles d'horloge,
- l'étape E4 nécessite $(m - d + 1) * (2 * L)$ cycles d'horloge,
- 15 - l'étape E6 nécessite $(m - d + 1) * (2 * (d + 1) * L + L)$ cycles d'horloge.

Cela nous amène à la formule suivante à un total approximatif de :

$$(m - d + 1) * (2 * L^2 + 13 * L + 2 * d * L + 1) + L.$$

20 Dans l'exemple illustré, le nombre de cycles d'horloge nécessaires sera donc, approximativement, de 59 345, c'est-à-dire neuf fois moindre qu'avec le procédé antérieur.

On remarquera que la répétition éventuelle de l'étape E4 suite à l'étape E5, négligée ci-dessus, n'augmentera pas de manière importante le temps de calcul. Si l'on suppose par exemple que l'on doit systématiquement répéter l'étape E4, le nombre de cycles d'horloge supplémentaires sera approximativement de 1650, ce qui est faible comparé au gain apporté par l'invention par rapport au procédé selon l'état de l'art.

25 Par ailleurs, on remarquera que l'on peut modifier le procédé décrit de sorte à diminuer le nombre d'échanges nécessaires avec l'extérieur du coprocesseur, en utilisant des registres de taille variable tels qu'illustrés par exemple sur les figures 5 et 6. En effet, une caractéristique que l'on cherche généralement dans un coprocesseur est de pouvoir opérer des opérations à une fréquence de fonctionnement bien supérieure à celle des éléments auxquels il est associé (processeur, mémoire ...). Bien entendu, si le coprocesseur doit effectuer des échanges de données avec les éléments auxquels il est associé, il doit le faire à une fréquence compatible avec la fréquence de

fonctionnement desdits éléments, c'est-à-dire à une fréquence inférieure. On a donc intérêt à minimiser le nombre d'échanges entre le coprocesseur et son environnement.

En utilisant des registres de taille variable, formés de sous-registres dont une partie peut être utilisée pour stocker des données devant être utilisées, on pourra
 5 diminuer le nombre d'échanges nécessaires en modifiant tel qu'indiqué ci-dessous certaines des étapes du procédé selon l'invention :

E1 - chargement de la donnée M et de L zéros dans le registre 11 par le biais du multiplexeur 14; chargement du mot $M(m-1)$ dans le registre 40 par le biais du multiplexeur 41, le bit de poids fort de ce mot étant en sortie de ce
 10 registre 40; chargement de L zéros, correspondants à un mot $M(m)$, dans le registre 10 par le biais du multiplexeur 13; chargement de la donnée D dans le registre 12 par le biais du multiplexeur 15, le bit de poids le plus faible du mot $D(d-1)$ étant en sortie de ce registre 12;

E3 - transfert des contenus des registres 16 et 17 respectivement dans les
 15 registres 21 et 22 ; chargement du mot $D(d-2)$ dans le registre 10 par le biais du multiplexeur 13, le bit de poids faible de ce mot étant en sortie du registre 10; chargement du mot $M(m-2-j)$ dans le registre 43, le bit de poids faible de ce mot étant orienté vers la sortie;

E6 - si le résultat de la dernière soustraction de l'étape E4 est négatif, décalage
 20 du contenu des registres 11 et 12; multiplication de la donnée D par la donnée $Q(q-1-j)$ dans le circuit de multiplication 20; soustraction du résultat produit par le circuit de multiplication 20 aux bits fournis par le registre 11, dans le circuit de soustraction 44; stockage des deux derniers mots du résultat produit par le circuit de soustraction 44, noté $M(m-1-j) \dots M(m-d-j)$,
 25 dans les registres 11, 10 et 40 (on sélectionne alors la deuxième entrée du multiplexeur 55 de sorte que le circuit de soustraction 45 soit transparent), les données $M(m-3-j) \dots M(m-d-j)$ étant mémorisées dans le registre 11 et se substituant aux données $M(m-3-j) \dots M(m-d-j)$ de poids correspondants dans la donnée M, les bits de poids faible des mots $M(m-1-j)$ et $M(m-2-j)$ étant
 30 orientés vers les sorties des registres 10 et 40; si le résultat produit par le circuit de soustraction 44 est négatif : addition de la donnée D, fournie par le registre 12, au résultat produit par le circuit de soustraction 44, dans le

circuit d'addition 56 - et soustraction de d'une donnée de L bits, fournie par le multiplexeur 54 et formée de un bit de poids faible à un et de L - 1 bit de poids fort à zéro, à la donnée $Q(q-1-j)$ initialement présente dans le registre 40, la soustraction s'effectuant dans le circuit de soustraction 46, et stockage
5 du résultat dans le registre 40; chargement de L zéros dans le registre 11.

Bien entendu, on procédera aux modifications nécessaires dans le coprocesseur. Ainsi, on prévoira des connexions supplémentaires entre les sorties des registres 11 et 12 et les multiplexeurs permettant d'accéder aux registres 10, 40 et 43, afin de permettre un transfert des données contenues dans les registres 11 et 12 vers ces
10 autres registres. Pour ce faire, on pourra prévoir des connexions dédiées, et utiliser en conséquences des multiplexeurs ayant une entrée supplémentaire, ou bien profiter des connexions existantes qui proviennent du multiplexeur 49 et/ou du circuit de test 35.

REVENDEICATIONS

- 1 - Procédé de réalisation d'une division entière, dans un coprocesseur, d'une première donnée M, codée en binaire sur m mots $M(m-1) \dots M(1) M(0)$ de L bits, par une deuxième donnée D, codée en binaire sur d mots $D(d-1) \dots D(1) D(0)$ de L bits, avec m, L et d entiers et $d < m$, le résultat, noté Q, étant
- 5 codé sur q mots $Q(q-1) Q(q-2) \dots Q(1) Q(0)$ de L bits, avec $q = m - d + 1$ et $Q(q-1) = 00 \dots 00$ ou $00 \dots 01$, ledit procédé comprenant :
- le complément de la donnée M par un mot de poids fort $M(m)$ formé de L zéros,
 - la réalisation, m - d + 1 fois, par le coprocesseur, d'un boucle itérative
- 10 de calcul comprenant :
- la production d'une première donnée intermédiaire $Q(q-1-j)$ avec j indice variant de 0 à q-1, codée en binaire sur L bits, en mettant en oeuvre la division entière des deux mots de poids les plus forts de la première donnée M par le mot de poids le plus fort de la deuxième donnée D,
- 15 - la production d'une deuxième donnée intermédiaire $Z(m-j)$, codée en binaire sur $2 * L$ bits, afin de tester si la première donnée intermédiaire $Q(q-1-j)$ est supérieure à une valeur cherchée de l'un des mots du résultat Q ou si elle correspond à une valeur cherchée de l'un de ces mots; et
- dans le premier cas, décrémentation de une unité de la première
- 20 donnée intermédiaire et répétition de l'étape précédente, ou
- dans le deuxième cas, mise en oeuvre de la multiplication de la deuxième donnée D par la première donnée intermédiaire $Q(q-1-j)$, pour former une troisième donnée intermédiaire B codée en binaire sur d+1 mots de L bits, et production de d nouveau mots de poids fort $M(m-j-1) \dots M(m-j-d)$ de la
- 25 première donnée en mettant en oeuvre une soustraction de la troisième donnée intermédiaire B aux d+1 mots non nuls de poids les plus forts de la première donnée, excepté lors de la première itération où on considère le mot $M(m)$ et les d mots de poids les plus forts de la première donnée M; et si le résultat de la soustraction est négatif : décrémentation de une unité de la première donnée
- 30 intermédiaire et modification des d nouveaux mots de poids fort produits, par addition de la deuxième donnée à ces dits mots.

2 - Procédé selon la revendication 1, caractérisé en ce qu'il comprend les étapes suivantes :

E1 - chargement du mot $M(m-1)$ dans un premier registre (40), le bit de poids fort de ce mot étant en sortie de ce premier registre (40); chargement de L zéros, correspondants à un mot $M(m)$, dans un deuxième registre (10); chargement de L zéros dans un troisième registre (11); chargement du mot $D(d-1)$ dans un quatrième registre (12), le bit de poids le plus faible de ce mot étant en sortie de ce quatrième registre (12);

Répétition q fois des étapes suivantes, avec j indice variant de 0 à $q-1$:

E2 - division entière du contenu des deuxième et premier registres (10, 40) par le contenu du quatrième registre (12), et stockage des L bits de poids faible du résultat, notés $Q(q-1-j)$, dans le premier registre 40 et dans des cinquième et sixième registres (16, 17);

E3 - chargement du mot $D(d-2)$ dans un deuxième registre (10), le bit de poids faible de ce mot étant en sortie du deuxième registre (10); chargement des mots $M(m-1-j)$ et $M(m-j)$ en série dans le troisième registre (11), les bits de poids faibles étant orientés vers la sortie de ce troisième registre; chargement du mot $M(m-2-j)$ dans un septième registre (43), le bit de poids faible de ce mot étant orienté vers la sortie du septième registre;

E4 - décalage des contenus des deuxième et quatrième registres (10, 12) vers des entrées série d'un premier et d'un deuxième circuits de multiplication (19, 20) et des contenus des troisième et septième registres (11, 43), avec rebouclage des sorties de ces registres vers leurs entrées; multiplication de $D(d-2)$ par $Q(q-1-j)$ dans le premier circuit de multiplication (19); multiplication de $D(d-1)$ par $Q(q-1-j)$ dans le deuxième circuit de multiplication (20); soustraction de $M(m-j) M(m-j-1)$ à $D(d-1) * Q(q-1-j)$ dans un premier circuit de soustraction (44); soustraction de $M(m-2-j)$ à la donnée produite par le premier circuit de soustraction (44), dans un deuxième circuit de soustraction (45), le mot $M(m-2-j)$ ayant été retardé dans une cellule à retard (47); soustraction de la donnée produite par le deuxième circuit de soustraction (45) à $D(d-2) * Q(q-1-j)$ dans un troisième circuit de soustraction (29); test du résultat de la dernière soustraction dans un circuit de test (35);

E5 - si le résultat de la dernière soustraction de l'étape E4 est positif, décalage du contenu du premier registre (40); soustraction d'une donnée de L bits, formée de un bit de poids faible à un et de $L - 1$ bit de poids fort à zéro, à la donnée $Q(q-1-j)$ initialement présente dans le premier registre (40), la soustraction s'effectuant dans un quatrième circuit de soustraction (46), et stockage de la donnée produite par le quatrième circuit de soustraction (46)

dans le premier registre (40); répétition de l'étape précédente E4;

E6 - si le résultat de la dernière soustraction de l'étape E4 est négatif, chargement des mots $M(m-j) \dots M(m-d-j)$ dans le troisième registre (11) et de la donnée D dans le quatrième registre (12); décalage du contenu des troisième et quatrième registres (11, 12), avec rebouclage de la sortie du quatrième registre (12) vers son entrée de manière à conserver $D(d-1)$ dans ce registre; multiplication de la donnée D par la donnée $Q(q-1-j)$ dans le deuxième circuit de multiplication (20); soustraction du résultat produit par le deuxième circuit de multiplication (20) aux bits fournis par le troisième registre (11), dans le premier circuit de soustraction (44), et test du résultat; si le résultat fourni par le premier circuit de soustraction (44) est négatif : addition de la donnée D , fournie par le quatrième registre (12), au résultat produit par le premier circuit de soustraction (44), dans un circuit d'addition (56), et soustraction d'une donnée de L bits, formée de un bit de poids faible à un et de $L - 1$ bit de poids fort à zéro, à la donnée $Q(q-1-j)$ initialement présente dans le premier registre (40), ladite soustraction s'effectuant dans le quatrième circuit de soustraction (46), et stockage de la donnée produite par le quatrième circuit de soustraction (46) dans le premier registre (40); stockage des deux derniers mots du résultat produit par le premier circuit de soustraction (44) ou le cas échéant par le circuit d'addition (56), noté $M(m-1-j) \dots M(m-d-j)$, dans les deuxième et premier registres (10, 40), les données $Q(q-1-j)$ et $M(m-3-j) \dots M(m-d-j)$ étant sorties en dehors du coprocesseur à fin de mémorisation et les données $M(m-3-j) \dots M(m-d-j)$ se substituant aux données $M(m-3-j) \dots M(m-d-j)$ de poids correspondants dans la donnée M , les bits de poids faible des mots $M(m-1-j)$ et $M(m-2-j)$ étant orientés vers les sorties des deuxième et premier registres (10, 40); chargement de L zéros dans le troisième registre (11).

3 - Procédé selon la revendication 2, les étapes E1, E3 et E6 étant modifiées de la manière suivante :

E1 - chargement de la donnée M et de L zéros dans un troisième registre (11); chargement du mot $M(m-1)$ dans un premier registre (40), le bit de poids fort de ce mot étant en sortie de ce premier registre (40); chargement de L zéros, correspondants à un mot $M(m)$, dans un deuxième registre (10); chargement de la donnée D dans un quatrième registre (12), le bit de poids le plus faible du mot $D(d-1)$ étant en sortie de ce quatrième registre (12);

E3 - chargement du mot $D(d-2)$ dans le deuxième registre (10), le bit de

poids faible de ce mot étant en sortie du deuxième registre (10); chargement du mot $M(m-2-j)$ dans un septième registre (43), le bit de poids faible de ce mot étant orienté vers la sortie de ce registre;

5 E6 - si le résultat de la dernière soustraction de l'étape E4 est négatif, décalage du contenu des troisième et quatrième registres (11, 12); multiplication de la donnée D par la donnée $Q(q-1-j)$ dans le deuxième circuit de multiplication (20); soustraction du résultat produit par le deuxième circuit de multiplication (20) aux bits fournis par le troisième registre (11), dans le premier circuit de soustraction (44); si le résultat produit par le premier circuit de soustraction (44) est négatif : addition de la donnée D, fournie par le

10 quatrième registre (12), au résultat produit par le premier circuit de soustraction (44), dans le circuit d'addition (56) - et soustraction de d'une donnée de L bits formée de un bit de poids faible à un et de L - 1 bit de poids fort à zéro, à la donnée $Q(q-1-j)$ initialement présente dans le premier registre (40), la

15 soustraction s'effectuant dans le quatrième circuit de soustraction (46), et stockage du résultat de cette dernière soustraction dans le premier registre (40); stockage des deux derniers mots du résultat produit par le premier circuit de soustraction (44) ou le cas échéant par le circuit d'addition (56), noté $M(m-1-j)$... $M(m-d-j)$, dans les troisième, deuxième et premier registres (11, 10, 40), les

20 données $M(m-3-j)$... $M(m-d-j)$ étant mémorisées dans le troisième registre (11) et se substituant aux données $M(m-3-j)$... $M(m-d-j)$ de poids correspondants dans la donnée M, les bits de poids faible des mots $M(m-1-j)$ et $M(m-2-j)$ étant orientés vers les sorties des deuxième et premier registres (10, 40); chargement de L zéros dans le troisième registre (11).

25

4 - Procédé selon la revendication 2, caractérisé en ce que l'étape E2 comprend les sous-étapes suivantes :

E21 - initialisation à zéro du circuit de test (35), du troisième et d'un cinquième circuits de soustraction (29, 28);

30 E22 - décalage de un bit des troisième et quatrième registres (11, 12), le troisième registre (11) récupérant en bit de poids fort le bit de poids fort du deuxième registre (10), le quatrième registre (12) ayant sa sortie reliée à son entrée; soustraction dans le troisième circuit de soustraction (29) du bit de poids fort du deuxième registre (10) avec le bit de poids faible du quatrième registre

35 (12), le cinquième circuit de soustraction (28) effectuant une soustraction du bit de poids faible du troisième registre (11) avec zéro;

E23 - décalage de $2 * L - 1$ bits des troisième et quatrième registres (11, 12), la sortie du quatrième registre (12) étant reliée à son entrée, l'entrée du troisième registre (11) étant reliée à la sortie du cinquième circuit de soustraction (28); soustraction des $2 * L - 1$ bits sortant du troisième registre (11) avec zéro dans le cinquième circuit de soustraction (28); soustraction du résultat sortant du cinquième circuit de soustraction (28) avec les bits du quatrième registre (12);

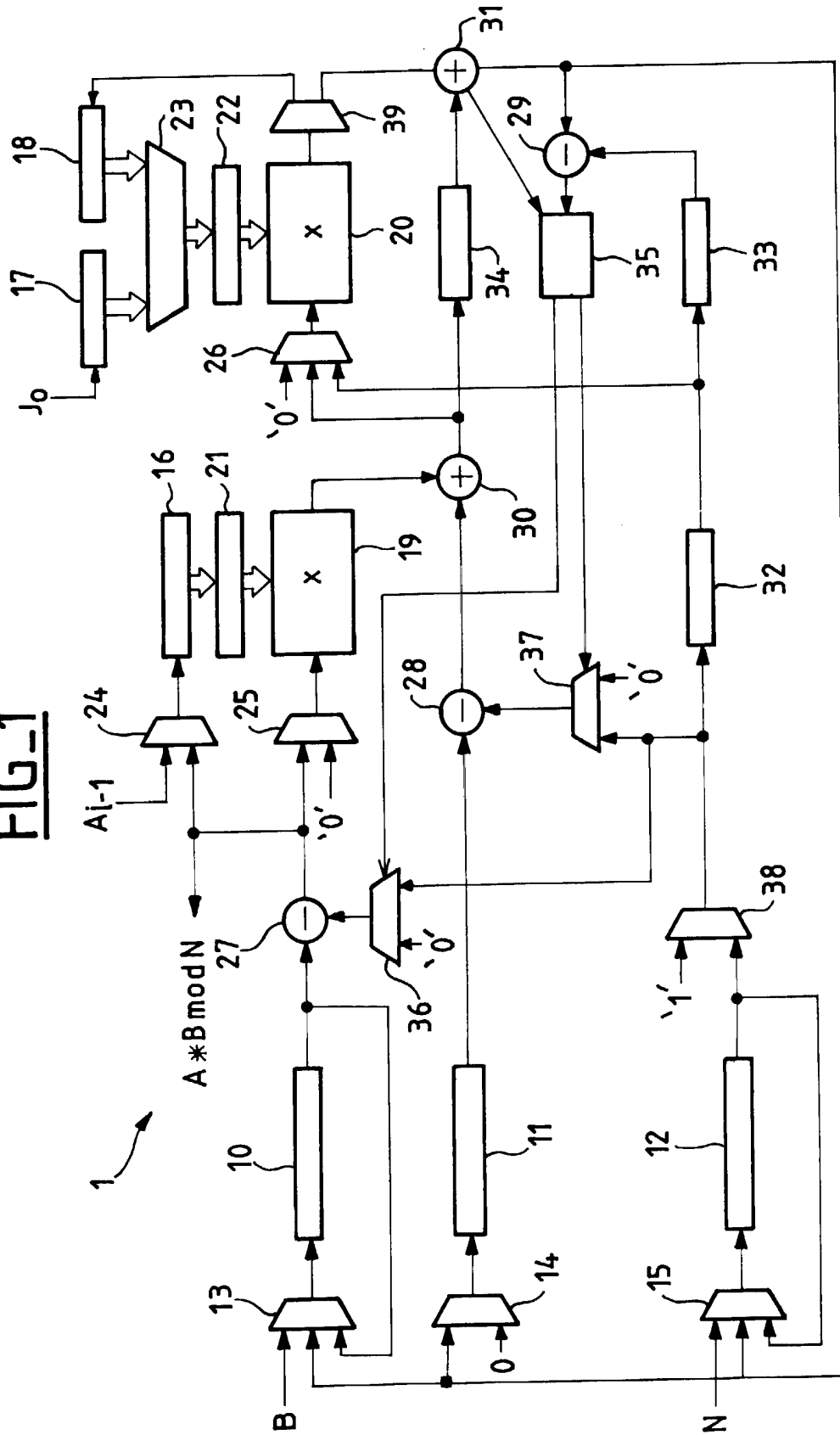
E24 - mémorisation de la dernière retenue du troisième circuit de soustraction (29) dans le circuit de test (35) et production à la sortie de ce circuit de test d'une donnée binaire valant le complément de la retenue mémorisée;

E25 - décalage de un bit des premier et deuxième registres (40, 10), le bit de poids fort du premier registre (40) étant chargé en bit de poids faible du deuxième registre (10), la donnée binaire mémorisée dans le circuit de test (35) étant chargée en bit de poids faible dans le premier registre (40);

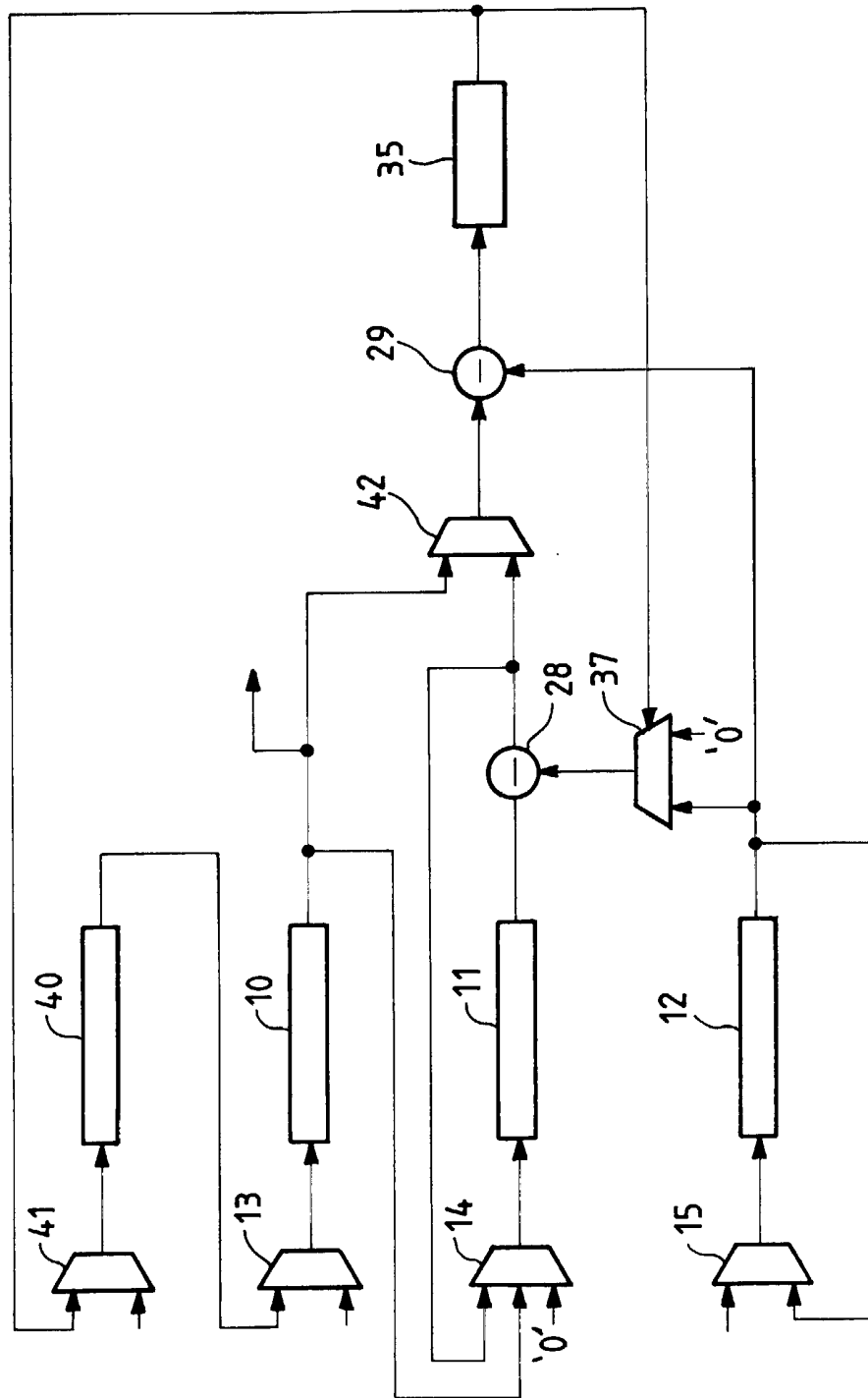
E26 - initialisation des troisième et cinquième circuits de soustraction (29, 28);

E27 - répétition $2 * L - 1$ fois des étapes E2 à E6, le cinquième circuit de soustraction (28) effectuant une soustraction du contenu du troisième registre (11) avec zéro si la retenue précédemment mémorisée est égale à un ou le cinquième circuit de soustraction (28) effectuant une soustraction du contenu du troisième registre (11) avec le contenu du quatrième registre (12) si la retenue précédemment mémorisée est égale à zéro.

FIG. 1

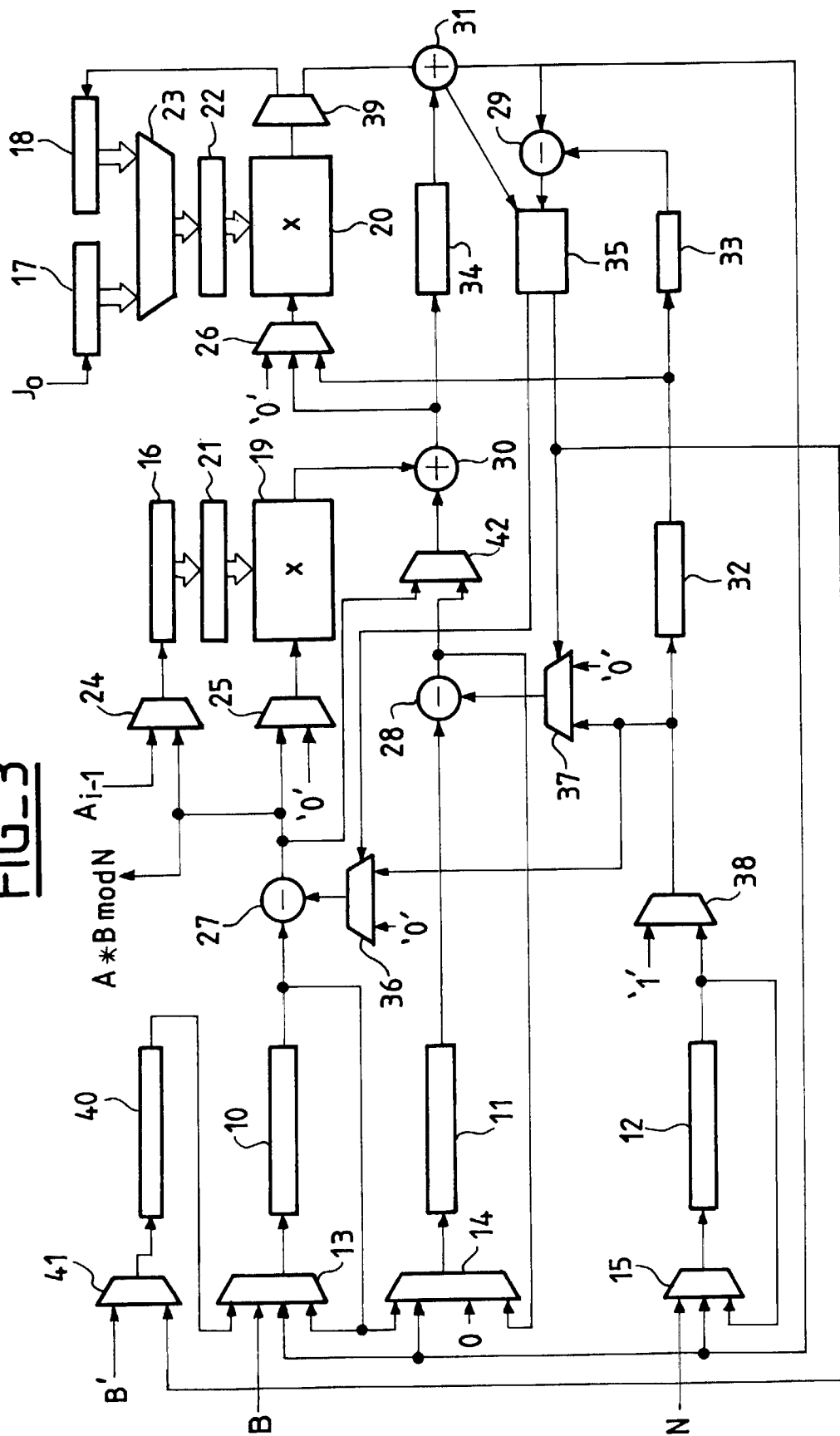


2/5

FIG-2

3/5

FIG-3



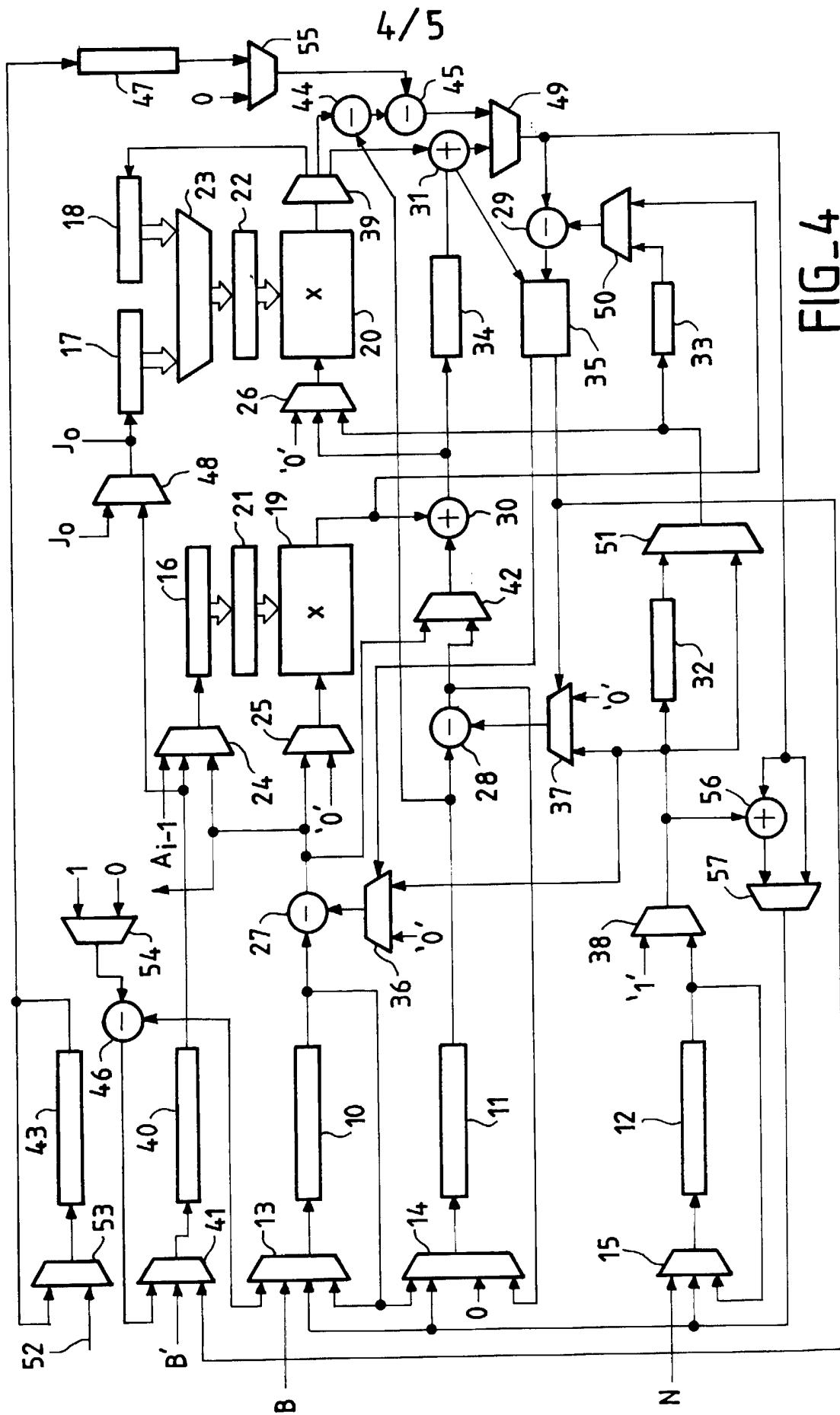
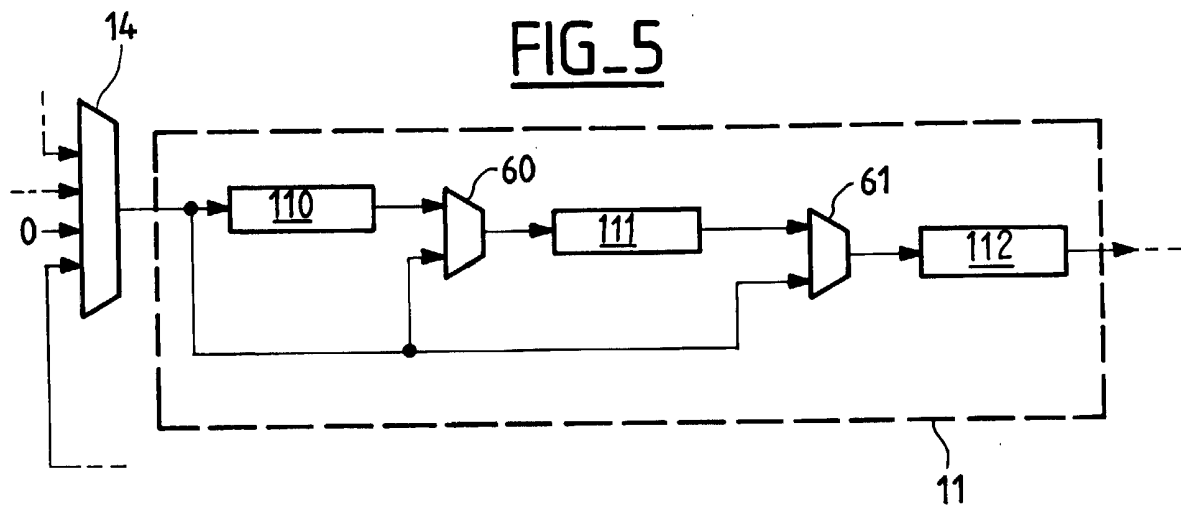
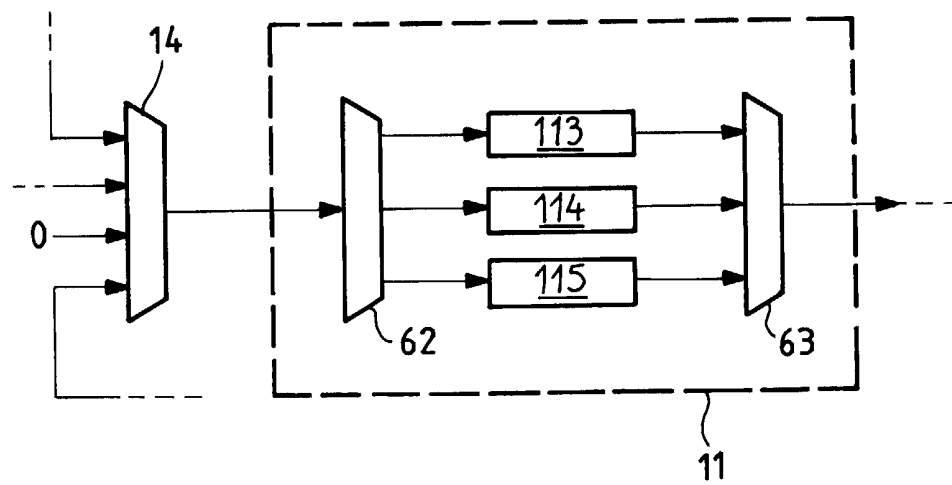


FIG-4

5/5

FIG_5FIG_6

INSTITUT NATIONAL

de la

PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
PRELIMINAIREétabli sur la base des dernières revendications
déposées avant le commencement de la rechercheN° d'enregistrement
nationalFA 560636
FR 9804273

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	KNUTH D E: "The art of computer programming. Vol.2. Seminumerical algorithms. 2nd edition" 1981 , READING, MA, USA, ADDISON-WESLEY, USA , ISBN 0-201-03822-6 XP002087308 151940 section 4.3: pages 250-265 * page 256, ligne 16 - page 258 * ----	1-4
A,D	WO 97 25668 A (SGS THOMSON MICROELECTRONICS ;MONIER GUY (FR)) 17 juillet 1997 * le document en entier * -----	2-4
		DOMAINES TECHNIQUES RECHERCHES (Int.CL.6)
		G06F
Date d'achèvement de la recherche		Examineur
9 décembre 1998		Verhoof, P
CATEGORIE DES DOCUMENTS CITES		
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire		
T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant		