(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3889825号
(P3889825)
(45)発行日　平成19年3月7日(2007.3.7)　(24)登録日　平成18年12月8日(2006.12.8)

(51)Int.Cl.　F I
H04N 5/335 (2006.01)　H04N 5/335 Z

請求項の数 4　(全 16 頁)

(21)出願番号　特願平7-322460
(22)出願日　平成7年11月17日(1995.11.17)
(65)公開番号　特開平9-149321
(43)公開日　平成9年6月6日(1997.6.6)
審査請求日　平成14年11月12日(2002.11.12)

(73)特許権者　000000376
オリンパス株式会社
東京都渋谷区幡ヶ谷２丁目４３番２号
(74)代理人　100087273
弁理士　最上　健治
(72)発明者　風間　里志
東京都渋谷区幡ケ谷２丁目４３番２号　オリンパス光学工業株式会社内

審査官　松田　岳士

(56)参考文献　特開昭５９－１２２２８７（ＪＰ，Ａ）
特開平０４－０３０４７２（ＪＰ，Ａ）
特開昭６２－００６５８１（ＪＰ，Ａ）
特開平０１－１２２２７７（ＪＰ，Ａ）
最終頁に続く

(54)【発明の名称】固体撮像装置

(57)【特許請求の範囲】

【請求項１】

受光素子からなる画素を複数個配列して構成した画素アレイと、該画素アレイの各画素を順に走査して各画素の信号を読み出す水平走査回路及び垂直走査回路とを備えた固体撮像装置において、前記水平走査回路は、同一周期で位相の異なる２相の入力クロックパルスのそれぞれに同期した走査パルスを順次発生するシフトレジスタと、前記２相の入力クロックパルスと同一周期で、デューティ比50％のコントロールパルスと前記シフトレジスタから順次発生する走査パルスとを用いて画素の信号を読み出す水平選択パルスを、前記シフトレジスタの入力クロックパルスの１／２周期毎に前記コントロールパルスに同期して順次出力する選択回路とからなることを特徴とする固体撮像装置。

【請求項２】

前記選択回路は、前記コントロールパルスとシフトレジスタからの走査パルスとの論理演算により水平選択パルスを出力するように構成されていることを特徴とする請求項１記載の固体撮像装置。

【請求項３】

前記選択回路は、前記シフトレジスタからの走査パルスを伝達するためのスイッチ手段を有し、該スイッチ手段を前記コントロールパルスで制御して、水平選択パルスを出力するように構成されていることを特徴とする請求項１記載の固体撮像装置。

【請求項４】

前記選択回路は、前記シフトレジスタからの走査パルスを保持するためのラッチ手段を

有し、該ラッチ手段を前記コントロールパルスで制御して、水平選択パルスを出力するように構成されていることを特徴とする請求項１記載の固体撮像装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、高速読み出しに適した固体撮像装置に関する。

【０００２】

【従来の技術】

従来、高速読み出しに適した固体撮像装置では、水平シフトレジスタに入力するクロックパルスの周期に対して半周期のずれを持つ水平走査パルスを、上記クロックパルスに同期させて順次発生させ、隣り合う２つの水平走査パルスを論理積した信号を用いて、画素アレイにおける各画素の信号読み出しを選択的に行うように構成する方法が知られている。例えば特開平４－１６２８８３号には、図10に示すような構成の固体撮像装置が開示されている。この固体撮像装置は、マトリクス状に配列され、且つビデオバイアスＶＤをドレイン端子に共通に印加した複数のＣＭＤ（Charge Modulation Device）１（１－11，１－12，・・・，１－mn）からなる画素アレイと、垂直走査回路10と、水平走査回路11から構成されている。そしてＸ方向に配列されたＣＭＤ１の各ゲート端子の行毎に接続している垂直選択線２（２－１，２－２，・・・，２－ｍ）は、信号読み出し電位を選択的に与える機能を持つ垂直走査回路10と接続している。またＹ方向に配列されたＣＭＤ１の各ソース端子の列毎に接続している水平選択線３（３－１，３－２，・・・，３－ｎ）は、画素の信号読み出しを選択的に行う機能を持つ水平走査回路11と接続している。

【０００３】

水平走査回路11は、水平シフトレジスタ12と、第１の水平選択スイッチ７（７－１，７－２，・・・，７－ｎ）と第２の水平選択スイッチ８（８－１，８－２，・・・，８－ｎ）からなる選択回路13と、反転回路６（６－１，６－２，・・・，６－ｎ）と、非選択用スイッチ５（５－１，５－２，・・・，５－ｎ）から構成されている。更に、水平走査回路11について詳細に説明すると、水平選択線３（３－１，３－２，・・・，３－ｎ）と信号線９との間に、第１の水平選択スイッチ７（７－１，７－２，・・・，７－ｎ）と第２の水平選択スイッチ８（８－１，８－２，・・・，８－ｎ）が直列接続され、第１の水平選択スイッチ７（７－１，７－２，・・・，７－ｎ）のゲート端子と反転回路６（６－１，６－２，・・・，６－ｎ）の入力端子に、水平シフトレジスタ12の出力パルスである水平走査パルスφｓ１，φｓ２，φｓ３・・・，φｓｎが入力され、第２の水平選択スイッチ８（８－１，８－２，・・・，８－ｎ）のゲート端子には水平走査パルスφｓ２，φｓ３・・・，φｓｎ，φｓ（ｎ＋１）が入力されている。水平走査パルスφｓ１，φｓ２，φｓ３・・・，φｓｎは反転回路６（６－１，６－２，・・・，６－ｎ）を介して反転して出力され、非選択時の水平選択線３（３－１，３－２，・・・，３－ｎ）をグランド線４に接続する非選択用スイッチ５（５－１，５－２，・・・，５－ｎ）のゲート端子に入力されるようになっている。

【０００４】

図11は、水平シフトレジスタ12の構成をトランジスタレベルで示した回路構成図である。この水平シフトレジスタは、第１のシフトレジスタユニット20と第２のシフトレジスタユニット21の組み合わせから構成されている。第１のシフトレジスタユニット20は高レベル電源線ＶＤＤと低レベル電源線ＶＳＳとの間に、Ｐ型トランジスタ22－１，23－１，及びＮ型トランジスタ24－１，25－１を、そのソース・ドレイン端子間を直列接続して構成され、Ｐ型トランジスタ22－１とＮ型トランジスタ25－１のゲート端子を共通に接続して入力端子としている。上記Ｐ型トランジスタ23－１とＮ型トランジスタ24－１のゲート端子には、それぞれクロックパルスφ１，／φ１を入力し、Ｐ型トランジスタ23－１とＮ型トランジスタ24－１の共通接続点を出力端子としている。またＰ型トランジスタ23－１とＮ型トランジスタ24－１の共通接続点は、高レベル電源線ＶＤＤと低レベル電源線ＶＳＳとの間に直列接続されているＰ型トランジスタ26とＮ型トランジスタ27のゲート端子に接続

され、Ｐ型トランジスタ26とＮ型トランジスタ27との共通接続点を、水平走査パルスφｓ１の出力端子としている。

【０００５】

また、第２のシフトレジスタユニット21は、高レベル電源線ＶＤＤと低レベル電源線ＶＳＳとの間に、Ｐ型トランジスタ22－２，23－２，及びＮ型トランジスタ24－２，25－２を、そのソース・ドレイン端子間を直列接続して構成され、Ｐ型トランジスタ22－２とＮ型トランジスタ25－２のゲート端子を共通に接続して入力端子としている。上記Ｐ型トランジスタ23－２とＮ型トランジスタ24－２のゲート端子には、それぞれクロックパルスφ２，／φ２を入力し、Ｐ型トランジスタ23－２とＮ型トランジスタ24－２の共通接続点を水平走査パルスφｓ２の出力端子としている。なお、上記クロックパルス／φ１，／φ２は、それぞれクロックパルスφ１，φ２の反転パルスである。以上のように第１のシフトレジスタユニット20と第２のシフトレジスタユニット21とを交互に直列接続することにより、水平シフトレジスタ12を構成している。第１のシフトレジスタユニット20と第２のシフトレジスタユニット21の合計段数は、Ｘ方向に配列をなすＣＭＤ１の画素数（ｎ）より１段多く、（ｎ＋１）段となっており、29は（ｎ＋１）段目のシフトレジスタユニットを示している。

【０００６】

次に、図12に示したタイミングチャートを用いて図10に示した固体撮像装置の動作を説明する。図12は水平シフトレジスタ12と選択回路13の動作、及び垂直選択線２－１が選択された場合のＣＭＤ信号出力を示すタイミングチャートである。水平シフトレジスタ12にはスタートパルスφＳＴ，クロックパルスφ１，及びクロックパルスφ２を入力する。クロックパルスφ１とクロックパルスφ２とは位相を半周期ずらした関係に設定する。すなわち、クロックパルスφ１とクロックパルスφ２の位相の関係が、Ｔ＝Ｔ１／２のずれを持つように設定する。第１のシフトレジスタユニット20の出力φｓ１はクロックパルスφ１の立ち下がりに同期し、第２のシフトレジスタユニット21の出力φｓ２はクロックパルスφ２の立ち下がりに同期した信号として出力されるので、水平シフトレジスタ12からは、高レベル期間がクロックパルスφ１，φ２の周期に等しく且つ位相が順次半周期のずれをもつ、水平走査パルスφｓ１，φｓ２，φｓ３，・・・，φｓｎ，φｓ（ｎ＋１）が出力される。水平走査パルスφｓ１，φｓ２，φｓ３，・・・，φｓｎ，φｓ（ｎ＋１）を受けて、直列接続している第１の水平選択スイッチ７と第２の水平選択スイッチ８とが共にオンした場合に、それに対応した水平選択線３が選択され、ＣＭＤ１の信号を読み出す。つまり、互いに隣り合う水平走査パルスが共に高レベル期間のとき、水平選択線３が選択されることになる。

【０００７】

【発明が解決しようとする課題】

ところで、図10に示した従来の固体撮像装置では、水平シフトレジスタ12に入力するクロックパルスφ１とクロックパルスφ２の位相を、常に半周期ずらした関係に設定する必要があり、クロックパルスφ１，φ２の制御が複雑になるという問題点がある。この問題点を図13を用いて詳細に説明する。図13は、周期Ｔ１のクロックパルスφ１に対してクロックパルスφ２の位相が、Ｔ１／２以下のずれを生じた場合のタイミングチャートである。奇数番目の水平走査パルスφｓ１，φｓ３，・・・がクロックパルスφ１の立ち下がりに同期し、偶数番目の水平走査パルスφｓ２，・・・がクロックパルスφ２の立ち下がりに同期した信号として出力される。水平選択線３－１，３－２，３－３，・・・，３－ｎは互いに隣り合う水平走査パルスが共に高レベル期間のとき選択されるので、奇数番目の水平選択線３－１，３－３，・・・の選択期間が偶数番目の水平選択線３－２，・・・の選択期間より長くなる。また、周期Ｔ１のクロックパルスφ１に対してクロックパルスφ２の位相が、Ｔ１／２以上のずれを生じた場合には、上記と同様の動作が行われるので、奇数番目の水平選択線３－１，３－３，・・・の選択期間が偶数番目の水平選択線３－２，・・・の選択期間より短くなる。

【０００８】

以上のように、水平シフトレジスタ12に入力するクロックパルスφ１とクロックパルスφ２との位相の関係が、Ｔ＝Ｔ１／２以外のずれの場合には、奇数番目の水平選択線３－１，３－３，・・・の選択期間と偶数番目の水平選択線３－２，・・・の選択期間が異なり、これに対応してＸ方向に配列されたＣＭＤ１の信号読み出し期間が、奇数番目と偶数番目との画素で異なることになる。これは、ＣＭＤ信号を処理するプロセス回路に大きな負担を与える。例えば、ハイビジョン仕様の固体撮像装置の場合、１画素の信号読み出し期間は約13.5ns（＝１／74.25 ＭＨｚ）であり、クロックパルスφ１，φ２の周期は共に27nsとなり、クロックパルスφ１とクロックパルスφ２との位相を常に約13.5nsずらした関係に設定しなければならない。クロックパルスφ１とクロックパルスφ２との位相が10nsのずれの場合には、Ｘ方向に配列されているＣＭＤ１の奇数番目の画素の信号読み出し期間が17ns，偶数番目の画素の信号読み出し期間が10nsとなり、ＣＭＤ信号を処理するプロセス回路に大きな負担を与えることになる。これは、信号読み出し期間差が大きくなるほど深刻な問題となる。

【０００９】

本発明は、従来の固体撮像装置における上記問題点を解消するためになされたもので、請求項１～４記載の各発明は、水平シフトレジスタに入力するクロックパルスの複雑な制御なしで、水平選択線の選択期間に関する問題を発生せずに、画素アレイの信号を高速で読み出し可能な固体撮像装置を提供することを目的とする。

【００１０】

【課題を解決するための手段】

上記問題点を解決するため、請求項１記載の発明は、受光素子からなる画素を複数個配列して構成した画素アレイと、該画素アレイの各画素を順に走査して各画素の信号を読み出す水平走査回路及び垂直走査回路とを備えた固体撮像装置において、前記水平走査回路は、同一周期で位相の異なる２相の入力クロックパルスのそれぞれに同期した走査パルスを順次発生するシフトレジスタと、前記２相の入力クロックパルスと同一周期で、デューティ比50％のコントロールパルスと前記シフトレジスタから順次発生する走査パルスとを用いて画素の信号を読み出す水平選択パルスを、前記シフトレジスタの入力クロックパルスの１／２周期毎に前記コントロールパルスに同期して順次出力する選択回路とで構成するものである。また請求項２記載の発明は、請求項１記載の固体撮像装置において、前記選択回路を、前記コントロールパルスとシフトレジスタからの走査パルスとの論理演算により水平選択パルスを出力するように構成するものである。また請求項３記載の発明は、請求項１記載の固体撮像装置において、前記選択回路は、前記シフトレジスタからの走査パルスを伝達するためのスイッチ手段を有し、該スイッチ手段を前記コントロールパルスで制御して、水平選択パルスを出力するように構成するものである。また請求項４記載の発明は、請求項１記載の固体撮像装置において、前記選択回路は、前記シフトレジスタからの走査パルスを保持するためのラッチ手段を有し、該ラッチ手段を前記コントロールパルスで制御して、水平選択パルスを出力するように構成するものである。

【００１１】

このように固体撮像装置を構成することにより、水平シフトレジスタに入力するクロックパルスの複雑な制御なしで、水平選択線の選択期間の時間差に関する問題を発生せずに、画素アレイの信号を高速で読み出し可能な固体撮像装置が得られる。

【００１２】

【発明の実施の形態】

〔第１の実施の形態〕

（構　成）

次に、発明の実施の形態について説明する。図１は本発明に係る固体撮像装置の第１の実施の形態を示す構成図であり、図10に示した従来例と同一の部分には同じ符号を付して示している。この実施の形態は請求項１及び２に対応するもので、図10に示した従来例と異なる部分は、水平シフトレジスタ30及び選択回路31である。水平シフトレジスタ30の構成が、図11に示したものと異なる点は、図11におけるシフトレジスタユニット29が削除され

ていることだけである。すなわち、第１のシフトレジスタユニット20と第２のシフトレジスタユニット21の合計段数が、Ｘ方向に配列されているＣＭＤ１の画素数（ｎ）と等しくなっている。

【００１３】

次に、選択回路31の構成について説明する。選択回路31は、第１の選択回路ユニット32と第２の選択回路ユニット33が、交互に水平選択線３（３－１，３－２，・・・，３－ｎ）の数、すなわち合計ｎ個並んで構成されている。第１の選択回路ユニット32は、Ｐ型トランジスタ34，35とＮ型トランジスタ36，37と反転回路38とで論理積回路を構成し、その出力が水平選択スイッチ39のゲート端子に入力されるように構成されている。すなわち、Ｐ型トランジスタ34，35とＮ型トランジスタ36，37とで２入力ＮＡＮＤ回路を構成し、その出力ノードＰ31が反転回路38を介してノード／Ｐ31として出力される。ノード／Ｐ31は水平選択スイッチ39のゲート端子に入力され、また、水平選択スイッチ39のソース端子が水平選択線３－１に、ドレイン端子が信号線９にそれぞれ接続されるように構成されている。

【００１４】

２入力ＮＡＮＤ回路は、Ｐ型トランジスタ34，35のソース端子が共通に高レベル電源線ＶＤＤに接続され、ドレイン端子は共通にＮ型トランジスタ36のドレイン端子に接続され、Ｎ型トランジスタ36のソース端子とＮ型トランジスタ37のドレイン端子とが接続され、Ｎ型トランジスタ37のソース端子は低レベル電源線ＶＳＳに接続されている。Ｐ型トランジスタ34とＮ型トランジスタ37のゲート端子に共通に水平走査パルスφｓ１が入力され、Ｐ型トランジスタ35とＮ型トランジスタ36のゲート端子に共通にクロックパルスφ３が入力されるように構成されている。

【００１５】

第２の選択回路ユニット33は、Ｐ型トランジスタ34とＮ型トランジスタ37のゲート端子に共通に水平走査パルスφｓ２を入力し、Ｐ型トランジスタ35とＮ型トランジスタ36のゲート端子に共通にクロックパルス／φ３を入力するように構成している部分以外は、第１の選択回路ユニット32と同様の構成である。クロックパルスφ３は高レベルと低レベルの期間が等しいパルスである。また、クロックパルス／φ３はクロックパルスφ３の反転クロックパルスである。

【００１６】

（作　用）

次に図２を用いて、図１に示した固体撮像装置の動作を説明する。図２は、水平シフトレジスタ30と選択回路31の動作、及び垂直選択線２－１が選択された場合のＣＭＤ信号出力を示すタイミングチャートである。水平シフトレジスタ30には、スタートパルスφＳＴ，クロックパルスφ１，φ２を入力する。クロックパルスφ１，φ２の位相の関係は、周期Ｔ１のクロックパルスφ１に対してクロックパルスφ２の位相が、Ｔ１／２以下のずれを生じた場合である。まず、第１の選択回路ユニット32の動作について説明する。水平走査パルスφｓ１がＰ型トランジスタ34とＮ型トランジスタ37のゲート端子に共通に入力され、クロックパルスφ３はＰ型トランジスタ35とＮ型トランジスタ36のゲート端子に共通に入力される。ノードＰ31には、水平走査パルスφｓ１とクロックパルスφ３とが高レベル期間のみ低レベル信号が出力され、他の期間は常に高レベル信号が出力される。ノードＰ31を反転回路38に入力しノード／Ｐ31が出力される。水平走査パルスφｓ１とクロックパルスφ３との位相関係は、水平走査パルスφｓ１の高レベル期間内にクロックパルスφ３の高レベル期間が開始・終了すればよい。このような位相関係のパルスをＰ型トランジスタ34，35とＮ型トランジスタ36，37に入力することにより、ノード／Ｐ31の高レベル期間は、クロックパルスφ３の高レベル期間で決定される。

【００１７】

次に、第２の選択回路ユニット33の動作について説明する。水平走査パルスφｓ１とクロックパルスφ３とを、それぞれ水平走査パルスφｓ２とクロックパルス／φ３とに変える点以外は、上記第１の選択回路ユニット32の場合と同様である。すなわち、水平走査パル

スφｓ２とクロックパルス／φ３との位相関係を、水平走査パルスφｓ２の高レベル期間内にクロックパルス／φ３の高レベル期間を開始・終了させることで、ノード／Ｐ32の高レベル期間は、クロックパルス／φ３の高レベル期間で決定される。以下、第１及び第２の選択回路ユニット32，33の動作が交互に水平選択線３（３－１，３－２，・・・，３－ｎ）の数だけ順に繰り返される。この結果、周期Ｔ１のクロックパルスφ１に対してクロックパルスφ２の位相が、Ｔ１／２以下のずれを生じた場合でも、奇数番目の水平選択線３－１，３－３，・・・の選択期間と偶数番目の水平選択線３－２，・・・の選択期間が等しくなる。

【００１８】

また、クロックパルスφ１に対してクロックパルスφ２の位相が、Ｔ１／２以上のずれを生じた場合でも、上記と同様の動作がなされるので、奇数番目の水平選択線３－１，３－３，・・・と偶数番目の水平選択線３－２，・・・の選択期間が等しくなる。以上のように、水平シフトレジスタ12に入力するクロックパルスφ１とクロックパルスφ２の位相の関係が、Ｔ＝Ｔ１／２以外のずれの場合でも、奇数番目の水平選択線３－１，３－３，・・・の選択期間と偶数番目の水平選択線３－２，・・・の選択期間が等しく、これに対応してＸ方向に配列されているＣＭＤ１の信号読み出し期間が、奇数番目と偶数番目との画素で等しくなることになる。

【００１９】

（効　果）

以上説明したように、本実施の形態によれば、水平選択線の選択期間がクロックパルスφ３，／φ３と水平走査パルスとの論理積した出力で設定されるので、水平シフトレジスタに入力するクロックパルスの複雑な制御なしで、水平選択線の選択期間の時間差に関する問題を発生せずに、画素アレイの信号を読み出すことができる。また、水平シフトレジスタに入力するクロックパルス１周期の期間で、２画素分の信号出力を読み出せるので、高速読み出しに有利である。なお、この実施の形態では、水平シフトレジスタにＣＭＯＳクロックインバータ回路を用いたものを示したが、その具体的な構成については、これに限られるものではない。また、水平選択線の選択期間を設定するために、クロックパルスφ３，／φ３と水平走査パルスとのＡＮＤ回路（論理積回路）を選択回路として用いたものを示したが、選択回路は図３の（Ａ），（Ｂ），（Ｃ）に示すようなＮＡＮＤ回路（論理積の反転回路）、ＮＯＲ回路（論理和の反転回路）、ＯＲ回路（論理和回路）など、論理演算機能を有する回路であれば同様に用いることができる。図３の（Ａ）の選択回路は、選択回路ユニット300，301を、ＮＡＮＤ回路（論理積の反転回路）302とＰ型トランジスタ303とで構成している。また図３の（Ｂ）の選択回路は、選択回路ユニット310，311を、反転回路312とＮＯＲ回路（論理和の反転回路）313とＮ型トランジスタ314とで構成している。また図３の（Ｃ）の選択回路は、選択回路ユニット320，321を、反転回路312と、ＮＯＲ回路313と反転回路322とからなるＯＲ回路（論理和回路）と、Ｐ型トランジスタ323とで構成している。更に本実施の形態では、画素としてＣＭＤを用いたものを示したが、Ｘ・Ｙアドレス型の固体撮像装置に適用することができることは勿論、ラインセンサに適用可能なことは言うまでもない。

【００２０】

〔第２の実施の形態〕

（構　成）

次に、第２の実施の形態について説明する。図４は本発明に係る固体撮像装置の第２の実施の形態を示す構成図であり、図10に示した従来例と同一の部分には同じ符号を付して示している。この実施の形態は請求項１及び４に対応するもので、図10に示した従来例と異なる部分は、選択回路40及び非選択スイッチ回路43（43－１，43－２，43－３，・・・43－ｎ）である。非選択スイッチ回路43－１，43－２，43－３，・・・43－ｎには、水平走査パルスφｓ２，φｓ３，・・・φｓｎ，φｓ（ｎ＋１）が入力されるようになっている。また選択回路40の構成は、次のようになっている。すなわち選択回路40は、第１の選択回路ユニット41と第２の選択回路ユニット42が交互に水平選択線３（３－１，３－２，・

・・，３－ｎ）の数、すなわち合計ｎ個並んで構成されている。
【００２１】
第１の選択回路ユニット41は、高レベル信号が印加されるとオンし低レベル信号が印加されるとオフするスイッチ44，45，46と、容量47と、水平選択スイッチ48とから構成されている。スイッチ44とスイッチ45が直列に接続され、スイッチ44，45の共通接続点であるノードＰ41と定電源線ＶＣとの間に、容量47を接続している。スイッチ45の出力であるノードＰ41－Ｄが水平選択スイッチ48のゲート端子に入力され、水平選択スイッチ48のソース端子が水平選択線３－１に、ドレイン端子が信号線９にそれぞれ接続されている。また、ノードＰ41－Ｄとグランド線49の間にスイッチ46を接続する構成となっている。スイッチ44に水平走査パルスφｓ１が入力され、スイッチ44，46はクロックパルスφ３により制御され、スイッチ45はクロックパルス／φ３により制御されるようになっている。
【００２２】
第２の選択回路ユニット42は、スイッチ44に水平走査パルスφｓ２を入力し、スイッチ44，46をクロックパルス／φ３により制御し、スイッチ45をクロックパルスφ３により制御するように構成している点以外は、第１の選択回路ユニット41と同様の構成である。クロックパルスφ３は高レベルと低レベルとの期間が等しいパルスであり、またクロックパルス／φ３はクロックパルスφ３の反転クロックパルスである。
【００２３】
（作　用）
次に図５を用いて、図４に示した固体撮像装置の動作を説明する。図５は、水平シフトレジスタ12と選択回路40の動作、及び垂直選択線２－１が選択された場合のＣＭＤ信号出力を示すタイミングチャートである。水平シフトレジスタ12には、スタートパルスφＳＴ，クロックパルスφ１，φ２を入力する。クロックパルスφ１，φ２の位相の関係は、周期Ｔ１のクロックパルスφ１に対してクロックパルスφ２の位相が、Ｔ１／２以下のずれを生じた場合を示している。
【００２４】
まず、第１の選択回路ユニット41の動作について説明する。水平走査パルスφｓ１が、クロックパルスφ３により制御されるスイッチ44に入力され、ノードＰ41にはクロックパルスφ３の高レベル期間のみ水平走査パルスφｓ１が出力されるので、水平走査パルスφｓ１，クロックパルスφ３が共に高レベル期間に、高レベル信号を容量47に蓄える。容量47に蓄えられた高レベル信号は、クロックパルスφ３の高レベル期間に水平走査パルスφｓ１の低レベル信号がスイッチ44に入力されるまで保持される。ノードＰ41が、クロックパルス／φ３により制御されるスイッチ45に入力され、ノードＰ41－Ｄにはクロックパルス／φ３の高レベル期間のみノードＰ41が出力されるので、ノードＰ41，クロックパルス／φ３が共に高レベル期間に、高レベル信号が出力される。ノードＰ41－Ｄに現れた高レベル信号は、クロックパルスφ３により制御されるスイッチ46を介して、クロックパルスφ３の高レベル期間にリセットされ、低レベル信号となる。したがって、ノードＰ41とクロックパルス／φ３が共に高レベル期間のみ、ノードＰ41－Ｄに高レベル信号が出力される。水平走査パルスφｓ１とクロックパルスφ３との位相関係は、水平走査パルスφｓ１の高レベル期間内にクロックパルスφ３の高レベル期間が開始・終了されればよい。このような位相関係のクロックパルスφ３でスイッチ44，46を制御し、クロックパルス／φ３でスイッチ45を制御することにより、ノードＰ41－Ｄの高レベル期間は、クロックパルス／φ３の高レベル期間で決定される。
【００２５】
次に、第２の選択回路ユニット42の動作について説明する。水平走査パルスφｓ１を水平走査パルスφｓ２に変え、スイッチ44，46を制御するクロックパルスφ３をクロックパルス／φ３とに変え、スイッチ45を制御するクロックパルス／φ３をクロックパルスφ３に変える点以外は、上記第１の選択回路ユニット41の場合と同様である。すなわち、水平走査パルスφｓ２とクロックパルス／φ３との位相関係を、水平走査パルスφｓ２の高レベル期間内にクロックパルス／φ３の高レベル期間を開始・終了させることで、ノードＰ42

－Ｄの高レベル期間は、クロックパルスφ３の高レベル期間で決定される。

【００２６】

以下、第１及び第２の選択回路ユニット41，42の動作が交互に水平選択線３（３－１，３－２，・・・，３－ｎ）の数だけ順に繰り返される。この結果、周期Ｔ１のクロックパルスφ１に対してクロックパルスφ２の位相が、Ｔ１／２以下のずれを生じた場合でも、奇数番目の水平選択線３－１，３－３，・・・の選択期間と偶数番目の水平選択線３－２，・・・の選択期間が等しくなる。また、クロックパルスφ１に対してクロックパルスφ２の位相が、Ｔ１／２以上のずれを生じた場合でも、上記と同様の動作がなされるので、奇数番目の水平選択線３－１，３－３，・・・と偶数番目の水平選択線３－２，・・・の選択期間が等しくなる。

【００２７】

以上のように、水平シフトレジスタ12に入力するクロックパルスφ１とクロックパルスφ２との位相の関係が、Ｔ＝Ｔ１／２以外のずれの場合でも、奇数番目の水平選択線３－１，３－３，・・・の選択期間と偶数番目の水平選択線３－２，・・・の選択期間が等しく、これに対応してＸ方向に配列されているＣＭＤ１の信号読み出し期間が、奇数番目と偶数番目との画素で等しくなることになる。

【００２８】

（効　果）

以上説明したように、本実施の形態によれば、水平選択線の選択期間が、クロックパルスφ３，／φ３で制御されるスイッチ44，45，46及び容量47とで設定されるので、水平シフトレジスタに入力するクロックパルスの複雑な制御なしで、水平選択線の選択期間の時間差に関する問題を発生せずに、画素アレイの信号を読み出すことができる。また、水平シフトレジスタに入力するクロックパルス１周期の期間で、２画素分の信号出力を読み出せるので、高速読み出しに有利である。更に、第１の実施の形態よりも回路構成を簡単にできる。なお、この実施の形態でも水平シフトレジスタにＣＭＯＳクロックインバータ回路を用いたものを示したが、その具体的な構成については、これに限られるものではない。また、本実施の形態では水平選択線の選択期間を設定するために、クロックパルスφ３，／φ３で制御されるスイッチ及び容量を選択回路として用いたものを示したが、選択回路は図６に示すようなラッチ回路などの水平走査パルスを保持する機能を有する回路であれば、同様に用いることができる。図６に示す選択回路は、第１及び第２の選択回路ユニット400，401を、直列接続した反転回路402，403をスイッチ44とスイッチ45との間に並列に接続して構成している。更に本実施の形態では、画素としてＣＭＤを用いたものを示したが、Ｘ・Ｙアドレス型の固体撮像装置に適用することができることは勿論、ラインセンサに適用可能なことは言うまでもない。

【００２９】

〔第３の実施の形態〕

（構　成）

次に、第３の実施の形態について説明する。図７は本発明に係る固体撮像装置の第３の実施の形態を示す構成図であり、図10に示した従来例と同一の部分には同じ符号を付して示している。この実施の形態は請求項１及び３に対応するもので、図10に示した従来例と異なる部分は、水平シフトレジスタ30及び選択回路50である。水平シフトレジスタ30の構成は図１に示した第１の実施の形態の水平シフトレジスタの構成と同様である。次に、選択回路50の構成について説明する。選択回路50は、第１の選択回路ユニット51と第２の選択回路52が交互に水平選択線３（３－１，３－２，・・・，３－ｎ）の数、すなわち合計ｎ個並んで構成されている。

【００３０】

第１の選択回路ユニット51は、高レベル信号が印加されるとＲ端子に接続し、低レベル信号が印加されるとＬ端子に接続するスイッチ53と、水平選択スイッチ54とから構成されている。ノードＰ51は水平選択スイッチ54のゲート端子に入力され、また水平選択スイッチ54のソース端子が水平選択線３－１に、またドレイン端子が信号線９に、それぞれ接続さ

れるように構成されている。水平選択スイッチ54のゲート端子とスイッチ53を接続し、スイッチ53のＬ端子をグランド線49に接続し、Ｒ端子を水平走査パルスφｓ１の入力端子とする構成となっている。そしてスイッチ53はクロックパルスφ３により制御されるようになっている。

【００３１】

第２の選択回路ユニット52は、スイッチ53のＲ端子に水平走査パルスφｓ２を入力し、スイッチ53をクロックパルス／φ３により制御するように構成している点以外は、第１の選択回路ユニット51と同様の構成である。クロックパルスφ３は高レベルと低レベルとの期間が等しいパルスであり、またクロックパルス／φ３はクロックパルスφ３の反転クロックパルスである。

【００３２】

（作　用）

次に図８を用いて、図７に示した固体撮像装置の動作を説明する。図８は、水平シフトレジスタ30と選択回路50の動作、及び垂直選択線２－１が選択された場合のＣＭＤ信号出力を示すタイミングチャートである。水平シフトレジスタ30には、スタートパルスφＳＴ，クロックパルスφ１，φ２を入力する。クロックパルスφ１，φ２の位相の関係は、周期Ｔ１のクロックパルスφ１に対してクロックパルスφ２の位相が、Ｔ１／２以上のずれを生じた場合を示している。

【００３３】

まず、第１の選択回路ユニット51の動作について説明する。水平走査パルスφｓ１が、クロックパルスφ３の高レベル期間スイッチ53のＲ端子に入力されるので、ノードＰ51には、水平走査パルスφｓ１，クロックパルスφ３が共に高レベル期間に、高レベル信号が出力される。ノードＰ51に現れた高レベル信号は、クロックパルスφ３の低レベル期間にスイッチ53のＬ端子が接続されるので、リセットされ低レベル信号となる。水平走査パルスφｓ１とクロックパルスφ３との位相関係は、水平走査パルスφｓ１の高レベル期間内にクロックパルスφ３の高レベル期間が開始・終了されればよい。このような位相関係のパルスでスイッチ53を制御することにより、ノードＰ51の高レベル期間は、クロックパルスφ３の高レベル期間で決定される。

【００３４】

次に、第２の選択回路ユニット52の動作について説明する。水平走査パルスφｓ１を水平走査パルスφｓ２に変え、スイッチ53を制御するクロックパルスφ３をクロックパルス／φ３に変える点以外は、上記第１の選択回路ユニット51の場合と同様である。すなわち、水平走査パルスφｓ２とクロックパルス／φ３との位相関係を、水平走査パルスφｓ２の高レベル期間内にクロックパルス／φ３の高レベル期間を開始・終了させることで、ノードＰ52の高レベル期間は、クロックパルス／φ３の高レベル期間で決定される。

【００３５】

以下、第１及び第２の選択回路ユニット51，52の動作が交互に水平選択線３（３－１，３－２，・・・，３－ｎ）の数だけ順に繰り返される。この結果、周期Ｔ１のクロックパルスφ１に対してクロックパルスφ２の位相が、Ｔ１／２以上のずれを生じた場合でも、奇数番目の水平選択線３－１，３－３，・・・の選択期間と偶数番目の水平選択線３－２，・・・の選択期間が等しくなる。また、クロックパルスφ１に対してクロックパルスφ２の位相が、Ｔ１／２以下のずれを生じた場合でも、上記と同様の動作がなされるので、奇数番目の水平選択線３－１，３－３，・・・と偶数番目の水平選択線３－２，・・・の選択期間が等しくなる。

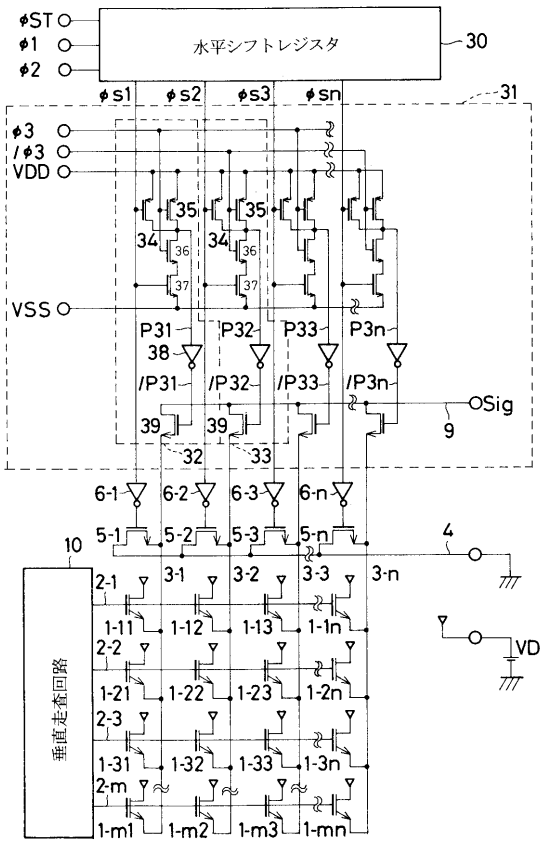
【００３６】

以上のように、水平シフトレジスタ30に入力するクロックパルスφ１とクロックパルスφ２との位相の関係が、Ｔ＝Ｔ１／２以外のずれの場合でも、奇数番目の水平選択線３－１，３－３，・・・の選択期間と偶数番目の水平選択線３－２，・・・の選択期間が等しく、これに対応してＸ方向に配列されているＣＭＤ１の信号読み出し期間が、奇数番目と偶数番目との画素で等しくなることになる。

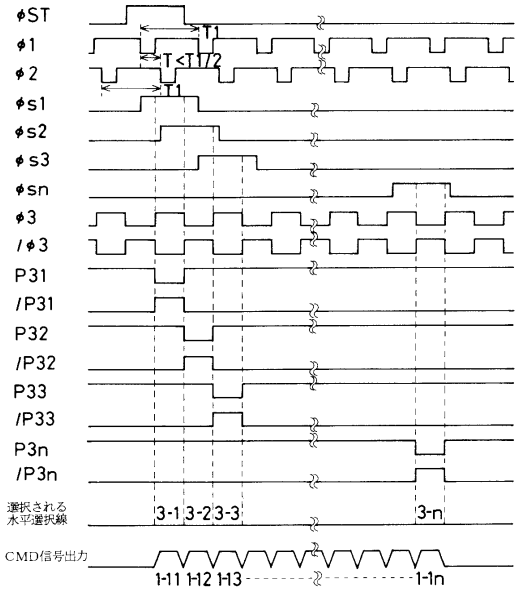
【００３７】
（効　果）
以上説明したように、本実施の形態によれば、水平選択線の選択期間が、クロックパルスφ３，／φ３で制御されるスイッチ53で設定されるので、水平シフトレジスタに入力するクロックパルスの複雑な制御なしで、水平選択線の選択期間の時間差に関する問題を発生せずに、画素アレイの信号を読み出すことができる。また、水平シフトレジスタに入力するクロックパルス１周期の期間で、２画素分の信号出力を読み出せるので、高速読み出しに有利である。更に、第１及び第２の実施の形態よりも回路構成を簡単にできる。なお、この実施の形態でも、水平シフトレジスタにＣＭＯＳクロックインバータ回路を用いたものを示したが、その具体的な構成については、これに限られるものではない。また、本実施の形態では、水平選択線の選択期間を設定するために、クロックパルスφ３，／φ３で制御されるスイッチを選択回路として用いたものを示したが、選択回路は、図９に示すように複数のスイッチを組み合わせて構成したものを用いてもよい。図９に示した選択回路は、第１及び第２の選択回路ユニット500 ，501 をスイッチ502 ，503 で構成している。更に本実施の形態では、画素としてＣＭＤを用いたものを示したが、Ｘ・Ｙアドレス型の固体撮像装置に適用することができることは勿論、ラインセンサに適用可能なことは言うまでもない。
【００３８】
【発明の効果】
以上実施の形態に基づいて説明したように、請求項１～４記載の各発明によれば、水平シフトレジスタに入力するクロックパルスの複雑な制御なしで、水平選択線の選択期間の時間差に関する問題を発生せずに、画素アレイの信号を読み出すことができる。更に、請求項１～４記載の各発明は、水平シフトレジスタに入力するクロックパルス１周期の期間で２画素分の信号出力を読み出せるので、高速読み出しに有利である等の効果を備えている。
【図面の簡単な説明】
【図１】本発明に係る固体撮像装置の第１の実施の形態を示す構成図である。
【図２】図１に示した第１の実施の形態の動作を説明するためのタイミングチャートである。
【図３】図１に示した第１の実施の形態における選択回路の他の構成例を示す図である。
【図４】本発明に係る固体撮像装置の第２の実施の形態を示す構成図である。
【図５】図４に示した第２の実施の形態の動作を説明するためのタイミングチャートである。
【図６】図４に示した第２の実施の形態における選択回路の他の構成例を示す図である。
【図７】本発明に係る固体撮像装置の第３の実施の形態を示す構成図である。
【図８】図７に示した第３の実施の形態の動作を説明するためのタイミングチャートである。
【図９】図７に示した第３の実施の形態における選択回路の他の構成例を示す図である。
【図１０】従来の固体撮像装置を示す構成図である。
【図１１】図10に示した従来例の水平シフトレジスタを示す回路構成図である。
【図１２】図10に示した従来例において、クロックパルスφ１とクロックパルスφ２との位相関係を半周期ずらした場合の動作を説明するためのタイミングチャートである。
【図１３】図10に示した固体撮像装置において、クロックパルスφ１とクロックパルスφ２との位相関係を半周期以下にずらした場合の動作を説明するためのタイミングチャートである。
【符号の説明】
１　ＣＭＤ
２　垂直選択線
３　水平選択線
４　グランド線

5　非選択用スイッチ
6　反転回路
7　第１の水平選択スイッチ
8　第２の水平選択スイッチ
9　信号線
10　垂直走査回路
11　水平走査回路
12　水平シフトレジスタ
13　選択回路
30　水平シフトレジスタ
31　選択回路
32　第１の選択回路ユニット
33　第２の選択回路ユニット
38　反転回路
39　水平選択スイッチ
40　選択回路
41　第１の選択回路ユニット
42　第２の選択回路ユニット
43　非選択スイッチ回路
48　水平選択スイッチ
49　グランド線
50　選択回路
51　第１の選択回路ユニット
52　第２の選択回路ユニット
53　スイッチ
58　水平選択スイッチ

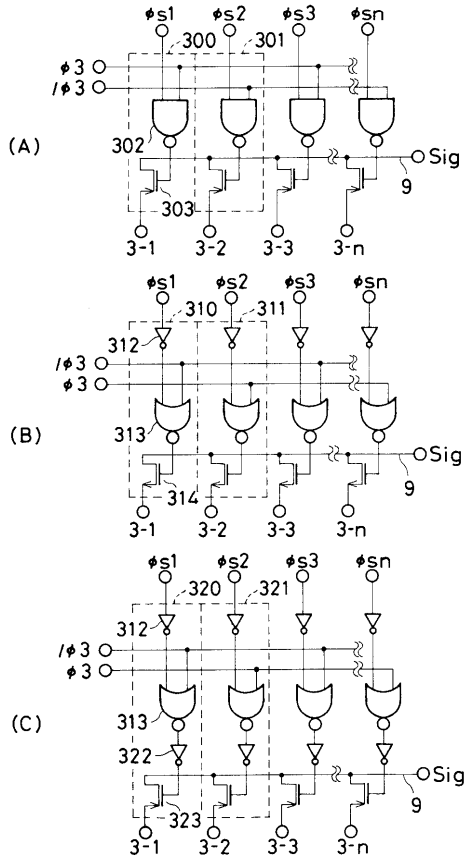
【図１】


φST
φ1
φ2
水平シフトレジスタ
30
φs1
φs2
φs3
φsn
31
φ3
/φ3
VDD
VSS
35
34
36
37
P31
P32
P33
P3n
38
/P31
/P32
/P33
/P3n
Sig
9
39
32
33
6-1
6-2
6-3
6-n
5-1
5-2
5-3
5-n
4
10
2-1
3-1
3-2
3-3
3-n
1-11
1-12
1-13
1-1n
2-2
1-21
1-22
1-23
1-2n
2-3
1-31
1-32
1-33
1-3n
2-m
1-m1
1-m2
1-m3
1-mn
垂直走査回路
VD

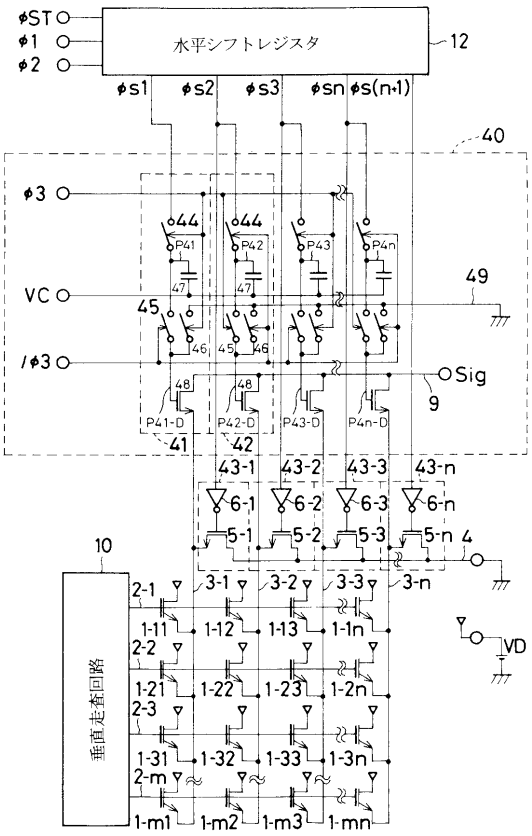
【図２】


φST
φ1
φ2
φs1
φs2
φs3
φsn
φ3
/φ3
P31
/P31
P32
/P32
P33
/P33
P3n
/P3n
T1
T<T1/2
選択される
水平選択線
3-1
3-2
3-3
3-n
CMD信号出力
1-11
1-12
1-13
1-1n

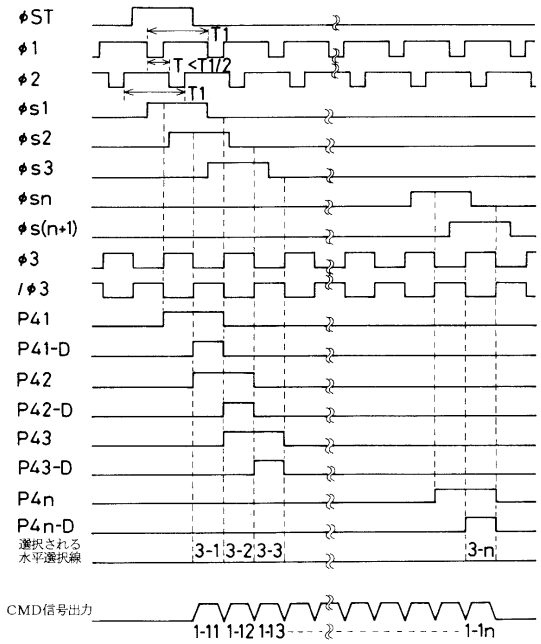
【図３】


(A)
φs1
φs2
φs3
φsn
300
301
φ3
/φ3
302
303
Sig
9
3-1
3-2
3-3
3-n
(B)
310
311
312
313
314
(C)
320
321
322
323

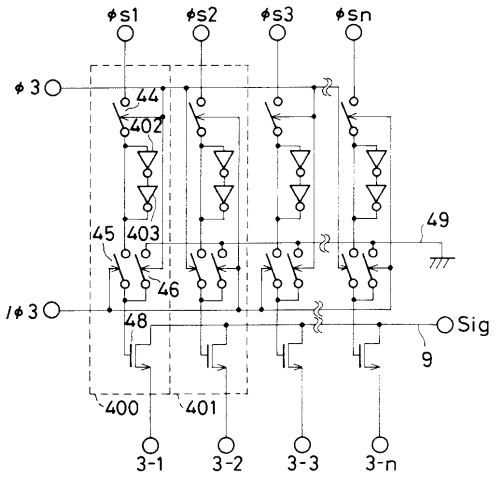
【図４】


φST
φ1
φ2
水平シフトレジスタ
12
φs1
φs2
φs3
φsn
φs(n+1)
40
φ3
VC
/φ3
44
P41
P42
P43
P4n
47
49
45
46
Sig
9
48
P41-D
P42-D
P43-D
P4n-D
41
42
43-1
43-2
43-3
43-n
6-1
6-2
6-3
6-n
5-1
5-2
5-3
5-n
4
10
2-1
3-1
3-2
3-3
3-n
1-11
1-12
1-13
1-1n
2-2
1-21
1-22
1-23
1-2n
2-3
1-31
1-32
1-33
1-3n
2-m
1-m1
1-m2
1-m3
1-mn
垂直走査回路
VD

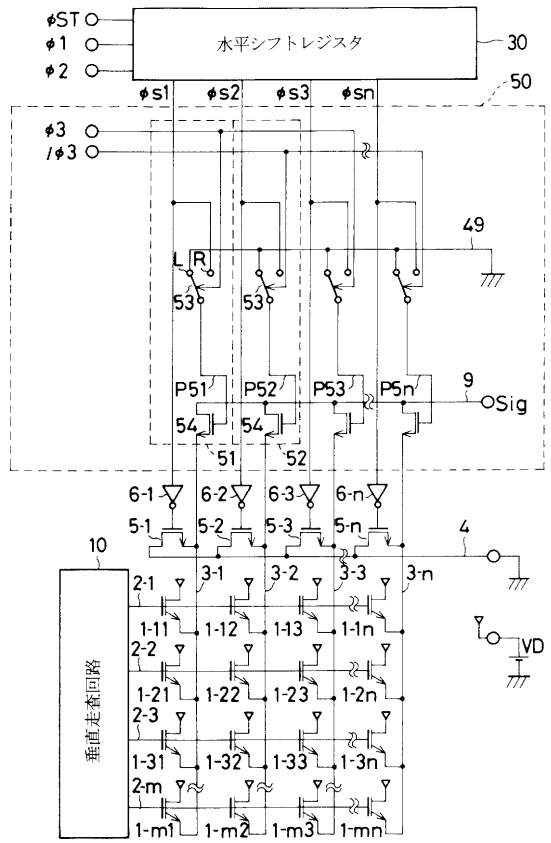
【図５】


φST
φ1
φ2
φs1
φs2
φs3
φsn
φs(n+1)
φ3
/φ3
P41
P41-D
P42
P42-D
P43
P43-D
P4n
P4n-D
選択される水平選択線
CMD信号出力
T1
T<T1/2
3-1
3-2
3-3
3-n
1-11
1-12
1-13
1-1n

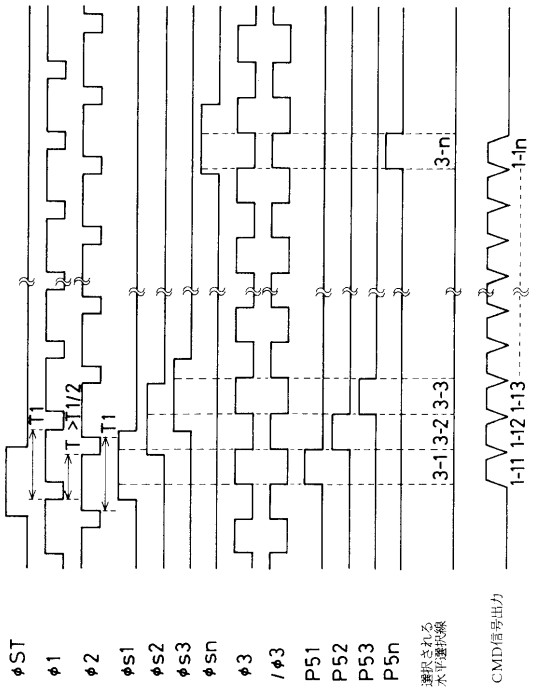
【図６】


φs1
φs2
φs3
φsn
φ3
/φ3
44
402
45
403
46
48
49
Sig
9
400
401
3-1
3-2
3-3
3-n

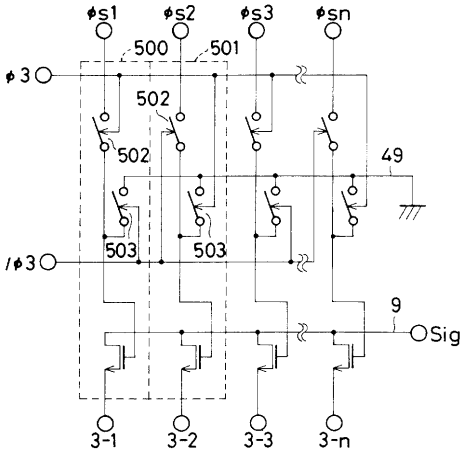
【図７】


φST
φ1
φ2
水平シフトレジスタ
30
50
φs1
φs2
φs3
φsn
φ3
/φ3
49
L
R
53
P51
P52
P53
P5n
9
Sig
54
51
52
6-1
6-2
6-3
6-n
5-1
5-2
5-3
5-n
4
10
2-1
3-1
3-2
3-3
3-n
1-11
1-12
1-13
1-1n
2-2
1-21
1-22
1-23
1-2n
2-3
1-31
1-32
1-33
1-3n
2-m
1-m1
1-m2
1-m3
1-mn
垂直走査回路
VD

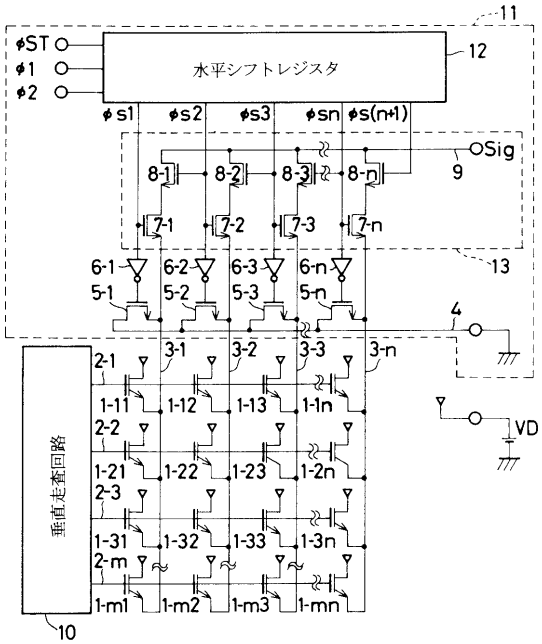
【図８】


φST
φ1
φ2
φs1
φs2
φs3
φsn
φ3
/φ3
P51
P52
P53
P5n
選択される水平選択線
CMD信号出力
T1
T<T1/2
3-n
3-3
3-2
3-1
1-1n
1-13
1-12
1-11

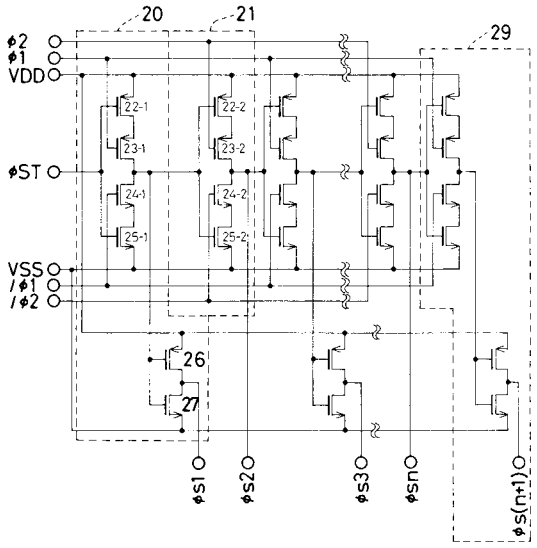
【図９】



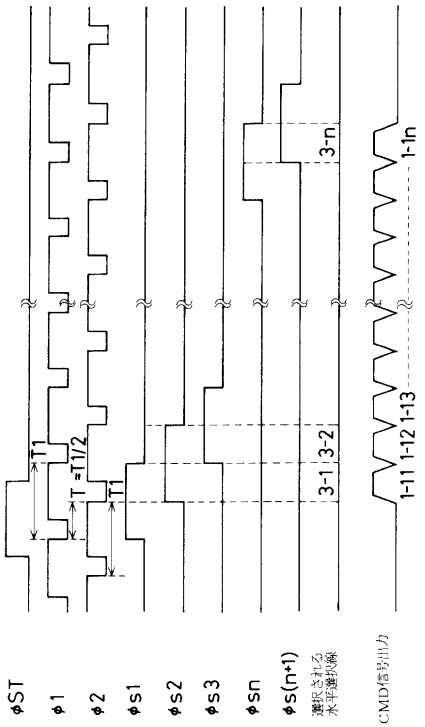
【図１０】



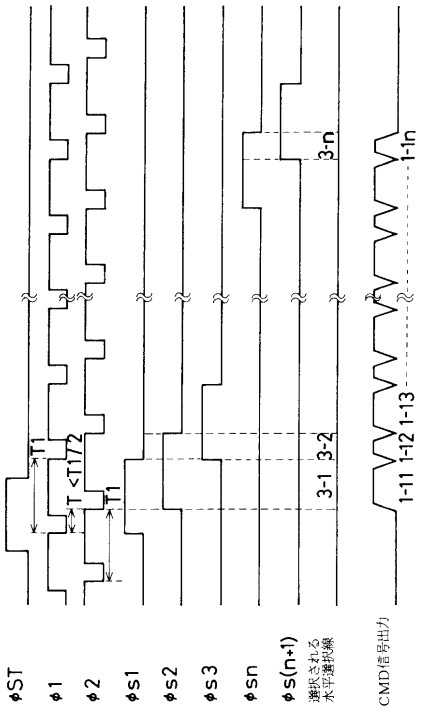
【図１１】



【図１２】



【図１３】


φST
φ1
φ2
φs1
φs2
φs3
φsn
φs(n+1)
選択される
水平選択線
CMD信号出力
T1
T <T1/2
T1
3-1
3-2
3-n
1-11
1-12
1-13
1-1n

フロントページの続き

(58)調査した分野(Int.Cl., ＤＢ名)
H04N 5/335