



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

230632

(11)

(B1)

(22) Přihlášeno 22 04 83
(21) (PV 2879-83)

(51) Int. Cl.³
G 06 F 7/10

(40) Zveřejněno 25 11 83
(45) Vydáno 15 05 86

(75)

Autor vynálezu

LOUTOCKÝ DUŠAN ing., KUBÍN PAVEL ing. CSc., PRAHA

(54) Zapojení obvodu pro separaci dat ze signálu dvojité frekvence

Vynález se týká zapojení obvodu pro separaci dat ze signálu dvojité frekvence přijímaného v sériovém tvaru po jednom vodiči ze zařízení číslicové techniky.

Při zpracování číslicového signálu, v němž je informace zakódována dvojitou frekvencí je často nutné vybavit zařízení výpočetní techniky jednoduchým obvodem pro vydělení dat a hodinové frekvence z takového signálu.

Takovéto obvody je možné řešit buď s pomocí fázově vázaného oscilátoru nebo soustavou monostabilních klopných obvodů. Obvody fázového oscilátoru jsou většinou značně složité, náročné na objem a mají vysoké nároky na počet napájecích napětí používaných pro jejich napájení. Kromě toho je třeba při jejich konstrukci používat mnoho diskretních součástek mnohdy s vysokými požadavky na přesnost jejich parametrů, to všechno zvyšuje náklady na realizaci takovýchto obvodů. Doposud známé obvody pro separaci dat tvořené soustavou monostabilních klopných obvodů používají dva monostabilní obvody pro určení vzdálenosti datového pulsu od pulsu hodinového a vzdálenosti následujícího hodinového pulsu od pulsu datového. Nevýhodou takového řešení je větší počet součástek, potřeba odděleného nastavování obou klopných obvodů a z toho vyplývající menší přesnost a spolehlivost takového obvodu.

Uvedené nevýhody řeší jednoduché zapojení obvodu pro separaci dat ze signálu dvojité frekvence podle vynálezu, jehož podstata spočívá v tom, že vstupní vodič zapisované informace je připojen na první vstup prvního součinného obvodu a dále vstupní vodič režimu zápisu je připojen na druhý vstup prvního součinného obvodu a dále vstupní vodič čtení informace je připojen na první vstup druhého součinného obvodu a dále vstupní vodič režimu čtení je připojen na druhý vstup druhého součinného obvodu a dále výstup prvního součinného obvodu je spojen vodičem s prvním vstupem součtového obvodu a dále výstup druhého sou-

činového obvodu je spojen vodičem s druhým vstupem součtového obvodu a dále výstup součtinového obvodu je spojen vodičem s druhým vstupem součtového obvodu a dále výstup součtového obvodu je spojen vodičem směsí dat se vstupem restartovatelného monostabilního klopného obvodu a se vstupem zpožďovacího obvodu a s prvním hodinovým vstupem klopného obvodu typu J-K a s prvním hodinovým vstupem prvního klopného obvodu a dále výstup restartovatelného monostabilního klopného obvodu je spojen vodičem s druhým, J vstupem klopného obvodu typu J-K a s druhým datovým vstupem prvního klopného obvodu a dále výstup zpožďovacího obvodu je spojen vodičem s prvním vstupem třetího součtinového obvodu a dále výstup generátoru logické jedničky je spojen vodičem s třetím, K vstupem klopného obvodu typu J-K a dále výstup klopného obvodu typu J-K je spojen vodičem s druhým vstupem třetího součtinového obvodu a s prvním, nastavovacím vstupem druhého klopného obvodu a dále výstup generátoru logické nuly je spojen vodičem s druhým, datovým vstupem druhého klopného obvodu a dále výstupní vodič signálu separovaných hodin je připojen na výstup třetího součtinového obvodu a na třetí, hodinový vstup druhého klopného obvodu a dále výstupní vodič signálu chybějících hodin je připojen na výstup prvního klopného obvodu a dále výstupní vodič signálu separovaných dat je připojen na výstup druhého klopného obvodu a na třetí, nastavovací vstup prvního klopného obvodu.

Hlavní výhodou zapojení podle vynálezu je, že umožňuje jednoduchými prostředky vytvořit separátor dat ze signálu s dvojitou frekvencí. Jednoduchost zapojení je způsobena tím, že je použit pouze jeden standardní restartovatelný monostabilní klopný obvod.

Na připojeném výkrese je schematicky znázorněno zapojení obvodu pro separaci dat ze signálu dvojité frekvence, sestávající z prvního součtinového obvodu 1, druhého součtinového obvodu 2, součtového obvodu 3, restartovatelného monostabilního obvodu 4, zpožďovacího obvodu 5, třetího součtinového obvodu 6, generátoru 7 logické jedničky a generátoru 8 logické nuly, klopného obvodu 9 typu J-K, prvního klopného obvodu 10 a druhého klopného obvodu 11.

Na tomto obrázku je znázorněno zapojení vstupních vodičů, výstupních vodičů i vodičů propojujících vstupy a výstupy těchto obvodů a to tak, že vstupní vodič 100 zapisované informace je připojen na první vstup prvního součtinového obvodu 1 a dále vstupní vodič 101 režimu zápisu je připojen na druhý vstup prvního součtinového obvodu 1 a dále vstupní vodič 102 čtené informace je připojen na první vstup druhého součtinového obvodu 2 a dále vstupní vodič 103 režimu čtení je připojen na druhý vstup druhého součtinového obvodu 2 a dále výstup prvního součtinového obvodu 1 je spojen vodičem 104 s prvním vstupem součtového obvodu 3 a dále výstup druhého součtinového obvodu 2 je spojen vodičem 105 s druhým vstupem součtového obvodu 3 a dále výstup součtového obvodu 3 je spojen vodičem 106 směsí dat se vstupem restartovatelného monostabilního klopného obvodu 4 a se vstupem zpožďovacího obvodu 5 a s prvním, hodinovým vstupem klopného obvodu 9 typu J-K a s prvním, hodinovým vstupem prvního klopného obvodu 10 a dále výstup restartovatelného monostabilního klopného obvodu 4 je spojen vodičem 107 s druhým, J vstupem klopného obvodu 9 typu J-K a s druhým, datovým vstupem prvního klopného obvodu 10 a dále výstup zpožďovacího obvodu 5 je spojen vodičem 111 s prvním vstupem třetího součtinového obvodu 6 a dále výstup generátoru 7 logické jedničky je spojen vodičem 108 s třetím, K vstupem klopného obvodu 9 typu J-K a dále výstup klopného obvodu 9 typu J-K je spojen vodičem 109 s druhým vstupem třetího součtinového obvodu 6 a s prvním, nastavovacím vstupem druhého klopného obvodu 11 a dále výstup generátoru 8 logické nuly je spojen vodičem 110 s druhým datovým vstupem druhého klopného obvodu 11 a dále výstupní vodič 112 signálu separovaných hodin je připojen na výstup třetího součtinového obvodu 6 a na třetí, hodinový vstup druhého klopného obvodu 11 a dále výstupní vodič 114 signálu chybějících hodin je připojen na výstup prvního klopného obvodu 10 a dále výstupní vodič 113 signálu separovaných dat je připojen na výstup druhého klopného obvodu 11 a na třetí, nastavovací vstup prvního klopného obvodu 10.

Obvod pro separaci dat ze signálu dvojité frekvence pracuje takto:

Při režimu čtení je signál čtené informace hradlován signálem režimu čtení druhým součtinovým obvodem 2 a pomocí součtového obvodu 3 je přiveden na vstup restartovatelného klopného monostabilního obvodu 4. Restartovatelný monostabilní klopný obvod 4 se nahodí

náběžnou hranou pulsu signálu přivedeného na jeho vstup a zůstává nahozen po dobu danou jeho nastavením. Tato doba je volena tak, aby byla větší než maximální možná délka intervalu mezi hodinovým a datovým pulsem, ale přitom kratší, než minimální možná vzdálenost mezi dvěma hodinovými pulsy signálu dvojité frekvence.

Současné s nahozením tohoto restartovatelného monostabilního klopného obvodu 4 se úroveň signálu na výstupu restartovatelného monostabilního klopného obvodu 4 zpracuje klopným obvodem 2 typu J-K tak, že je-li v době náběžné hrany signálu přivedeného na první, hodinový vstup tohoto klopného obvodu 2 typu J-K úroveň signálu na výstupu restartovatelného monostabilního klopného obvodu 4 rovna log. 1 změní se stav klopného obvodu 2 typu J-K.

Je-li v době náběžné hrany signálu přivedeného na první, hodinový vstup klopného obvodu 2 typu J-K úroveň signálu na výstupu restartovatelného monostabilního klopného obvodu 4 rovna log. 0 přechází klopný obvod 2 typu J-K do stavu log. 0.

Zpoždovací obvod 5 zpozdí signál přivedený na první, hodinový vstup klopného obvodu 2 typu J-K do doby, kdy je stav klopného obvodu 2 typu J-K již ustálen. Výstupní signál klopného obvodu 2 typu J-K je vynásoben třetím součinným obvodem 6 s výstupním signálem zpoždovacího obvodu 5 tak, že na výstupu třetího součinného obvodu 6 je generován signál separovaných hodin.

Signál separovaných hodin je současně veden na třetí, hodinový vstup druhého klopného obvodu 11, čímž způsobí, že tento druhý klopný obvod 11 je v době závěrné hrany signálu separovaných hodin nulován. Druhý klopný obvod 11 se nahuzeje v tom případě, že se nahodí klopný obvod 2 typu J-K. Tím jsou na výstupu druhého klopného obvodu 11 generována separovaná data synchronní s náběžnou hranou signálu separovaných hodin. Vyhodnocení chybějícího hodinového pulsu po datovém pulsu provádí první klopný obvod 10.

Nahození prvního klopného obvodu 10 je podmíněno tím, že je generován jedničkový signál separovaných dat na výstupu druhého klopného obvodu 11. Jenom v takovémto případě se v době náběžné hrany signálu přivedeného na vstup restartovatelného monostabilního klopného obvodu 4 zapamatuje na první klopném obvodu 10 současný stav výstupu restartovatelného monostabilního klopného obvodu 4. V tom případě, že nebyl v této době restartovatelný monostabilní klopný obvod 4 nahozen, nastaví se signál na výstupu prvního klopného obvodu 10 na úroveň interpretovanou jako signál chybějících hodin.

Při režimu zápisu je na vstup restartovatelného monostabilního klopného obvodu 4 přiveden pomocí součtového obvodu 3 signál zapisované informace vyhradlováný signálem režimu zápisu prvního součinným obvodem. Tento signál je stejný jako signál čtené informace tvořený samými nulami a bez chybějících hodinových pulsů. Protože ostatní obvody zapojení pracují zcela stejně jako při režimu čtení je obvodem generován pouze signál separovaných hodin, signál separovaných dat a signál chybějících hodin nemůže být v tomto režimu generován.

Obvod pro separaci dat se signálu dvojité frekvence je použit v řídicí jednotce pro připojení diskových pamětí s kapacitou 29 Mbyte a 7,25 Mbyte k minipočítači ADT.

PŘEDMĚT VYNÁLEZU

Zapejení obvodu pro separaci dat ze signálu dvojité frekvence vyznačené tím, že vstupní vodič (100) zapisované informace je připojen na první vstup prvního součinnového obvodu (1) a dále vstupní vodič (101) režimu zápisu je připojen na druhý vstup prvního součinnového obvodu (1) a dále vstupní vodič (102) čtené informace je připojen na první vstup druhého součinnového obvodu (2) a dále vstupní vodič (103) režimu čtení je připojen na druhý vstup druhého součinnového obvodu (2) a dále výstup prvního součinnového obvodu (1) je spojen vodičem (104) s prvním vstupem součtového obvodu (3) a dále výstup druhého součinnového obvodu (2) je spojen vodičem (105) s druhým vstupem součtového obvodu (3) a dále výstup součtového obvodu (3) je spojen vodičem (106) směsí dat se vstupem restartovatelného monostabilního klopného obvodu (4) a se vstupem spešdovacího obvodu (5) a s prvním, hodinovým vstupem klopného obvodu (9) typu J-K a s prvním, hodinovým vstupem prvního klopného obvodu (10) a dále výstup restartovatelného monostabilního klopného obvodu (4) je spojen vodičem (107) s druhým, J vstupem klopného obvodu (9) typu J-K a s druhým, datovým vstupem prvního klopného obvodu (10) a dále výstup spešdovacího obvodu (5) je spojen vodičem (111) s prvním vstupem třetího součinnového obvodu (6) a dále výstup generátoru (7) logické jedničky je spojen vodičem (108) s třetím, K vstupem klopného obvodu (9) typu J-K a dále výstup klopného obvodu (9) typu J-K je spojen vodičem (109) s druhým vstupem třetího součinnového obvodu (6) a s prvním, nastavovacím vstupem druhého klopného obvodu (11) a dále výstup generátoru (8) logické nuly je spojen vodičem (110) s druhým, datovým vstupem druhého klopného obvodu (11) a dále výstupní vodič (112) signálu separovaných hodin je připojen na výstup třetího součinnového obvodu (6) a na třetí, hodinový vstup druhého klopného obvodu (11) a dále výstupní vodič (114) signálu chybějících hodin je připojen na výstup prvního klopného obvodu (10) a dále výstupní vodič (113) signálu separovaných dat je připojen na výstup druhého klopného obvodu (11) a na třetí, nastavovací vstup prvního klopného obvodu (10).

1 výkres

