



(12) 发明专利

(10) 授权公告号 CN 110855552 B

(45) 授权公告日 2021.09.03

(21) 申请号 201911060265.X

G06F 13/28 (2006.01)

(22) 申请日 2019.11.01

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 109656861 A, 2019.04.19

申请公布号 CN 110855552 A

CN 109408419 A, 2019.03.01

(43) 申请公布日 2020.02.28

CN 101562559 A, 2009.10.21

(73) 专利权人 中国人民解放军国防科技大学

WO 2017007510 A1, 2017.01.12

地址 210007 江苏省南京市秦淮区后标营  
18号

CN 107248867 A, 2017.10.13

(72) 发明人 王彦刚 范建华 胡永扬 李冉  
王晓波 成洁

羿昌宇 等.《基于RapidIO的FPGA硬件抽象  
层设计》.《航空电子技术》.2015, 第46卷(第3  
期),

(74) 专利代理机构 南京理工大学专利中心  
32203

ISO/IEC/IEEE 24765:2010 (E) .《ISO/IEC/  
IEEE International Standard-Systems and  
software engineering--Vocabulary》.《IEEE》  
.2010,

代理人 吴茂杰

审查员 谢丹

(51) Int.Cl.

权利要求书2页 说明书6页 附图5页

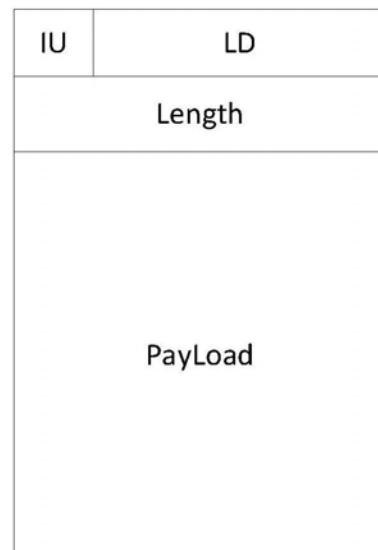
H04L 12/58 (2006.01)

(54) 发明名称

基于缓存静态分配的硬件抽象层消息转发  
方法

(57) 摘要

本发明公开一种基于缓存静态分配的硬件  
抽象层消息转发方法,包括如下步骤: (10) 将LD  
与PD的映射关系注册到硬件抽象层中的LD-PD表  
中; (20) 将数据封装成MHAL消息格式并发送给硬  
件抽象层; (30) 检索LD-PD表,获取对应的PD值;  
(40) 检索PD表,获取对应的DMA缓存序号; (50) 检  
索DMA缓存表,获取对应的DMA缓存起始地址;  
(60) 以检索的PD值和DMA缓存起始地址为输入参  
数,调用SRIO驱动,将MHAL消息发送到目标波形  
组件所运行的处理器。本发明的硬件抽象层消息  
转发方法,能够在SRIO总线传输条件下避免硬件  
抽象层消息覆盖。



B

CN 110855552

1. 一种基于缓存静态分配的硬件抽象层消息转发方法,其特征在于,包括如下步骤:

(10) 初始化LD-PD表:源波形组件将目标波形组件的LD与PD的映射关系注册到硬件抽象层中的LD-PD表中;所述源波形组件为调用硬件抽象层接口发送数据的波形组件;所述目标波形组件为接收源波形组件所发送数据的波形组件,其与源波形组件分别运行在不同的处理器上;所述LD为波形组件的逻辑地址;所述PD为波形组件所运行处理器的串行高速总线SRI0端口地址;

(20) 发送MHAL消息:源波形组件将数据封装成硬件抽象层MHAL消息格式并发送给硬件抽象层;

(30) 检索LD-PD表:硬件抽象层以LD为索引,检索LD-PD表,获取对应的PD值;

(40) 检索PD表:硬件抽象层以PD为索引,检索PD表,获取对应的直接存储器访问DMA缓存序号;

(50) 检索DMA缓存表:硬件抽象层以DMA缓存序号为索引,检索DMA缓存表,获取对应的DMA缓存起始地址;

(60) 转发MHAL消息:硬件抽象层以检索的PD值和DMA缓存起始地址为输入参数,调用SRI0驱动,将MHAL消息发送到目标波形组件所运行的处理器;

所述(10)初始化LD-PD表步骤包括:

(11) LD值获取:源波形组件获取目标波形组件的LD值;

(12) PD值获取:源波形组件获取目标波形组件所部属的处理器的SRI0端口地址,并将其作为目标波形组件的PD值;

(13) LD-PD注册:源波形组件调用硬件抽象层接口,将目标波形组件LD与PD的映射关系注册到LD-PD表中。

2. 根据权利要求1所述的硬件抽象层消息转发方法,其特征在于,所述(20)发送MHAL消息步骤包括:

(21) 数据封装:源波形组件将待发送给目标波形组件的数据封装成MHAL消息格式;

(22) 数据发送:源波形组件调用硬件抽象层接口,将封装的MHAL消息发送给硬件抽象层。

3. 根据权利要求1所述的硬件抽象层消息转发方法,其特征在于,所述(30)检索LD-PD表步骤包括:

(31) 硬件抽象层从MHAL消息中解析出LD字段的值;

(32) 硬件抽象层以LD字段为索引检索LD-PD表;

(33) 检索成功,返回PD值;

(34) 检索失败,报错并退出。

4. 根据权利要求1所述的硬件抽象层消息转发方法,其特征在于:

所述(40)检索PD表步骤中,所述PD表包括“PD值”列和“DMA缓存序号”列;

所述“PD值”列包括硬件平台上通过SRI0交换机与本处理器互联的所有SRI0端口地址;

所述“DMA缓存序号”列包括“PD值”列中的每个SRI0端口为本处理器静态分配的DMA缓存的序号。

5. 根据权利要求4所述的硬件抽象层消息转发方法,其特征在于,所述(40)检索PD表步骤包括:

- (41) 硬件抽象层以PD值为索引,检索PD表;
- (42) 检索成功,返回DMA缓存序号;
- (43) 检索失败,报错并退出。

6. 根据权利要求1所述的硬件抽象层消息转发方法,其特征在于:

(50) 检索DMA缓存表步骤中,所述DMA缓存表中包括“DMA缓存序号”列和“DMA缓存起始地址”列;

所述“DMA缓存序号”列包括范围从1至 $(N-1) \times (N-1)$ 的连续序号,每个序号唯一表示1个DMA缓存;

所述N表示硬件平台上通过交换机互联的SRI0端口数量,每个SRI0端口预留N-1个用于接收SRI0数据的DMA缓存,并将其静态地分配给外部的N-1个SRI0端口,即1个外部SRI0端口将获得1个专用DMA缓存,硬件平台上的所有SRI0端口共计预留出 $(N-1) \times (N-1)$ 个DMA缓存;

所述“DMA缓存起始地址”列包括与每个DMA缓存序号对应的DMA缓存的起始地址,且每个缓存空间大小与MHAL消息的最大长度相同。

7. 根据权利要求6所述的硬件抽象层消息转发方法,其特征在于,所述(50)检索DMA缓存表步骤包括:

- (51) 硬件抽象层以DMA缓存序号为索引检索DMA缓存表;
- (52) 检索成功,返回DMA缓存起始地址;
- (53) 检索失败,报错并退出。

## 基于缓存静态分配的硬件抽象层消息转发方法

### 技术领域

[0001] 本发明属于无线通信技术领域,特别是一种能够在SRI0总线传输条件下避免硬件抽象层消息覆盖的基于缓存静态分配的硬件抽象层消息转发方法。

### 背景技术

[0002] 软件通信体系结构(Software Communication Architecture,SCA)作为软件无线电领域的一个重要体系结构已得到了广泛应用,为了提高波形组件的可移植性,SCA硬件抽象层(Modem Hardware Abstract Layer,MHAL,以下简称“硬件抽象层”)标准被提出。硬件抽象层是对下屏蔽底层硬件通信细节、对上提供标准接口的中间层软件,波形组件通过调用硬件抽象标准接口能够实现组件之间的数据交互。硬件抽象层中定义了两个地址,分别为逻辑地址LD(Logical Destination)和物理地址PD(Physical Destination),其中LD表示运行在硬件抽象层之上的波形组件的地址,波形组件基于MHAL消息格式(如图1所示)进行数据交互;PD表示波形组件运行的硬件地址。

[0003] 目前SCA通用硬件平台大都基于高速总线设计,各类型处理器通过高速总线进行互联。SRI0总线具备良好的数据传输性能、简单的扩展方式(通过SRI0交换机可任意扩展),以及现有各类型高速处理器都具备SRI0总线端口,所以,SRI0总线被广泛应用于SCA通用硬件平台的研制过程中。另外,为了满足高速数据业务需求,SRI0端口之间一般采用DirectIO通信模式(即DMA模式),那么在数据发送过程中不仅需要知道目标处理器的SRI0地址还需要知道目标器件用来存储SRI0数据的DMA缓存地址,如果不同发送者都向同一个SRI0端口的同一个处DMA缓存发送数据,则极有可能会产生数据覆盖问题,尤其对于GPP(General Purpose Processor)和DSP(Digital Signal Processor)来说,SRI0数据到达后,首先触发中断、处理器再响应中断并进入中断处理程序、最后将缓存数据“搬走”,整个过程所消耗的时间是几百微秒级甚至毫秒级,如果在“搬走”缓存数据的过程中,其它处理器的SRI0数据包又到达了,那么“数据覆盖”现象就不可避免了。

[0004] 综上所述,基于SRI0总线进行硬件抽象层设计开发时,如何避免“硬件抽象层消息在转发过程中发生数据覆盖”将是一个复杂且急需解决的问题。

[0005] 目前,基于SRI0总线的硬件抽象层设计的方案大多以任务为驱动,其目标是解决部属在硬件平台上的某一种或几种波形应用的硬件抽象层消息的可靠转发,换句话说,这些波形应用中的波形组件部属情况和通信关系事先都是已知的,因此,在设计硬件抽象层前,设计人员首先明确波形组件所部属的处理器以及波形组件之间的数据流向,然后被确定为接收的处理器预留出相应数量的DMA缓存用于接收SRI0数据,并将DMA缓存地址作为一个常数变量写入到发送处理器的硬件抽象层软件中,当发送处理器的硬件抽象层转发消息时可以使用这个变量将消息发送到正确的DMA缓存空间,因此,为了避免数据覆盖现象,接收处理器的每个DMA缓存空间只分配给外部一个处理器。上述方式虽然能够解决数据覆盖问题,但是该方法即便应用于处理器数量不多、硬件版本状态比较稳定(硬件模块不再改变)的中、小型硬件平台,依然存在以下问题:

[0006] 1) 降低了硬件抽象层的通用化程度,因为一旦硬件平台上重新部属其它用途的波形组件,波形组件之间的通信关系必然发生变化,处理器之间的数据流向也极有可能随之发生改变,为了适应处理器之间新出现的数据流向,就需要硬件抽象层开发人员根据波形组件所部属的处理器和波形组件之间的通信关系重新分配DMA缓存空间用于接收SRI0数据并重新编译所涉及处理器的硬件抽象层软件,这不仅增加了工作量而且也导致了硬件抽象层软件版本的不稳定,随着软件无线电应用的快速发展和波形应用的日益丰满,人们希望硬件抽象层的通用化程度更高,能够在不修改硬件抽象层的情况下,承载更多类型的波形应用;

[0007] 2) 调整DMA缓存空间的难度大且易出错,因此一旦硬件平台上的某个处理器想要调整其DMA缓存空间在内存中的位置时(例如新的波形应用需要用到被DMA缓存空间占用的内存时),开发人员就需要找到硬件平台上所有向该DMA缓存空间发送SRI0数据的处理器并对其硬件抽象层软件内部的相应DMA缓存起始地址进行修改,上述操作是一个繁琐且易出错的过程,一旦出现错误就会给后续的波形组件调试和故障排查等增加很多工作量。

## 发明内容

[0008] 本发明的目的在于提供一种基于缓存静态分配的硬件抽象层消息转发方法,能够在SRI0总线传输条件下避免硬件抽象层消息覆盖,并且该方法能够有效提升硬件抽象层通用化程度以及降低DMA缓存空间的调整难度,尤其适合处理器数量不多的中、小型硬件平台平台。

[0009] 实现本发明目的的技术解决方案为:

[0010] 一种基于缓存静态分配的硬件抽象层消息转发方法,包括如下步骤:

[0011] (10) 初始化LD-PD表:源波形组件将目标波形组件的LD与PD的映射关系注册到硬件抽象层中的LD-PD表中;所述源波形组件为调用硬件抽象层接口发送数据的波形组件;所述目标波形组件为接收源波形组件所发送数据的波形组件,其与源波形组件分别运行在不同的处理器上;所述LD为波形组件的逻辑地址;所述PD为波形组件所运行处理器的SRI0端口地址;

[0012] (20) 发送MHAL消息:源波形组件将数据封装成MHAL消息格式并发送给硬件抽象层;

[0013] (30) 检索LD-PD表:硬件抽象层以LD为索引,检索LD-PD表,获取对应的PD值;

[0014] (40) 检索PD表:硬件抽象层以PD为索引,检索PD表,获取对应的DMA缓存序号;

[0015] (50) 检索DMA缓存表:硬件抽象层以DMA缓存序号为索引,检索DMA缓存表,获取对应的DMA缓存起始地址;

[0016] (60) 转发MHAL消息:硬件抽象层以检索的PD值和DMA缓存起始地址为输入参数,调用SRI0驱动,将MHAL消息发送到目标波形组件所运行的处理器。

[0017] 本发明与现有技术相比,其显著优点为:

[0018] 1、硬件抽象层通用化程度高:本发明使得硬件抽象层设计实现与波形组件之间的数据流向完全“解耦合”,即波形组件所部属的处理器以及波形组件之间的数据流向不再影响硬件抽象层的设计,从而使得波形组件能够根据需要部属到硬件平台上的任意处理器上,这是因为本发明提供了一种缓存静态分配方法,硬件平台上的每个处理器都为外部

其它处理器静态预留了一个DMA缓存空间,确保了一个DMA缓存空间仅接收外部一个处理器发送的SRI0数据,从而避免了数据覆盖问题,对于处理器数量不是很多的中、小型硬件平台来说,静态预留的DMA缓存空间相比每个处理器的全部内存空间来说,所占比例是可接受的;

[0019] 2、调整DMA缓存空间的难度低:当硬件平台上的某些处理器需要调整DMA缓存空间在内存中的位置时,开发人员仅需要更改DMA缓存表并将其下发到所有处理器的硬件抽象层中即可,操作简单且不易出错,当硬件抽象层通过SRI0总线转发硬件抽象层消息时,通过检索DMA缓存表便可以获得目标处理器更新后的DMA缓存空间。

[0020] 下面结合附图和具体实施方式对本发明作进一步的详细描述。

## 附图说明

- [0021] 图1是MHAL消息格式示例。
- [0022] 图2是本发明基于缓存静态分配的硬件抽象层消息转发方法的主流程图。
- [0023] 图3是图2中初始化LD-PD表步骤的流程图。
- [0024] 图4是图2中发送MHAL消息步骤的流程图。
- [0025] 图5是实施例中的处理器连接关系、SRI0端口地址、DMA缓存和波形组件部属示意图。
- [0026] 图6为表1,是实施例中的DMA缓存表。
- [0027] 图7为表2,是实施例中的GPP的PD表。
- [0028] 图8为表3,是实施例中的DSP1的PD表。
- [0029] 图9为表4,是实施例中的DSP2的PD表。
- [0030] 图10为表5,是实施例中的GPP的LD-PD表。

## 具体实施方式

[0031] 如图2所示,本发明基于缓存静态分配的硬件抽象层消息转发方法,包括如下步骤:

[0032] (10) 初始化LD-PD表:源波形组件将目标波形组件的LD与PD的映射关系注册到硬件抽象层中的LD-PD表中;

[0033] 所述源波形组件为调用硬件抽象层接口发送数据的波形组件;所述目标波形组件为接收源波形组件所发送数据的波形组件,其与源波形组件分别运行在不同的处理器上;所述LD为波形组件的逻辑地址;所述PD为波形组件所运行处理器的SRI0端口地址;

[0034] 如图3所示,所述(10) 初始化LD-PD表步骤包括:

[0035] (11) LD值获取:源波形组件获取目标波形组件的LD值;

[0036] (12) PD值获取:源波形组件获取目标波形组件所部属的处理器的SRI0端口地址,并将其作为目标波形组件的PD值;

[0037] (13) LD-PD注册:源波形组件调用硬件抽象层接口,将目标波形组件LD与PD的映射关系注册到LD-PD表中。

[0038] (20) 发送MHAL消息:源波形组件将数据封装成MHAL消息格式并发送给硬件抽象层;

[0039] 如图4所示,所述(20)发送MHAL消息步骤包括:

[0040] (21) 数据封装:源波形组件将待发送给目标波形组件的数据封装成MHAL消息 格式;

[0041] (22) 数据发送:源波形组件调用硬件抽象层接口,将封装的MHAL消息发送给 硬件抽象层。

[0042] 图1为MHAL消息格式示例。

[0043] (30) 检索LD-PD表:硬件抽象层以LD为索引,检索LD-PD表,获取对应的PD 值;

[0044] 所述(30)检索LD-PD表步骤包括:

[0045] (31) 硬件抽象层从MHAL消息中解析出LD字段的值;

[0046] (32) 硬件抽象层以LD字段为索引检索LD-PD表;

[0047] (33) 检索成功,返回PD值;

[0048] (34) 检索失败,报错并退出。

[0049] (40) 检索PD表:硬件抽象层以PD为索引,检索PD表,获取对应的DMA缓存 序号;

[0050] 所述(40)检索PD表步骤中,所述PD表包括“PD值”列和“DMA缓存序号”列;

[0051] 所述“PD值”列包括硬件平台上通过SRI0交换机与本处理器互联的所有SRI0端 口地址;

[0052] 所述“DMA缓存序号”列包括“PD值”列中的每个SRI0端口为本处理器静态分 配的 DMA缓存的序号。

[0053] 所述(40)检索PD表步骤包括:

[0054] (41) 硬件抽象层以PD值为索引,检索PD表;

[0055] (42) 检索成功,返回DMA缓存序号;

[0056] (43) 检索失败,报错并退出。

[0057] (50) 检索DMA缓存表:硬件抽象层以DMA缓存序号为索引,检索DMA缓存 表,获取对 应的DMA缓存起始地址;

[0058] 所述(50)检索DMA缓存表步骤中,所述DMA缓存表中包括“DMA缓存序号” 列和“DMA 缓存起始地址”列;

[0059] 所述“DMA缓存序号”列包括范围从1至  $(N-1) \times (N-1)$  的连续序号,每个序 号唯一 表示1个DMA缓存;

[0060] 所述N表示硬件平台上通过交换机互联的SRI0端口数量,每个SRI0端口预留N-1 个用于接收SRI0数据的DMA缓存,并将其静态地分配给外部的N-1个SRI0端口, 即1个外部 SRI0端口将获得1个专用DMA缓存,硬件平台上的所有SRI0端口共计 预留出  $(N-1) \times (N-1)$  个DMA缓存;

[0061] 所述“DMA缓存起始地址”列包括与每个DMA缓存序号对应的DMA缓存起始地 址,且 每个缓存空间大小与MHAL消息最大长度相同。

[0062] 所述(50)检索DMA缓存表步骤包括:

[0063] (51) 硬件抽象层以DMA缓存序号为索引检索DMA缓存表;

[0064] (52) 检索成功,返回DMA缓存起始地址;

[0065] (53) 检索失败,报错并退出。

[0066] (60) 转发MHAL消息:硬件抽象层以检索的PD值和DMA缓存起始地址为输入 参数,

调用SRIO驱动,将MHAL消息发送到目标波形组件所运行的处理器。

[0067] 本发明的原理如下:

[0068] 本发明在避免基于SRIO总线传输条件下的硬件抽象层消息覆盖问题的基础上,以提升硬件抽象层的通用化程度为目标,依据SRIO总线的技术特点,提出一种基于缓存 静态分配的硬件抽象层消息转发方法,尤其适用于处理器数量不多的中、小型硬件平台。

[0069] 本发明避免硬件抽象层消息覆盖问题的主要原理就是避免多个处理器向同一个处理器的同一个DMA缓存空间发送硬件抽象层消息,即确保一个DMA缓存空间只能固定接收外部某一个处理器发送过来的硬件抽象层消息,本发明能够提升硬件抽象层的通用化程度的主要原理是硬件平台上的每个处理器不管是否有实际需要,事先都为外部的 每个处理器静态预留了一个专用DMA缓存空间用于接收其发送过来的SRIO数据。假设硬件平台包含N个具有SRIO端口的处理器,处理器之间通过SRIO交换机进行互联。本发明的主要原理具体可以从以下几点进行描述:

[0070] 1、缓存静态分配

[0071] 每个处理器预留N-1个DMA缓存空间,每个DMA缓存空间大小与MHAL消息最大长度相同,并静态地分配给外部的N-1个处理器,即每个DMA缓存空间固定地预留 给外部的某一个处理器,用于接收其通过SRIO总线发送过来的硬件抽象层消息,从而 避免了多个外部处理器向同一个DMA缓存发送数据的情况,从根本上避免了“数据覆盖”问题。

[0072] 2、DMA缓存管理

[0073] N个处理器共计预留  $(N-1) \times (N-1)$  个DMA缓存,将这些缓存从1开始编号, 每个编号对应一个DMA缓存地址,从而构建了一个DMA缓存表,DMA缓存表被保存 在每个处理器的硬件抽象层中,DMA缓存表能够使硬件抽象层升级更容易,例如:当 某个处理器需要调整 DMA缓存在内存中的位置时,即需要修改DMA缓存起始地址时, 其仅需要修改DMA缓存表中相应的DMA缓存起始地址并将修改后的DMA缓存表下发到所有处理器的硬件抽象层即可,简单且不易出错。

[0074] 3、物理地址(PD)管理

[0075] 本发明将物理地址PD定义为SRIO地址,但硬件抽象层仅依据PD是无法通过SRIO总线正确转发硬件抽象层消息的,还需要获得PD对应的DMA缓存起始地址。DMA缓存起始地址的获取需要依靠PD表和DMA缓存表来完成,PD表记录了硬件平台上的所有PD(即所有 SRIO端口的地址)和每个PD为本处理器预留的DMA缓存的序号。硬件抽象层在转发消息时,以PD值为索引检索PD表可以获得DMA缓存序号,再以DMA 缓存序号为索引检索DMA缓存表可得到DMA缓存起始地址,此时,以PD值和DMA 缓存起始地址为参数调用SRIO驱动程序便可将 MHAL消息发送到目标处理器为本处理器预留的DMA缓存空间中。

[0076] 为了使本发明的目的、技术方案及优点更加清楚,以下结合附图、附表及实施例,对本申请进一步详细说明。应当理解为,此处描述的具体实施例仅仅用以解释本申请, 并不用于限定本申请。

[0077] 在一实施例中,硬件平台上处理器的互联结构,如图5所示,1个GPP处理器和2 个 DSP处理器通过SRIO交换机进行互联,GPP的SRIO端口地址为0x10、DSP1的SRIO 端口地址为 0x11、DSP2的SRIO端口地址为0x12。GPP对外预留2个DMA缓存空间, 其起始地址分别为 0x1FFF1000和0x1FFF2000;DSP1对外预留2个DMA缓存空间, 其起始地址分别为0x00901000

和0x00902000;DSP2对外预留2个DMA缓存空间,其起始地址分别为0x00091000和0x00092000。将所有预留的DMA缓存汇总后构建DMA缓存表,如表1所示;每个处理器将自己预留的DMA缓存静态分配给外部所有处理器,分配结束后,每个处理器便可以构建属于自己的PD表,GPP的PD表如表2所示,DSP1的PD表如表3所示,DSP2的PD表如表4所示。另外,假设GPP处理器上部属了LD为0x20的波形组件,DSP1处理器上部属了LD为0x21的波形组件,DSP2处理器上部属了LD为0x22的波形组件,组件之间的通信关系是:GPP波形组件向DSP1波形组件和DSP2波形组件发送硬件抽象层消息,则基于本发明的硬件抽象层消息转发方法,GPP硬件抽象层消息的转发过程如下:

[0078] (10) 初始化LD-PD表:GPP波形组件初始化LD-PD表,将LD 0x21和PD 0x11、LD 0x22和PD 0x12的对应关系注册到LD-PD表中,如表5所示;

[0079] (20) 发送MHAL消息:假设当前GPP波形组件向DSP1波形组件发送数据,则GPP波形组件将数据构建成LD为0x21的MHAL消息,并调用标准接口将其发送给硬件抽象层;GPP硬件抽象层收到MHAL消息后,解析出LD为0x21;

[0080] (30) 检索LD-PD表:GPP硬件抽象层以LD值0x21为索引检索LD-PD表,得到PD值为0x11;

[0081] (40) 检索PD表:GPP硬件抽象层以PD值0x11为索引检索PD表,得到DMA缓存序号值为3;

[0082] (50) 检索DMA缓存表:GPP硬件抽象层以DMA缓存序号3为索引检索DMA缓存表,得到DMA缓存地址0x00901000;

[0083] (60) 转发MHAL消息:GPP硬件抽象层以PD值0x11和DMA缓存地址 0x00901000作为参数调用SRIO驱动将MAHL消息发送出去。

[0084] 本发明硬件平台上的任意处理器之间都能够实现硬件抽象层消息的可靠转发;硬件抽象层升级容易,当硬件平台上的处理器需要调整DMA缓存起始地址时,用户仅需要更改DMA缓存表并将其下发到所有处理器的硬件抽象层中即可,不需要对硬件抽象层 代码进行修改。

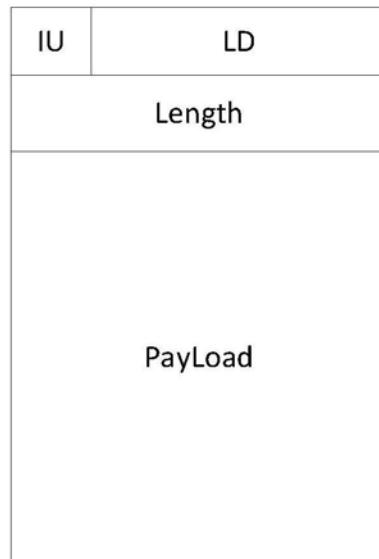


图1

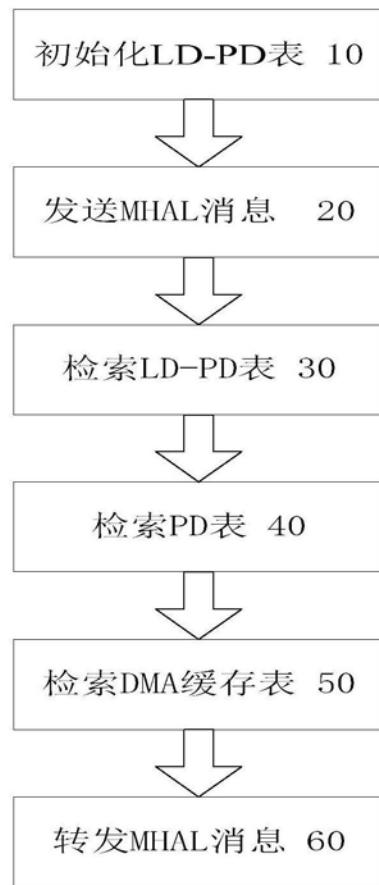


图2



图3



图4

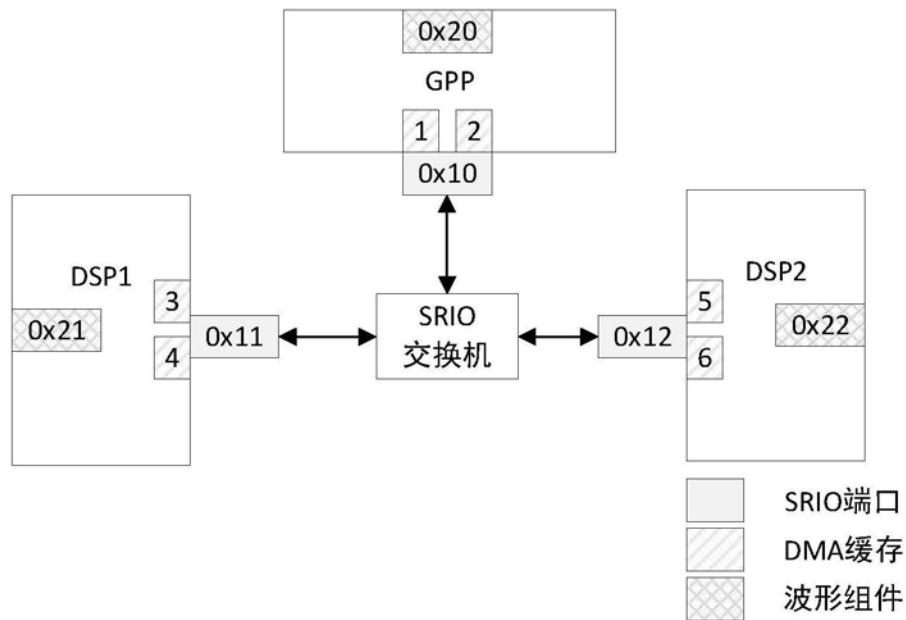


图5

表 1 实施例中的 DMA 缓存表

DMA缓存序号	DMA缓存起始地址
1	0x1FFF1000
2	0x1FFF2000
3	0x00901000
4	0x00902000
5	0x00901000
6	0x00902000

图6

表 2 实施例中的 GPP 的 PD 表

PD值	DMA缓存序号
0x11	3
0x12	5

图7

表 3 实施例中

的 DSP1 的 PD 表

PD值	DMA缓存序号
0x10	1
0x12	6

图8

表 4 实施例中的 DSP2 的 PD 表

PD值	DMA缓存序号
0x10	2
0x11	4

图9

表 5 实施例中的 GPP 的 LD-PD 表

LD值	PD值
0x21	0x11
0x22	0x12

图10