

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6080563号
(P6080563)

(45) 発行日 平成29年2月15日 (2017. 2. 15)

(24) 登録日 平成29年1月27日 (2017.1.27)

(51) Int. Cl.	F I			
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 2 7 C		
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 6 L		
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78	6 2 1		
HO 1 L 27/108 (2006.01)	HO 1 L 29/78	6 1 8 B		
HO 1 L 21/8244 (2006.01)	HO 1 L 29/78	6 1 6 V		
請求項の数 5 (全 59 頁) 最終頁に続く				

(21) 出願番号	特願2013-9852 (P2013-9852)	(73) 特許権者	000153878
(22) 出願日	平成25年1月23日 (2013. 1. 23)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-175717 (P2013-175717A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成25年9月5日 (2013. 9. 5)	(72) 発明者	山崎 舜平
審査請求日	平成28年1月18日 (2016. 1. 18)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2012-11281 (P2012-11281)		半導体エネルギー研究所内
(32) 優先日	平成24年1月23日 (2012. 1. 23)	(72) 発明者	野田 耕生
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内

審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

表面の一部が露出された酸化物半導体膜と、ゲート絶縁膜と、ゲート電極と、少なくとも前記ゲート電極の側面に接するサイドウォール絶縁膜とを形成し、

前記露出された酸化物半導体膜、前記ゲート電極及び前記サイドウォール絶縁膜上に金属元素を含む膜を形成した後、窒素雰囲気下で加熱処理をして、前記金属元素を含む膜の前記酸化物半導体膜に接する領域を酸化し、

前記酸化した領域を有する金属元素を含む膜を除去して、前記酸化物半導体膜の一部を露出することを特徴とする半導体装置の作製方法。

【請求項 2】

表面の一部が露出された酸化物半導体膜と、ゲート絶縁膜と、ゲート電極と、少なくとも前記ゲート電極の側面に接するサイドウォール絶縁膜とを形成し、

前記露出された酸化物半導体膜、前記ゲート電極及び前記サイドウォール絶縁膜上に金属元素を含む膜を形成した後、窒素雰囲気下で加熱処理をして、前記金属元素を含む膜の前記酸化物半導体膜に接する領域を酸化し、

前記酸化した領域を有する金属元素を含む膜及び前記酸化物半導体膜のエッチングガス又はエッチャントに対するエッチング速度の違いを利用し、前記酸化した領域を有する金属元素を含む膜を除去して、前記酸化物半導体膜の前記表面の一部を露出することを特徴とする半導体装置の作製方法。

【請求項 3】

10

20

請求項 1 又は請求項 2 において、

前記加熱処理は、前記酸化物半導体膜の前記金属元素を含む膜と接する領域に、前記金属元素を含む膜の元素が拡散し、前記領域が低抵抗化する温度で行うことを特徴とする半導体装置の作製方法。

【請求項 4】

絶縁表面を有する基板上に酸化物半導体膜を形成し、
前記酸化物半導体膜上に酸素を含む絶縁膜を形成し、
前記酸素を含む絶縁膜上に絶縁性を有する第 1 の金属酸化膜を形成し、
前記第 1 の金属酸化膜上に、前記酸化物半導体膜と重畳するゲート電極を形成し、
前記ゲート電極をマスクとして、前記酸化物半導体膜にドーパントを注入し、
前記第 1 の金属酸化膜及び前記ゲート電極に接するサイドウォール絶縁膜を形成し、
前記酸素を含む絶縁膜の一部及び前記第 1 の金属酸化膜の一部を除去して、ドーパントが注入された酸化物半導体膜の一部を露出させると共にゲート絶縁膜を形成し、
少なくとも前記露出した酸化物半導体膜を覆う金属元素を含む膜を形成して、窒素雰囲気下で加熱処理をした後に前記金属元素を含む膜を除去し、
少なくとも前記金属元素を含む膜が除去された酸化物半導体膜を覆う、絶縁性を有する第 2 の金属酸化膜を形成することを特徴とする半導体装置の作製方法。

10

【請求項 5】

請求項 4 において、

前記金属元素を含む膜を形成して行う加熱処理は、前記ドーパントが注入された酸化物半導体膜の前記金属元素を含む膜と接する領域に、前記金属元素を含む膜の金属元素が拡散し、前記ドーパントが注入された酸化物半導体膜の前記サイドウォール絶縁膜と重畳する領域よりも低抵抗化する温度で行うことを特徴とする半導体装置の作製方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体装置の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能し得る装置全般をいい、例えば、トランジスタなどの半導体素子、半導体素子を含む半導体回路、表示装置などの電気光学装置、及び電子機器は全て半導体装置である。

30

【背景技術】

【0003】

液晶表示装置や発光表示装置に代表されるフラットパネルディスプレイの多くに用いられているトランジスタは、ガラス基板上に形成されたアモルファスシリコン、単結晶シリコン又は多結晶シリコンなどのシリコン半導体によって構成されている。また、該シリコン半導体を用いたトランジスタは、集積回路（IC）などにも利用されている。

【0004】

近年、シリコン半導体に代わって、半導体特性を示す金属酸化物をトランジスタに用いる技術が注目されている。なお、本明細書中では、半導体特性を示す金属酸化物を酸化物半導体とよぶことにする。

40

【0005】

例えば、酸化物半導体として、酸化亜鉛、又は $In-Ga-Zn-O$ 系酸化物を用いたトランジスタを作製し、該トランジスタを表示装置の画素のスイッチング素子などに用いる技術が開示されている（特許文献 1 及び特許文献 2 参照）。

【0006】

また、酸化物半導体を用いたトランジスタにおいて、酸化物半導体膜に接して金属膜を形成し、酸素雰囲気下で加熱処理を行う技術が開示されている（特許文献 3 参照）。具体的には、当該加熱処理によって、当該酸化物半導体膜中の酸素が当該金属膜と反応し、酸素濃度が低減することで、当該酸化物半導体膜を局所的に低抵抗化させて、ソース領域及

50

びドレイン領域を形成すると共に、当該金属膜を酸化させて金属酸化膜を形成し、当該金属酸化膜を外気に対するバリア膜として用いる技術である。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【特許文献3】特開2011-228622号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0008】

特許文献3で開示される技術のように、酸素雰囲気下で加熱処理では、酸化物半導体膜を局所的に低抵抗化する工程が十分に行われない可能性がある。例えば、酸素雰囲気下で加熱すると、金属膜の表面からの酸化が支配的に進むと予想でき、酸化物半導体膜を局所的に低抵抗化する前に金属膜が十分に酸化されてしまうと、酸化物半導体膜を局所的に低抵抗化させる工程が不十分となる可能性がある。そのため、トランジスタの作製工程を少なくすることができるが、歩留まりも低下するおそれがある。

【0009】

また、金属膜がすべて酸化されず、当該金属膜の一部に導電性を有する領域が残った場合、当該領域を介してソース電極とドレイン電極が導通し、トランジスタとして機能しない可能性がある。

20

【0010】

そこで、本発明の一形態は、酸化物半導体膜の一部を十分に低抵抗化させることができ、歩留まりが良好であるトランジスタの作製方法を提供することを課題の一とする。

【0011】

また、酸化物半導体を用いたトランジスタのオン特性（例えば、オン電流や電界効果移動度）が向上すると、半導体装置において高速応答、高速駆動が可能になり、より高性能な半導体装置が実現できる。

【0012】

そこで、本発明の一形態は、高いオン特性を有する、酸化物半導体を用いたトランジスタを提供することを課題の一とする。そして、本発明の一形態は、高速応答及び高速駆動の可能なトランジスタを有する高性能の半導体装置を提供することを課題の一とする。

30

【課題を解決するための手段】

【0013】

オン電流や電界効果移動度を向上させるためには、トランジスタの寄生抵抗を低減すること、つまり、トランジスタに含まれる半導体膜（酸化物半導体膜）のチャネル形成領域以外の領域において、膜厚方向の抵抗及び膜厚方向に垂直な方向の抵抗を低減することが有効である。そして、ソース電極及びドレイン電極との接触抵抗を低減することも有効である。これらを実施するための一つの手段は、トランジスタに含まれる半導体膜（酸化物半導体膜）のチャネル形成領域以外の領域に濃度差を有する低抵抗領域を設けることである。当該濃度差は、チャネル形成領域以外の領域にドーパントを注入する工程、及び、チャネル形成領域以外の領域に金属元素を含む膜を設けた状態で加熱処理を行って当該金属元素を含む膜の元素を当該領域の一部に拡散させる工程によって設けることができる。また、当該濃度差を有する低抵抗領域を設けることで、トランジスタに含まれる半導体膜（酸化物半導体膜）に加わる電界を段階的にすることができる。

40

【0014】

そこで、本発明の一態様は、表面の一部が露出された酸化物半導体膜と、ゲート絶縁膜と、ゲート電極と、少なくともゲート電極の側面に接するサイドウォール絶縁膜とを形成し、少なくとも酸化物半導体膜の表面の一部及びサイドウォール絶縁膜上に金属元素を含む膜を形成した後、窒素雰囲気下で加熱処理をして、金属元素を含む膜の酸化物半導体膜

50

に接する領域を酸化し、酸化した領域を有する金属元素を含む膜を除去して、酸化物半導体膜の表面の一部を露出する半導体装置の作製方法である。

【0015】

さらに、本発明の一態様は、絶縁表面を有する基板上に酸化物半導体膜を形成し、酸化物半導体膜上に酸素を含む絶縁膜を形成し、酸素を含む絶縁膜上に第1の絶縁性を有する金属酸化膜を形成し、第1の絶縁性を有する金属酸化膜上に、酸化物半導体膜と重畳するゲート電極を形成し、ゲート電極をマスクとして、酸化物半導体膜にドーパントを注入し、第1の絶縁性を有する金属酸化膜及びゲート電極に接するサイドウォール絶縁膜を形成し、酸素を含む絶縁膜の一部及び第1の絶縁性を有する金属酸化膜の一部を除去して、ドーパントが注入された酸化物半導体膜の一部を露出させると共にゲート絶縁膜を形成し、少なくとも露出した酸化物半導体膜を覆う金属元素を含む膜を形成して、窒素雰囲気下で加熱処理をした後に金属元素を含む膜を除去し、少なくとも金属元素を含む膜が除去された酸化物半導体膜を覆う第2の絶縁性を有する金属酸化膜を形成する半導体装置の作製方法である。

10

【0016】

また、上記半導体装置の作製方法において、ソース電極及びドレイン電極は、第2の絶縁性を有する金属酸化膜上に層間絶縁膜を形成し、第2の絶縁性を有する金属酸化膜及び層間絶縁膜に、金属元素を含む膜が除去された酸化物半導体膜（ソース領域及びドレイン領域）に達する開口を形成し、当該開口に形成することができる。

【0017】

また、上記半導体装置の作製方法において、酸素を含む絶縁膜を形成する前、及び、酸素を含む絶縁膜を形成した後の一方又は双方で加熱処理を行うことが好ましい。

20

【0018】

上記半導体装置の作製方法において、絶縁性を有する金属酸化膜は、外気中の水素又は水分などの不純物を透過させない機能を有することが好ましい、当該絶縁性を有する金属酸化膜を設けることで、外気中の水素又は水分などの不純物が混入することを抑制できる。従って、外気によるトランジスタの電気特性劣化を抑制することができる。

【0019】

上記半導体装置の作製方法において、酸化物半導体膜のドーパントを含む領域に金属元素を含む膜が接した状態で行う加熱処理は、窒素雰囲気下、且つ、ドーパントを含む酸化物半導体膜の金属元素を含む膜と接する領域に、前記金属元素を含む膜の金属元素が拡散し、ドーパントを含む酸化物半導体膜のサイドウォール絶縁膜と重畳する領域よりも低抵抗化する温度で行う。また、当該加熱処理は、窒素雰囲気下だけではなく、希ガス雰囲気下又は減圧雰囲気下で行うことができる。なお、サイドウォール絶縁膜は、窒化絶縁膜で形成することが好ましい。

30

【0020】

また、窒素雰囲気下、希ガス雰囲気下又は減圧雰囲気下で加熱処理を行う場合は、金属元素を含む膜全体が酸化せず、少なくとも金属元素を含む膜の酸化物半導体膜と接する部分で酸化が生じるため、この一部が酸化した金属元素を含む膜を除去した後、外気中の水素又は水分などの不純物を透過させない機能を有した絶縁性を有する金属酸化膜を新たに形成することが好ましい。このようにすることで、当該水素又は水分などの不純物によるトランジスタの電気特性劣化が抑制され、且つ良好な電気特性を有するトランジスタを作製することができる。なお、当該一部のみが酸化した金属元素を含む膜は、当該一部のみが酸化した金属元素を含む膜及び酸化物半導体膜のエッチングガス又はエッチャントに対するエッチング速度の違いを利用して除去することができる。

40

【0021】

当該一部のみが酸化した金属元素を含む膜をドライエッチングで除去する場合、当該金属元素を含む膜下に設けられている酸化物半導体膜とエッチング選択比を得ることが難しく、当該酸化物半導体膜の一部が除去（膜減り）される可能性がある。そこで、上記半導体装置の作製方法において、当該一部のみが酸化した金属元素を含む膜はウェットエッチ

50

ング除去することが好ましい。

【0022】

酸化物半導体は、酸化物半導体膜中に生成する酸素欠損に起因して電荷が生じる。酸化物半導体の酸素欠損は、その一部がドナーとなり、キャリアである電子が生じる。それゆえ、酸化物半導体を用いたトランジスタは、酸化物半導体の酸素欠損によって、しきい値電圧がマイナス方向に変動しやすく、ノーマリーオン特性を有しやすいなど電気特性が不良になる。

【0023】

そこで、上記半導体装置の作製方法において、酸化物半導体膜と基板の間に下地絶縁膜を形成してもよい。酸化物半導体膜と接する下地絶縁膜は、酸素を含む絶縁膜で形成することが好ましく、さらには化学量論的組成より多くの酸素を含む絶縁膜で形成することが好ましい。なお、化学量論的組成より多くの酸素を含む絶縁膜は、下地絶縁膜だけではなく、ゲート絶縁膜に用いることができる。化学量論的組成より多くの酸素を含む絶縁膜は、酸素を供給しながらスパッタリング法で酸化絶縁膜を形成する、又は、プラズマCVD (Chemical Vapor Deposition) 法で酸化絶縁膜又は酸化窒化膜を形成し、酸化絶縁膜又は酸化窒化膜に酸素イオンを注入して形成することができる。

【0024】

このように、酸素を含む絶縁膜を酸化物半導体膜と接する下地絶縁膜やゲート絶縁膜に用いることで、トランジスタの作製工程中の加熱処理により、酸化物半導体膜の酸素欠損を修復することができ、良好な電気特性を有するトランジスタを作製することができる。

【発明の効果】

【0025】

本発明の一態様により、酸化物半導体を用いるトランジスタにおいて、酸化物半導体膜の一部を低抵抗化する工程と、外気中の水素又は水分などの不純物に対する保護膜を形成する工程とをそれぞれ行うことで、酸化物半導体膜の一部を十分に低抵抗化することができ、外気による電気特性劣化が抑制されたトランジスタを歩留まり高く、作製することができる。また、本発明の一態様により、チャンネル形成領域以外の領域に濃度差を有する低抵抗領域を設けることで、特にドレイン領域近傍における電界集中を抑制することができ、電界集中によってトランジスタが破壊されることを抑制することができる。また、本発明の一態様により、高いオン特性を有する、酸化物半導体を用いたトランジスタを提供すること、及び、高速応答及び高速駆動の可能なトランジスタを有する高性能の半導体装置を提供することができる。

【図面の簡単な説明】

【0026】

【図1】トランジスタ一例を説明する上面図及び断面図。

【図2】トランジスタの作製方法を説明する断面図。

【図3】トランジスタの作製方法を説明する断面図。

【図4】トランジスタの作製方法を説明する断面図。

【図5】トランジスタの作製方法を説明する断面図。

【図6】トランジスタの作製方法を説明する断面図。

【図7】トランジスタの作製方法を説明する断面図。

【図8】トランジスタの作製方法を説明する断面図。

【図9】トランジスタの作製方法を説明する断面図。

【図10】トランジスタ一例を説明する上面図及び断面図。

【図11】トランジスタの作製方法を説明する断面図。

【図12】トランジスタの作製方法を説明する断面図。

【図13】トランジスタの作製方法を説明する断面図。

【図14】トランジスタ一例を説明する上面図及び断面図。

【図15】トランジスタの作製方法を説明する断面図。

【図16】トランジスタの作製方法を説明する断面図。

- 【図１７】トランジスタの作製方法を説明する断面図。
【図１８】トランジスタの作製方法を説明する断面図。
【図１９】半導体記憶装置の一例を説明する断面図、上面図及び回路図。
【図２０】半導体記憶装置の一例を説明する回路図。
【図２１】半導体記憶装置の一例を説明する回路図及び概念図。
【図２２】半導体記憶装置の一例を説明する断面図及び上面図。
【図２３】半導体記憶装置の一例を説明する回路図。
【図２４】ＣＰＵの具体例を示すブロック図及びその一部の回路図。
【図２５】アクティブマトリクス型表示装置を説明する図及び回路図。
【図２６】電子機器の外観図。
【発明を実施するための形態】
【００２７】

10

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。また、以下に説明する実施の形態及び実施例において、同一部分又は同様の機能を有する部分には、同一の符号又は同一のハッチパターンを異なる図面間で共通して用い、その繰り返しの説明は省略する。

【００２８】

20

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【００２９】

また、本明細書にて用いる第１、第２、第３などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第１の」を「第２の」又は「第３の」などと適宜置き換えて説明することができる。

【００３０】

「ソース」や「ドレイン」の機能は、回路動作において電流の方向が変化する場合には入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

30

【００３１】

本明細書において、フォトリソグラフィ工程を行った後にエッチング工程を行う場合は、フォトリソグラフィ工程で形成したマスクは除去するものとする。

【００３２】

（実施の形態１）

本実施の形態では、半導体装置、及び半導体装置の作製方法について、図面を用いて説明する。以下、当該半導体装置をトランジスタとして説明する。

【００３３】

＜トランジスタの構成例＞

40

図１（Ａ）及び図１（Ｂ）に、トランジスタ１００の上面図及び断面図を示す。図１（Ａ）はトランジスタ１００の上面図であり、図１（Ｂ）は、図１（Ａ）の一点鎖線Ａ－Ｂ間の断面図である。なお、図１（Ａ）では、明瞭化のため、トランジスタ１００の構成要素の一部（例えば、基板１０１、下地絶縁膜１０３、及びゲート絶縁膜１１６など）を省略している。

【００３４】

図１（Ａ）及び図１（Ｂ）より、トランジスタ１００は、基板１０１上に下地絶縁膜１０３が設けられており、下地絶縁膜１０３上に酸化物半導体膜１０５が設けられており、酸化物半導体膜１０５上にゲート絶縁膜１１６が設けられており、ゲート絶縁膜１１６上の酸化物半導体膜１０５と重畳する領域にゲート電極１１７が設けられており、ゲート絶

50

緑膜 116 及びゲート電極 117 に接するサイドウォール絶縁膜 119 が設けられており、下地絶縁膜 103、酸化物半導体膜 105 の一部、ゲート絶縁膜 116、ゲート電極 117 及びサイドウォール絶縁膜 119 に接する絶縁性を有する金属酸化膜 121 が設けられており、絶縁性を有する金属酸化膜 121 上に層間絶縁膜 123 が設けられており、絶縁性を有する金属酸化膜 121 及び層間絶縁膜 123 に形成された開口 125a、125b を介して、酸化物半導体膜 105 に接するソース電極 127a 及びドレイン電極 127b が設けられている。なお、下地絶縁膜 103 及び層間絶縁膜 123 は、設けなくてもよい。

【0035】

トランジスタ 100 は、ゲート電極 117 が酸化物半導体膜 105 の上方に設けられており、ソース電極 127a 及びドレイン電極 127b が酸化物半導体膜 105 の上面と接していることから、トップゲート構造のトランジスタである。

【0036】

酸化物半導体膜 105 は、第 1 の領域 107 と、第 1 の領域 107 を介して対向する一对の第 2 の領域 109a、109b と、第 1 の領域 107 及び一对の第 2 の領域 109a、109b を介して対向する一对の第 3 の領域 111a、111b とを有する。

【0037】

酸化物半導体膜 105 において、第 1 の領域 107 はドーパントを含まない領域であり、一对の第 2 の領域 109a、109b 及び一对の第 3 の領域 111a、111b は、ドーパントを含む領域である。そして、一对の第 3 の領域 111a、111b の抵抗は、一对の第 2 の領域 109a、109b の抵抗よりも低い。従って、ゲート電極 117 と重畳する第 1 の領域 107 は、チャネル形成領域として機能し、一对の第 3 の領域 111a、111b は、ソース領域又はドレイン領域として機能し、一对の第 2 の領域 109a、109b は、ドレイン領域で発生する電界を緩和する電界緩和領域として機能する。

【0038】

酸化物半導体を用いたトランジスタは、シリコン半導体を用いたトランジスタと比較して、室温においてオフ電流が小さいことが知られている。これは熱励起によって生じるキャリアが少ない、つまりキャリア密度が小さいためであると考えられている。そして、キャリア密度が小さい材料を用いたトランジスタにおいても、チャネル長が短くすることでしきい値電圧の変動などが現れることがある。

【0039】

そこで、トランジスタ 100 のように、一对の第 2 の領域 109a、109b 及び一对の第 3 の領域 111a、111b がチャネル形成領域である第 1 の領域 107 の両端に設けられることで、酸化物半導体膜 105 のソース領域及びドレイン領域間に加わる電界、特にドレイン領域近傍における電界集中を緩和することができるため、しきい値電圧の変動などを抑制することができる。また、電界集中を緩和できるため、電界集中によってトランジスタが破壊されることを抑制することができる。換言すると、トランジスタ 100 は、耐圧が向上され、電気特性劣化を抑制されたトランジスタである。

【0040】

そして、一对の第 3 の領域 111a、111b は、抵抗が低減されているため、ソース電極 127a 及びドレイン電極 127b との接触抵抗が低減している。従って、トランジスタ 100 は、優れたオン電流特性を有するトランジスタである。

【0041】

次に、トランジスタ 100 の各構成要素の詳細について説明する。

【0042】

[基板]

基板 101 に大きな制限はないが、絶縁表面を有することが好ましく、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが好ましい。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板などの電子工業用に使われる各種ガラス基板を用いることができる。なお、基板としては、熱膨張係数が 2.5×10^{-7}

10

20

30

40

50

／℃以上 50×10^{-7} ／℃以下（好ましくは、 30×10^{-7} ／℃以上 40×10^{-7} ／℃以下）であり、歪み点が 650°C 以上 750°C 以下（好ましくは、 700°C 以上 740°C 以下）である基板を用いることが好ましい。

【0043】

第5世代（ $1000\text{mm} \times 1200\text{mm}$ 又は $1300\text{mm} \times 1500\text{mm}$ ）、第6世代（ $1500\text{mm} \times 1800\text{mm}$ ）、第7世代（ $1870\text{mm} \times 2200\text{mm}$ ）、第8世代（ $2200\text{mm} \times 2500\text{mm}$ ）、第9世代（ $2400\text{mm} \times 2800\text{mm}$ ）、第10世代（ $2880 \times 3130\text{mm}$ ）などの大型ガラス基板を用いる場合、半導体装置の作製工程における加熱処理などで生じる基板の縮みによって、微細な加工が困難になる場合がある。そのため、前述したような大型ガラス基板を基板として用いる場合、縮みの少ないものを
10
用いることが好ましい。例えば、基板として、好ましくは 450°C 、好ましくは 500°C の温度で1時間加熱処理を行った後の縮み量が 20ppm 以下、好ましくは 10ppm 以下、さらに好ましくは 5ppm 以下である大型ガラス基板を用いればよい。

【0044】

また、基板101として、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することもできる。これらの基板上に半導体素子が設けられたものを用いてもよい。

【0045】

また、基板101として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上にトランジスタ100を直接作製してもよいし、他の作製基板にトランジスタ100を作製し、その後、剥離し、可撓性基板に転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板とトランジスタ100との間に剥離層を設けるとよい。可撓性基板としては、ポリイミド又はポ
20
リエステルなどの有機樹脂で形成された基板がある。

【0046】

〔下地絶縁膜〕

下地絶縁膜103は、基板101からの水素、水分などの不純物元素が酸化物半導体膜105に拡散することを抑制する絶縁膜である。また、下地絶縁膜103は、トランジスタ100の作製工程で、加熱することによって、酸素の一部を酸化物半導体膜に供給し、
30
酸化物半導体膜中の酸素欠損を修復できる効果を有することが好ましい。従って、下地絶縁膜103は、酸素を含む絶縁膜が好ましく、例えば、酸化シリコン、酸化ガリウム、若しくは酸化アルミニウムなどの酸化絶縁膜、又は酸化窒化シリコン、酸化窒化アルミニウムなどの酸化窒化絶縁膜、若しくは窒化酸化シリコンなどの窒化酸化絶縁膜から選ばれた一の絶縁膜、又は複数が積層された絶縁膜である。なお、「窒化酸化シリコン」とは、その組成として、酸素よりも窒素の含有量が多いものをいい、「酸化窒化シリコン」とは、その組成として、窒素よりも酸素の含有量が多いものをいう。

【0047】

加熱することによって酸素の一部を酸化物半導体膜に供給するためには、加熱することによって酸素の一部を放出する絶縁膜であることが好ましく、具体的には、TDS（Thermal Desorption Spectroscopy：昇温脱離ガス分光法）分析にて、酸素原子に換算した酸素の放出量が $1.0 \times 10^{18}\text{cm}^{-3}$ 以上、好ましくは $3.0 \times 10^{20}\text{cm}^{-3}$ 以上である、絶縁膜であることが好ましい。
40

【0048】

以下、酸素の放出量をTDS分析で酸素原子に換算して定量する方法について説明する。
。

【0049】

TDS分析したときの気体の放出量は、スペクトルの積分値に比例する。このため、絶縁膜のスペクトルの積分値と、標準試料の基準値に対する比とにより、気体の放出量を計算することができる。標準試料の基準値とは、所定の原子を含む試料の、スペクトルの積
50

分値に対する原子の密度の割合である。

【0050】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、及び絶縁膜のTDS分析結果から、絶縁膜の酸素分子の放出量(N_{O_2})は、数式1で求めることができる。ここで、TDS分析で得られる質量数32で検出されるスペクトルの全てが酸素分子由来と仮定する。質量数32のものとして CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子及び質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0051】

【数1】

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha$$

【0052】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのスペクトルの積分値である。ここで、標準試料の基準値を、 N_{H_2}/S_{H_2} とする。 S_{O_2} は、絶縁膜をTDS分析したときのスペクトルの積分値である。 α は、TDS分析におけるスペクトル強度に影響する係数である。数式1の詳細に
 20
 関しては、特開平6-275697公報を参照できる。なお、上記した酸素の放出量の数値は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16} \text{ cm}^{-2}$ の水素原子を含むシリコンウェハを用いて測定した数値である。

【0053】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【0054】

なお、 N_{O_2} は酸素分子の放出量である。絶縁膜においては、酸素原子に換算したときの酸素の放出量は、酸素分子の放出量の2倍となる。

【0055】

加熱することによって酸素の一部を放出する絶縁膜は、化学量論的組成より多くの酸素を含む絶縁膜があり、例えば、酸素が過剰に含まれている酸化窒化シリコン、又は酸素が過剰に含まれている酸化シリコン(SiO_x ($x > 2$))膜がある。酸素が過剰に含まれている酸化シリコン(SiO_x ($x > 2$))膜とは、シリコン原子数の2倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数及び酸素原子数は、ラザフォード後方散乱法により測定した値である。

【0056】

また、下地絶縁膜103に含まれる水素又は水分は、トランジスタ100の作製工程中に酸化物半導体膜(特にチャネル形成領域である第1の領域107)に拡散し、酸化物半導体膜を低抵抗化させ、トランジスタ100の電気特性を不良にすることがある。そこで、下地絶縁膜103は、できる限り水素又は水分が低減されていることが好ましい。

【0057】

さらに、トランジスタ100の作製にあたり、LiやNaなどのアルカリ金属は、不純物であるため含有量を少なくすることが好ましい。基板101にアルカリ金属などの不純物を含むガラス基板を用いる場合、アルカリ金属の侵入防止のため、下地絶縁膜103は、窒化シリコン、又は窒化アルミニウムなどの窒化絶縁膜上に設けることが好ましい。

【0058】

10

20

30

40

50

〔酸化物半導体膜〕

酸化物半導体膜 105 は、上記したように、ドーパントを含まず、チャネル形成領域として機能する第 1 の領域 107 と、ドーパントを含み、電界緩和領域として機能する一対の第 2 の領域 109 a、109 b と、ソース領域又はドレイン領域として機能する一対の第 3 の領域 111 a、111 b を有する。そして、一対の第 3 の領域 111 a、111 b の抵抗は、一対の第 2 の領域 109 a、109 b の抵抗よりも低い。

【0059】

一対の第 2 の領域 109 a、109 b 及び一対の第 3 の領域 111 a、111 b に含まれるドーパントは、ホウ素、窒素、フッ素、アルミニウム、リン、ヒ素、インジウム、スズ、アンチモン、ヘリウム、ネオン、アルゴン、クリプトン及びキセノンから選ばれた一種以上の元素である。なお、一対の第 2 の領域 109 a、109 b 及び一対の第 3 の領域 111 a、111 b に含まれるドーパント濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが好ましい。

10

【0060】

チャネル形成領域として機能する第 1 の領域 107 は、水素などの不純物が十分に除去されて、高純度化されていることが好ましく、具体的には、第 1 の領域 107 の水素濃度は $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。当該水素濃度は SIMS で測定されるものである。また、チャネル形成領域として機能する第 1 の領域 107 は、化学量論的組成より酸素が多い過飽和の状態とすることが好ましい。

20

【0061】

第 1 の領域 107 において、銅、アルミニウム、塩素などの不純物がほとんど含まれない高純度化されたものであることが望ましい。後述するトランジスタ 100 の製造工程において、これらの不純物が混入又は酸化物半導体膜表面に付着する恐れのない工程を適宜選択することが好ましく、酸化物半導体膜表面に付着した場合には、シュウ酸や希フッ酸などに曝す、又はプラズマ処理 (N_2O プラズマ処理など) を行うことにより、酸化物半導体膜表面の不純物を除去することが好ましい。具体的には、特に第 1 の領域 107 の銅濃度は $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。また、特に第 1 の領域 107 のアルミニウム濃度は $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする。また、第 1 の領域 107 の塩素濃度は $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下とする。このようにすることで、トランジスタ 100 を良好な電気特性を有するトランジスタとすることができる。

30

【0062】

第 1 の領域 107 中にはキャリアが極めて少なく（ゼロに近い）、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

【0063】

本実施の形態を用いて作製した、高純度化し、酸素欠損を修復する酸素を過剰に含む酸化物半導体膜 105 を用いたトランジスタ 100 は、オフ状態における電流値（オフ電流値）を、チャネル幅 $1 \mu\text{m}$ 当たり室温にて $100 \text{ zA} / \mu\text{m}$ (1 zA （zepto アンペア）は $1 \times 10^{-21} \text{ A}$) 以下、好ましくは $10 \text{ zA} / \mu\text{m}$ 以下、より好ましくは $1 \text{ zA} / \mu\text{m}$ 以下、さらに好ましくは $100 \text{ yA} / \mu\text{m}$ 以下レベルにまで低くすることができる。

40

【0064】

また、酸化物半導体膜 105 は、単結晶、多結晶（ポリクリスタルともいう。）などの結晶性を有する酸化物半導体膜、又は非晶質酸化物半導体膜である。

【0065】

酸化物半導体膜 105（特に第 1 の領域 107）は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC (C Axis Aligned Crystal)、多結晶、微結晶、非晶質部を有する。非晶質部は、微結晶、CAAC よりも欠陥準位密度が高い。また、微結晶は、CAAC よりも欠陥準位密度が高い。なお、CAAC を有する酸

50

化物半導体を、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) と呼ぶ。

【0066】

酸化物半導体膜105は、例えばCAAC-OSを有してもよい。CAAC-OSは、例えば、c軸配向し、a軸または／およびb軸はマクロに揃っていない。

【0067】

酸化物半導体膜105は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体膜は、例えば、1nm以上10nm未満のサイズの微結晶（ナノ結晶ともいう。）を膜中に含む。または、微結晶酸化物半導体膜は、例えば、1nm以上10nm未満の結晶部を有する結晶-非晶質混相構造の酸化物半導体を有している。

10

【0068】

酸化物半導体膜105は、例えば非晶質部を有してもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質酸化物半導体膜は、例えば、完全な非晶質であり、結晶部を有さない。

【0069】

なお、酸化物半導体膜105が、CAAC-OS、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、を有する。また、混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、の積層構造を有してもよい。

20

【0070】

なお、酸化物半導体膜105は、例えば、単結晶を有してもよい。

【0071】

酸化物半導体膜105は、複数の結晶部を有し、当該結晶部のc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。そのような酸化物半導体膜の一例としては、CAAC-OS膜がある。

【0072】

CAAC-OS膜は、完全な非晶質はない。CAAC-OS膜は、例えば結晶部及び非晶質部を有する結晶-非晶質混相構造の酸化物半導体を有している。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（TEM: Transmission Electron Microscope）による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界、結晶部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には明確な粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

30

【0073】

CAAC-OS膜に含まれる結晶部は、例えばc軸がCAAC-OS膜の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向になるように揃い、かつab面に垂直な方向から見て金属原子が三角形状又は六角形状に配列し、c軸に垂直な方向から見て金属原子が層状又は金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸及びb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

40

【0074】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被

50

形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、C A A C－O S膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0075】

C A A C－O S膜に含まれる結晶部のc軸は、C A A C－O S膜の被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向になるように揃うため、C A A C－O S膜の形状（被形成面の断面形状又は表面の断面形状）によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。従って、結晶部のc軸は、C A A C－O S膜が形成されたときの被形成面の法線ベクトル又は表面の法線ベクトルに平行な方向になるように揃う。

10

【0076】

C A A C－O S膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0077】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

【0078】

酸化物半導体膜105を単結晶、多結晶などの酸化物半導体膜又はC A A C－O S膜とする場合、当該酸化物半導体膜表面の平坦性を高めることによって、非晶質の酸化物半導体膜を用いたトランジスタより電界効果移動度が高いトランジスタを得ることができる。酸化物半導体膜表面の平坦性を高めるためには、平坦な表面上に酸化物半導体膜を形成することが好ましく、具体的には、平均面粗さ(Ra)が0.15nm以下、好ましくは0.1nm以下の表面上に形成するとよい。

20

【0079】

なお、Raは、J I S B 0 6 0 1 : 2 0 0 1 (I S O 4 2 8 7 : 1 9 9 7) で定義されている算術平均粗さを曲面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、以下の式にて定義される。

【0080】

【数2】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

30

【0081】

ここで、指定面とは、粗さ計測の対象となる面であり、座標(x1, y1, f(x1, y1)), (x1, y2, f(x1, y2)), (x2, y1, f(x2, y1)), (x2, y2, f(x2, y2))の4点で表される四角形の領域とし、指定面をxy平面に投影した長方形の面積をS0、基準面の高さ(指定面の平均の高さ)をZ0とする。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて測定可能である。

40

【0082】

酸化物半導体膜105に用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。また、スタビライザーとしてジルコニウム(Zr)を有することが好ましい。

50

【 0 0 8 4 】

20

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

30

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$)、あるいは $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ ($= 1/2 : 1/6 : 1/3$) の原子数比の $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$) あるいは $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$) の原子数比の $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いるとよい。

40

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低くすることにより移動度を上げることができる。

50

$C = 1$) の酸化物の組成の r だけ近傍であるとは、 a 、 b 、 c が、 $(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$ を満たすことをいう。 r としては、例えば、 0.05 とすればよい。他の酸化物でも同様である。

【0091】

また、第1の領域107、一对の第2の領域109a、109b及び一对の第3の領域111a、111bは、各領域においてそれぞれ異なる状態であってもよい。例えば、第1の領域107はCAAC-Os膜とし、一对の第2の領域109a、109b及び一对の第3の領域111a、111bは、単結晶、多結晶又は非晶質としてもよい。

【0092】

さらに、酸化物半導体膜105は、複数の酸化物半導体膜の積層構造であってもよい。例えば、酸化物半導体膜105を、第1の酸化物半導体膜と第2の酸化物半導体膜の2層構造として、第1の酸化物半導体膜と第2の酸化物半導体膜に、異なる組成の金属酸化膜を用いてもよい。例えば、第1の酸化物半導体膜に三元系金属の酸化物を用い、第2の酸化物半導体膜に二元系金属の酸化物を用いてもよい。また、例えば、第1の酸化物半導体膜と第2の酸化物半導体膜のどちらも、構成元素が異なる三元系金属の酸化物としてもよい。

10

【0093】

また、第1の酸化物半導体膜と第2の酸化物半導体膜の構成元素を同一とし、両者の組成を異ならせてもよい。例えば、第1の酸化物半導体膜の原子数比を $In : Ga : Zn = 1 : 1 : 1$ とし、第2の酸化物半導体膜の原子数比を $In : Ga : Zn = 3 : 1 : 2$ とし、第1の酸化物半導体膜の原子数比を $In : Ga : Zn = 1 : 3 : 2$ とし、第2の酸化物半導体膜の原子数比を $In : Ga : Zn = 2 : 1 : 3$ としてもよい。

20

【0094】

この際、第1の酸化物半導体膜と第2の酸化物半導体膜のうち、ゲート電極117と接している酸化物半導体膜（チャネル側）における In と Ga の含有率は In を Ga よりが多く ($In > Ga$) とするとよい。また、下地絶縁膜103と接している側（バックチャネル側）の酸化物半導体膜における In と Ga の含有率は、 In を Ga 以下とするとよい ($In \leq Ga$)。

【0095】

酸化物半導体では主として重金属の s 軌道がキャリア伝導に寄与しており、 In の含有率を多くすることにより s 軌道のオーバーラップが多くなる傾向があるため、 $In > Ga$ の組成となる酸化物半導体は $In \leq Ga$ の組成となる酸化物半導体と比較して高い移動度を備える。また、 Ga は In と比較して酸素欠損の形成エネルギーが大きく酸素欠損が生じにくいため、 $In \leq Ga$ の組成となる酸化物半導体は $In > Ga$ の組成となる酸化物半導体と比較して安定した特性を備える。

30

【0096】

チャネル側に $In > Ga$ の組成となる酸化物半導体膜を適用し、バックチャネル側に $In \leq Ga$ の組成となる酸化物半導体膜を適用することで、トランジスタの電界効果移動度及び信頼性をさらに高めることが可能となる。

【0097】

また、第1の酸化物半導体膜と第2の酸化物半導体膜に、結晶性の異なる酸化物半導体膜を適用してもよい。すなわち、単結晶酸化物半導体膜、多結晶酸化物半導体膜、非晶質酸化物半導体膜、又はCAAC-Os膜を適宜組み合わせた構成としてもよい。また、第1の酸化物半導体膜と第2の酸化物半導体膜の少なくともどちらか一方に非晶質酸化物半導体膜を適用すると、酸化物半導体膜105の内部応力や外部からの応力を緩和し、トランジスタの電気特性のばらつきが低減され、トランジスタの信頼性をさらに高めることが可能となる。

40

【0098】

一方で、非晶質酸化物半導体膜は水素などのドナーとなる不純物を吸収しやすく、また、酸素欠損が生じやすいため低抵抗化されやすい。このため、チャネル側の酸化物半導体

50

膜は、単結晶酸化物半導体膜、多結晶酸化物半導体膜又はC A A C－O S膜などの結晶性を有する酸化物半導体膜を適用することが好ましい。

【0099】

また、酸化物半導体膜105を3層以上の積層構造とし、複数層の結晶性を有する酸化物半導体膜で非晶質酸化物半導体膜を挟む構造としてもよい。また、結晶性を有する酸化物半導体膜と非晶質酸化物半導体膜を交互に積層する構造としてもよい。

【0100】

[ゲート絶縁膜]

ゲート絶縁膜116は、ゲート絶縁膜116は、第1の領域107及び一对の第2の領域109a、109bに接している酸素を含む絶縁膜113と、酸素を含む絶縁膜113上に設けられている絶縁性を有する金属酸化膜115を有する。

10

【0101】

酸素を含む絶縁膜113は、下地絶縁膜103と同様の絶縁膜を適宜用いることができる。例えば、酸素を含む絶縁膜113に、加熱することによって酸素の一部を放出する絶縁膜を適用することで、トランジスタ100の作製工程の加熱処理によって、放出する酸素を酸化物半導体膜に供給することができ、酸化物半導体膜中の酸素欠損を修復することができる。このようにすることで、良好な電気特性を有するトランジスタ100の作製することができる。

【0102】

さらに、酸素を含む絶縁膜113として、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x>0$, $y>0$))、窒素が添加されたハフニウムシリケート(HfSiO_xN_y ($x>0$, $y>0$))、ハフニウムアルミネート(HfAl_xO_y ($x>0$, $y>0$))、酸化ランタンなどのhigh-k材料を用いることができる。このような材料を用いることでゲートリーク電流を低減できる。

20

【0103】

また、酸素を含む絶縁膜113に含まれる水素又は水分は、トランジスタ100の作製工程中に酸化物半導体膜(特にチャネル形成領域である第1の領域107)に拡散し、酸化物半導体膜を低抵抗化させ、トランジスタ100の電気特性を不良にすることがある。そこで、酸素を含む絶縁膜113は、水素又は水分が低減されていることが好ましい。

【0104】

絶縁性を有する金属酸化膜115は、酸素を含む絶縁膜113とは異なる種類の無機絶縁膜で形成されていることが好ましく、特に緻密性の高い無機絶縁膜で形成されていることが好ましい。緻密性の高い無機絶縁膜は、例えば、スパッタリング法により酸化アルミニウム膜を形成することができる。酸化アルミニウム膜を高密度(膜密度 3.2 g/cm^3 以上、好ましくは 3.6 g/cm^3 以上)とすることによって、外気中の水分などの不純物が酸化物半導体膜105(特に第1の領域107)に侵入すること抑制する効果を得ることができる。また、トランジスタ100の構成要素に含まれる酸素がトランジスタ100の外部に放出されることを防止する効果を得ることができる。従って、絶縁性を有する金属酸化膜115は、トランジスタ100の作製工程中及び作製後において、水分の酸化物半導体膜105(特に第1の領域107)へのなどの混入を防止するバリア膜として、さらに酸化物半導体膜105を構成する主成分材料である酸素の放出を防止するバリア膜として機能するため、良好な電気特性を有するトランジスタ100を作製することができる。なお、膜密度はラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)や、X線反射率測定法(XRR: X-Ray Reflection)によって測定することができる。

30

40

【0105】

[ゲート電極]

ゲート電極117としては、例えば、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム、クロム等の金属材料、又はこれらを含む合金材料で形成されている。また、ゲート電極117としては、導電性の金属酸化物材料を

50

用いて形成されていてもよい。導電性の金属酸化物としては酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、インジウムスズ酸化物 ($\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する場合がある)、インジウム亜鉛酸化物 ($\text{In}_2\text{O}_3 - \text{ZnO}$)、又は、これらの金属酸化物材料にシリコン、又は酸化シリコンを含有させたもので形成されていてもよい。また、ゲート電極117としては、導電性の金属窒化物材料を用いて形成されていてもよい。

【0106】

また、ゲート電極117は、上記の材料を用いた単層構造、又は積層構造で形成されていてもよい。例えば、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、窒化タンタル膜上にタングステン膜を積層する二層構造、窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などがある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料で形成されていてもよい。なお、ゲート電極117はゲート配線として機能させてもよい。

10

【0107】

また、ゲート電極117とゲート絶縁膜116との間に、窒素を含む In-Ga-Zn-O 膜や、窒素を含む In-Sn-O 膜や、窒素を含む In-Ga-O 膜や、窒素を含む In-Zn-O 膜や、窒素を含む Sn-O 膜や、窒素を含む In-O 膜や、金属窒化膜 (窒化インジウム膜、窒化亜鉛膜、窒化タンタル膜、窒化タングステン膜など) を設けることが好ましい。これらの膜は5 eV、好ましくは5.5 eV以上の仕事関数を有し、トランジスタ100の電気特性において、しきい値電圧をプラスにすることができ、トランジスタ100を所謂ノーマリーオフのトランジスタとすることができる。例えば、窒素を含む In-Ga-Zn-O 膜を用いる場合、少なくとも酸化物半導体膜105より高い窒素濃度、具体的には、窒素原子を7原子%以上の In-Ga-Zn-O 膜を用いる。

20

【0108】

[サイドウォール絶縁膜]

サイドウォール絶縁膜119は、窒化シリコン、又は窒化アルミニウムなどの窒化絶縁膜で形成されている。

【0109】

また、一对の第2の領域109a、109bの幅は、サイドウォール絶縁膜119の幅に対応することから、一对の第2の領域109a、109bの幅が所望の値となるように、サイドウォール絶縁膜119の幅、厚さ、さらにはゲート電極117の厚さを決めることが好ましい。なお、ここでのサイドウォール絶縁膜119の厚さとは、ゲート絶縁膜116 (特に絶縁性を有する金属酸化膜115) と接している面から、ゲート電極117と接している面の最頂部までをいう。

30

【0110】

[絶縁性を有する金属酸化膜]

絶縁性を有する金属酸化膜121は、絶縁性を有する金属酸化膜115と同じ材料を用いることができる。特に緻密性の高い無機絶縁膜で形成されていることが好ましく、緻密性の高い無機絶縁膜を用いることでトランジスタ100の作製工程中及び作製後において、水分の酸化物半導体膜105 (特に第1の領域107) へのなどの混入を防止し、さらに酸化物半導体膜105を構成する主成分材料である酸素の放出を防止するため、良好な電気特性を有するトランジスタ100を作製することができる。

40

【0111】

[層間絶縁膜]

層間絶縁膜123は、無機絶縁膜を用いて形成されていることが好ましく、下地絶縁膜103と同様である。

【0112】

[ソース電極及びドレイン電極]

50

ソース電極 127a 及びドレイン電極 127b は、ゲート電極 117 と同様である。この他に、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム、クロムを成分とする金属窒化物材料（窒化チタン、窒化モリブデン、窒化タングステン）などで形成されていてもよい。また、アルミニウム、銅などの金属材料の下側若しくは上側の一方、又は双方にチタン、モリブデン、タングステンなどの高融点金属材料、又は当該高融点金属材料の金属窒化物材料（窒化チタン、窒化モリブデン、窒化タングステン）が設けられた積層構造としてもよい。

【0113】

〈トランジスタの作製方法〉

次に、トランジスタ 100 の作製方法について、図面を用いて説明する。

10

【0114】

まず、基板 101 を準備し、基板 101 上に下地絶縁膜 103 を形成し、下地絶縁膜 103 上に酸化物半導体膜 154 を形成する（図 2（A）参照）。

【0115】

基板 101 は上記列挙した種類の中から選択し、下地絶縁膜 103 及び酸化物半導体膜 154 は上記列挙した材料を用いて形成する。具体的に、下地絶縁膜 103 及び酸化物半導体膜 154 は、化学気相成長（CVD: Chemical Vapor Deposition）法、スパッタリング法、分子線エピタキシー（MBE: Molecular Beam Epitaxy）法、又はパルスレーザ堆積（PLD: Pulsed Laser Deposition）法によって形成することができる。また、酸化物半導体膜 154 は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて形成してもよい。

20

【0116】

本実施の形態において、基板 101 はガラス基板を用いる。下地絶縁膜 103 は、化学量論的組成より多くの酸素を含む絶縁膜、具体的には、酸素が過剰に含まれている酸化窒化シリコン膜を用いる。酸素が過剰に含まれている酸化窒化シリコンは、例えば、プラズマ CVD 法で形成した酸化窒化シリコンに、イオンインプランテーション法又はイオンドーピング法を用いて酸素イオンを注入することで形成することができる。また、下地絶縁膜 103 中に含まれる水素、水分を除去するため、酸素イオンを注入する前に、減圧下、窒素雰囲気下、酸素雰囲気下、又は希ガス雰囲気下などで、300℃以上700℃以下、又は基板の歪み点未満とした加熱処理を行うことが好ましい。また、下地絶縁膜 103 の厚さは、5nm以上3000nm以下とすればよく、ここでは300nm形成するものとする。

30

【0117】

なお、下地絶縁膜 103 は設けなくてもよく、基板 101 に直接、酸化物半導体膜 154 を形成してもよい。例えば、基板 101 に可撓性基板を用いた場合、可撓性基板に下地絶縁膜 103 を形成した上に酸化物半導体膜 154 を形成してもよく、可撓性基板に直接、酸化物半導体膜 154 を形成してもよい。

【0118】

酸化物半導体膜 154 は、1nm以上200nm以下、好ましくは5nm以上40nm以下として形成する。また、トランジスタ 100 において、酸化物半導体膜 105 のチャネル形成領域である第 1 の領域 107 は C A A C - O S であることが好ましいことから、ここでは、酸化物半導体膜 154 としてスパッタリング法により C A A C - O S 膜を 20nm 形成する。

40

【0119】

なお、酸化物半導体膜 154 を単結晶、多結晶などの酸化物半導体膜又は C A A C - O S 膜とする場合、酸化物半導体膜 154 を形成する前に、下地絶縁膜 103 表面の平坦性を向上させるための処理を行うことが好ましい。このようにすることで、表面の平坦性が高い酸化物半導体膜 154 を形成することができ、より電界効果移動度が高いトランジスタを得ることができる。具体的には、酸化物半導体膜 154 を形成する前に、下地絶縁膜

50

103表面の平均面粗さ(Ra)が上記範囲となるように研磨処理(例えば、化学的機械研磨(Chemical Mechanical Polishing: CMP)法)、ドライエッチング処理、プラズマ処理を行うことが好ましい。

【0120】

プラズマ処理としては、例えば、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行うことができる。逆スパッタリングとは、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。逆スパッタリングを行うと、下地絶縁膜103の表面に付着している粉状物質(パーティクル、ごみともいう)を除去することができる。

10

【0121】

平坦化処理として、研磨処理、ドライエッチング処理、プラズマ処理は複数回行ってもよく、それらを組み合わせて行ってもよい。また、組み合わせて行う場合、工程順も特に限定されず、下地絶縁膜103表面の凹凸状態に合わせて適宜設定すればよい。

【0122】

CAC-OS膜を得る方法としては、2つ挙げられる。1つ目は、成膜温度を200℃以上500℃以下として酸化物半導体膜を形成する方法である。2つ目は、薄い膜厚で第1の酸化物半導体膜を形成した後、200℃以上700℃以下の加熱処理を行い、その上に第2の酸化物半導体膜を形成し、さらに200℃以上700℃以下で加熱処理する方法である。

20

【0123】

なお、酸化物半導体膜154は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で形成することができる。酸化物半導体膜154は、形成時に酸素が多く含まれるような条件(例えば、酸素100%の雰囲気下でスパッタリング法により成膜を行うなど)で成膜して、酸素を多く含む(好ましくは酸化物半導体が結晶状態における化学量論的組成に対し、酸素の含有量が過剰な領域が含まれている)膜とすることが好ましい。

【0124】

例えば、酸化物半導体膜154をIn-Ga-Zn系酸化物とし、スパッタリング法で形成するためのターゲットとしては、例えば、組成として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol比]の酸化物ターゲットを用いる。また、このターゲットの材料及び組成に限定されず、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol比]の金属酸化物ターゲットを用いてもよい。

30

【0125】

また、金属酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い金属酸化物ターゲットを用いることにより、形成する酸化物半導体膜を緻密な膜とすることができる。

【0126】

また、酸化物半導体膜154に用いることのできる金属酸化物ターゲットは、単結晶、多結晶等の結晶性を有するターゲットが好ましい。結晶性を有するターゲットを用いることにより、形成された薄膜も結晶性を有し、特に形成された薄膜においては、CAC-OS膜となりやすい。

40

【0127】

また、酸化物半導体膜154は成膜直後において、化学量論的組成より酸素が多い過飽和の状態とすることが好ましい。例えば、スパッタリング法を用いて酸化物半導体膜を成膜する場合、成膜ガスの酸素の占める割合が多い条件で成膜することが好ましく、特に酸素雰囲気(酸素ガス100%)で成膜を行うことが好ましい。成膜ガスの酸素の占める割合が多い条件、特に酸素ガス100%の雰囲気下で成膜すると、例えば成膜温度を300℃以上としても、膜中からのZnの放出が抑えられる。

【0128】

50

酸化物半導体膜 154 を形成する際に用いるスパッタリングガスは、水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0129】

酸化物半導体膜 154 をスパッタリング法で形成する際は、減圧状態に保持された成膜室内に基板 101 を保持する。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタリングガスを導入し、上記ターゲットを用いて基板 101 上に酸化物半導体膜 154 を形成する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 (H₂O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該成膜室で形成した酸化物半導体膜 154 に含まれる不純物の濃度を低減できる。

10

【0130】

また、下地絶縁膜 103 と酸化物半導体膜 154 とを大気に解放せずに連続的に形成することが好ましい。下地絶縁膜 103 と酸化物半導体膜 154 とを大気に曝露せずに連続して形成すると、下地絶縁膜 103 表面に水素や水分などの不純物が吸着することを防止することができる。

【0131】

また、酸化物半導体膜 154 に、過剰な水素 (水や水酸基を含む) を除去 (脱水化又は脱水素化) するための加熱処理を行ってもよい。加熱処理の温度は、300℃以上700℃以下、又は基板の歪み点未満とする。加熱処理は減圧下、窒素雰囲気下、酸素雰囲気下、又は希ガス雰囲気下などで行うことができる。例えば、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜に対して窒素雰囲気下450℃において1時間の加熱処理を行う。

20

【0132】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA (Gas Rapid Thermal Annealing) 装置、LRTA (Lamp Rapid Thermal Annealing) 装置等のRTA (Rapid Thermal Annealing) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

30

【0133】

例えば、加熱処理として、650℃～700℃の高温に加熱した不活性ガス中に基板を入れ、数分間加熱した後、基板を不活性ガス中から出すGRTAを行ってもよい。

【0134】

なお、脱水化又は脱水素化のための加熱処理は、酸化物半導体膜 154 の形成後、金属元素を含む膜の形成前、及び酸化物半導体膜 154 への酸素の導入工程前であれば、ランジスタ440の作製工程においてどのタイミングで行ってもよい。

40

【0135】

脱水化又は脱水素化のための加熱処理を、酸化物半導体膜 154 を所望の形状に加工する前に行うと、下地絶縁膜 103 に含まれる酸素が当該加熱処理によって放出されるのを防止することができるため好ましい。

【0136】

なお、加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。又は、熱処理装置に導入する窒素、又はヘリウ

50

ム、ネオン、アルゴン等の希ガスの純度を、6 N (99.9999%) 以上好ましくは7 N (99.99999%) 以上 (即ち不純物濃度を1 ppm以下、好ましくは0.1 ppm以下) とすることが好ましい。

【0137】

また、加熱処理で酸化物半導体膜154を加熱した後、同じ炉に高純度の酸素ガス、高純度の一酸化二窒素ガス、又は超乾燥エア (CRDS (キャビティリングダウンレーザー分光法) 方式の露点計を用いて測定した場合の水分量が20 ppm (露点換算で-55℃) 以下、好ましくは1 ppm以下、より好ましくは10 ppb以下の空気) を導入してもよい。酸素ガス又は一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。又は、熱処理装置に導入する酸素ガス又は一酸化二窒素ガスの純度を、6 N以上好ましくは7 N以上 (即ち、酸素ガス又は一酸化二窒素ガス中の不純物濃度を1 ppm以下、好ましくは0.1 ppm以下) とすることが好ましい。酸素ガス又は一酸化二窒素ガスの作用により、脱水化又は脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体膜154を高純度化及びi型 (真性) 化することができる。

10

【0138】

また、下地絶縁膜103に接した状態で酸化物半導体膜154に加熱処理を行うことで、脱水化又は脱水素化が行われると共に、下地絶縁膜103に含まれる酸素の一部が当該加熱処理によって脱離し、酸化物半導体膜154と下地絶縁膜103の界面準位密度を低減でき、酸化物半導体膜154中の酸素欠損を修復することができる。

20

【0139】

そして、酸化物半導体膜154を形成した後、イオンインプランテーション法又はイオンドーピング法を用いて酸素イオンを酸化物半導体膜154に注入してもよい。このようにすることで、酸化物半導体膜154と下地絶縁膜103の界面準位密度を低減でき、酸化物半導体膜154中の酸素欠損を修復することができる。

【0140】

酸化物半導体膜154に加熱処理をした後、フォトリソグラフィ工程及びエッチング工程により酸化物半導体膜155に加工する (図2 (B) 参照)。また、酸化物半導体膜155を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。以降の作製工程において行うフォトリソグラフィ工程も、フォトマスク又はインクジェット法などでレジストマスクを形成することができる。

30

【0141】

なお、酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜のウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N (関東化学社製) を用いてもよい。

【0142】

なお、酸化物半導体膜は、所望の形状に加工してもよいし、形状を加工せず、膜状のままでもよい。また、酸化物半導体膜を素子ごとに分離する絶縁膜からなる素子分離領域を設けてもよい。

40

【0143】

次に、下地絶縁膜103及び酸化物半導体膜155上に、酸素を含む絶縁膜156を形成し、酸素を含む絶縁膜156上に絶縁性を有する金属酸化膜157を形成する (図2 (C) 参照)。

【0144】

酸素を含む絶縁膜156は、上記列挙した酸素を含む絶縁膜113に適用可能な材料を用いて形成する。絶縁性を有する金属酸化膜157は、上記列挙した絶縁性を有する金属酸化膜115に適用される材料を用いて形成する。

【0145】

50

ここでは、酸素を含む絶縁膜156は、プラズマCVD法で形成した酸化窒化シリコンに、イオンインプランテーション法又はイオンドーピング法を用いて酸素イオンを注入した、酸素が過剰に含まれている酸化窒化シリコンを形成する。また、酸素を含む絶縁膜156は、5nm以上200nm以下、より好ましくは5nm以上50nm以下とするとよく、ここでは、酸化窒化シリコン膜を20nm形成する。

【0146】

なお、下地絶縁膜103と同様に、形成した酸化窒化シリコン膜を脱水素化又は脱水化するための加熱処理を行ってもよい。当該加熱処理は、減圧下、窒素雰囲気下、酸素雰囲気下、又は希ガス雰囲気下などで、300℃以上700℃以下、又は基板の歪み点未満で行えばよい。

10

【0147】

絶縁性を有する金属酸化膜157は、スパッタリング法により酸化アルミニウム膜を形成する。また、絶縁性を有する金属酸化膜157は、5nm以上200nm以下、より好ましくは5nm以上50nm以下とするとよく、ここでは、酸化アルミニウム膜を20nm形成する。

【0148】

次に、上記列挙したゲート電極117に適用可能な材料を用いて導電膜158を形成する(図2(D)参照)。導電膜158は、CVD法、スパッタリング法、MBE法、又はPLD法によって形成することができる。ここでは、スパッタリング法により、絶縁性を有する金属酸化膜157上に窒化タンタル膜を30nm形成し、窒化タンタル膜上にタン

20

【0149】

次に、フォトリソグラフィ工程及びエッチング工程を用いて、導電膜158をゲート電極117に加工する(図2(E)参照)。後にサイドウォール絶縁膜119を形成することから、ゲート電極117のテーパ角は、ゲート電極117の底面(絶縁性を有する金属酸化膜157の表面)に対して概略直角となるように、RIE(Reactive ion etching: 反応性イオンエッチング)法などの異方性エッチングにより加工することが好ましい。

【0150】

次に、ゲート電極117をマスクにしてドーパント159を酸化物半導体膜155に注入し、チャンネル形成領域として機能する第1の領域107及び第1の領域107より低抵抗であり、ドーパント159を含む一対の領域108a、108bを形成する(図3(A)参照)。ドーパント159としてはホウ素、窒素、フッ素、アルミニウム、リン、ヒ素、インジウム、スズ、アンチモン、ヘリウム、ネオン、アルゴン、クリプトン及びキセノンから選ばれた一種以上を用いればよい。なお、その方法は、イオンインプランテーション法又はイオンドーピング法で行えばよい。酸化物半導体膜155を低抵抗化するドーパントを含む雰囲気でのプラズマ処理又は加熱処理を行うことで、当該ドーパントを酸化物半導体膜155に注入してもよい。好ましくはイオンインプランテーション法を用いる。

30

【0151】

ドーパント159の注入は、加速電圧、ドーズ量などの注入条件、また通過させる酸素を含む絶縁膜113及び絶縁性を有する金属酸化膜157の膜厚を適宜設定して制御すればよい。例えば、リンを用いて、イオンインプランテーション法でリンイオンの注入を行う場合、加速電圧30kV、ドーズ量は $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよく、例えば、 $1 \times 10^{15} \text{ ions/cm}^2$ とすればよい。

40

【0152】

なお、イオンインプランテーション法にて酸化物半導体膜155にドーパント159を注入した後、加熱処理を行ってもよい。加熱条件としては、温度300℃以上700℃以下、好ましくは300℃以上450℃以下で1時間、酸素雰囲気下で行うことが好ましい。また、当該加熱処理は窒素雰囲気下、減圧下、又は大気(超乾燥エア)下で行ってもよ

50

い。

【0153】

酸化物半導体膜155が結晶性を有する酸化物半導体膜の場合、ドーパント159の注入によって、一部非晶質化することがある。酸化物半導体膜155のドーパント159を含む領域が非晶質である場合、ドーパント159の注入以降のトランジスタ100の作製工程の加熱処理において、第1の領域107に含まれる水素又は水分がドーパント159を含む領域に拡散しやすくなる。これにより、第1の領域107の水素又は水分が減少し、第1の領域107は高純度化され、ドーパント159を含む領域はさらに低抵抗化する。なお、本明細書では、第1の領域107の水素又は水分がドーパント159を含む領域に拡散し、第1の領域107の水素又は水分が低減することをゲッタリングといえることができる。

10

【0154】

また、酸化物半導体膜155のドーパント159を含む領域が非晶質である場合、当該非晶質化した領域が結晶化する温度で加熱処理を行うことで、当該非晶質化した領域の結晶性を回復させてもよい。

【0155】

次に、サイドウォール絶縁膜119を形成するために、絶縁性を有する金属酸化膜157及びゲート電極117上に絶縁膜161を形成する(図3(B)参照)。

【0156】

絶縁膜161をRIE法などの異方性エッチングによって加工し、ゲート電極117の側面に接するサイドウォール絶縁膜119を自己整合的に形成する。ここで、絶縁膜161は、後の形成する金属元素を含む膜と反応しないように窒化絶縁膜(例えば、窒化シリコン膜又は窒化アルミニウム膜)で形成することが好ましい。絶縁膜161はCVD法又はスパッタリング法などによって形成することができる。

20

【0157】

次に、ゲート電極117及びサイドウォール絶縁膜119をマスクとして用いて、酸素を含む絶縁膜156及び絶縁性を有する金属酸化膜157をRIE法などの異方性エッチングにより加工することで、酸素を含む絶縁膜113及び絶縁性を有する金属酸化膜115を有するゲート絶縁膜116を形成する(図3(D)参照)。ゲート絶縁膜116を形成することで、一対の領域108a、108bの一部が露出する。

30

【0158】

次に、下地絶縁膜103、一対の領域108a、108b、ゲート絶縁膜116、サイドウォール絶縁膜119及びゲート電極117を覆って金属元素を含む膜162を形成する(図4(A)参照)。

【0159】

金属元素を含む膜162は、アルミニウム(Al)、インジウム(In)、チタン(Ti)、スズ(Sn)、モリブデン(Mo)、タングステン(W)、亜鉛(Zn)、ハフニウム(Hf)、タンタル(Ta)、ランタン(La)、バリウム(Ba)、マグネシウム(Mg)、ジルコニウム(Zr)、及びニッケル(Ni)のいずれかから選択される一以上の金属元素を含む金属膜を用いることができる。また、金属元素を含む膜162にドーパント159に適用可能な元素(リン(P)、ホウ素(B)など)を含ませてもよい。なお、本実施の形態において金属元素を含む膜162は導電性を有する。

40

【0160】

金属元素を含む膜162は、CVD法、スパッタリング法、MBE法、又はPLD法によって形成することができる。金属元素を含む膜162の膜厚は1nm以上30nm以下、好ましくは2nm以上5nm以下とすればよい。

【0161】

本実施の形態では、金属元素を含む膜162として膜厚5nmのアルミニウム膜をスパッタリング法によって形成する。

【0162】

50

次に、金属元素を含む膜162が一对の領域108a、108bに接した状態で加熱処理をし、金属元素を含む膜162に含まれる金属元素の一部を一对の領域108a、108bに拡散させる（図4（B）参照）。当該加熱処理は、一对の領域108a、108bの金属元素を含む膜162と接している領域に当該金属元素の一部が拡散し、当該領域を低抵抗化する。なお、金属元素を含む膜162にドーパント159に適用可能な元素が含まれている場合は、当該元素の一部も一对の領域108a、108bに拡散する。

【0163】

当該加熱処理により、一对の領域108a、108bと同抵抗である一对の第2の領域109a、109bと、一对の領域108a、108bより低抵抗領域である一对の第3の領域111a、111bを形成することができる。

10

【0164】

当該加熱処理は、酸素雰囲気下ではなく、窒素雰囲気下又は希ガス雰囲気下で行うことが好ましい。なお、減圧雰囲気下でも行うことができる。また、加熱温度は100℃以上700℃以下、好ましくは200℃以上400℃以下とすればよい。

【0165】

例えば、加熱処理装置の一つである電気炉を用いて、金属元素を含む膜162及び酸化物半導体膜（第1の領域107及び一对の領域108a、108b）に対して窒素雰囲気下300℃において1時間の加熱処理を行う。

【0166】

当該加熱処理によって、金属元素を含む膜162の一对の領域108a、108bと接している領域、及び金属元素を含む膜162の下地絶縁膜103と接している領域は、一对の領域108a、108b、及び下地絶縁膜103に含まれる酸素によって酸化される。本実施の形態では、金属元素を含む膜162にアルミニウムを用いているため、一对の領域108a、108b及び下地絶縁膜103と接している領域は、当該加熱処理によって酸化アルミニウムとなる。当該酸化された領域は、代表的には図4（B）に示した領域106である。また、当該加熱処理による酸化は、第1の領域107に含まれる酸素によっても行われるといえるが、一对の領域108a、108bのサイドウォール絶縁膜119と重畳している領域によって、第1の領域107に含まれる酸素が利用されることを抑制している。

20

【0167】

また、当該加熱処理を、酸素雰囲気下で加熱処理を行った場合、金属元素を含む膜162の表面からの酸化が支配的に進むと予想できる。それゆえ、一对の領域108a、108bの金属元素を含む膜162と接している領域に金属元素を十分に拡散させて低抵抗化させる前に、金属元素を含む膜162が十分に酸化されることで金属元素を拡散させることができず、当該領域を均一且つ十分に低抵抗化することが困難になると予想できる。

30

【0168】

一方、当該加熱処理を窒素雰囲気下、希ガス雰囲気下又は減圧雰囲気下で行う場合、金属元素を含む膜162は、一对の領域108a、108bと接している界面から酸化するため、酸素雰囲気下で行う場合より金属元素を含む膜162が酸化される速度が遅く、また、金属元素を含む膜162全体が酸化することがないために、一对の領域108a、108bの金属元素を含む膜162と接している領域に金属元素を均一且つ十分に拡散させることができ、均一且つ十分に低抵抗化された一对の第3の領域111a、111bを形成することができる。従って、良好な電気特性を有するトランジスタを歩留まり高く作製することができる。

40

【0169】

このように、均一且つ十分に低抵抗化された一对の第3の領域111a、111bを形成することできるため、ソース領域及びドレイン領域として機能する一对の第3の領域111a、111bと、電界緩和領域として機能する一对の第2の領域109a、109bをサイドウォール絶縁膜119形成後にドーパントを注入する工程を行って、これらの領域を形成する方法より簡易且つ短時間に形成することができる。従って、良好な電気特性

50

を有するトランジスタを生産性高く作製することができる。

【0170】

なお、金属元素を含む膜162を形成し、加熱処理をする前後の少なくとも一方で、上記一対の領域108a、108bを形成するために行ったドーパント159の注入工程を行ってもよい。ここでのドーパント159は上記列挙した元素とすればよいが、希ガス元素など、質量の大きな元素とすることが好ましい。例えば、ドーパント159をアルゴンとし、金属元素を含む膜162を透過してアルゴンを注入すると、金属元素を含む膜162の金属元素もドーパント159に押し込まれて酸化物半導体膜に注入される。さらに、ドーパント159を含む酸化物半導体膜のアルゴンが注入された領域は、非晶質化する場合がある。このように非晶質化した状態で、加熱処理が行われると、第1の領域107に 10
含まれる水素又は水分が酸化物半導体膜の非晶質化した領域に移動しやすくなる（ゲッタリング）。これにより、第1の領域107は高純度化され、非晶質化された領域はさらに低抵抗化する。

【0171】

次に、エッチング工程により、酸化した領域を有する金属元素を含む膜162を除去する（図4（C）参照）。当該エッチング工程は、当該酸化した領域は金属元素を含む膜162の他の領域に比べて、前記酸化した領域を有する金属元素を含む膜及び前記酸化物半導体膜のエッチングガス又はエッチャントに対するエッチング速度の違いを利用して行うことが好ましいため、エッチングガス又はエッチャントを適宜選択して行う。なお、エッチングガスをを用いるドライエッチングは、金属元素を含む膜162の種類によって、金属 20
元素を含む膜162を選択的に除去することができないことがある。例えば、金属元素を含む膜162にチタン膜を用いた場合、フッ素系のエッチングガスをを用いたドライエッチングで金属元素を含む膜162を選択的に除去することが可能であるが、本実施の形態のように、金属元素を含む膜162にアルミニウムを用いた場合、ドライエッチングでは金属元素を含む膜162を選択的に除去するのが難しい。また、金属元素を含む膜162に酸化された領域を有すると、当該領域のみエッチング速度が変化するため、選択的に金属元素を含む膜162を除去することが難しい。また、ウェットエッチングは、ドライエッチングに比べて酸化物半導体膜105の種類や組成によってエッチング速度が変わる傾向にある。例えば、上記列挙した種類の酸化物半導体膜のアンモニア過水溶液に対するエッチング速度は、金属元素を含む膜162の過水アンモニア水に対するエッチング速度より 30
遅い。また、In-Ga系酸化物はフッ酸系のエッチャントに対するエッチング速度が非常に遅く、金属元素を含む膜162とのエッチング速度に差を有する。従って、当該エッチング工程は、ウェットエッチング行うことが好ましい。

【0172】

金属元素を含む膜162を形成した後に行う加熱処理は、窒素雰囲気下又は希ガス雰囲気下で行い、金属元素を含む膜162は一対の領域108a、108bと接する領域から酸化されるため、金属元素を含む膜162のすべてが酸化される訳でない。そこで、本エッチング工程を行うことで、金属元素を含む膜162の酸化されていない領域がすべて除去されるため、トランジスタ100において、当該酸化されていない領域を介してソース電極127a及びドレイン電極127b間が導通することを防ぐことができる。 40

【0173】

次に、下地絶縁膜103、一対の第3の領域111a、111b、ゲート絶縁膜116、サイドウォール絶縁膜119及びゲート電極117を覆って絶縁性を有する金属酸化膜121を形成する（図4（D）参照）。

【0174】

絶縁性を有する金属酸化膜121は、絶縁性を有する金属酸化膜157と同様にして形成する。特に緻密性の高い無機絶縁膜で形成されていることが好ましく、絶縁性を有する金属酸化膜121は、5nm以上200nm以下、より好ましくは5nm以上100nm以下とするとよく、本実施の形態では、スパッタリング法で酸化アルミニウム膜を70nm形成する。 50

【0175】

本実施の形態のように、金属元素を含む膜162を除去し、絶縁性を有する金属酸化膜121を形成する工程は、以下のような利点を有する。例えば、金属元素を含む膜162が一对の領域108a、108bに接した状態で行う加熱処理によって、金属元素を含む膜162のすべてが酸化されず、金属元素を含む膜162の一部に導電性を有する領域が残った場合、当該領域を介して、後に形成するソース電極127a及びドレイン電極127bが導通し、トランジスタとして機能しない可能性がある。それゆえ、形成した金属元素を含む膜162を除去し、再度、絶縁性を有する金属酸化膜121を形成することでソース電極127a及びドレイン電極127bを電氣的に分離することができ、歩留まり高くトランジスタ100を作製することができる。

10

【0176】

次に、絶縁性を有する金属酸化膜121上に層間絶縁膜123を形成する（図5（A）参照）。層間絶縁膜123は、下地絶縁膜103と同様にして形成すればよい。本実施の形態では、プラズマCVD法で形成した酸化窒化シリコンを400nm形成する。

【0177】

少なくとも絶縁性を有する金属酸化膜121を形成した後に、加熱処理を行うことが好ましい。当該加熱処理は、下地絶縁膜103上に酸化物半導体膜154を形成した後に行う加熱処理と同様にして行うことができる。当該加熱処理によって、下地絶縁膜103及びゲート絶縁膜116に含まれる酸素を含む絶縁膜113に含まれる酸素の一部が、下地絶縁膜103と酸化物半導体膜105（特に第1の領域107）の界面、酸素を含む絶縁膜113と酸化物半導体膜105（特に第1の領域107）の界面、及び、酸化物半導体膜105（特に第1の領域107）に供給され、それぞれの界面における界面準位密度を低減し、且つ、酸化物半導体膜105（特に第1の領域107）中の酸素欠損を修復することができる。

20

【0178】

また、絶縁性を有する金属酸化膜121は、下地絶縁膜103及び酸素を含む絶縁膜113に含まれる酸素が外部に放出されることを防止する効果を有するため、効率よく且つ十分に当該界面準位密度を低減することができ、且つ、当該酸素欠損を修復することができる。それゆえ、トランジスタ100は、トランジスタの動作などに起因して、下地絶縁膜103及び酸素を含む絶縁膜113と酸化物半導体膜105との界面にキャリアが捕獲されることを抑制されており、信頼性に優れたトランジスタとなる。また、トランジスタ100は、酸素欠損に起因した電子が低減されており、良好な電気特性を有するトランジスタとなる。また、絶縁性を有する金属酸化膜121は、外気の水素、水分などの不純物が外部から侵入することを防止する効果も有することから、トランジスタ100は信頼性に優れたトランジスタとなる。なお、当該加熱処理で層間絶縁膜123に含まれる水素や水分は除去される。

30

【0179】

次に、絶縁性を有する金属酸化膜121及び層間絶縁膜123に、一对の第3の領域111a、111bに達する開口125a、125bを形成する（図5（B）参照）。当該開口125a、125bに、導電膜を形成し、フォトリソグラフィ工程及びエッチング工程によって、ソース電極127a及びドレイン電極127bを形成する（図1（B）参照）。なお、ソース電極127a又はドレイン電極127bは、それぞれソース配線又はドレイン配線としても機能する。当該導電膜は、ゲート電極117に加工される導電膜158と同様にして形成すればよい。

40

【0180】

また、トランジスタ起因の表面凹凸を低減するために層間絶縁膜123上に平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン系樹脂などの有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

50

【0181】

上記トランジスタ100の作製方法では、サイドウォール絶縁膜119を形成する際にゲート電極117が露出するように絶縁膜161の一部を除去するため、ゲート電極117が膜減りする可能性がある。そこで、ゲート電極117に加工される導電膜158上に絶縁膜170を形成する（図6（A）参照）。その後、フォトリソグラフィ工程及びエッチング工程により、ゲート電極117及びゲート電極117の上面に接するゲート電極保護膜122を形成する（図6（B）参照）。以降は、上記トランジスタ100の作製方法と同様の工程を行う。なお、絶縁膜170はサイドウォール絶縁膜119に加工される絶縁膜161とはエッチングガスに対するエッチング速度が異なる種類の絶縁膜、ここでは、絶縁膜161よりエッチング速度が遅い絶縁膜を用いて形成する。本実施の形態では、絶縁膜161は窒化絶縁膜を用いていることから、絶縁膜170は酸化絶縁膜、絶縁性を有する金属酸化膜、又は絶縁性を有する金属窒化膜を用いることが好ましい。絶縁膜161を加工してサイドウォール絶縁膜119を形成する際に、ゲート電極保護膜122がエッチングストッパー膜として機能するために、ゲート電極117の膜減りを抑制することができる。この作製方法によって、作製されたトランジスタの断面図を図6（C）に示す。

10

【0182】

以上により、外気による電気特性劣化が抑制されたトランジスタを歩留まり高く、作製することができる。また、本発明の一態様により、酸化物半導体膜にチャネル形成領域と抵抗率差を有する2つの領域が設けられ、ソース電極及びドレイン電極との接触抵抗を低減でき、高いオン特性を有する、酸化物半導体を用いたトランジスタを提供することができる、そして、当該トランジスタは高速応答及び高速駆動の可能なトランジスタであることから、当該トランジスタを用いて高性能の半導体装置を作製することができる。

20

【0183】

なお、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0184】

（実施の形態2）

本実施の形態では、実施の形態1で説明したトランジスタとは作製方法が一部異なるトランジスタについて説明する。本実施の形態で説明するトランジスタは、実施の形態1で説明したトランジスタとはゲート電極及びサイドウォール絶縁膜の形状及び形成方法が異なる。本発明の一態様のトランジスタは、ゲート電極が略三角形の形状であってもよく、サイドウォール絶縁膜は少なくともゲート電極の側面に接し、ゲート電極を覆う形状であってもよい。そこで、本実施の形態は、実施の形態1で用いた図面及び説明を適宜用いることができるものとし、重複する説明は省略することがある。なお、本実施の形態で説明するトランジスタは、ゲート電極幅が概ね数百nm以下の微細なトランジスタを想定している。

30

【0185】

ゲート電極に加工される導電膜158を形成する工程までは、実施の形態1と同様である（図2（A）乃至図2（D）参照）。

40

【0186】

次に、幅の狭いゲート電極を形成するため、所望のゲート電極幅より幅の広いレジストマスク163を形成する（図7（A）参照）。レジストマスク163は実施の形態1と同様にフォトリソグラフィ工程又はインクジェット法などで形成できる。

【0187】

本実施の形態では、次に、ゲート電極幅を狭くするために、酸素プラズマによりレジストマスク163を縮小し、所望のゲート電極幅を有するレジストマスク164を形成する（図6（B）参照）。

【0188】

次に、レジストマスク164を用いたエッチング工程により、導電膜158を加工し、

50

ゲート電極 169 を形成する（図 7（C）参照）。エッチング工程によって、導電膜 158 の一部だけではなくレジストマスク 164 も除去されるため、レジストマスク 164 と重畳する導電膜 158 の一部が除去される。従って、本実施の形態で示すように非常に微細なトランジスタにおいて、ゲート電極 169 は図 7（C）のように略三角形状となる。

【0189】

次に、ゲート電極 169 をマスクに用いて、ドーパント 159 を酸化物半導体膜 155 に注入する（図 8（A）参照）。ドーパント 159 を注入する工程に関する説明は、実施の形態 1 と同様である。

【0190】

次に、絶縁膜 161 を形成し、絶縁膜 161 上にレジストマスク 171 を形成する（図 8（B）参照）。絶縁膜 161 は、実施の形態 1 と同様に絶縁膜 161 を形成した（図 3（B）参照）後、CMP 法などの研磨処理又はドライエッチング処理によるエッチバック処理によって、絶縁膜 161 の表面を平坦化した絶縁膜である。絶縁膜 161 のように表面が平坦化されていることで、レジストマスク 171 をゲート電極幅の狭いゲート電極 169 に対して精度良く形成することができる。

【0191】

次に、レジストマスク 171 を用いて、絶縁膜 161 を加工しサイドウォール絶縁膜 119 と、酸素を含む絶縁膜 156 及び絶縁性を有する金属酸化膜 157 を加工して、酸素を含む絶縁膜 113 及び絶縁性を有する金属酸化膜 115 を有するゲート絶縁膜 116 を形成する（図 8（C）参照）。本実施の形態では、レジストマスクを用いてサイドウォール絶縁膜を形成するため、実施の形態 1 でのサイドウォール絶縁膜とは形状が異なる。具体的には、サイドウォール絶縁膜は少なくともゲート電極の側面に接し、ゲート電極を覆う形状である。

【0192】

次に、下地絶縁膜 103、一対の領域 108a、108b、ゲート絶縁膜 116、サイドウォール絶縁膜 119 を覆って金属元素を含む膜 162 を形成した後、金属元素を含む膜 162 が一対の領域 108a、108b に接した状態で加熱処理をし、金属元素を含む膜 162 に含まれる金属元素の一部を、図 8（C）に示す一対の領域 108a、108b に拡散させる（図 9（A）参照）。

【0193】

当該加熱処理により、一対の領域 108a、108b と同抵抗である一対の第 2 の領域 109a、109b と、一対の領域 108a、108b より低抵抗領域である一対の第 3 の領域 111a、111b を形成することができる。なお、金属元素を含む膜 162、及び金属元素を含む膜 162 が一対の領域 108a、108b に接した状態で行う加熱処理に関する説明は、実施の形態 1 と同様である。なお、当該加熱処理により酸化された領域は、代表的には図 9（A）に示した領域 106 である。

【0194】

次に、フォトリソグラフィ工程及びエッチング工程により、酸化した領域を有する金属元素を含む膜 162 を除去し、再び、下地絶縁膜 103、一対の第 3 の領域 111a、111b、ゲート絶縁膜 116、サイドウォール絶縁膜 119 及びゲート電極 117 を覆って絶縁性を有する金属酸化膜 121 を形成する（図 9（B）参照）。

【0195】

酸化した領域を有する金属元素を含む膜 162 を除去する工程、及び絶縁性を有する金属酸化膜 121 を形成する工程に関する説明は実施の形態 1 と同様である。

【0196】

以降は、実施の形態 1 と同様の工程を行う。具体的には、絶縁性を有する金属酸化膜 121 上に層間絶縁膜 123 を形成し、好ましくは、少なくとも絶縁性を有する金属酸化膜 121 を形成した後に加熱処理を行う。絶縁性を有する金属酸化膜 121 及び層間絶縁膜 123 に、一対の第 3 の領域 111a、111b に達する開口 125a、125b を形成し、当該開口 125a、125b にソース電極 127a 及びドレイン電極 127b を形成

する（図 9（C）参照）。

【0197】

本実施の形態で説明した作製方法を用いることで、ゲート電極幅が狭いトランジスタにおいても、酸化物半導体膜に電界緩和領域、ソース領域及びドレイン領域をセルフアラインに形成するためのサイドウォール絶縁膜を歩留まり高く形成することができる。

【0198】

以上により、外気による電気特性劣化が抑制されたトランジスタを歩留まり高く、作製することができる。また、本発明の一態様により、酸化物半導体膜にチャネル形成領域と抵抗率差を有する 2 つの領域が設けられ、ソース電極及びドレイン電極との接触抵抗を低減でき、高いオン特性を有する、酸化物半導体を用いたトランジスタを提供することができる、そして、当該トランジスタは高速応答及び高速駆動の可能なトランジスタであることから、当該トランジスタを用いて高性能の半導体装置を作製することができる。

10

【0199】

なお、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0200】

（実施の形態 3）

本実施の形態では、先の実施の形態で説明したトランジスタとは作製方法が一部異なるトランジスタについて説明する。従って、本実施の形態は、先の実施の形態で用いた図面及び説明を適宜用いることができるものとし、重複する説明は省略することがある。

20

【0201】

〈トランジスタの構成例〉

図 10（A）及び図 10（B）に、トランジスタ 200 の上面図及び断面図を示す。図 10（A）はトランジスタ 200 の上面図であり、図 10（B）は、図 10（A）の一点鎖線 A－B 間の断面図である。なお、図 10（A）では、明瞭化のため、トランジスタ 200 の構成要素の一部（例えば、基板 101、下地絶縁膜 103、及びゲート絶縁膜 116 など）を省略している。

【0202】

図 10（A）及び図 10（B）より、トランジスタ 200 は、基板 101 上に下地絶縁膜 103 が設けられており、下地絶縁膜 103 上にソース電極 127a 及びドレイン電極 127b が設けられており、ソース電極 127a 及びドレイン電極 127b の一部に接する酸化物半導体膜 105 が下地絶縁膜 103 上に設けられており、酸化物半導体膜 105 上にゲート絶縁膜 116 が設けられており、ゲート絶縁膜 116 上の酸化物半導体膜 105 と重畳する領域にゲート電極 117 が設けられており、ゲート絶縁膜 116 及びゲート電極 117 に接するサイドウォール絶縁膜 119 が設けられており、下地絶縁膜 103、酸化物半導体膜 105 の一部、ゲート絶縁膜 116、ゲート電極 117 及びサイドウォール絶縁膜 119 に接する絶縁性を有する金属酸化膜 121 が設けられており、絶縁性を有する金属酸化膜 121 上に層間絶縁膜 123 が設けられており、絶縁性を有する金属酸化膜 121 及び層間絶縁膜 123 に形成された開口 125a、125b を介して、ソース電極 127a 及びドレイン電極 127b に接するソース配線 327a 及びドレイン配線 327b が設けられている。なお、下地絶縁膜 103 及び層間絶縁膜 123 は、設けなくてもよい。

30

40

【0203】

トランジスタ 200 における、基板 101、下地絶縁膜 103、酸化物半導体膜 105、ゲート絶縁膜 116、ゲート電極 117、サイドウォール絶縁膜 119、絶縁性を有する金属酸化膜 121、層間絶縁膜 123、ソース電極 127a 及びドレイン電極 127b の詳細は、トランジスタ 100 と同様である。

【0204】

ソース配線 327a 及びドレイン配線 327b は、ソース電極 127a 及びドレイン電極 127b の引き回し配線として設けられており、ソース電極 127a 及びドレイン電極

50

127bと電氣的に接続されている。

【0205】

〈トランジスタの作製方法〉

次に、トランジスタ200の作製方法について、図面を用いて説明する。

【0206】

まず、基板101を準備し、基板101上に下地絶縁膜103を形成し、下地絶縁膜103上にソース電極127a及びドレイン電極127bを形成する(図11(A)参照)。

【0207】

基板101は実施の形態1に記載した種類の中から選択し、下地絶縁膜103は実施の形態1と同様にして形成することができる。

【0208】

ソース電極127a及びドレイン電極127bは、実施の形態1に列挙した材料及び方法を適宜用いて形成する。

【0209】

以降の工程は、トランジスタ100の作製方法と同様である。酸化物半導体膜155を形成し(図11(B)参照)、酸素を含む絶縁膜156及び絶縁性を有する金属酸化膜157、並びにゲート電極117を形成した後、ゲート電極117をマスクとして用いて、ドーパント159を酸化物半導体膜155に注入して、第1の領域107及び一対の領域108a、108bを形成し(図11(C)参照)、酸素を含む絶縁膜113及び絶縁性を有する金属酸化膜115を有するゲート絶縁膜116、並びにサイドウォール絶縁膜119を形成し(図11(D)参照)、少なくとも一対の領域108a、108bを覆って金属元素を含む膜162を形成した後、加熱処理をして酸化物半導体膜105を形成し(図12(A)参照)、金属元素を含む膜162を除去し、絶縁性を有する金属酸化膜121を形成し(図12(B))、層間絶縁膜123を形成し、開口125a、開口125bを形成し(図12(D)参照)、開口125a、開口125bにソース配線327a及びドレイン配線327bを形成することでトランジスタ200を作製することができる(図10(B)参照)。

【0210】

また、実施の形態1と同様に適宜、加熱処理を行うことができる。例えば、酸化物半導体膜155に加工する前の酸化物半導体膜に加熱処理を行うことや、少なくとも絶縁性を有する金属酸化膜121を形成した後に加熱処理を行うことが好ましい。当該加熱処理を行うことで、酸化物半導体膜の脱水素化又は脱水化が生じ、酸化物半導体膜中の酸素欠損を修復できるため、良好な電気特性を有するトランジスタ200を作製することができる。

【0211】

上記トランジスタ200の作製方法では、サイドウォール絶縁膜119を形成する際にゲート電極117が露出するように絶縁膜161の一部を除去するため、ゲート電極117が膜減りする可能性がある。そこで、ゲート電極117に加工される導電膜158上に絶縁膜170を形成する(図13(A)参照)。その後、フォトリソグラフィ工程及びエッチング工程により、ゲート電極117及びゲート電極117の上面に接するゲート電極保護膜122を形成する(図13(B)参照)。以降は、上記トランジスタ200の作製方法と同様の工程を行う。なお、絶縁膜170はサイドウォール絶縁膜119に加工される絶縁膜161とはエッチングガスに対するエッチング速度が異なる種類の絶縁膜、ここでは、絶縁膜161よりエッチング速度が遅い絶縁膜を用いて形成する。本実施の形態では、絶縁膜161は窒化絶縁膜を用いていることから、絶縁膜170は酸化絶縁膜、絶縁性を有する金属酸化膜、又は絶縁性を有する金属窒化膜を用いることが好ましい。絶縁膜161を加工してサイドウォール絶縁膜119を形成する際に、ゲート電極保護膜122がエッチングストッパー膜として機能するために、ゲート電極117の膜減りを抑制することができる。この作製方法によって、作製されたトランジスタの断面図を図13(C)

10

20

30

40

50

に示す。

【0212】

以上により、外気による電気特性劣化が抑制されたトランジスタを歩留まり高く、作製することができる。また、本発明の一態様により、酸化物半導体膜にチャネル形成領域と抵抗率差を有する2つの領域が設けられ、ソース電極及びドレイン電極との接触抵抗を低減でき、高いオン特性を有する、酸化物半導体を用いたトランジスタを提供することができる、そして、当該トランジスタは高速応答及び高速駆動の可能なトランジスタであることから、当該トランジスタを用いて高性能の半導体装置を作製することができる。

【0213】

なお、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

10

【0214】

(実施の形態4)

本実施の形態では、先の実施の形態で説明したトランジスタとは作製方法が一部異なるトランジスタについて説明する。従って、本実施の形態は、先の実施の形態で用いた図面及び説明を適宜用いることができるものとし、重複する説明は省略することがある。

【0215】

〈トランジスタの構成例〉

図14(A)及び図14(B)に、トランジスタ300の上面図及び断面図を示す。図14(A)はトランジスタ300の上面図であり、図14(B)は、図14(A)の一点鎖線A-B間の断面図である。なお、図14(A)では、明瞭化のため、トランジスタ300の構成要素の一部(例えば、基板101、下地絶縁膜103、及びゲート絶縁膜116など)を省略している。

20

【0216】

図14(A)及び図14(B)より、トランジスタ300は、基板101上に下地絶縁膜103が設けられており、下地絶縁膜103上に酸化物半導体膜105が設けられており、酸化物半導体膜105上にゲート絶縁膜116が設けられており、ゲート絶縁膜116上の酸化物半導体膜105と重畳する領域にゲート電極117が設けられており、ゲート絶縁膜116及びゲート電極117に接するサイドウォール絶縁膜119が設けられており、下地絶縁膜103、酸化物半導体膜105の一部、ゲート絶縁膜116、ゲート電極117及びサイドウォール絶縁膜119に接するソース電極127a及びドレイン電極127bが設けられており、ソース電極127a及びドレイン電極127b上に絶縁性を有する金属酸化膜121が設けられており、絶縁性を有する金属酸化膜121上に層間絶縁膜123、層間絶縁膜124が設けられており、絶縁性を有する金属酸化膜121、層間絶縁膜123及び層間絶縁膜124に形成された開口125a、125bを介して、ソース電極127a及びドレイン電極127bに接するソース配線327a及びドレイン配線327bが設けられている。なお、下地絶縁膜103及び層間絶縁膜124は、設けなくてもよい。

30

【0217】

トランジスタ300は、トランジスタ100と比較して、ソース領域及びドレイン領域として機能する一対の第3の領域111a、111bに直接、絶縁性を有する金属酸化膜121が接しておらず、ソース電極127a及びドレイン電極127b上に絶縁性を有する金属酸化膜121が設けられている。

40

【0218】

トランジスタ100では、開口125a、開口125bは一対の第3の領域111a、111bに重畳して設ける必要があるが、トランジスタ300は、開口125a、開口125bを第3の領域111a、111bに重畳して設ける必要はなく、ソース電極127a及びドレイン電極127bの第3の領域111a、111bと接していない領域に重畳して設けられていてもよい。例えば、トランジスタを集積化する場合、開口125a、開口125bを形成するための加工精度が低い場合でも、歩留まり高くトランジスタを集積化

50

することができる。

【0219】

トランジスタ300における、基板101、下地絶縁膜103、酸化物半導体膜105、ゲート絶縁膜116、ゲート電極117、サイドウォール絶縁膜119、絶縁性を有する金属酸化膜121、層間絶縁膜123、ソース電極127a及びドレイン電極127bの詳細は、トランジスタ100と同様である。なお、層間絶縁膜124は、層間絶縁膜123と同様である。

【0220】

ソース配線327a及びドレイン配線327bは、ソース電極127a及びドレイン電極127bの引き回し配線として設けられており、ソース電極127a及びドレイン電極127bと電氣的に接続されている。

10

【0221】

〈トランジスタの作製方法〉

次に、トランジスタ300の作製方法について、図面を用いて説明する。

【0222】

基板101上に下地絶縁膜103を形成する工程からサイドウォール絶縁膜119を形成する工程まで、実施の形態1と同様にして行う（図2（A）乃至図3（D）参照）。

【0223】

次に、下地絶縁膜103、一对の第3の領域111a、111b、ゲート絶縁膜116、ゲート電極117、及びサイドウォール絶縁膜119上に、ソース電極127a及びドレイン電極127bに加工される導電膜179を形成する（図15（A）参照）。導電膜179は、ゲート電極117に加工される導電膜158と同様である。

20

【0224】

次に、実施の形態1と同様にして、導電膜179上に絶縁性を有する金属酸化膜121を形成する（図15（B）参照）。

【0225】

次に、実施の形態1と同様にして、絶縁性を有する金属酸化膜121上に層間絶縁膜123を形成する（図15（C）参照）。

【0226】

次に、少なくとも、導電膜179、絶縁性を有する金属酸化膜121及び層間絶縁膜123を、CMP法などの研磨処理又はドライエッチング処理によるエッチバック処理によって、ゲート電極117を露出させる（図16（A）参照）。これにより、導電膜179をソース電極127a及びドレイン電極127bに加工することができ、絶縁性を有する金属酸化膜121及び層間絶縁膜123は平坦化される。ソース電極127a及びドレイン電極127bが電氣的に分離できるように、導電膜179、絶縁性を有する金属酸化膜121及び層間絶縁膜123の他に、ゲート電極117及びサイドウォール絶縁膜119の一部を除去してもよい。

30

【0227】

次に、平坦化した絶縁性を有する金属酸化膜121、平坦化した層間絶縁膜123、サイドウォール絶縁膜119、及びゲート電極117上に層間絶縁膜124を形成する。なお、層間絶縁膜124は、層間絶縁膜123と同様である。

40

【0228】

平坦化した絶縁性を有する金属酸化膜121、平坦化した層間絶縁膜123、及び層間絶縁膜124に、ソース電極127a及びドレイン電極127bに達する開口125a、開口125bを形成し、開口125a、開口125bにソース配線327a及びドレイン配線327bを形成することでトランジスタ300を作製することができる（図16（C）参照）。

【0229】

また、実施の形態1と同様に適宜、加熱処理を行うことができる。例えば、酸化物半導体膜155に加工する前の酸化物半導体膜に加熱処理を行うことや、酸素を含む絶縁膜1

50

56で酸化物半導体膜155を覆った後に加熱処理を行うことや、少なくとも絶縁性を有する金属酸化膜121を形成した後に加熱処理を行うことが好ましい。当該加熱処理を行うことで、酸化物半導体膜の脱水素化又は脱水化が生じ、酸化物半導体膜中の酸素欠損を修復できるため、良好な電気特性を有するトランジスタ300を作製することができる。

【0230】

また、トランジスタ300は、トランジスタ100及びトランジスタ200と同様にサイドウォール絶縁膜119を形成する際にゲート電極117が膜減りすることを抑制するために、ゲート電極117上にゲート電極保護膜を設ける構成であってもよい。なお、当該ゲート電極保護膜は、トランジスタ100及びトランジスタ200と同様にして形成することができる。

10

【0231】

トランジスタ300を概ね数百nm以下のゲート電極幅が狭いトランジスタとする場合、以下のようにして作製することができる。

【0232】

基板101上に下地絶縁膜103を形成する工程からサイドウォール絶縁膜119を形成する工程まで、実施の形態2と同様にして行う(図2(A)乃至図2(D)、及び図7(A)乃至図8(C)参照)。

【0233】

以降は、上記工程と同様の工程を行う。具体的には、下地絶縁膜103、一对の第3の領域111a、111b、ゲート絶縁膜116、ゲート電極117、及びサイドウォール絶縁膜119上に、ソース電極127a及びドレイン電極127bに加工される導電膜179を形成する(図17(A)参照)。導電膜179上に絶縁性を有する金属酸化膜121を形成する(図17(B)参照)。絶縁性を有する金属酸化膜121上に層間絶縁膜123を形成する(図15(C)参照)。少なくとも、導電膜179、絶縁性を有する金属酸化膜121及び層間絶縁膜123を、CMP法などの研磨処理又はドライエッチング処理によるエッチバック処理によって、ゲート電極117を露出させて、ソース電極127a及びドレイン電極127bを形成する(図18(A)参照)。平坦化した絶縁性を有する金属酸化膜121、平坦化した層間絶縁膜123、サイドウォール絶縁膜119、及びゲート電極117上に層間絶縁膜184を形成する(図18(B)参照)。平坦化した絶縁性を有する金属酸化膜121、平坦化した層間絶縁膜123、及び層間絶縁膜184に、ソース電極127a及びドレイン電極127bに達する開口を形成し、開口125a、開口125bにソース配線327a及びドレイン配線327bを形成する(図18(C)参照)。

20

30

【0234】

また、実施の形態1と同様に適宜、加熱処理を行うことができる。例えば、酸化物半導体膜155に加工する前の酸化物半導体膜に加熱処理を行うことや、酸素を含む絶縁膜156で酸化物半導体膜155を覆った後に加熱処理を行うことや、少なくとも絶縁性を有する金属酸化膜121を形成した後に加熱処理を行うことが好ましい。当該加熱処理を行うことで、酸化物半導体膜の脱水素化又は脱水化が生じ、酸化物半導体膜中の酸素欠損を修復できるため、良好な電気特性を有するトランジスタ300を作製することができる。

40

【0235】

本実施の形態で説明した作製方法を用いることで、ゲート電極幅が狭いトランジスタにおいても、酸化物半導体膜に電界緩和領域、ソース領域及びドレイン領域をセルフアラインに形成するためのサイドウォール絶縁膜を歩留まり高く形成することができる。

【0236】

以上により、外気による電気特性劣化が抑制されたトランジスタを歩留まり高く、作製することができる。また、本発明の一態様により、酸化物半導体膜にチャネル形成領域と抵抗率差を有する2つの領域が設けられ、ソース電極及びドレイン電極との接触抵抗を低減でき、高いオン特性を有する、酸化物半導体を用いたトランジスタを提供することができる、そして、当該トランジスタは高速応答及び高速駆動の可能なトランジスタであるこ

50

とから、当該トランジスタを用いて高性能の半導体装置を作製することができる。

【0237】

なお、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0238】

(実施の形態5)

本実施の形態では、実施の形態1乃至実施の形態4のいずれかで説明したトランジスタを適用した半導体装置について説明する。なお、本実施の形態では、半導体装置の一例として記憶媒体(メモリ素子)を示し、先の実施の形態で用いた符号を適宜用いて説明する。また、以降の本実施の形態において、実施の形態1乃至実施の形態4のいずれかで説明したトランジスタが適用可能なトランジスタには、図面にOSと記す。

10

【0239】

当該半導体装置は、単結晶半導体基板に作製された第1のトランジスタと、絶縁膜を介して第1のトランジスタの上方に、半導体膜を用いて作製された第2のトランジスタ及び容量素子と、を有する。

【0240】

また、積層する、第1のトランジスタ及び第2のトランジスタの半導体材料、及び構造は、同一でもよいし異なってもよい。ここでは、当該半導体装置の回路に好適な材料及び構造のトランジスタをそれぞれ用いる例について説明する。

【0241】

20

当該第2のトランジスタとしては、実施の形態1乃至実施の形態4のいずれかで説明したトランジスタを用いることができる。なお、当該第2のトランジスタとして用いるトランジスタの構造に応じて、第1のトランジスタ及び容量の積層関係、並びに接続関係を適宜変更する。本実施の形態では、第2のトランジスタにトランジスタ200を用いる例について説明する。

【0242】

図19は、半導体装置の構成例である。図19(A)には、当該半導体装置の断面を、図19(B)には、当該半導体装置の平面を、それぞれ示す。なお、図19(A)は、図19(B)のC1-C2及びD1-D2における断面に相当する。なお、図19(B)では、明瞭化のため、半導体装置の構成要素の一部(例えば、基板401、絶縁膜419、絶縁膜423、絶縁膜425、下地絶縁膜103、ゲート絶縁膜116、サイドウォール絶縁膜119など)を省略している。

30

【0243】

また、図19(C)には、当該半導体装置の回路図の一例を示す。図19(A)及び図19(B)に示した半導体装置に好適な材料及び構造として、下部に第1の半導体材料を用いたトランジスタ400を有し、上部に第2の半導体材料を用いたトランジスタ200及び容量素子450を有する。本実施の形態において、第1の半導体材料は酸化物半導体以外の半導体材料であり、第2の半導体材料は酸化物半導体である。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、又はガリウムヒ素などを用いることができ、単結晶半導体を用いるのが好ましい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。他に、酸化物半導体以外の半導体材料として有機半導体材料などを用いてもよい。酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

40

【0244】

図19における半導体装置の作製方法を図19(A)乃至図19(C)を用いて説明する。

【0245】

トランジスタ400は、半導体材料(例えば、シリコンなど)を含む基板401に設けられたチャネル形成領域407と、チャネル形成領域407を挟むように設けられた不純物領域402a、402bと、不純物領域402a、402bに接する金属間化合物領域

50

403a、403bと、チャネル形成領域407上に設けられたゲート絶縁膜405と、ゲート絶縁膜405上に設けられたゲート電極417とを有する。

【0246】

半導体材料を含む基板401は、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体膜が設けられた構成の基板をいうが、本明細書などにおいては、絶縁表面上にシリコン以外の材料からなる半導体膜が設けられた構成の基板も含む。つまり、「SOI基板」が有する半導体膜は、シリコン半導体膜に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁膜を介して半導体膜が設けられた構成のものが含まれるものとする。

10

【0247】

SOI基板の作製方法としては、鏡面研磨ウェハーに酸素イオンを注入した後、高温加熱することにより、表面から一定の深さに酸化層を形成させるとともに、表面層に生じた欠陥を消滅させて作る方法、水素イオン照射により形成された微小ボイドの熱処理による成長を利用して半導体基板を劈開する方法や、絶縁表面上に結晶成長により単結晶半導体膜を形成する方法等を用いることができる。

【0248】

例えば、単結晶半導体基板の一つの面からイオンを添加して、単結晶半導体基板の一つの面から一定の深さに脆弱化層を形成し、単結晶半導体基板の一つの面上、又は素子基板上のどちらか一方に絶縁膜を形成する。単結晶半導体基板と素子基板を、絶縁膜を挟んで重ね合わせた状態で、脆弱化層に亀裂を生じさせ、単結晶半導体基板を脆弱化層で分離する熱処理を行い、単結晶半導体基板より半導体膜として単結晶半導体膜を素子基板上に形成する。上記方法を用いて作製されたSOI基板も好適に用いることができる。

20

【0249】

基板401上にはトランジスタ400を囲むように素子分離絶縁膜406が設けられている(図19(B)参照)。なお、高集積化を実現するためには、トランジスタ400にサイドウォール絶縁膜を設けない構造とすることが望ましい。一方で、トランジスタ400の電気特性を重視する場合には、ゲート電極417の側面にサイドウォール絶縁膜を設け、不純物濃度が異なる領域を含む不純物領域を設けてもよい。

【0250】

単結晶半導体基板を用いたトランジスタ400は、高速動作が可能である。このため、トランジスタ400を読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。トランジスタ400を覆うように絶縁膜を複数層形成する。トランジスタ200及び容量素子450の形成前の処理として、複数層の絶縁膜にCMP処理を施して、平坦化した絶縁膜423、絶縁膜425を形成し、さらに、トランジスタ200の下地絶縁膜として機能する下地絶縁膜103を形成し、同時にゲート電極417の上面を露出させる。

30

【0251】

絶縁膜419、絶縁膜423、絶縁膜425は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。絶縁膜423、絶縁膜425は、プラズマCVD法又はスパッタリング法等を用いて形成することができる。

40

【0252】

また、絶縁膜419、絶縁膜423、絶縁膜425には、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂などの有機材料を用いることができる。上記有機材料の他に、低誘電率材料(low-k材料)等を用いることができる。絶縁膜423、絶縁膜425に有機材料を用いる場合、スピコート法、印刷法などの湿式法によって形成してもよい。

【0253】

50

なお、絶縁膜 4 2 5 には窒化シリコン膜を用いて、窒素雰囲気下で 4 5 0 °C 以上 6 5 0 °C 以下の加熱処理を行うことが好ましい。このようにすることで、当該窒化シリコン膜に含まれる水素をトランジスタ 4 0 0 に供給することができ、トランジスタ 4 0 0 の半導体材料を水素化することができる。また、絶縁膜 4 2 5 に窒化シリコン膜を用いることで、トランジスタ 2 0 0 及び容量素子 4 5 0 の作製工程中に、トランジスタ 4 0 0 や絶縁膜 4 2 3 に含まれる水素が侵入することを抑制できる。

【0 2 5 4】

本実施の形態では、絶縁膜 4 1 9 として C V D 法により膜厚 5 0 n m の酸化窒化シリコン膜を形成し、絶縁膜 4 2 3 としてスパッタリング法により膜厚 5 5 0 n m の酸化シリコン膜を形成、絶縁膜 4 2 5 として C V D 法により膜厚 5 0 n m の窒化シリコン膜を形成する。

10

【0 2 5 5】

絶縁膜 4 2 5 上にトランジスタ 2 0 0 及び容量素子 4 5 0 を作製する。トランジスタ 2 0 0 は先の実施の形態で説明を参照して作製することができる（図 1 0 乃至図 1 2 参照）。

【0 2 5 6】

また、本実施の形態の半導体装置は、トランジスタ 2 0 0 の作製工程を利用して容量素子 4 5 0 を作製するため、容量素子 4 5 0 をトランジスタ 2 0 0 と同一平面上に形成することができる。従って、別途、容量素子 4 5 0 を作製する工程を省くことができるため、半導体装置の生産性を向上させることや、作製コストを低減することができる。

20

【0 2 5 7】

容量素子 4 5 0 は、一方の電極としてトランジスタ 2 0 0 のソース電極 1 2 7 a を用いており、誘電体としてトランジスタ 2 0 0 のゲート絶縁膜 1 1 6 を用いており、他方の電極としてトランジスタ 2 0 0 のゲート電極 1 1 7 を用いている。なお、トランジスタ 2 0 0 のサイドウォール絶縁膜 1 1 9 を自己整合的に形成する場合、容量素子 4 5 0 の当該他方の電極にも、トランジスタ 2 0 0 のサイドウォール絶縁膜 1 1 9 と同様の絶縁膜が形成される。

【0 2 5 8】

トランジスタ 2 0 0 は、チャンネル長方向にチャンネル形成領域として機能する第 1 の領域 1 0 7 を挟んで、第 1 の領域 1 0 7 より低抵抗領域である一对の第 2 の領域 1 0 9 a、1 0 9 b 及び一对の第 3 の領域 1 1 1 a、1 1 1 b を有する酸化物半導体膜 1 0 5 を有することにより、トランジスタ 2 0 0 はオン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能となる。

30

【0 2 5 9】

また、一对の第 2 の領域 1 0 9 a、1 0 9 b は、チャンネル形成領域に加わる電界を緩和させることができる電界緩和領域として機能する。一对の第 3 の領域 1 1 1 a、1 1 1 b はソース領域、又はドレイン領域として機能する。酸化物半導体膜 1 0 5 の中で、一对の第 3 領域 1 1 1 a、1 1 1 b が一番低抵抗であり、ソース電極 1 2 7 a 及びドレイン電極 1 2 7 b との接触抵抗を低減することができる。従って、トランジスタ 2 0 0 のオン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能となる。

40

【0 2 6 0】

さらに、トランジスタ 2 0 0 及び容量素子 4 5 0 には、絶縁性を有する金属酸化膜 1 2 1 が設けられており、絶縁性を有する金属酸化膜 1 2 1 は外気に含まれる水素、水分などの不純物を通過させない機能を有することから、トランジスタ 2 0 0 及び容量素子 4 5 0 の信頼性が良好である。従って、本実施の形態に示す半導体装置は信頼性が良好な半導体装置である。

【0 2 6 1】

また、配線 4 2 7 は、トランジスタ 2 0 0 のソース配線 3 2 7 a 及びドレイン配線 3 2 7 b と同様にして形成すればよい。例えば、絶縁性を有する金属酸化膜 1 2 1 及び層間絶縁膜 1 2 3 にドレイン電極 1 2 7 b に達する開口を形成し、当該開口に配線 4 2 7 をトラ

50

ンジスタ200のソース配線327a及びドレイン配線327bと同様の方法で形成する。

【0262】

以上より、トランジスタ400、トランジスタ200及び容量素子450を有する半導体装置を作製することができる。トランジスタ200は、高純度化し、酸素欠損が修復された酸化物半導体膜105を有するトランジスタである。よって、トランジスタ200は、電気特性の変動が抑制されたトランジスタである。

【0263】

なお、容量素子450では、ゲート絶縁膜116により、絶縁性を十分に確保されている。例えば、容量素子450は、ゲート絶縁膜116の下に酸化物半導体膜105を有する構成の容量素子としてもよい。さらに、本実施の形態に示した半導体装置において、容量が不要の場合は、容量素子450を設けない構成の半導体装置とすることも可能である。

【0264】

図19(C)には、上記半導体装置をメモリ素子として用いる場合の回路図の一例を示す。図19(C)において、トランジスタ200のソース電極又はドレイン電極の一方は、容量素子450の電極の一方、及び、トランジスタ400のゲート電極と電気的に接続されている。また、第1の配線(1st Line:ソース線とも呼ぶ。)は、トランジスタ400のソース電極と電気的に接続され、第2の配線(2nd Line:ビット線とも呼ぶ。)は、トランジスタ400のドレイン電極と電気的に接続されている。また、第3の配線(3rd Line:第1の信号線とも呼ぶ。)は、トランジスタ200のソース電極又はドレイン電極の他方と電気的に接続され、第4の配線(4th Line:第2の信号線とも呼ぶ。)は、トランジスタ200のゲート電極と電気的に接続されている。そして、第5の配線(5th Line:ワード線とも呼ぶ。)は、容量素子450の電極の他方と電気的に接続されている。

【0265】

酸化物半導体を用いたトランジスタ200は、オフ電流が極めて小さいという特徴を有しているため、トランジスタ200をオフ状態とすることで、トランジスタ200のソース電極又はドレイン電極の一方と、容量素子450の電極の一方と、トランジスタ400のゲート電極とが電気的に接続されたノード(以下、ノードFG)の電位を極めて長時間にわたって保持することが可能である。そして、容量素子450を有することにより、ノードFGに与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

【0266】

半導体装置に情報を記憶させる場合(書き込み)は、まず、第4の配線の電位を、トランジスタ200がオン状態となる電位にして、トランジスタ200をオン状態とする。これにより、第3の配線の電位が、ノードFGに供給され、ノードFGに所定量の電荷が蓄積される。ここでは、異なる二つの電位レベルを与える電荷(以下、ロー(Low)レベル電荷、ハイ(High)レベル電荷という)のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ200がオフ状態となる電位にして、トランジスタ200をオフ状態とすることにより、ノードFGが浮遊状態となるため、ノードFGには所定の電荷が保持されたままの状態となる。以上のように、ノードFGに所定量の電荷を蓄積及び保持させることで、メモリセルに情報を記憶させることができる。

【0267】

トランジスタ200のオフ電流は極めて小さいため、ノードFGに供給された電荷は長時間にわたって保持される。したがって、リフレッシュ動作が不要となるか、又は、リフレッシュ動作の頻度を極めて低くすることが可能となり、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0268】

記憶された情報を読み出す場合（読み出し）は、第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、ノードFGに保持された電荷量に応じて、トランジスタ400は異なる状態をとる。一般に、トランジスタ400をnチャネル型とすると、ノードFGにHighレベル電荷が保持されている場合のトランジスタ400の見かけのしきい値 V_{th_H} は、ノードFGにLowレベル電荷が保持されている場合のトランジスタ400の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値とは、トランジスタ400を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、ノードFGに保持された電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ400は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ400は「オフ状態」のままである。このため、第5の配線の電位を制御して、トランジスタ400のオン状態又はオフ状態を読み出す（第2の配線の電位を読み出す）ことで、記憶された情報を読み出すことができる。

10

【0269】

また、記憶させた情報を書き換える場合においては、上記の書き込みによって所定量の電荷を保持したノードFGに、新たな電位を供給することで、ノードFGに新たな情報に係る電荷を保持させる。具体的には、第4の配線の電位を、トランジスタ200がオン状態となる電位にして、トランジスタ200をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、ノードFGに供給され、ノードFGに所定量の電荷が蓄積される。その後、第4の配線の電位をトランジスタ200がオフ状態となる電位にして、トランジスタ200をオフ状態とすることにより、ノードFGには、新たな情報に係る電荷が保持された状態となる。すなわち、ノードFGに第1の書き込みによって所定量の電荷が保持された状態で、第1の書き込みと同様の動作（第2の書き込み）を行うことで、記憶させた情報を上書きすることが可能である。

20

【0270】

本実施の形態で示すトランジスタ200は、高純度化され、酸素欠損が修復された酸化物半導体膜105を用いることで、トランジスタ200のオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、電力の供給がない場合であっても、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

30

【0271】

以上より、実施の形態1乃至実施の形態4のいずれかで説明したトランジスタは、オフ電流が低く、オン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能であり、外気に含まれる水素又は水分などの不純物による劣化も抑制されている。従って、当該トランジスタを用いることで高性能及び高信頼性の半導体装置を提供することができる。また、実施の形態1乃至実施の形態4のいずれかで説明したトランジスタは、良好な電気特性を有することからトランジスタの微細化、さらには半導体装置の微細化又は高集積化も達成できる。

【0272】

なお、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

40

【0273】

（実施の形態6）

本実施の形態では、先の実施の形態で説明したトランジスタを用いた半導体装置の応用例について、図20を用いて説明する。

【0274】

図20（A）及び図20（B）は、図19（A）乃至図19（C）に示した半導体装置（以下、メモリセル550とも記載する。）を複数用いて形成される半導体装置の回路図である。図20（A）は、メモリセル460が直列に接続された、いわゆるNAND型の

50

半導体装置の回路図であり、図20(B)は、メモリセル460が並列に接続された、いわゆるNOR型の半導体装置の回路図である。

【0275】

図20(A)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、複数本の第2信号線S2、複数本のワード線WL、複数のメモリセル460を有する。図20(A)では、ソース線SL及びビット線BLを1本ずつ有する構成となっているが、これに限られることなく、ソース線SL及びビット線BLを複数本有する構成としてもよい。

【0276】

各メモリセル460において、トランジスタ400のゲート電極と、トランジスタ200のソース電極又はドレイン電極の一方と、容量素子450の電極の一方とは、電氣的に接続されている。また、第1信号線S1とトランジスタ200のソース電極又はドレイン電極の他方とは、電氣的に接続され、第2信号線S2と、トランジスタ200のゲート電極とは、電氣的に接続されている。そして、ワード線WLと、容量素子450の電極の他方は電氣的に接続されている。

【0277】

また、メモリセル460が有するトランジスタ400のソース電極は、隣接するメモリセル460のトランジスタ400のドレイン電極と電氣的に接続され、メモリセル460が有するトランジスタ400のドレイン電極は、隣接するメモリセル460のトランジスタ400のソース電極と電氣的に接続される。ただし、直列に接続された複数のメモリセルのうち、一方の端に設けられたメモリセル460が有するトランジスタ400のドレイン電極は、ビット線と電氣的に接続される。また、直列に接続された複数のメモリセルのうち、他方の端に設けられたメモリセル460が有するトランジスタ400のソース電極は、ソース線と電氣的に接続される。

【0278】

図20(A)に示す半導体装置では、行ごとの書き込み動作及び読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行の第2の信号線S2にトランジスタ200がオン状態となる電位を与え、書き込みを行う行のトランジスタ200をオン状態にする。これにより、指定した行のトランジスタ400のゲート電極に第1の信号線S1の電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

【0279】

また、読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ400のゲート電極に与えられた電荷によらず、トランジスタ400がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ400をオン状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ400のゲート電極が有する電荷によって、トランジスタ400のオン状態又はオフ状態が選択されるような電位（読み出し電位）を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路（図示しない）を動作状態とする。ここで、ソース線SLービット線BL間の複数のトランジスタ400は、読み出しを行う行を除いてオン状態となっているため、ソース線SLービット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ400の状態（オン状態又はオフ状態）によって決定される。読み出しを行う行のトランジスタ400のゲート電極が有する電荷によって、トランジスタのコンダクタンスは異なるから、それに応じて、ビット線BLの電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

【0280】

図20(B)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、第2信号線S2、及びワード線WLをそれぞれ複数本有し、複数のメモリセル460を有する。各トランジスタ400のゲート電極と、トランジスタ200のソース電極又はドレイ

ン電極の一方と、容量素子450の電極の一方とは、電氣的に接続されている。また、ソース線SLとトランジスタ400のソース電極とは、電氣的に接続され、ビット線BLとトランジスタ400のドレイン電極とは、電氣的に接続されている。また、第1信号線S1とトランジスタ200のソース電極又はドレイン電極の他方とは、電氣的に接続され、第2信号線S2と、トランジスタ200のゲート電極とは、電氣的に接続されている。そして、ワード線WLと、容量素子450の電極の他方は電氣的に接続されている。

【0281】

図20(B)に示す半導体装置では、行ごとの書き込み動作及び読み出し動作を行う。書き込み動作は、上述の図20(A)に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ400のゲート電極に与えられた電荷によらず、トランジスタ400がオフ状態となるような電位を与え、読み出しを行う行以外のトランジスタ400をオフ状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ400のゲート電極が有する電荷によって、トランジスタ400のオン状態又はオフ状態が選択されるような電位（読み出し電位）を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路（図示しない）を動作状態とする。ここで、ソース線SLービット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ400の状態（オン状態又はオフ状態）によって決定される。つまり、読み出しを行う行のトランジスタ400のゲート電極が有する電荷によって、ビット線BLの電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

【0282】

上記においては、各メモリセル460に保持させる情報量を1ビットとしたが、本実施の形態に示す記憶装置の構成はこれに限られない。トランジスタ400のゲート電極に与える電位を3以上用意して、各メモリセル460が保持する情報量を増加させても良い。例えば、トランジスタ400のゲート電極にあたえる電位を4種類とする場合には、各メモリセルに2ビットの情報を保持させることができる。

【0283】

なお、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0284】

（実施の形態7）

本実施の形態においては、実施の形態1乃至実施の形態4のいずれかで説明したトランジスタを適用した半導体装置について説明する。なお、本実施の形態においても、半導体装置の一例として記憶媒体（メモリ素子）を示し、先の実施の形態に示した構成と異なる構成の半導体装置について説明する。

【0285】

図21(A)は、半導体装置の回路構成の一例を示し、図21(B)は半導体装置の一例を示す概念図である。まず、図21(A)に示す半導体装置について説明し、続けて図21(B)に示す半導体装置について、以下説明する。また、先の実施の形態で用いた符号を適宜用いて説明する。

【0286】

図21(A)に示す半導体装置において、ビット線BLとトランジスタ500のソース電極又はドレイン電極とは電氣的に接続され、ワード線WLとトランジスタ500のゲート電極とは電氣的に接続され、トランジスタ500のソース電極又はドレイン電極と容量素子510の一方の電極とは電氣的に接続されている。

【0287】

酸化物半導体を用いたトランジスタ500は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ500をオフ状態とすることで、容量素子510の一方の電極の電位（あるいは、容量素子510に蓄積された電荷）を極めて長時間にわたっ

て保持することが可能である。

【0288】

次に、図21(A)に示す半導体装置(メモリセル550)に、情報の書き込み及び保持を行う場合について説明する。

【0289】

まず、ワード線WLの電位を、トランジスタ500がオン状態となる電位として、トランジスタ500をオン状態とする。これにより、ビット線BLの電位が、容量素子510の一方の電極に与えられる(書き込み)。その後、ワード線WLの電位を、トランジスタ500がオフ状態となる電位として、トランジスタ500をオフ状態とすることにより、容量素子510の一方の電極の電位が保持される(保持)。

10

【0290】

トランジスタ500のオフ電流は極めて小さいから、容量素子510の一方の電極の電位(あるいは容量素子に蓄積された電荷)は長時間にわたって保持することができる。

【0291】

次に、情報の読み出しについて説明する。トランジスタ500がオン状態となると、浮遊状態であるビット線BLと容量素子510とが導通し、ビット線BLと容量素子510の間で電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子510の一方の電極の電位(あるいは容量素子510に蓄積された電荷)によって、異なる値をとる。

【0292】

20

例えば、容量素子510の一方の電極の電位をV、容量素子510の容量をC、ビット線BLが有する容量成分(以下、ビット線容量とも呼ぶ)をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。従って、メモリセル550の状態として、容量素子510の一方の電極の電位がV1とV0($V1 > V0$)の2状態をとるとすると、電位V1を保持している場合のビット線BLの電位($= (CB \times V1 + C \times VB0) / (CB + C)$)は、電位V0を保持している場合のビット線BLの電位($= (CB \times V0 + C \times VB0) / (CB + C)$)よりも高くなることがわかる。

【0293】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

30

【0294】

このように、図21(A)に示す半導体装置は、トランジスタ500のオフ電流が極めて小さいという特徴から、容量素子510に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、又は、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0295】

次に、図21(B)に示す半導体装置について、説明を行う。

40

【0296】

図21(B)に示す半導体装置は、上部に記憶回路として図21(A)に示したメモリセル550を複数有するメモリセルアレイ551a及びメモリセルアレイ551bを有し、下部に、メモリセルアレイ551a及びメモリセルアレイ551bを動作させるために必要な周辺回路553を有する。なお、周辺回路553は、メモリセルアレイ551a及びメモリセルアレイ551bと電氣的に接続されている。

【0297】

図21(B)に示した構成とすることにより、周辺回路553をメモリセルアレイ551a及びメモリセルアレイ551bの直下に設けることができるため半導体装置の小型化を図ることができる。

50

【0298】

周辺回路553に設けられるトランジスタは、トランジスタ500とは異なる半導体材料を用いるのがより好ましい。例えば、実施の形態5で示したトランジスタ400に適用可能な第1の半導体材料を用いることができ、単結晶半導体を用いることが好ましい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、当該トランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0299】

なお、図21（B）に示した半導体装置では、メモリセルアレイ551aと、メモリセルアレイ551bと、2つのメモリセルアレイが積層された構成を例示したが、積層するメモリセルアレイの数はこれに限定されない。3つ以上のメモリセルアレイを積層する構成としてもよい。

10

【0300】

次に、図21（A）に示したメモリセル550の具体的な構成について図22を用いて説明を行う。

【0301】

図22は、メモリセル550の構成の一例である。図22（A）にメモリセル550の断面図を、図22（B）にメモリセル550の上面図をそれぞれ示す。ここで、図22（A）は、図22（B）のE1-E2、及びF1-F2における断面に相当する。

【0302】

20

図22（A）及び図22（B）に示すトランジスタ500は、実施の形態1乃至実施の形態4のいずれかで説明したトランジスタを用いることができる。ただし、トランジスタ500に用いるトランジスタの構造に応じて、トランジスタ500及び容量素子510の積層関係、並びに接続関係を適宜変更する。ここでは、トランジスタ500として、実施の形態4で説明したトランジスタ300を用いる。従って、トランジスタ500を説明するために、トランジスタ300を説明するために用いた符号を適宜用いる。

【0303】

メモリセル550は、トランジスタ500及び容量素子510を有し、トランジスタ500は、実施の形態4で説明したトランジスタ300と同様の構成を有する（図14（B）参照）。加えて、メモリセル550は、トランジスタ500のソース配線327a及びドレイン配線327b並びに層間絶縁膜124上に絶縁膜502が設けられており、絶縁膜502上に電極504が設けられており、絶縁膜502及び電極504上に絶縁膜506が設けられている。また、絶縁膜502及び絶縁膜506にドレイン配線327bに達する開口が設けられており、当該開口に配線508が設けられている。なお、配線508は隣接するメモリセルと接続するための配線として機能し、図21（A）の回路図におけるビット線BLに相当する。

30

【0304】

メモリセル550の容量素子510は、一方の電極であるソース配線327aと、他方の電極である電極504と、誘電体である絶縁膜502とで構成されている。

【0305】

40

絶縁膜502及び絶縁膜506は、トランジスタ500に用いられている絶縁膜（例えば、下地絶縁膜103、ゲート絶縁膜116、サイドウォール絶縁膜119、絶縁性を有する金属酸化膜121、層間絶縁膜123又は層間絶縁膜124）に適用可能な材料及び形成方法を用いて、単層構造又は積層構造で形成することができる。なお、絶縁膜502は、少なくとも、絶縁性を有する金属酸化膜121に適用可能な絶縁膜で形成することが好ましい。

【0306】

電極504及び配線508は、トランジスタ500に用いられている電極又は配線（ゲート電極117、ソース電極127a、ドレイン電極127b、ソース配線327a、又はドレイン配線327b）に適用可能な材料及び形成方法を用いて形成することができる

50

。また、配線508が設けられる開口は、トランジスタ500の開口125a、開口125bを形成する方法を用いることができる。なお、配線508はドレイン電極127bと直接接続するように形成してもよい。

【0307】

トランジスタ500は、チャンネル長方向にチャンネル形成領域として機能する第1の領域107を挟んで、第1の領域107より低抵抗領域である一对の第2の領域109a、109b及び一对の第3の領域111a、111bを有する酸化物半導体膜105を有することにより、トランジスタ500はオン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能となる。

【0308】

また、一对の第2の領域109a、109bは、チャンネル形成領域に加わる電界を緩和させることができる電界緩和領域として機能する。一对の第3の領域111a、111bはソース領域、又はドレイン領域として機能する。酸化物半導体膜105の中で、一对の第3領域111a、111bが一番低抵抗な領域であり、ソース電極127a及びドレイン電極127bとの接触抵抗を低減することができる。従って、トランジスタ500のオン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能となる。

【0309】

さらに、絶縁膜502に絶縁性を有する金属酸化膜が設けられることにより、外気に含まれる水素、水分などの不純物を通過させない機能を発することから、トランジスタ500の信頼性が良好となる。従って、本実施の形態に示す半導体装置は信頼性が良好な半導体装置である。

【0310】

図22（A）及び図22（B）において、トランジスタ500のドレイン電極127bは、隣接するメモリセルに含まれるトランジスタのソース電極としても機能することができる。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0311】

以上のように、多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

【0312】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の高集積化を図ることができる。

【0313】

以上より、実施の形態1乃至実施の形態4のいずれかで説明したトランジスタは、オフ電流が低く、オン特性（例えば、オン電流及び電界効果移動度）が高く、高速動作、高速応答が可能であり、外気に含まれる水素又は水分などの不純物による劣化も抑制されている。従って、当該トランジスタを用いることで高性能及び高信頼性の半導体装置を提供することができる。また、実施の形態1乃至実施の形態4のいずれかで説明したトランジスタは、良好な電気特性を有することからトランジスタの微細化、さらには半導体装置の微細化又は高集積化も達成できる。

【0314】

なお、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと

10

20

30

40

50

適宜組み合わせて用いることができる。

【0315】

(実施の形態8)

本実施の形態では、実施の形態1乃至実施の形態4のいずれかで説明したトランジスタを適用した半導体装置について、図23を参照して説明する。

【0316】

図23(A)には、いわゆるDRAM(Dynamic Random Access Memory)に相当する構成の半導体装置の一例を示す。図23(A)に示すメモリセルアレイ1120は、複数のメモリセル1130がマトリクス状に配列された構成を有している。また、メモリセルアレイ1120は、m本の第1の配線、及びn本の第2の配線を有する。なお、本実施の形態においては、第1の配線をビット線BLとよび、第2の配線をワード線WLとよぶ。

10

【0317】

メモリセル1130は、トランジスタ1131と、容量素子1132と、から構成されている。トランジスタ1131のゲート電極は、第1の配線(ワード線WL)と接続されている。また、トランジスタ1131のソース電極又はドレイン電極の一方は、第2の配線(ビット線BL)と接続されており、トランジスタ1131のソース電極又はドレイン電極の他方は、容量素子の電極の一方と接続されている。また、容量素子の電極の他方は容量線CLと接続され、一定の電位が与えられている。トランジスタ1131には、先の実施の形態に示すトランジスタが適用される。

20

【0318】

実施の形態1乃至実施の形態4のいずれかで説明したトランジスタは、高純度化され、酸素欠損が修復された酸化物半導体膜を用いており、当該トランジスタのオフ電流を十分に低く、電気特性の変動が抑制されたトランジスタである。このようなトランジスタを用いることにより、いわゆるDRAMとして認識されている図23(A)に示す半導体装置を実質的な不揮発性メモリとして使用することが可能になる。

【0319】

図23(B)には、いわゆるSRAM(Static Random Access Memory)に相当する構成の半導体装置の一例を示す。図23(B)に示すメモリセルアレイ1140は、複数のメモリセル1150がマトリクス状に配列された構成とすることができる。また、メモリセルアレイ1140は、第1の配線(ワード線WL)、第2の配線(ビット線BL)及び第3の配線(反転ビット線BLB)、電源電位線VDD、及び接地電位線VSSを有する。

30

【0320】

メモリセル1150は、第1のトランジスタ1151、第2のトランジスタ1152、第3のトランジスタ1153、第4のトランジスタ1154、第5のトランジスタ1155、及び第6のトランジスタ1156を有している。第1のトランジスタ1151と第2のトランジスタ1152は、選択トランジスタとして機能する。また、第3のトランジスタ1153と第4のトランジスタ1154のうち、一方はnチャネル型トランジスタ(ここでは、第4のトランジスタ1154)であり、他方はpチャネル型トランジスタ(ここでは、第3のトランジスタ1153)である。つまり、第3のトランジスタ1153と第4のトランジスタ1154によってCMOS回路が構成されている。同様に、第5のトランジスタ1155と第6のトランジスタ1156によってCMOS回路が構成されている。

40

【0321】

第1のトランジスタ1151、第2のトランジスタ1152、第4のトランジスタ1154、第6のトランジスタ1156は、nチャネル型のトランジスタであり、先の実施の形態において示したトランジスタを適用することができる。第3のトランジスタ1153と第5のトランジスタ1155は、pチャネル型のトランジスタであり、酸化物半導体以外の材料(例えば、単結晶シリコンなど)をチャネル形成領域に用いる。

50

【0322】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0323】

(実施の形態9)

酸化物半導体をチャンネル形成領域に用いたトランジスタを少なくとも一部に用いてCPU (Central Processing Unit) を構成することができる。

【0324】

図24(A)は、CPUの具体的な構成を示すブロック図である。図24(A)に示すCPUは、基板1190上に、演算回路(ALU: Arithmetic logic unit) 1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース(Bus I/F) 1198、書き換え可能なROM 1199、及びROMインターフェース(ROM I/F) 1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM 1199及びROM I/F 1189は、別チップに設けても良い。勿論、図24(A)に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

【0325】

Bus I/F 1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0326】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU 1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

【0327】

また、タイミングコントローラ1195は、ALU 1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、及びレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

【0328】

図24(A)に示すCPUでは、レジスタ1196に、記憶素子が設けられている。レジスタ1196の記憶素子には、実施の形態5乃至実施の形態8に記載されている記憶素子を用いることができる。

【0329】

図24(A)に示すCPUにおいて、レジスタコントローラ1197は、ALU 1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有する記憶素子において、論理(値)を反転させる論理素子によるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。論理(値)を反転させる論理素子によるデータの保持が選択されている場合、レジスタ1196内の記憶素子への、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場

合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内の記憶素子への電源電圧の供給を停止することができる。

【0330】

電源停止に関しては、図 24 (B) 又は図 24 (C) に示すように、記憶素子群と、電源電位 V_{dd} 又は電源電位 V_{ss} の与えられているノード間に、スイッチング素子を設けることにより行うことができる。以下に図 24 (B) 及び図 24 (C) の回路の説明を行う。

【0331】

図 24 (B) 及び図 24 (C) では、記憶素子への電源電位の供給を制御するスイッチング素子に、酸化物半導体をチャネル形成領域に用いたトランジスタを含む記憶回路の構成の一例を示す。

10

【0332】

図 24 (B) に示す記憶装置は、スイッチング素子 1141 と、記憶素子 1142 を複数有する記憶素子群 1143 とを有している。具体的に、各記憶素子 1142 には、実施の形態 5 乃至実施の形態 8 に記載されている記憶素子を用いることができる。記憶素子群 1143 が有する各記憶素子 1142 には、スイッチング素子 1141 を介して、ハイレベルの電源電位 V_{dd} が供給されている。さらに、記憶素子群 1143 が有する各記憶素子 1142 には、信号 I_N の電位と、ローレベルの電源電位 V_{ss} の電位が与えられている。

【0333】

20

図 24 (B) では、スイッチング素子 1141 として、酸化物半導体をチャネル形成領域に有するトランジスタを用いており、該トランジスタは、そのゲート電極に与えられる信号 S_{igA} によりスイッチングが制御される。

【0334】

なお、図 24 (B) では、スイッチング素子 1141 がトランジスタを一つだけ有する構成を示しているが、特に限定されず、トランジスタを複数有していても良い。スイッチング素子 1141 が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

【0335】

30

また、図 24 (B) では、スイッチング素子 1141 により、記憶素子群 1143 が有する各記憶素子 1142 への、ハイレベルの電源電位 V_{dd} の供給が制御されているが、スイッチング素子 1141 により、ローレベルの電源電位 V_{ss} の供給が制御されていても良い。

【0336】

また、図 24 (C) には、記憶素子群 1143 が有する各記憶素子 1142 に、スイッチング素子 1141 を介して、ローレベルの電源電位 V_{ss} が供給されている、記憶装置の一例を示す。スイッチング素子 1141 により、記憶素子群 1143 が有する各記憶素子 1142 への、ローレベルの電源電位 V_{ss} の供給を制御することができる。

【0337】

40

記憶素子群と、電源電位 V_{dd} 又は電源電位 V_{ss} の与えられているノード間に、スイッチング素子を設け、一時的に CPU の動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPU の動作を停止することができ、それにより消費電力を低減することができる。

【0338】

ここでは、CPU を例に挙げて説明したが、DSP (Digital Signal Processor)、カスタム LSI、FPGA (Field Programmable Gate Array) 等の LSI にも応用可能である。

50

【0339】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0340】

(実施の形態10)

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置するトランジスタを作製する例について以下に説明する。

【0341】

画素部に配置するトランジスタは、実施の形態1乃至実施の形態4で説明した方法に従って形成する。また、当該トランジスタはnチャネル型とすることが容易なので、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成することができる。このように、画素部や駆動回路に実施の形態1乃至実施の形態4で説明したトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

10

【0342】

アクティブマトリクス型表示装置の一例を図25(A)に示す。表示装置の基板600上には、画素部601、第1の走査線駆動回路602、第2の走査線駆動回路603、信号線駆動回路604を有する。画素部601には、複数の信号線が信号線駆動回路604から延伸して配置され、複数の走査線が第1の走査線駆動回路602、及び走査線駆動回路603から延伸して配置されている。なお、走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板600はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路(コントローラ、制御ICともいう)に接続されている。

20

【0343】

図25(A)では、第1の走査線駆動回路602、第2の走査線駆動回路603、信号線駆動回路604は、画素部601と同じ基板600上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板600外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板600上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

30

【0344】

また、画素部の回路構成の一例を図25(B)に示す。ここでは、VA型液晶表示パネルの画素構造を示す。

【0345】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極にトランジスタが接続されている。各TFTは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

【0346】

トランジスタ616のゲート配線612と、トランジスタ617のゲート配線613には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース電極又はドレイン電極614は、トランジスタ616とトランジスタ617で共通に用いられている。トランジスタ616とトランジスタ617は先の実施の形態に示したトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示パネルを提供することができる。

40

【0347】

トランジスタ616と電氣的に接続する第1の画素電極と、トランジスタ617と電氣的に接続する第2の画素電極の形状は異なっており、スリットによって分離されている。V字型に広がる第1の画素電極の外側を囲むように第2の画素電極が形成されている。第1の画素電極と第2の画素電極に印加する電圧のタイミングを、トランジスタ616及び

50

トランジスタ617により異ならせることで、液晶の配向を制御している。トランジスタ616はゲート配線612と接続し、トランジスタ617はゲート配線613と接続している。ゲート配線612とゲート配線613は異なるゲート信号を与えることで、トランジスタ616とトランジスタ617の動作タイミングを異ならせることができる。

【0348】

また、容量配線610と、誘電体として機能するゲート絶縁膜と、第1の画素電極又は第2の画素電極と電氣的に接続する容量電極とで保持容量を形成する。

【0349】

第1の画素電極と液晶層と対向電極が重なり合うことで、第1の液晶素子618が形成されている。また、第2の画素電極と液晶層と対向電極が重なり合うことで、第2の液晶素子619が形成されている。また、一画素に第1の液晶素子618と第2の液晶素子619が設けられたマルチドメイン構造である。

10

【0350】

なお、図25(B)に示す画素構成は、これに限定されない。例えば、図25(B)に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、又は論理回路などを追加してもよい。

【0351】

また、画素部の回路構成の一例を図25(C)に示す。ここでは、有機EL素子を用いた表示パネルの画素構造を示す。

【0352】

20

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子及び正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子及び正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0353】

図25(C)は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0354】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャンネル形成領域に用いるnチャンネル型のトランジスタを1つの画素に2つ用いる例を示す。

30

【0355】

画素620は、スイッチング用トランジスタ621、駆動用トランジスタ622、発光素子624及び容量素子623を有している。スイッチング用トランジスタ621は、ゲート電極が走査線626に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線625に接続され、第2電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ622のゲート電極に接続されている。駆動用トランジスタ622は、ゲート電極が容量素子623を介して電源線627に接続され、第1電極が電源線627に接続され、第2電極が発光素子624の第1電極（画素電極）に接続されている。発光素子624の第2電極は共通電極628に相当する。共通電極628は、同一基板上に形成される共通電位線と電氣的に接続される。

40

【0356】

スイッチング用トランジスタ621及び駆動用トランジスタ622は先の実施の形態に示すトランジスタを適宜用いることができる。これにより、信頼性の高い有機EL素子を用いた表示パネルを提供することができる。

【0357】

なお、発光素子624の第2電極（共通電極628）には低電源電位が設定されている。なお、低電源電位とは、電源線627に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定さ

50

れていても良い。この高電源電位と低電源電位との電位差を発光素子624に印加して、発光素子624に電流を流して発光素子624を発光させるため、高電源電位と低電源電位との電位差が発光素子624の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【0358】

なお、容量素子623は駆動用トランジスタ622のゲート容量を代用して省略することも可能である。駆動用トランジスタ622のゲート容量については、チャンネル形成領域とゲート電極との間で容量が形成されていてもよい。

【0359】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ622のゲート電極には、駆動用トランジスタ622が十分なオン状態又はオフ状態の二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ622は線形領域で動作させる。駆動用トランジスタ622は線形領域で動作させるため、電源線627の電圧よりも高い電圧を駆動用トランジスタ622のゲート電極にかける。なお、信号線625には、（電源線電圧+駆動用トランジスタ622の V_{th} ）以上の電圧をかける。

【0360】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図25（C）と同じ画素構成を用いることができる。

【0361】

アナログ階調駆動を行う場合、駆動用トランジスタ622のゲート電極に発光素子624の順方向電圧+駆動用トランジスタ622の V_{th} 以上の電圧をかける。発光素子624の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ622が飽和領域で動作するようなビデオ信号を入力することで、発光素子624に電流を流すことができる。駆動用トランジスタ622を飽和領域で動作させるため、電源線627の電位は、駆動用トランジスタ622のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子624にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0362】

なお、図25（C）に示す画素構成は、これに限定されない。例えば、図25（C）に示す画素に新たにスイッチ、抵抗素子、容量素子、センサ、トランジスタ又は論理回路などを追加してもよい。

【0363】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0364】

（実施の形態11）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。上記実施の形態で説明した半導体装置を具備する電子機器の例について説明する。

【0365】

図26（A）は、携帯型の情報端末であり、本体1001、筐体1002、表示部1003a、1003bなどによって構成されている。表示部1003bはタッチパネルとなっており、表示部1003bに表示されるキーボードボタン1004を触れることで画面操作や、文字入力を行うことができる。勿論、表示部1003aをタッチパネルとして構成してもよい。先の実施の形態で示したトランジスタをスイッチング素子として液晶パネルや有機発光パネルを作製して表示部1003a、1003bに適用することにより、携

10

20

30

40

50

帯型の情報端末の表示部の信頼性を向上させることができる。

【0366】

図26(A)は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子など)、記録媒体挿入部などを備える構成としてもよい。

【0367】

また、図26(A)に示す携帯型の情報端末は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

10

【0368】

図26(B)は、携帯音楽プレイヤーであり、本体1021には表示部1023と、耳に装着するための固定部1022と、スピーカー、操作ボタン1024、外部メモリスロット1025等が設けられている。先の実施の形態で示したトランジスタをスイッチング素子として液晶パネルや有機発光パネルを作製して表示部1023に適用することにより、携帯音楽プレイヤーの表示部の信頼性を向上させることができる。

【0369】

さらに、図26(B)に示す携帯音楽プレイヤーにアンテナやマイク機能や無線機能を持たせ、携帯電話と連携させれば、乗用車などを運転しながらワイヤレスによるハンズフリーでの会話も可能である。

20

【0370】

図26(C)は、携帯電話であり、筐体1030及び筐体1031の二つの筐体で構成されている。筐体1031には、表示パネル1032、スピーカー1033、マイクロフォン1034、ポインティングデバイス1036、カメラ用レンズ1037、外部接続端子1038などを備えている。また、筐体1030には、携帯型情報端末の充電を行う太陽電池セル1040、外部メモリスロット1041などを備えている。また、アンテナは筐体1031内部に内蔵されている。先の実施の形態で示したトランジスタを表示パネル1032に適用することにより、携帯電話の表示部の信頼性を向上させることができる。

【0371】

30

また、表示パネル1032はタッチパネルを備えており、図26(C)には映像表示されている複数の操作キー1035を点線で示している。なお、太陽電池セル1040で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

【0372】

表示パネル1032は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル1032と同一面上にカメラ用レンズ1037を備えているため、テレビ電話が可能である。スピーカー1033及びマイクロフォン1034は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体1030と筐体1031は、スライドし、図26(C)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

40

【0373】

外部接続端子1038はACアダプタ及びUSBケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット1041に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

【0374】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0375】

図26(D)は、テレビジョン装置の一例を示している。テレビジョン装置1050は

50

、筐体1051に表示部1053が組み込まれている。表示部1053により、映像を表示することが可能である。また、ここでは、CPUを内蔵したスタンド1055により筐体1051を支持した構成を示している。先の実施の形態で示したトランジスタを表示部1053に適用することにより、テレビジョン装置1050の表示部の信頼性を向上させることができる。

【0376】

テレビジョン装置1050の操作は、筐体1051が備える操作スイッチや、別体のリモコン操作機により行うことができる。また、リモコン操作機に、当該リモコン操作機から出力する情報を表示する表示部を設ける構成としてもよい。

【0377】

なお、テレビジョン装置1050は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線又は無線による通信ネットワークに接続することにより、一方向（送信者から受信者）又は双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0378】

また、テレビジョン装置1050は、外部接続端子1054や、記憶媒体再生録画部1052、外部メモリスロットを備えている。外部接続端子1054は、USBケーブルなどの各種ケーブルと接続可能であり、パーソナルコンピュータなどとのデータ通信が可能である。記憶媒体再生録画部1052では、ディスク状の記録媒体を挿入し、記録媒体に記憶されているデータの読み出し、記録媒体への書き込みが可能である。また、外部メモリスロットに差し込まれた外部メモリ1056にデータ保存されている画像や映像などを表示部1053に映し出すことも可能である。

【0379】

また、先の実施の形態で示した記憶装置を外部メモリ1056やCPUに適用することにより、消費電力が十分に低減された信頼性の高いテレビジョン装置1050とすることができる。

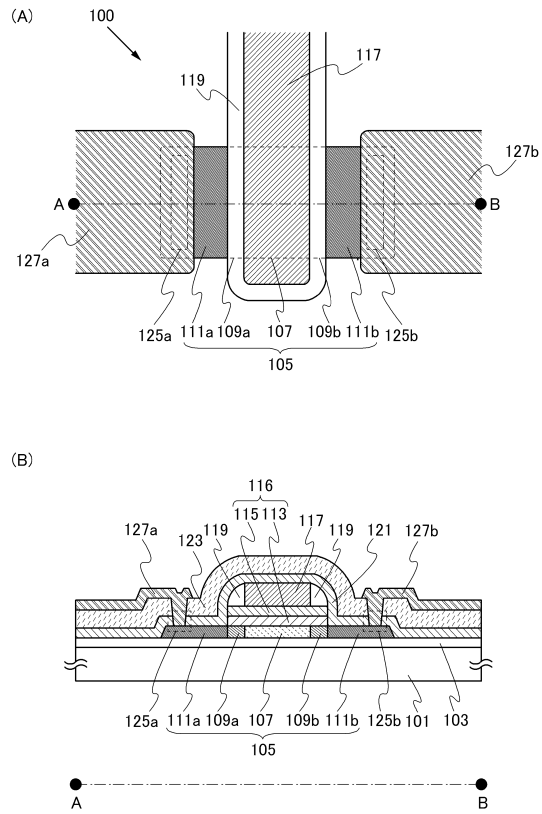
【0380】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

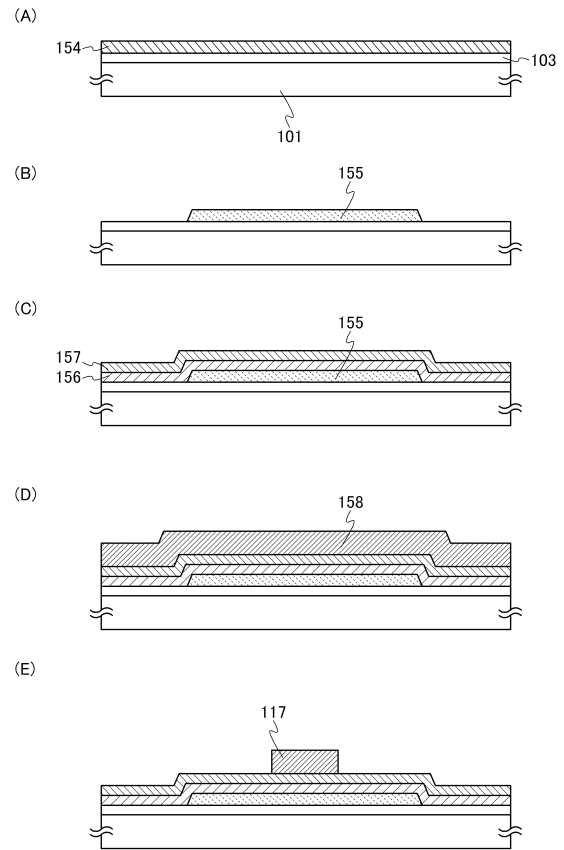
10

20

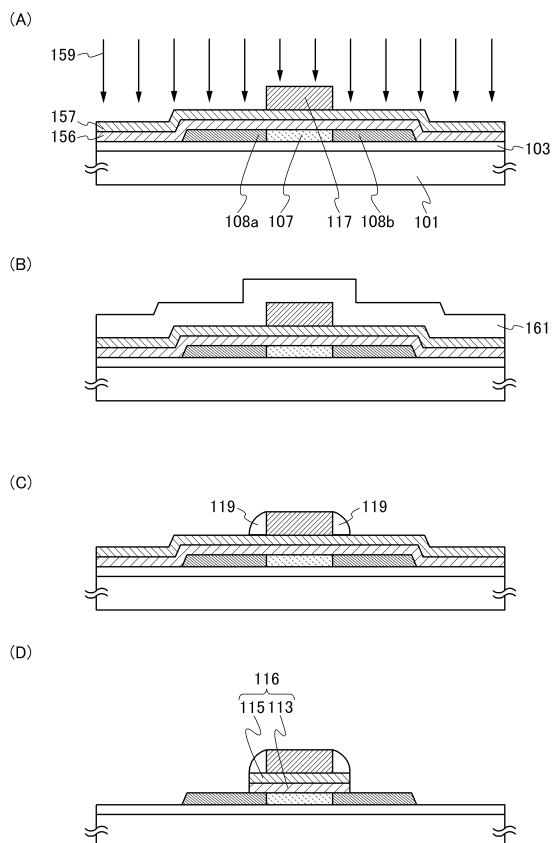
【図 1】



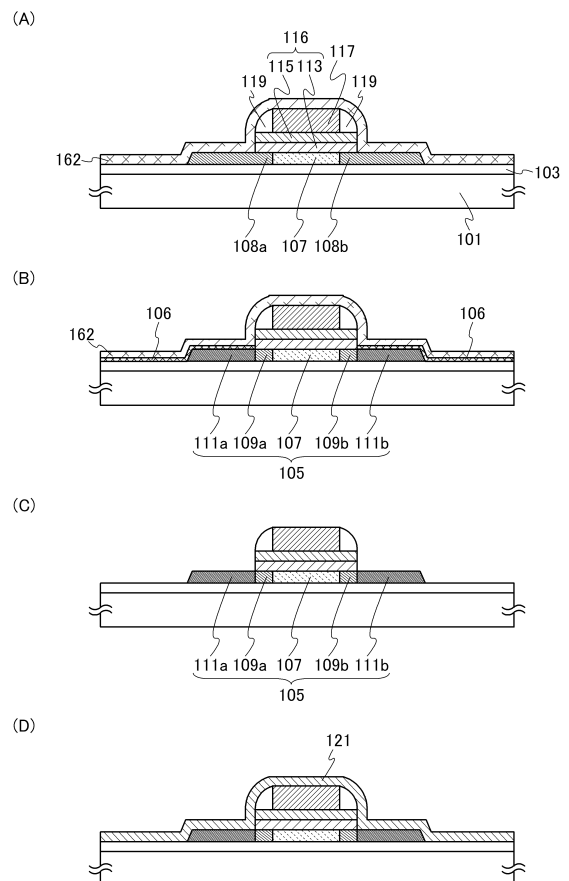
【図 2】



【図 3】

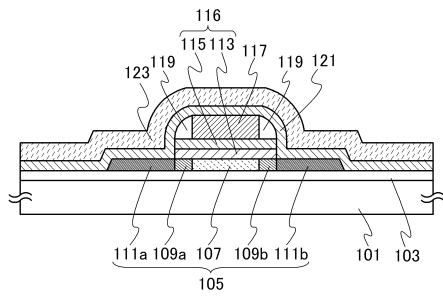


【図 4】

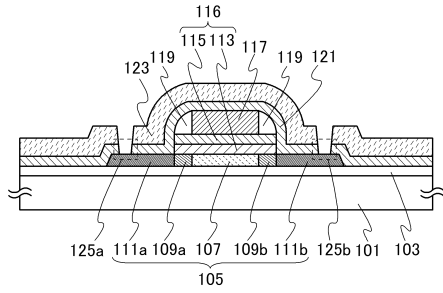


【図 5】

(A)

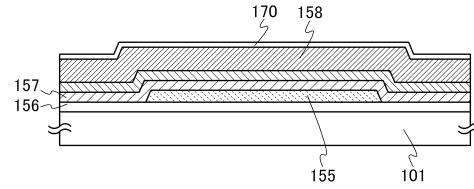


(B)

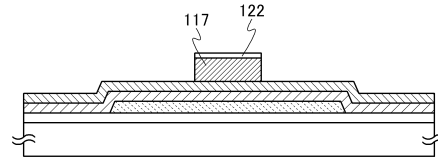


【図 6】

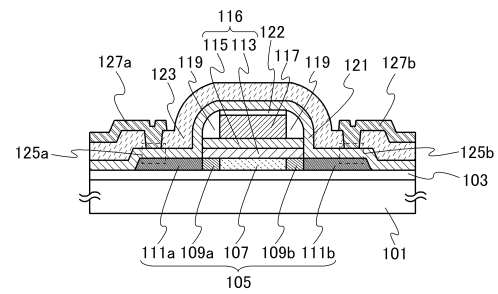
(A)



(B)

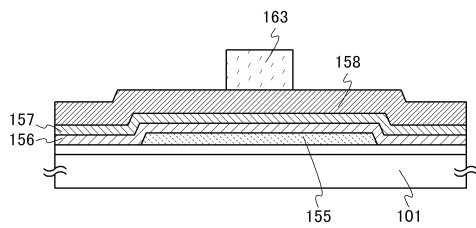


(C)

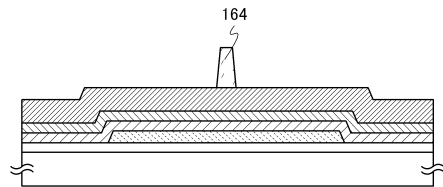


【図 7】

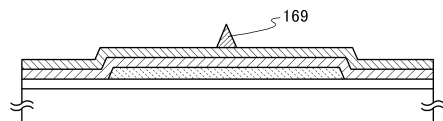
(A)



(B)

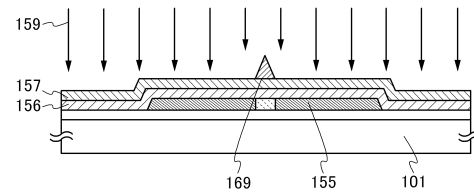


(C)

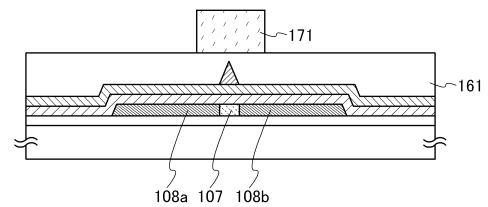


【図 8】

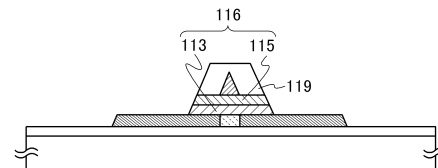
(A)



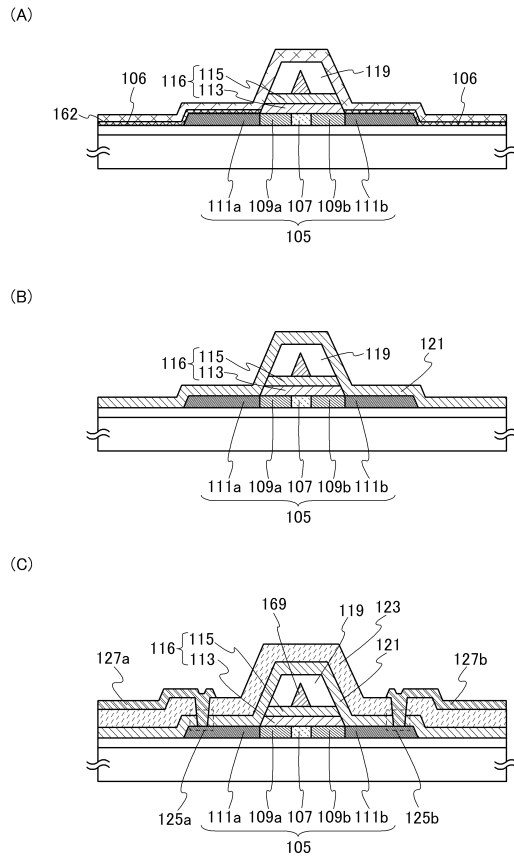
(B)



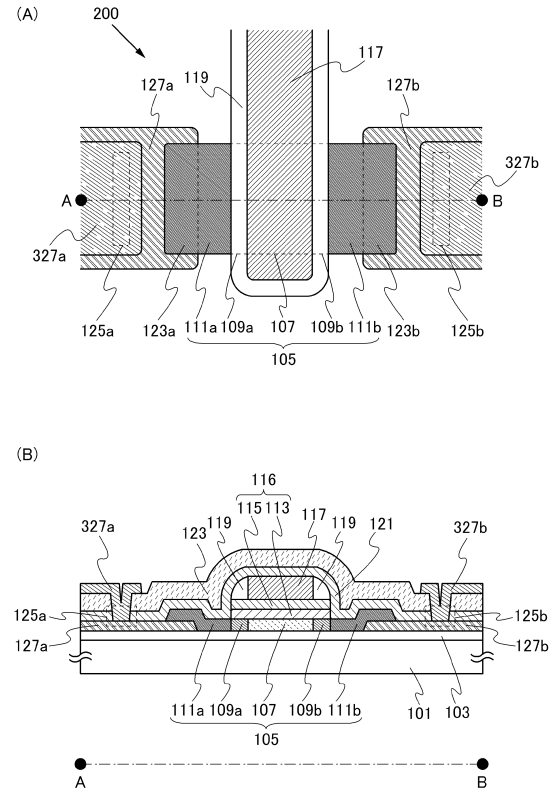
(C)



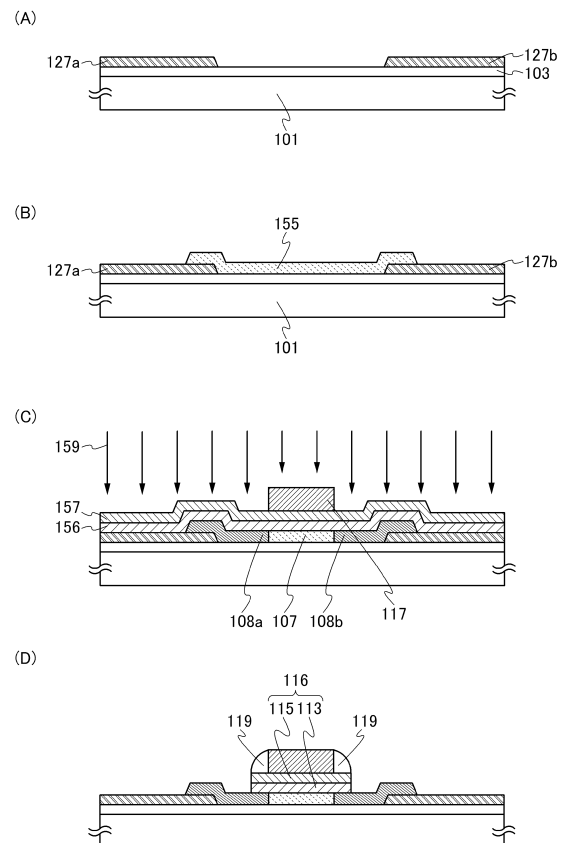
【図 9】



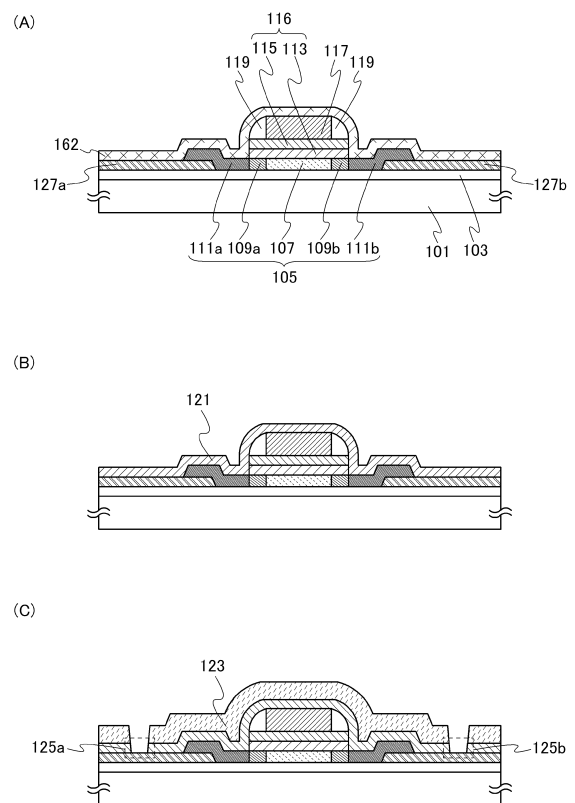
【図 10】



【図 11】

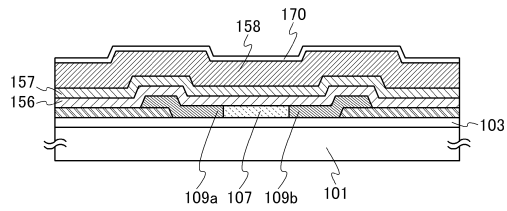


【図 12】

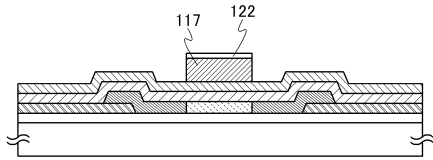


【図 13】

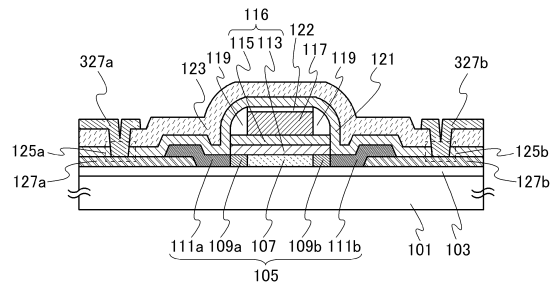
(A)



(B)

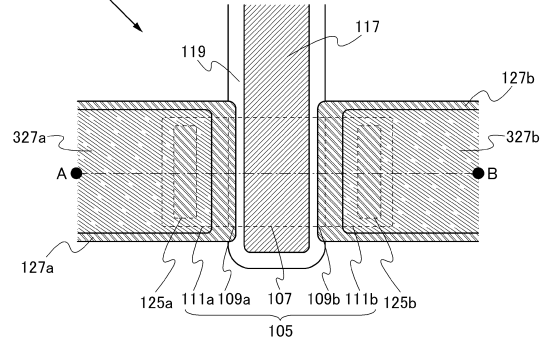


(C)

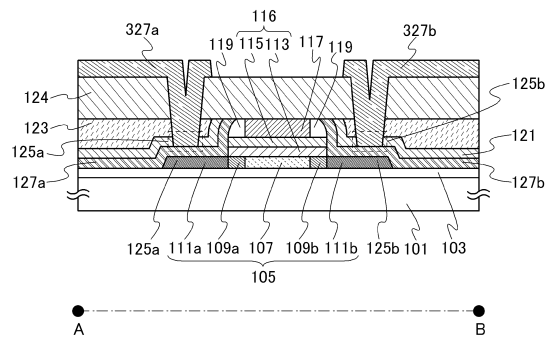


【図 14】

(A)

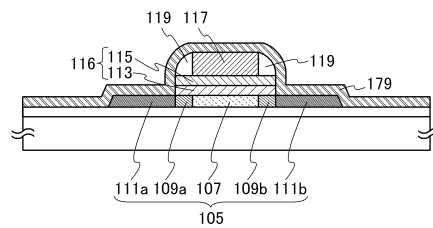


(B)

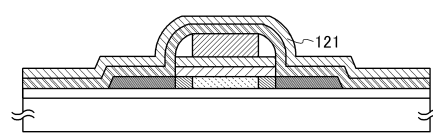


【図 15】

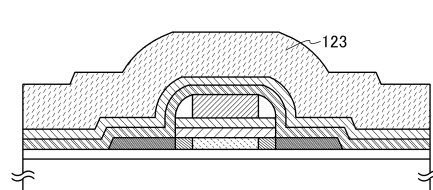
(A)



(B)

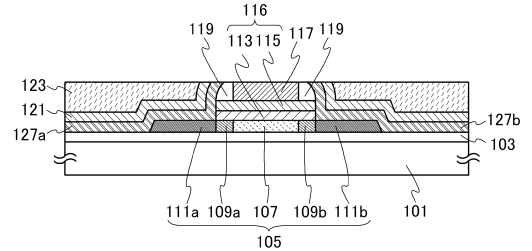


(C)

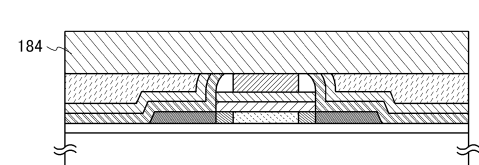


【図 16】

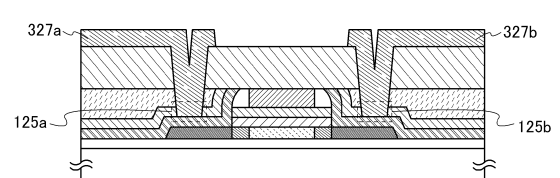
(A)



(B)

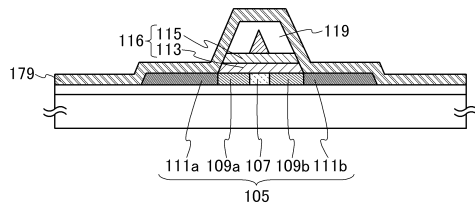


(C)

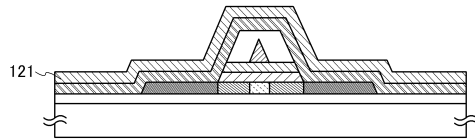


【図 17】

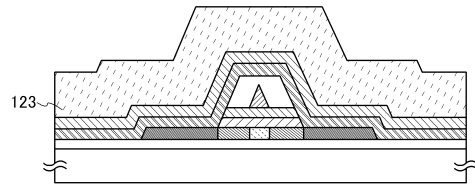
(A)



(B)

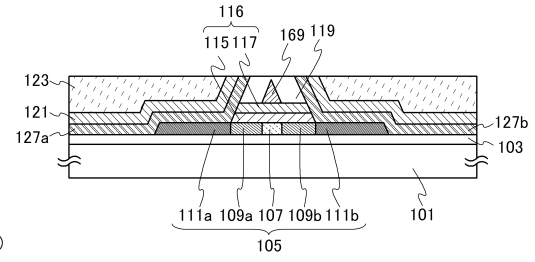


(C)

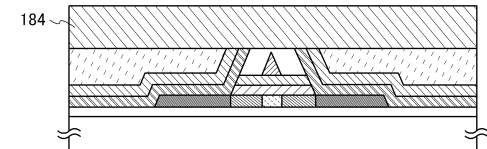


【図 18】

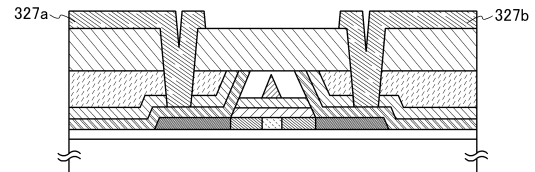
(A)



(B)

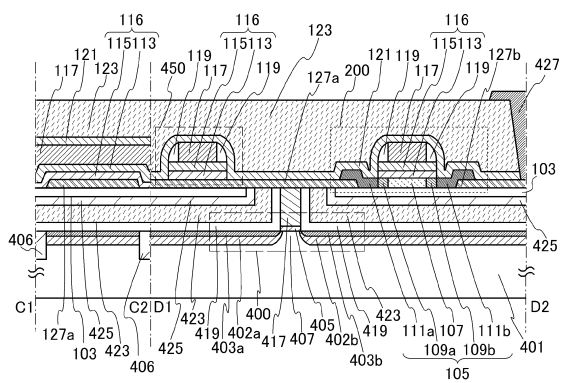


(C)

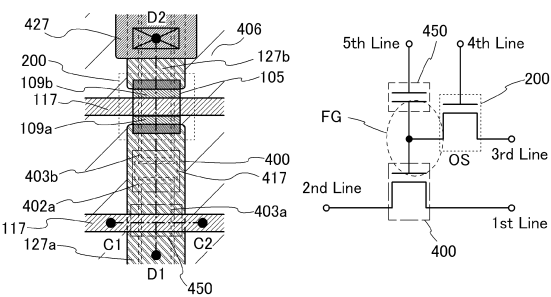


【図 19】

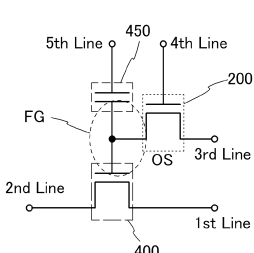
(A)



(B)

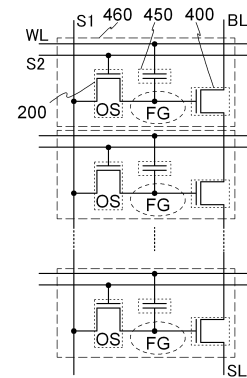


(C)

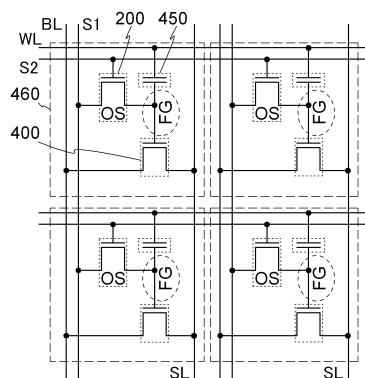


【図 20】

(A)

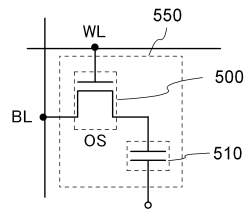


(B)

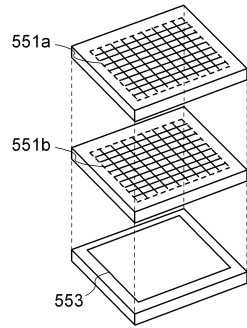


【図 2 1】

(A)

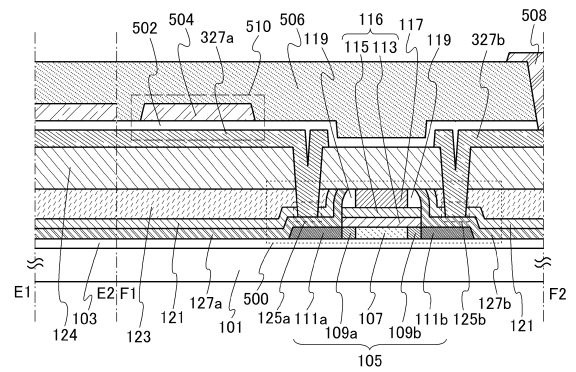


(B)

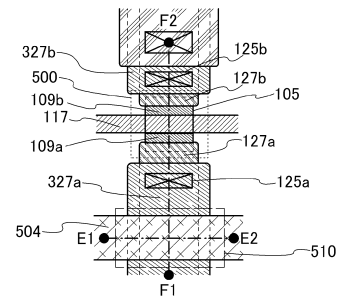


【図 2 2】

(A)

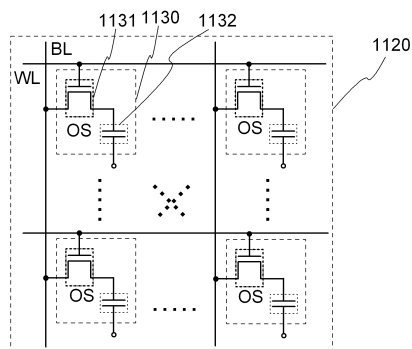


(B)

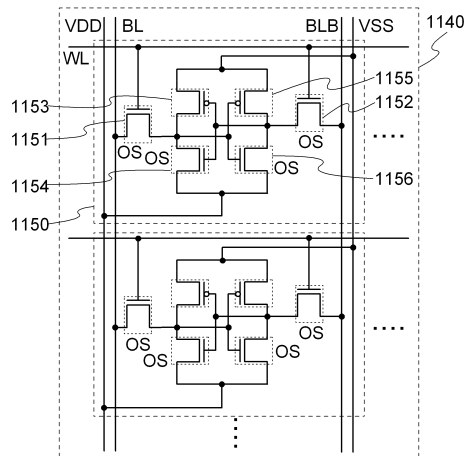


【図 2 3】

(A)

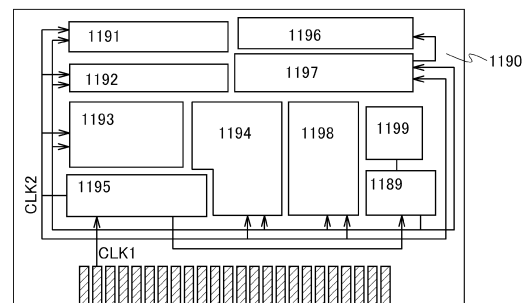


(B)

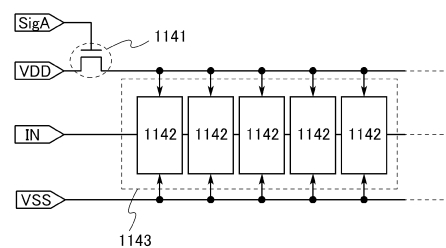


【図 2 4】

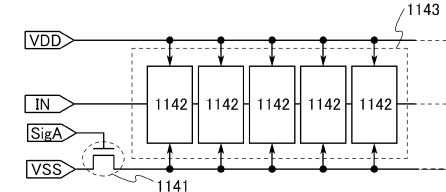
(A)



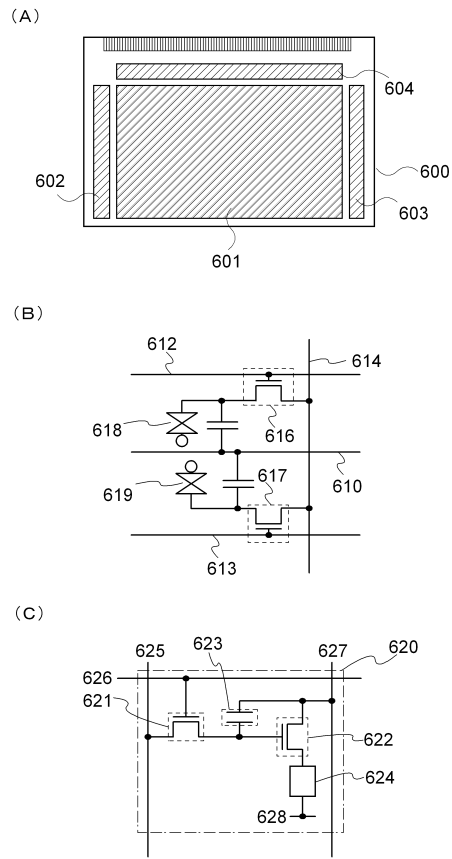
(B)



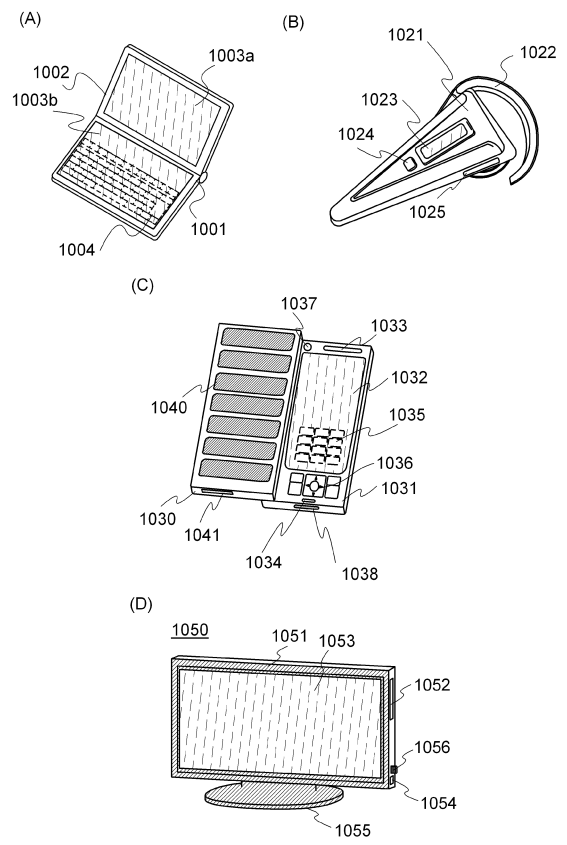
(C)



【図 25】



【図 26】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	27/11	(2006.01)	H 0 1 L	29/78 6 1 9 A
H 0 1 L	27/115	(2017.01)	H 0 1 L	29/78 6 2 7 F
H 0 1 L	29/788	(2006.01)	H 0 1 L	29/78 6 1 7 U
H 0 1 L	29/792	(2006.01)	H 0 1 L	29/78 6 1 7 T
H 0 1 L	21/28	(2006.01)	H 0 1 L	27/10 3 2 1
H 0 1 L	29/417	(2006.01)	H 0 1 L	27/10 3 8 1
H 0 1 L	27/105	(2006.01)	H 0 1 L	27/10 4 3 4
H 0 1 L	27/08	(2006.01)	H 0 1 L	27/10 6 1 5
H 0 1 L	21/8238	(2006.01)	H 0 1 L	27/10 6 7 1 C
H 0 1 L	27/092	(2006.01)	H 0 1 L	27/10 6 7 1 Z
G 0 2 F	1/1368	(2006.01)	H 0 1 L	29/78 3 7 1
H 0 1 L	51/50	(2006.01)	H 0 1 L	21/28 3 0 1 B
			H 0 1 L	29/50 M
			H 0 1 L	27/10 4 4 1
			H 0 1 L	27/08 3 3 1 E
			H 0 1 L	27/08 3 2 1 C
			H 0 1 L	27/08 3 2 1 D
			H 0 1 L	27/08 3 2 1 E
			G 0 2 F	1/1368
			H 0 5 B	33/14 A

- (56)参考文献 特開2009-278115 (JP, A)
 特開2006-060209 (JP, A)
 特開2011-228622 (JP, A)
 特開2012-015436 (JP, A)
 特開2008-235873 (JP, A)
 特開2011-243974 (JP, A)
 特開2011-243975 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/336
 G 0 2 F 1/1368
 H 0 1 L 21/28
 H 0 1 L 21/8238
 H 0 1 L 21/8242
 H 0 1 L 21/8244
 H 0 1 L 21/8247
 H 0 1 L 27/08
 H 0 1 L 27/092
 H 0 1 L 27/105
 H 0 1 L 27/108
 H 0 1 L 27/11
 H 0 1 L 27/115
 H 0 1 L 29/417
 H 0 1 L 29/786
 H 0 1 L 29/788
 H 0 1 L 29/792

H01L 51/50