



(12) 发明专利

(10) 授权公告号 CN 103155476 B

(45) 授权公告日 2016. 06. 29

(21) 申请号 201180047324. 5

(51) Int. Cl.

(22) 申请日 2011. 09. 28

H04L 7/00(2006. 01)

(30) 优先权数据

12/894, 856 2010. 09. 30 US

(56) 对比文件

CN 101361125 A, 2009. 02. 04,

EP 0810784 A2, 1997. 12. 03,

(85) PCT国际申请进入国家阶段日

2013. 03. 29

审查员 牛爽

(86) PCT国际申请的申请数据

PCT/US2011/053639 2011. 09. 28

(87) PCT国际申请的公布数据

W02012/044667 EN 2012. 04. 05

(73) 专利权人 施耐德电气美国股份有限公司

地址 美国伊利诺斯州

(72) 发明人 罗纳德·W·卡特 库尔特·科普利

(74) 专利代理机构 北京安信方达知识产权代理

有限公司 11262

代理人 周靖 郑霞

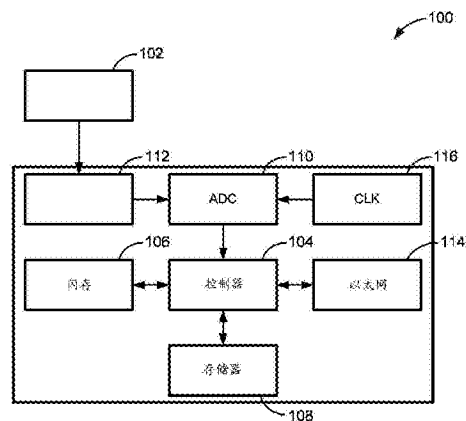
权利要求书2页 说明书8页 附图6页

(54) 发明名称

通过内插法使用固定频率模数转换量化所采样的输入

(57) 摘要

用于同步监测装置中的所量化的采样的数据的系统和方法。可变频率输出信号被耦合到模数转换器。固定频率时钟被耦合到模数转换器。模数转换器以固定频率采样输出信号,以产生高速样本。来自模数转换器的一组初始高速样本在固定的时间窗口期间被存储。所述一组初始高速样本被内插,以在固定的时间窗口期间从初始组的高速样本产生一组较少的低速样本。所述一组低速样本被存储为可变频率输出信号的代表。



1. 一种在功率监测系统中将监测装置中的所量化的采样的数据同步到系统频率的方法,所述方法包括:

在以根据固定频率时钟的固定频率采样的模数转换器中接收由监测装置接收到的可变频率输出信号;

以根据所述固定频率时钟的所述固定频率采样所述可变频率输出信号,以产生相应的高速样本;

暂时存储从所述模数转换器得到的在预定的时间段期间的一组初始高速样本;

内插所述一组初始高速样本,以通过控制器从所述一组初始高速样本产生所述预定的时间段期间的一组较少的低速样本;以及

将所述一组低速样本作为所述可变频率输出信号的代表来存储。

2. 如权利要求1所述的方法,还包括分析所存储的低速样本,用于与所述可变频率输出信号有关的数据功能。

3. 如权利要求1所述的方法,其中所述内插通过数字信号处理器上的指令被执行。

4. 如权利要求1所述的方法,其中所述内插借助固定的硬件装置执行。

5. 如权利要求1所述的方法,还包括测量所述可变频率输出信号的频率,所述预定的时间段基于所测量到的频率来确定。

6. 如权利要求1所述的方法,其中在所述一组低速样本中的低速样本的数量是所述预定的时间段的样本的预定数量。

7. 如权利要求1所述的方法,还包括在所述内插之后丢弃所述一组初始高速样本。

8. 如权利要求1所述的方法,其中所述可变频率输出信号来自电力系统,且所述可变频率输出信号具有电压或电流特性。

9. 如权利要求1所述的方法,其中所述内插通过如下步骤来执行:确定低速样本相对于两个高速样本的时间,确定所述低速样本出现在所述两个高速样本之间的时间之间的时间的分数,使所述分数乘以所述两个高速样本的值中的差值以及将所得结果加到第一高速值中以获得所述低速样本的值。

10. 一种用于对由监测装置测量到的可变频率数据进行有效采样的功率监测系统,所述系统包括:

固定频率时钟;

模数转换器,其耦合到所述固定频率时钟并且以固定频率采样由所述监测装置接收到的可变频率输出信号,所述固定频率由所述固定频率时钟确定;以及

控制器,其耦合到所述模数转换器的数字输出端,所述控制器在预定的时间段期间从由所述模数转换器从所述可变频率输出信号中获得的样本中获取一组初始高速样本点、从所述一组初始高速样本点生成一组低速样本点,所述一组低速样本点少于所述一组高速样本点,且所述一组低速样本点是通过在所述一组初始高速样本点之间内插而生成的。

11. 如权利要求10所述的系统,其中所述控制器分析所述一组低速样本点,用于与所述可变频率输出信号相关的数据功能。

12. 如权利要求10所述的系统,其中所述控制器是数字信号处理器。

13. 如权利要求10所述的系统,其中所述控制器是固定的硬件装置。

14. 如权利要求10所述的系统,其中所述控制器测量所述可变频率输出信号的频率并

基于所测量的频率设置所述预定的时间段。

15. 如权利要求10所述的系统,其中所述一组低速样本点中的低速样本点的数量是所述预定的时间段的样本点的预定数量。

16. 如权利要求10所述的系统,还包括存储器,所述控制器将所述一组低速样本点存储在所述存储器中,将所述一组高速样本点的子集暂时存储在所述存储器中以执行内插并在所述内插之后从存储器中丢弃所述高速样本点的所述子集。

17. 如权利要求10所述的系统,其中所述可变频率输出信号来自电力系统,并且所述可变频率输出信号具有电压或电流特性。

18. 如权利要求10所述的系统,其中所述内插包括:确定低速样本点相对于两个高速样本点的时间,确定所述低速样本点出现在所述两个高速样本点之间的时间之间的时间的分数,使所述分数乘以所述两个高速样本点的值中的差值以及将所得结果加到第一高速值中以获得所述低速样本点的值。

通过内插法使用固定频率模数转换量化所采样的输入

技术领域

[0001] 本文中公开的方面大体上涉及功率监测系统,并且特别涉及借助内插法通过在固定频率模数转换器上获得的数据更有效地处理来自电压或电流信号的数据的系统。

背景技术

[0002] 基于微处理器的电力系统积累关于它们被连接到的配电系统以及电力设备本身的大量信息。现今的公用设施监测系统为终端用户提供了借助自动监测装置远程地监测各种设备的能力。当补偿系统以减少谐波含量以及用于其它故障检修目的时,频谱信息被使用。

[0003] 典型的监测装置,例如数字功率计,使用模数(A/D)转换器和微处理器,并且因此,所有的分析在离散的时域或数字域中完成。输入信号(如电流或电压)被A/D转换器数字化,该A/D转换器以由可调的频率数字时钟确定的采样率工作。为了采样信号的一个整数数量的周期(假设采样率在采样窗口期间保持恒定),必要的是,采样率和信号的频率被整体地相关。通过测量输入信号的频率并然后使该频率乘以某个整数使得满足Nyquist要求和其它系统约束,由此确定所需的采样率。因为可调的采样时钟不具有无限的精度,所以对于某些输入频率,不可能将该可调的采样时钟设定为所需的频率。

[0004] 通过识别功率信号的波形的零交叉点并确定这些零交叉点之间的时间间隔,可以测量系统电压的基本周期。该基本周期的倒数是所测量的频率,且所需的采样频率是所测量的频率的倍数。然而,实际的采样频率由可调频率的数字时钟控制,所述可调频率的数字时钟不是无限可变的并且不能够被很容易地使用必要的精确的程度来控制,以实现在最大允许误差内(例如,±0.03%)的实际的采样频率。

[0005] 主要有两种方法被用于采样电力系统中的电压和电流,以便进行功率/能量测量和电力质量测量(谐波等)。一种方法是以恒定的采样率操作模数(A/D)转换器并对电压和电流样本加窗(window),以便在一定程度上减轻非同步采样的影响。这些影响主要包括不准确的RMS值(以及因此的不准确的功率和能量)和以相对于采样率的某些频率的不准确的谐波测量结果。另一种方法是通过使用硬件或固件来控制采样,以同步地采样输入。加窗的方法需要使每个电压和电流通道上的每个样本乘以该采样索引处的窗函数值。随着采样率增加,这需要大量的处理器带宽和存储能力。同步采样可使用硬件或固件实现。与固件解决方案相比时,控制硬件中的采样通常会增加成本,除非处理器上的负载需要更昂贵的处理器。

[0006] 有两种通过固件的使用实现同步采样的方式。一种方式是处理器控制A/D转换器的采样率。另一种方式是以恒定的采样率操作A/D转换器并重新采样固件中的数据。例如,某些设备中的采样率的硬件控制取决于A/D转换器的使用,例如 $\Sigma-\Delta$ 型A/D转换器,且采样时钟必须在约1MHz和4MHz之间工作。因此,通过固件获得时钟的高精度控制是困难的。

[0007] 使用 $\Sigma-\Delta$ 模数转换器提供同步采样证明比使用逐次逼近(SAR)模数转换器明显更复杂。数字时钟定时器不容许无限的采样时间间隔分辨率。所得到的分辨率是相对差的,

且误差根据采样频率与电源频率的比值的分数部分的大小而增加。因此，具有提供了同步采样同时有效地使用计算和内存资源的准确的采样协议将是有益的。

发明内容

[0008] 跟踪系统频率中的小的偏移例如在以60Hz供给交流电的电力系统中是重要的，以确保由该系统内的监测点测量到的电流或电压与频率偏移同步。当数据测量结果未跟踪系统频率时，误差可能在整个系统中传播，影响基于原始数据测量结果的进一步计算和分析的完整性。本公开提出做一些反直觉的措施——以使模数转换器的时钟频率被固定并独立于系统频率。因此，采样率总是固定的。本公开提出使用内插算法对由模数转换器按所述采样率产生的数据的子集重新采样。

[0009] 根据一个实例，公开了一种将监测装置中所量化的采样的数据同步到系统频率的方法。在以根据固定频率时钟的固定频率采样的模数转换器中接收可变频率输出信号。以固定频率采样输出信号，以产生相应的高速样本。在预定的时间段期间来自模数转换器的一组初始的高速样本被暂时存储。所述一组初始的高速样本被内插，以从初始组的高速样本产生预定的时间段期间的一组较少的低速样本。所述一组低速样本被存储为可变频率输出信号的代表。

[0010] 另一实例是一种用于对由监测装置测量到的可变频率数据进行有效采样的系统。该系统包括固定频率时钟和耦合到所述固定频率时钟的模数转换器。模数转换器以固定频率采样由监测装置接收到的可变频率输出信号，所述固定频率由所述固定频率时钟确定。控制器被耦合到模数转换器的数字输出端。所述控制器在预定的时间段期间从由模数转换器从可变频率输出信号中获得的样本中获取一组初始高速样本点。控制器从该初始组的高速样本点生成一组低速样本点。所述一组低速样本点少于所述一组高速样本点，且通过内插在所述一组高速样本点之间而生成。

[0011] 另一实例是具有所存储的用于同步监测装置中的所量化的采样的数据的指令的非临时性机器可读介质。所述监测装置包括以固定频率采样可变频率输出信号的模数转换器。所述介质包括机器可执行代码，当由至少一个机器执行时，所述可执行代码使所述机器在预定的时间段期间存储来自所述模数转换器的一组初始高速样本。所述代码使所述机器内插所述一组初始高速样本，以从初始组高速样本生成所述固定的时间窗口期间的一组较少的低速样本。所述代码使所述机器将所述一组低速样本存储为可变频率输出信号的代表。

[0012] 鉴于参照附图对各种实施方式的详细描述，本发明的上述及另外的方面对本领域那些普通技术人员来说将是明显的，附图的简述将在下面被提供。

附图说明

[0013] 在阅读以下详细描述并参照附图后，本发明的上述及其它优点将变得明显。

[0014] 图1是使用了由固定频率时钟驱动的模数转换器的监测装置的功能框图；

[0015] 图2是示出了由图1中的监测装置使用的较高的采样率和内插的较低的采样率数据点的曲线图；

[0016] 图3A-3B是根据本文中所公开的方面用于内插来自从固定时钟、模数转换器中获

得的数据点的数据点的示例性算法的流程图；

[0017] 图4A-4B是根据本文中所公开的方面用于内插来自从固定时钟、模数转换器中获得的数据点的数据点的另一示例性算法的流程图；

[0018] 虽然本发明可能有各种修改和替代形式，但是特定的实施方式已借助实例在附图中被示出并且将在本文中被详细描述。然而，应理解，不旨在将本发明限制于所公开的特定形式。相反，本发明是要覆盖落入如所附的权利要求书所限定的本发明的精神和范围内的所有修改、等价和替换。

具体实施方式

[0019] 图1示出了监测装置100，其是用于测量电气系统102中的电气特性的仪表。在该实例中，监测装置100可以是功率计或电路监测器。该实例中的电气系统102是被监测装置100监测的公用设施系统，在该实例中，其可以是由首字母简略词WAGES特指的或水、通风、燃气、电或蒸汽五个公用设施中的任一种。所测量到的特性，其可包括电流、电压、频率、功率、能量、每分钟的体积、体积、温度、压力、流速或水、通风、燃气、电或蒸汽公用设施中的其它特性，被记录为与这样的测量结果有关的输出数据。装置100能够将数据存储在板载存储器中，并且能够通过网络与数据收集系统通信以将测量到的特性传输到数据收集系统用于显示、存储、报告、报警及其它功能。

[0020] 监测装置100测量公用设施的特性，例如电压信号，并且将这些特性量化成可由软件进一步分析的数据。在电气背景下，监测装置100可以从施耐德电气公司可得到的PowerLogic®系列3000/4000电路监测器或PowerLogic®ION 7550/7650功率和能量仪或PM5xxx系列仪表，或任何其它合适的监测装置，例如智能电子装置(IED)、计量装置或功率计。

[0021] 监测装置100包括控制器104、闪存106、DRAM存储器108、模数转换器(ADC)110、输入端口112、以太网接口114和时钟116。以太网接口114具有一个或多个板上以太网端口，例如，一个用于10/100兆的TX双绞线连接，而另一个用于100兆的FX连接。以太网接口114可以耦合到网络，用于传输从监测装置100测量到的数据。同样地，来自系统例如图1中的电气系统102的监测点的数据可被耦合到耦合于输入端口112的线。在该实例中，监测点是可变频率电气输出信号的所测量的大小。

[0022] 图1中的控制器104收集、存储并分配由监测装置100记录的来自输入端口112的数据(即，其指示公用设施特性)。不同的操作指令被烧写入闪存106中，以操作控制器104。从电气输出信号中获取的所收集的数据，例如测量到的电流值或电压值，可被存储在存储器108中的缓冲器和寄存器中并且可通过接口114被用户访问。

[0023] 模数转换器(ADC)110将从功率信号中测量到的所采样的输出信号从模拟域转换到数字域，即，由连续量例如电流或电压表示的信号被转换为由数字的序列表示的信号。在该实例中，模数转换器110是MCP3909 $\Sigma - \Delta$ 型模数转换器。因此，该A/D转换器110为控制器104供给了在已知采样频率(速率) f_s 处的一系列原始样本 $OS(1), OS(2), OS(3) \dots OS(m)$ 。时钟116被耦合到模数转换器110。时钟116以恒定或固定的频率运行，并且因此，模数转换器110的采样频率基于时钟116的频率被固定。在固定的预定时间段期间，每组样本由模数转换器110获取。

[0024] 在该实例中,控制器104根据最初从图1中的模数转换器110中获得的一组高速数据样本创建一组低速样本的低速样本索引。伴随预定的时间段,有比初始的高速样本更少的低速样本。低速样本索引将准确度保留为用于信号分析的输出信号的表示,但不需要与高速数据样本的分析和处理所需要的计算资源和存储器空间一样多的计算资源和存储器空间。

[0025] 当所需的低速样本索引的点不与相应的高速索引的点精确重合时,线性内插法被用于确定样本值。线性内插法的过程可以例如根据特此通过引用并入的美国专利第7,444,249号来执行。当内插的低速样本值是需要的时候,它将在所述预定的时间段期间落在两个高速样本的时间之间的时间。该时间通过比较基于固定采样频率和可变频率输出信号的所测量到的频率的模数转换器110读取高速样本的时间来确定,所述测量到的频率将所述预定的时间段分成了所需数量的低速样本之间的时间间隔。任何给定的低速样本可能落在两个高速样本的时间之间,且内插法被用于确定低速样本的值。使第一高速样本的值和第二高速样本的值之间的差值乘以反映了低速样本出现的两个高速样本的时间之间的分数时间的分数值。该结果然后被添加到第一高速样本的值以获得内插的值,该内插的值被控制器104存储为低速样本的值。

[0026] 基于仿真结果,线性内插法提供了准确度和用于建立低速索引的处理器开销之间的良好的折衷。术语高速和低速分别指实际输入采样率和抽取率。高速样本被暂时存储,并在它们已被用于确定低速样本的内插法后丢弃,从而节省内存。只有足以获得一个低速样本值的高速样本的子集在给定的时间段被暂时存储在存储器中。由于只有较小数量的低速样本值被存储,所以丢弃大部分的高速值使存储器效率最大化。

[0027] 在该实例中,输入高速采样率被假定为3.58MHz/256(13.984KHz),这是示例性模数转换器110的输出数据速率。在该实例中,MCP3909型式的模数转换器由固定频率的时钟例如按3.58MHz的固定频率的时钟116运行,这是被规定用于MCP3909型式的模数转换器的性能规格的时钟频率。因此,每256个时钟周期,样本被获取一次。当然,可以使用其它类型的以不同的固定时钟频率操作的模数转换器。在该时钟速率下,在模数转换器110的输入端,每个周期的高速样本的数量对于50Hz的频率输入信号为279.7,而对于60Hz的频率输入信号为233.1。基于所需的性能和处理器开销,抽取后的速率可以是每个周期32、64或128个低速样本。

[0028] 图2是重新采样算法的数据输出和输入的一个实例的电压曲线图200,该重新采样算法被应用于接收到的可变频率电压信号202,对于每周期64个样本的低速采样率,该接收到的可变频率电压信号202目前的频率在60Hz。图2示出了如符号204所示的多个高速样本。如符号204所示,在该实例中,模数转换器110每个周期获取233次高速样本。图2还包括由符号206表示的多个以低速采样率重新采样的值。重新采样的低速值206每个周期包括64个样本。如将在下面描述的,从最接近的采样的高速值204内插来得到重新采样的低速值206。高速值204以固定频率被获取,该固定频率取决于被耦合到图1中的模数转换器110的时钟116的时钟速率。输入信号的频率可以改变并由图1中的控制器104周期性地确定以确定高速样本的增量,以确定低速样本中的每一个。

[0029] 因为不必采用可变的采样频率,所以获得低速样本值的算法大大简化了 $\Sigma-\Delta$ 模数转换器例如模数转换器110的使用的硬件设计。获得更低速值的内插法提供了与电力系

统以及因此的输出信号频率有效地同步的采样。为降低频谱泄漏,同步采样是重要的。该算法为系统频率跟踪提供了更精细的分辨率。更好的频率分辨率改善了RMS(均方根)、THD/thd(总谐波失真)和谐波识别精度。

[0030] 正如将由计算机、软件和网络技术领域的那些技术人员理解的,使用根据本文中所述和示出的教导被编程的一个或多个通用计算机系统、通用处理器、微处理器、数字信号处理器、微控制器、例如特定应用集成电路(ASIC)、可编程逻辑器件(PLD)、现场可编程逻辑器件(FPLD)、现场可编程门阵列(FPGA)的固定硬件装置及类似器件,可以很方便地实现图1中的控制器104。

[0031] 此外,两个或多个计算系统或装置可替代本文中所描述的控制器的任何一个。因此,分布式处理的原理和优点,例如冗余、重复等等,还可以如所希望的被实现,以提高本文所描述的控制器的鲁棒性和性能。所述控制器还可以在一个计算机系统或多个计算机系统上被实现,其使用任何合适的接口机制和通信技术延伸跨越任何网络环境,所述通信技术包括:例如以任何合适形式(例如,语音、调制解调器及类似形式)的电信、公共交换电话网络(PSTN)、分组数据网络(PDN)、互联网、内联网、它们的组合和类似技术。

[0032] 现在将参照图1、结合图3A-3B所示的流程图和可选地在图4A-4B所示的流程图中,描述所述实例重新采样顺序的操作。图3A-3B和图4A-4B中的流程图代表用于从模数转换器以固定频率获取的样本中低速采样的示例性机器可读指令。在该实例中,机器可读指令包括用于由如下装置执行的算法:(a)处理器,(b)控制器,和/或(c)一个或多个其它合适的处理装置。该算法可被体现在存储在非临时性机器可读媒介介质上的软件中,诸如,例如,闪存、CD-ROM、软盘、硬盘驱动器、数字视频(通用)盘(DVD)或其它存储装置,但本领域普通技术人员将很容易理解,整个算法和/或其部分可以可替代地由装置而不是处理器执行,并且/或者可以公知的方式被体现在固件或专用硬件中(例如,它可以由特定应用集成电路(ASIC)、可编程逻辑器件(PLD)、现场可编程逻辑器件(FPLD)、现场可编程门阵列(FPGA)、离散逻辑元件等实现)。所述介质存储包括机器可执行代码的软件,当由至少一个机器执行时,该机器可执行代码执行如下所描述的处理中的一些或全部。例如,重新采样顺序的组分中的任何组成部分或所有组成部分可由软件、硬件和/或固件实现。此外,由图3A-3B或图4A-4B的流程图表示的机器可读指令中的一些或全部可被手动实现。另外,虽然实例算法是参照图3A-3B和图4A-4B所示的流程图被描述的,但本领域的普通技术人员将很容易理解,可以可替代地使用许多其它实现该示例性机器可读指令的方法。例如,框的执行顺序可被改变,和/或所描述的框中的某些框可被改变、去除或组合。

[0033] 图3A-3B示出了由将高速固定频率样本转换为用于模数转换器的单个通道的更小的组低速样本的算法执行的过程。该过程对于从模数转换器接收到的数据的所有通道是相同的。该算法在图1中的控制器104上运行。控制器104最初被上电,并且模数转换器110被联机以从电气系统102中采样电压和电流信号(300)。存储在存储器106中的所述算法所需的变量被控制器104初始化(302)。在该实例中,所述变量包括最后一个高速写入字段、高速缓冲器掩码字段、最后一个低速写入字段、低速缓冲器掩码字段、第一样本标志、偏移值、分数值和前一周期值中的分数。所述高速写入字段保存从模数转换器110中获得的样本的指针,且低速写入字段保存所内插的低速样本的指针。所述缓冲器掩码字段包括被存储在缓冲器中的多个点。在该实例中,十六个高速值被存储,同时低速值的128个点被存储。所述第

一样本标志是一个布尔值,其指示样本是否是上电后的第一样本。偏移值是用在前一周期的内插法中的最后一个高速样本的高速缓存器中的位置。它在周期的末尾处被设置为等于 $pt2$ 。分数值是高速样本点之间低速样本被获取的时间的分数。在该实例中,最后一个高速写入字段指向高速缓冲器中的最后一个时隙中的值。分数和偏移量以及前一周期的分数被初始化为零。第一样本标志被设置为YES(是)。

[0034] 指示读取高速样本的模数转换器中断由控制器104从模数转换器110中接收(304)。来自模数转换器110的高速样本被存储在高速样本的缓冲器的一个中的存储器108中(306)。如果第一样本标志字段被设置为YES(308),则该标志被清除并设置成NO(310)。样本数被设置为一(312)。第一高速样本被复制到第一低样本字段(314)。要推进(advance)的成比例的(scaled)高速样本的数量被计算(316)。成比例的高速样本的数量通过使样本的数量乘以高速与低速采样率的比值减去前一周期的分数来确定。高速与低速采样率的比值从测量到的线路频率和固定频率确定,模数转换器110以该固定频率操作。所测量到的线路频率由控制器104通过常规方法确定。存储在闪存106上的操作固件会如所需要的频繁测量线路频率,以产生用功率误差和谐波测量结果表示的由监测装置100监测的信号的所需的性能。每当新的线路频率被确定时,高速与低速采样率的比值被重置。

[0035] 推进所需的样本的整体数量由控制器104确定(318)。采样间的时间间隔的分数部分基于样本的整体数量和成比例的高速样本的数量来计算(320)。第一个感兴趣的点在高速缓冲器中的位置根据要推进的样本的数量被添加到偏移量且所得结果与高速缓冲器掩码进行逻辑AND(与)来计算(322)。控制器104确定分数值是否小于或等于零(324)。如果该分数值小于或等于零,则所需的低速样本在时间上与高速样本重合,且因此两个高速点是一个并且是同一个(并且不需要内插法)(326)。如果该分数大于零(324),则第二个感兴趣的点是第一点之后的下一个样本(328)。算法返回,等待来自模数转换器110的下一次中断(304)。

[0036] 如果第一样本标志为NO(308),则该算法确定最后一个高速写入是否在第二个点处(330)。如果最后一个高速写入不在所述第二个点处,则算法返回,并等待来自模数转换器110的下次中断(304)。

[0037] 如果最后一个高速值在所述第二个点处(330),则所需的低速样本通过使所述分数值乘以点2处的样本值和点1处的样本值之间的差值来计算。所述结果然后被加到点1处的样本的值中,以得到位于点1和点2处的高速样本之间的低速值。控制器104确定样本的位置是否是循环的最后一个样本(334)。如果该样本不是该循环中的最后一个样本,则样本编号加一(336)。然后,算法往下进行,计算成比例的高速样本的数量(316)。

[0038] 如果样本编号是周期中的最后一个样本(334),则样本编号被设置为一(338),并且确定分数是否大于零(340)。如果该分数大于零(340),则前一分数周期被设置为1减去该分数(342)。通过将偏移量设置为第二个点,新的偏移量被存储(344)。算法往下进行,计算成比例的高速样本的数量(316)。如果所述分数不大于零(340),则前一分数间隔被重置为零(346),并且新的偏移量通过将偏移量设置成第二个点来存储(344)。

[0039] 图4A-4B是由图1中的控制器104执行以将高速固定频率样本转换为用于模数转换器的单个通道的更小的组的低速样本的可替代的算法的另一流程图。控制器104最初被上电,并且模数转换器110与输入端口112联机以从电气系统102中采样电压和电流信号

(400)。存储在存储器108中的算法所需的变量被控制器104初始化(402)。在该实例中,所述变量包括:lowSpeedBufferIndex变量,该变量是低速缓冲器的索引管理,lowSpeedSampleNumber变量,该变量是用于指示完整的周期已被内插的低速样本的计数器,adcInterruptCtr变量(该变量指示高速中断运行的次数的计数器,其是高速样本计数),firstSampFlag变量,该变量指示该样本是真正的第一个样本并且不需要被内插而且充当起始位置,frac变量,该变量是低速点发生处的高速样本之间的时间的分数数量,以及prevFrac变量,该变量是最后一个内插的低速点和随后一个高速点之间的时间量。在初始化阶段(402),上述变量被设置为零,除了firstSampFlag变量(其被设置为YES)。

[0040] 指示读取高速样本的模数转换器中断由控制器104从模数转换器110接收(404)。高速计数器变量adcInterruptCtr加一(406)。如果第一样本标志变量被设置为YES(408),那么第一高速样本被复制到第一低样本字段(410)。第一样本标志被设置为NO(412)。lowSpeedSampleNumber变量加一(414)。

[0041] lowSpeedSampleNumber变量的值与用于测量结果的每个周期的低速样本的数量进行比较(416)。在该实例中,每个周期的低速样本的数量为32。如果低速样本的数量与每个周期的低速样本的数量相同(416),则lowSpeedSampleNumber变量被重置为零(418)。然后通知监测装置100,完整周期的低速采样的数据可用于处理(420),且算法往下进行到框422。

[0042] 如果lowSpeedSampleNumber变量的值不等于每个周期的低速样本的数量(416),则算法保留剩余分数的采样间的时间间隔(422)。保留剩余分数的采样间的时间间隔将变量prevFrac设置为一减去低速样本点出现处的高速样本之间的分数数量的时间(424)。该计算在SHIFT中执行,SHIFT是使整数移位以保持整数计算中的分辨率的位数。在该实例中,该位数是22。要推进的成比例的高速样本的数量通过从高速与低速采样率的比值中减去剩余分数的采样间的时间间隔来计算(424)。每当信号的频率被测量时,高速与低速采样率的比值被确定。测量到的信号的频率由控制器104通过常规方法确定。存储在闪存106上的操作固件如所需的频繁测量线路频率,以产生用功率误差和谐波测量结果表示的由监测装置100监测的电压信号的所需的性能。

[0043] 推进以便得到内插法所需的ADC样本的所需样本的整体数量由控制器104确定(426)。采样间的时间间隔的成比例的分数部分基于从成比例的高速样本的数量中减去的样本的整体数量来计算(428)。然后,当第一高速样本必须被收集时的第一个感兴趣的点的位置被确定为要推进的高速样本的不成比例的数量,以便获得内插法所需的ADC样本(430)。然后,第二高速样本必须被收集处的第二个感兴趣的点的位置被确定(432)。算法返回,等待来自模数转换器110的下一次中断(404)。

[0044] 如果第一样本标志为NO(408),则该算法确定adcInterruptCtr变量的值是否在第一个感兴趣的点处(434)。如果中断计数器的值在第一个感兴趣的点处(434),则高速样本被存储在第一高速样本字段(436),且算法返回以等待来自模数转换器110的下一次中断(404)。如果所述计数器不在第一个感兴趣的点处(434),则该算法确定adcInterruptCtr变量的值是否在第二个感兴趣的点处(438)。如果该变量不在第二个感兴趣的点处(438),则该算法循环返回以等待来自模数转换器110的下一次中断(404)。

[0045] 如果所述计数器在第二个感兴趣的点处(438),则高速样本被存储在样本字段中

(440)。低速缓冲器索引加一(442)。该算法确定低速缓冲器索引的值是否已经达到低速缓冲器大小(444)。低速缓冲器大小是装置已经为算法留出以存储从高速样本计算出的低速样本的内存量。在该实例中,低速缓冲器大小是128个数据项。如果低速缓冲器索引已达到低速缓冲器大小(444),则低速缓冲器索引被重置为零(446),并且算法往下进行到框448。

[0046] 如果低速缓冲器索引还未达到低速缓冲器大小(444),则该算法计算并存储所需的样本(448)。通过使两个值之间的差值乘以低速样本被获取处的高速样本之间的分数数量的时间,所述计算内插感兴趣的点的第一和第二高速样本。这个量被加到低速样本的值中,并被存储在低速缓冲器中。高速样本计数器变量adcInterruptCtr被重置为零(450),并且该算法往下进行以使低速样本数加一(414)。

[0047] 虽然本发明的特定实施方式和应用已被示出和描述,但应理解,本发明不限于本文中所公开的精确结构和组合,并且从上述描述中,各种修改、改变和变化可以是明显的,而不脱离如在所附的权利要求书中所定义的本发明的精神和范围。

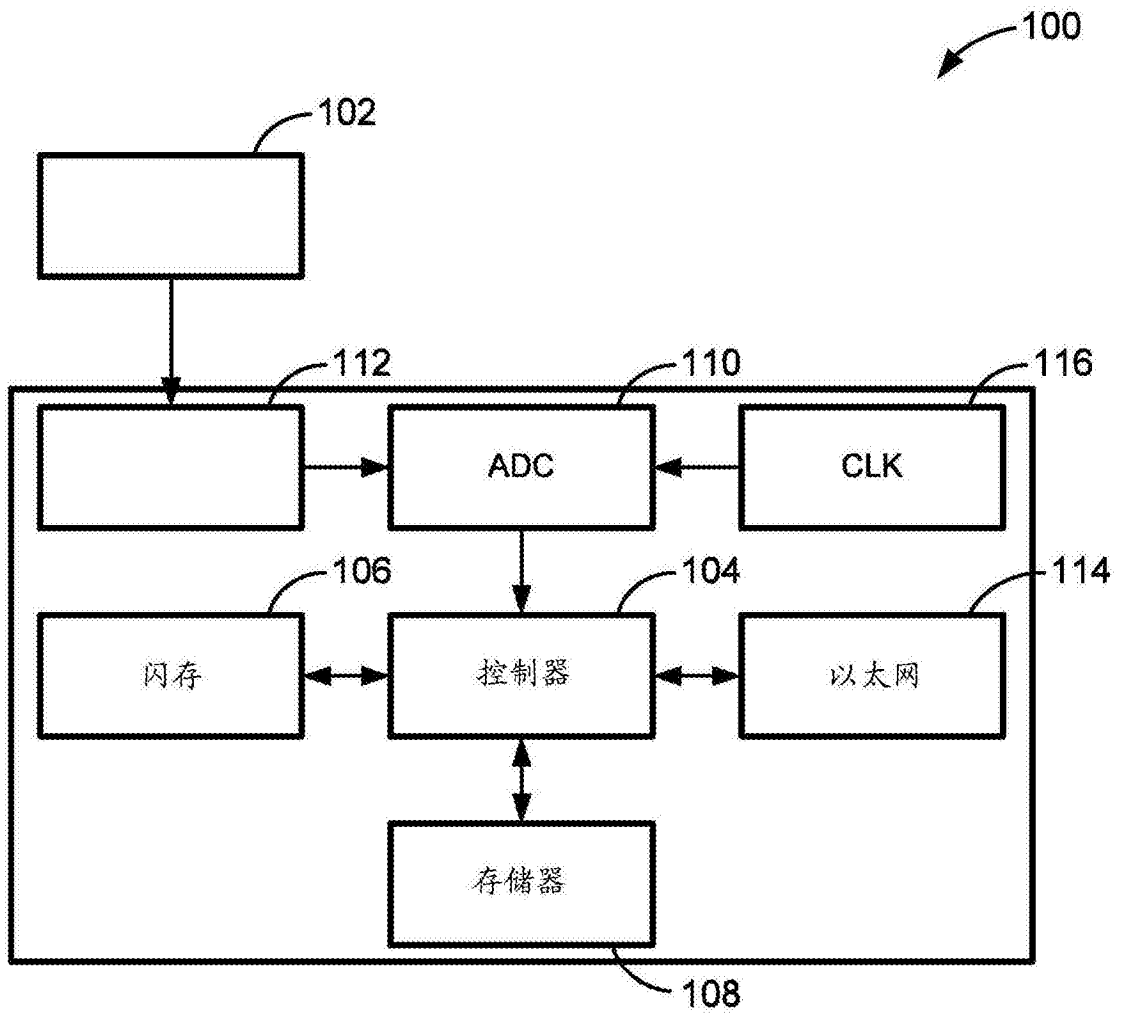


图1

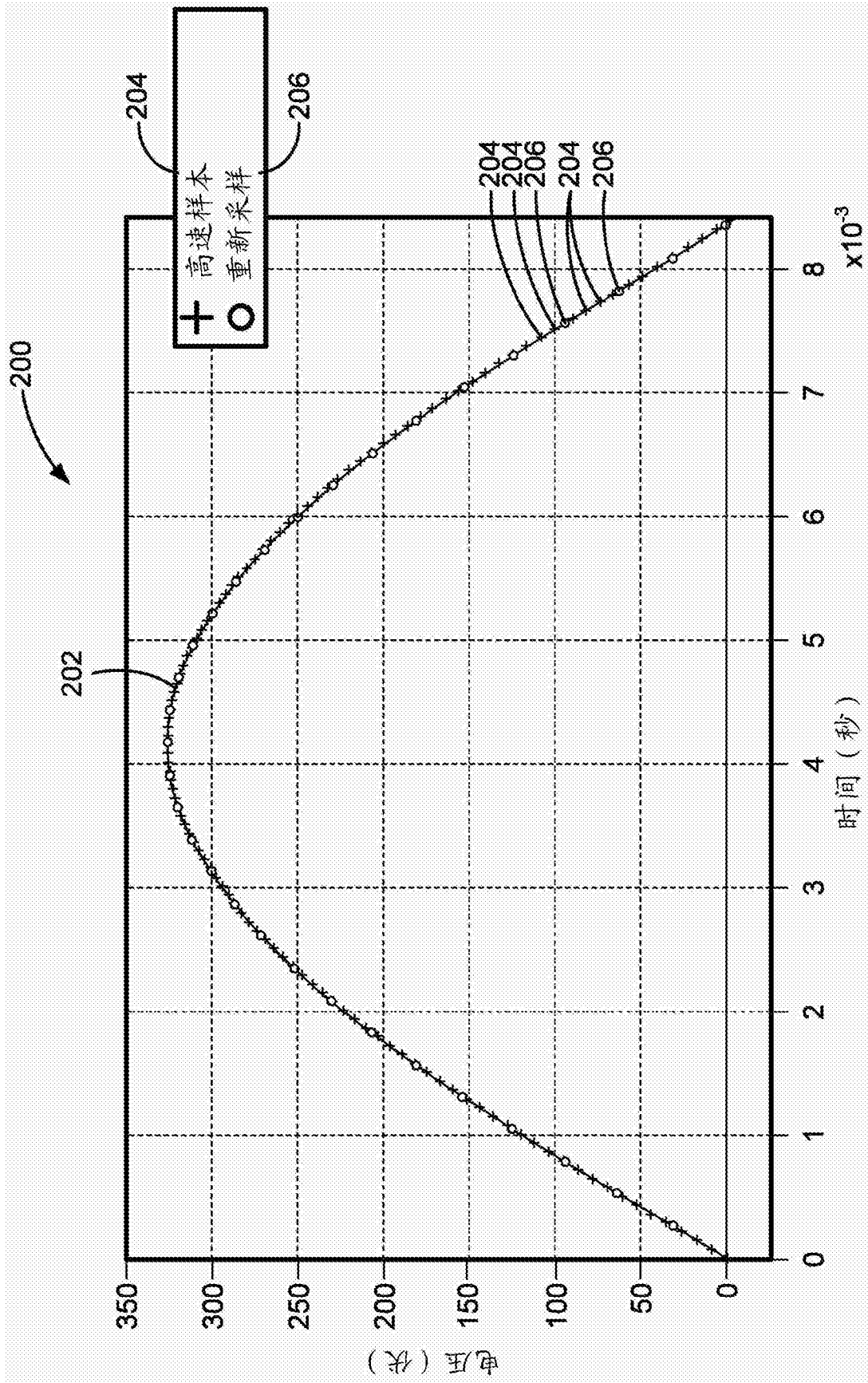


图2

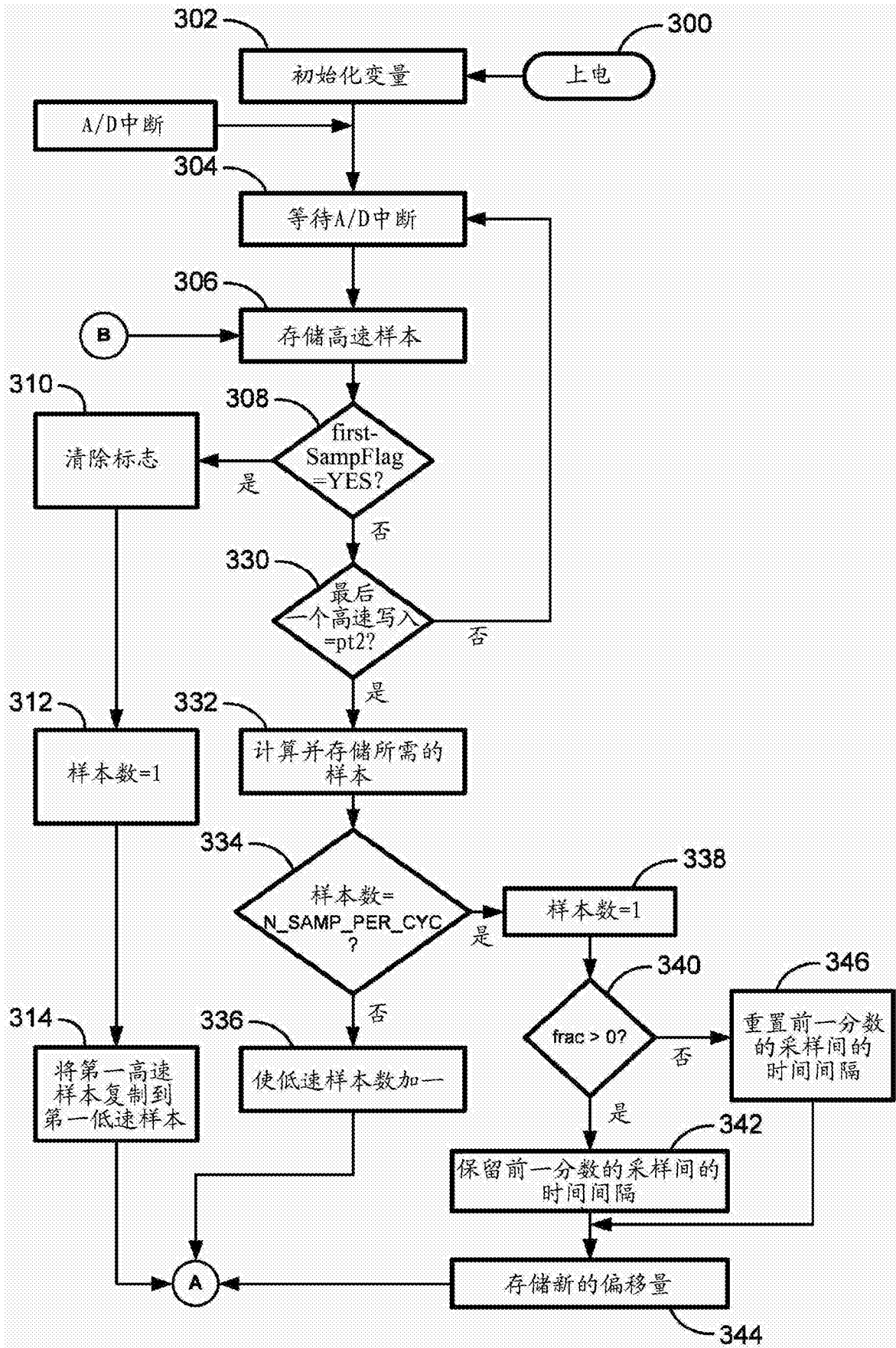


图3A

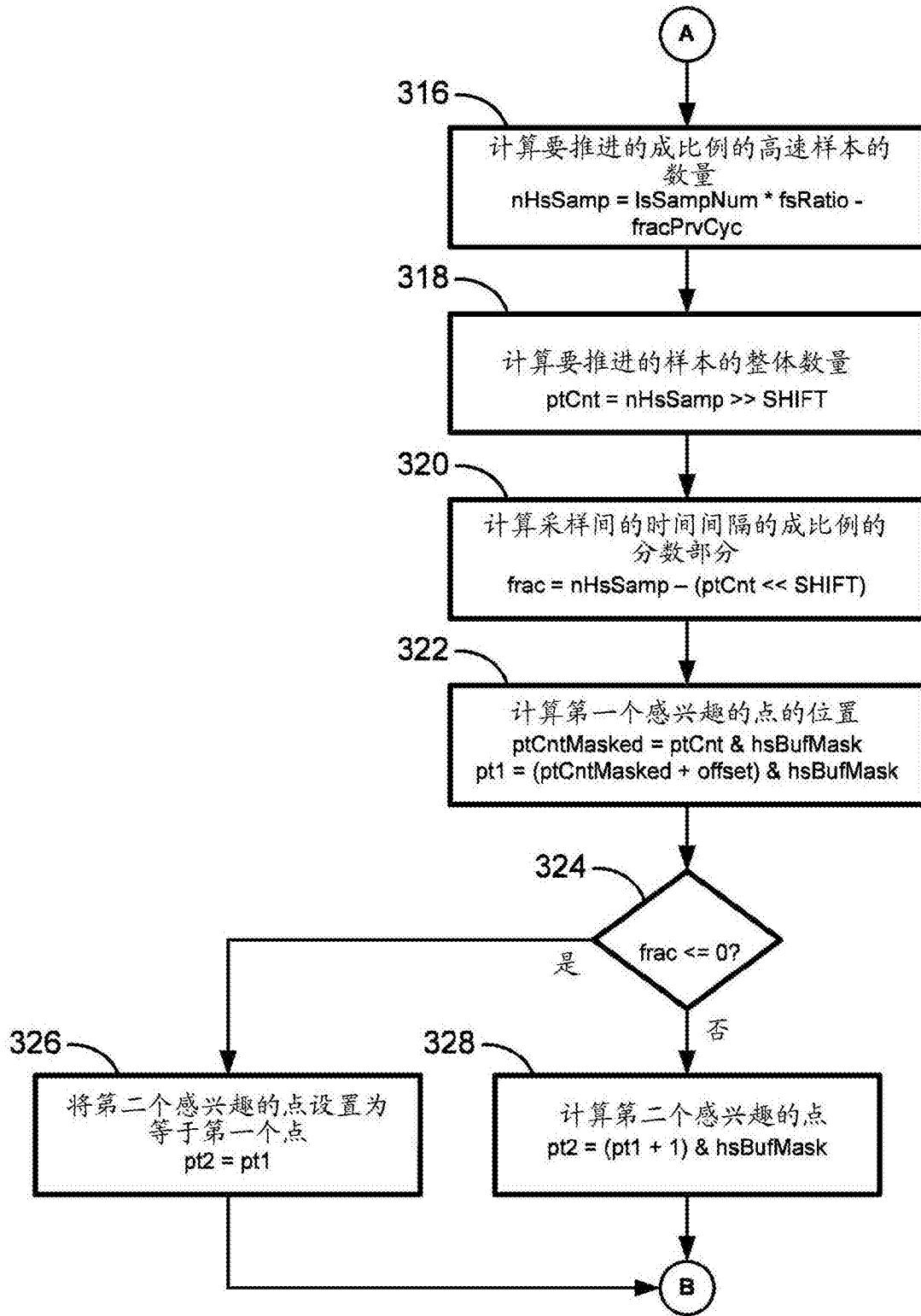


图3B

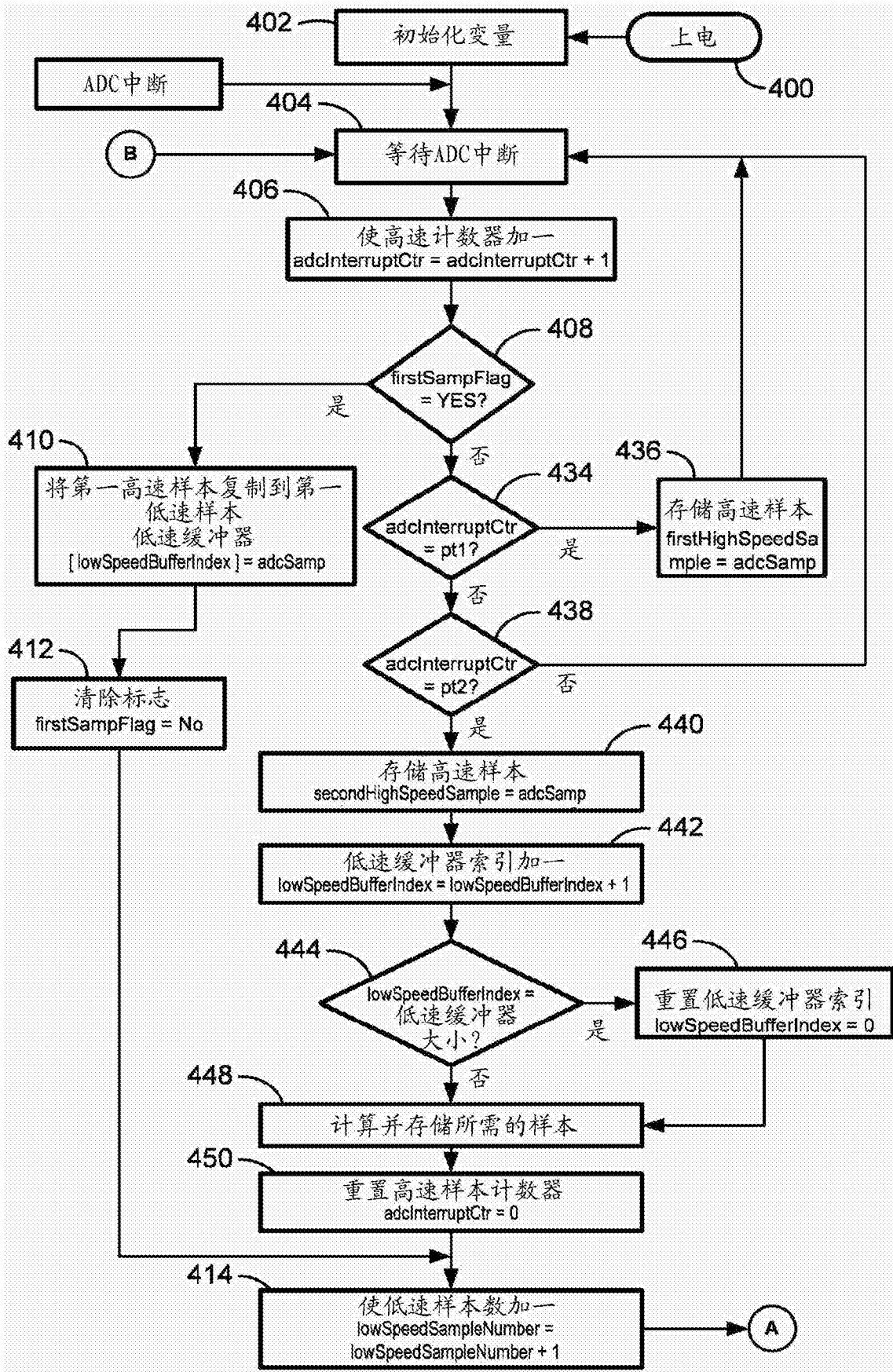


图4A

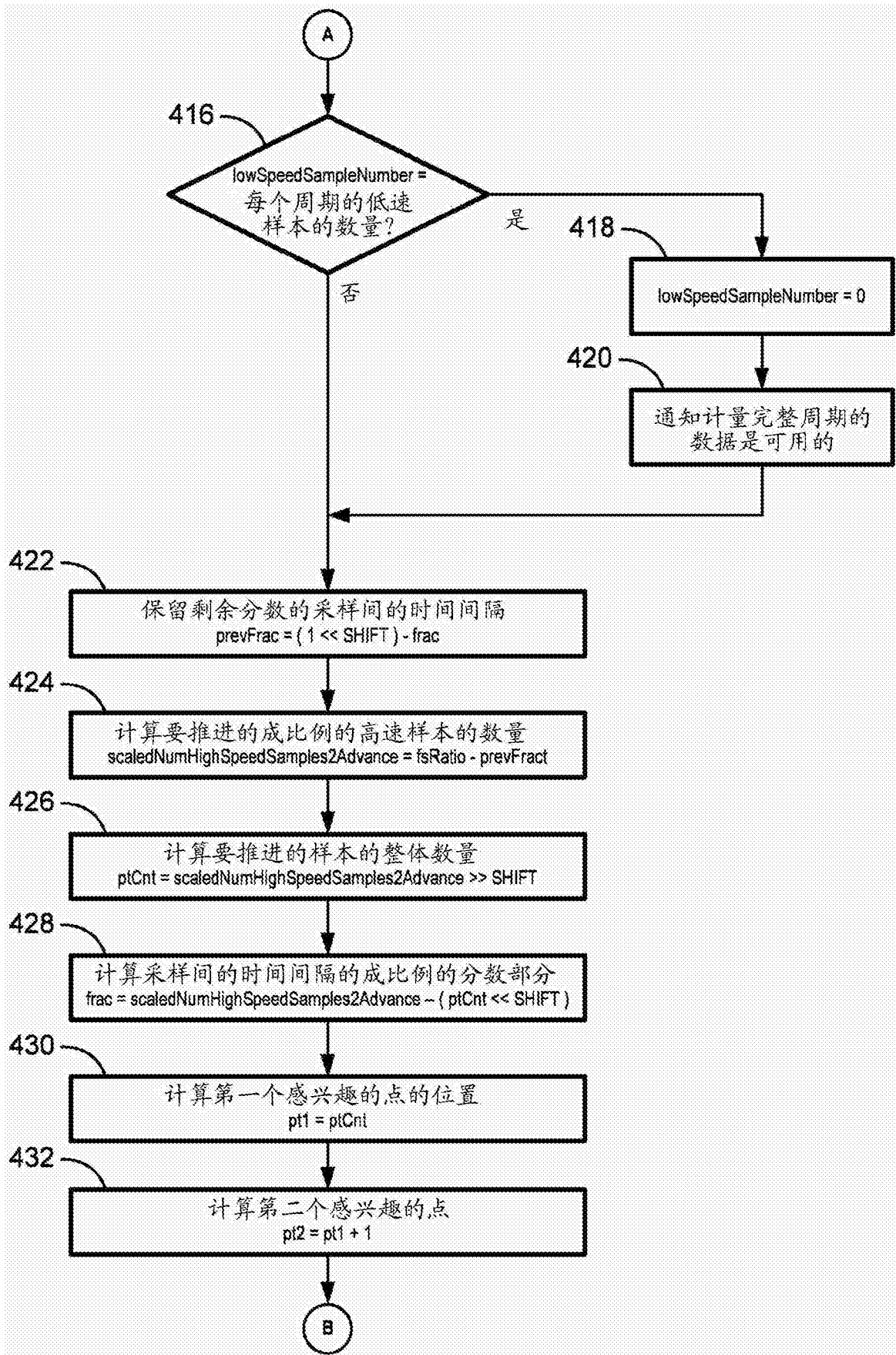


图4B