

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3879110号
(P3879110)**

(45) 発行日 平成19年2月7日(2007.2.7)

(24) 登録日 平成18年11月17日(2006.11.17)

(51) Int. Cl.		F I		
HO 4 N	5/92	(2006.01)	HO 4 N	5/92 H
HO 4 N	1/41	(2006.01)	HO 4 N	1/41 B
HO 4 N	7/26	(2006.01)	HO 4 N	7/13 Z

請求項の数 6 (全 15 頁)

(21) 出願番号 特願平10-123217 (22) 出願日 平成10年5月6日(1998.5.6) (65) 公開番号 特開平11-317927 (43) 公開日 平成11年11月16日(1999.11.16) 審査請求日 平成17年3月4日(2005.3.4)	(73) 特許権者 000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号 (74) 代理人 100082131 弁理士 稲本 義雄 (72) 発明者 近藤 哲二郎 東京都品川区北品川6丁目7番35号 ソ ニー株式会社内 (72) 発明者 中屋 秀雄 東京都品川区北品川6丁目7番35号 ソ ニー株式会社内 審査官 加藤 恵一 最終頁に続く
---	--

(54) 【発明の名称】 記憶装置およびデータ処理方法

(57) 【特許請求の範囲】

【請求項1】

画像を階層符号化して記憶する記憶装置であって、
下位階層の画像から上位階層の画像を求める上位階層算出手段と、
前記下位階層の画像のアクティビティを算出するアクティビティ算出手段と、
前記下位階層のアクティビティを記憶するアクティビティ記憶手段と、
前記上位階層の画像を記憶する画像記憶手段と
を備え、
前記アクティビティ記憶手段は、前記下位階層の画像を記憶し、
前記上位階層算出手段は、前記アクティビティ記憶手段に記憶された前記下位階層の画
像から前記上位階層の画像を求め、
前記画像記憶手段は、前記上位階層算出手段が求めた前記上位階層の画像を記憶し、
前記アクティビティ算出手段は、前記アクティビティ記憶手段に記憶された前記下位階
層の画像、および前記画像記憶手段に記憶された前記上位階層の画像から、前記下位階層
のアクティビティを算出し、
前記アクティビティ記憶手段は、前記アクティビティ算出手段が算出した前記下位階層
のアクティビティを、前記下位階層の画像に替えて記憶し、
前記上位階層算出手段、アクティビティ算出手段、アクティビティ記憶手段、および画
像記憶手段が1チップ上に形成されている
ことを特徴とする記憶装置。

10

20

【請求項 2】

前記上位階層算出手段は、前記下位階層の画像の M 画素から、前記上位階層の画像の 1 画素を求める

ことを特徴とする請求項 1 に記載の記憶装置。

【請求項 3】

前記アクティビティ算出手段は、前記下位階層の画像の M 画素それぞれのアクティビティを、その M 画素から求められた前記上位階層の画像の 1 画素を用いて求める

ことを特徴とする請求項 2 に記載の記憶装置。

【請求項 4】

下位階層の画像のアクティビティを記憶するアクティビティ記憶手段と、

上位階層の画像を記憶する画像記憶手段と

を 1 チップ上に備え、画像を階層符号化して記憶する記憶装置におけるデータ処理方法であって、

前記アクティビティ記憶手段に、前記下位階層の画像を書き込み、

前記アクティビティ記憶手段から、前記下位階層の画像を読み出し、

前記下位階層の画像から前記上位階層の画像を求め、

前記画像記憶手段に、前記上位階層の画像を書き込み、

前記アクティビティ記憶手段から、前記下位階層の画像を読み出すとともに、前記画像記憶手段から、前記上位階層の画像を読み出し、その下位階層および上位階層の画像から、前記下位階層のアクティビティを算出し、

前記下位階層のアクティビティを、前記下位階層の画像に替えて、前記アクティビティ記憶手段に書き込む

ことを特徴とするデータ処理方法。

【請求項 5】

前記下位階層の画像の M 画素から、前記上位階層の画像の 1 画素を求める

ことを特徴とする請求項 4 に記載のデータ処理方法。

【請求項 6】

前記下位階層の画像の M 画素それぞれのアクティビティを、その M 画素から求められた前記上位階層の画像の 1 画素を用いて求める

ことを特徴とする請求項 5 に記載のデータ処理方法。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、記憶装置およびデータ処理方法に関し、特に、例えば、画像を階層符号化して記憶する場合に用いて好適な記憶装置およびデータ処理方法に関する。

【0002】**【従来の技術】**

例えば、図 7 に示すように、高解像度の画像データ（原画像）を、最下位階層または第 1 の階層の画像データとして、それより画素数の少ない第 2 の階層の画像データを形成し、さらに、それより画素数の少ない第 3 の階層の画像データを形成し、以下、同様にして、所定の最上位階層（図 7 では、第 K 階層）までの画像データを形成する符号化手法がある。このような符号化は、階層符号化と呼ばれ、各階層の画像データは、その階層に対応した解像度（画素数）のモニタで表示される。従って、ユーザ側では、階層符号化された画像データのうち、自身が有するモニタの解像度に対応するものを選択することで、その画像データを視聴することができる。なお、上位階層の画素（画像データ）は、例えば、下位階層の画像を構成する画素の幾つかを加算することで求められる。

【0003】

ところで、ある解像度の画像データを最下位階層（第 1 階層）の画像データとして、上位階層の画像データを、順次形成し、それらのすべてを、そのまま記憶や伝送などする場合には、最下位階層の画像データだけを記憶等する場合に比較して、上位階層の画像データ

10

20

30

40

50

の分だけ、記憶容量や伝送容量が余計に必要となる。

【0004】

そこで、そのような記憶容量等の増加を低減する階層符号化方法を、本件出願人は先に提案している。

【0005】

即ち、例えば、いま、下位階層の画像を構成する 2×2 画素（横 $\times$ 縦）を1ブロックとして、そのブロックを構成する4画素の加算値を、上位階層の画素（画素値）とする階層符号化を行う場合においては、図8（A）に示すように、下位階層（図8では、第 k 階層）の画像を構成する 2×2 画素 x_1, x_2, x_3, x_4 の加算値 y が求められ、これが、上位階層（図8では、第 $k+1$ 階層）の画素（画素値）とされる。下位階層の画像の他のブロックについても、同様にして4画素の加算値が求められ、これにより、上位階層の画像が形成される。

10

【0006】

この場合、上位階層の画素 y と、その画素 y を求めるのに用いた下位階層の4画素 x_1 乃至 x_4 を、全部記憶などさせたのでは、上述のように、上位階層の画素 y の分だけ余分に記憶容量等が必要となる。

【0007】

そこで、図8（A）に示すように、上位階層の画素 y を、下位階層の 2×2 画素 x_1 乃至 x_4 のうちの、例えば、右下の画素 x_4 と置き換える。これにより、下位階層は、画素 x_1 乃至 x_3 および y で構成されることになる。

20

【0008】

以上のようにすることで、全画素数は 2×2 の4画素となり、元の下位階層の画素数と変わらない。従って、この場合、記憶容量等の増加を低減することができる。

【0009】

一方、以上のような階層符号化において、画素 y と替えられた画素 x_4 の復号は、次のようにして行うことができる。

【0010】

即ち、画素 y は、画素 x_1 乃至 x_4 の加算値であるから、式 $y = x_1 + x_2 + x_3 + x_4$ が成り立つ。従って、画素 x_4 は、図8（B）に示すように、画素 y から、画素 x_1 乃至 x_3 を減算することで、即ち、式 $x_4 = y - (x_1 + x_2 + x_3)$ を演算することで求めることができる。

30

【0011】

ここで、以上のような階層符号化により得られる画素数は、上述のように、下位階層の画素数と変わらないが、上位階層の画素 y は、図9に示すように、LSB（Least Significant Bit）を揃えた形で、下位階層の4つの画素 x_1 乃至 x_4 を加算することにより求められるため、そのデータ長（ビット長）は、画素 x_1 乃至 x_4 それぞれと比較して、2ビットだけ長くなる。

【0012】

なお、上位階層の画素 y を、下位階層の4つの画素 x_1 乃至 x_4 の加算値ではなく、例えば、平均値とすることで、上述のようなデータ長の増加を避けることができるが、この場合には、データの可逆性は失われる（上述の式 $x_4 = y - (x_1 + x_2 + x_3)$ によって、下位階層の画素 x_4 の正確な値を求めることができなくなる）。

40

【0013】

【発明が解決しようとする課題】

ところで、以上のように、下位階層の画素の加算値（あるいは、平均値など）を、上位階層のデータとする階層符号化を行う1チップの記憶装置を、本件出願人は先に提案しているが（例えば、特願平9-178010号（平成9年7月3日出願））、この記憶装置が出力するのは、各階層の画像を構成する画素であるため、例えば、解像度の低い画像が、徐々に、解像度の高い画像に変化していくような表示（以下、適宜、プログレッシブ表示という）を行うには、記憶装置の外部で、画像のアクティビティを計算する必要があった

50

。

【 0 0 1 4 】

即ち、プログレッシブ表示は、例えば、上位階層の画像（解像度の低い画像）に、下位階層の画像（解像度の高い画像）のアクティビティを加算することで実現することができる。具体的には、例えば、上述のように、下位階層の4つの画素 x_1 乃至 x_4 を加算値 y を、上位階層の1画素とする場合においては、下位階層の画素 x_i （ここでは、 $i = 1, 2, 3, 4$ ）のアクティビティ z_i は、例えば、式 $z_i = 4x_i - y$ と表すことができる。この場合、下位階層の画素 x_i は、式 $x_i = (y + z_i) / 4$ で求めることができる。従って、最上位階層の画像に、その1つ下の階層のアクティビティを加算し、その結果得られる画像に、さらにその1つ下の階層のアクティビティを加算し、以下、同様にして、順次、下位階層のアクティビティを加算していくことで、解像度の低い最上位階層の画像を、徐々に、解像度の高い画像に変化させていくことができる。

10

【 0 0 1 5 】

以上から、記憶装置が、各階層の画像を構成する画素を出力する場合において、プログレッシブ表示を行うときには、外部の回路で、式 $z_i = 4x_i - y$ を演算し、アクティビティを求める必要があり、このように外部の回路を用いる場合には、記憶装置の処理速度が制限され、また、その全体が大型化する課題があった。

【 0 0 1 6 】

本発明は、このような状況に鑑みてなされたものであり、外付けの回路を用いなくても、画像のアクティビティを得ることができるようにするものである。

20

【 0 0 1 7 】

【課題を解決するための手段】

本発明の記憶装置は、下位階層の画像から上位階層の画像データを求める上位階層算出手段と、下位階層の画像のアクティビティを算出するアクティビティ算出手段と、下位階層のアクティビティを記憶するアクティビティ記憶手段と、上位階層の画像を記憶する画像記憶手段とを備え、アクティビティ記憶手段は、下位階層の画像を記憶し、上位階層算出手段は、アクティビティ記憶手段に記憶された下位階層の画像から上位階層の画像を求め、画像記憶手段は、上位階層算出手段が求めた上位階層の画像を記憶し、アクティビティ算出手段は、アクティビティ記憶手段に記憶された下位階層の画像、および画像記憶手段に記憶された上位階層の画像から、下位階層のアクティビティを算出し、アクティビティ記憶手段は、アクティビティ算出手段が算出した下位階層のアクティビティを、下位階層の画像に替えて記憶し、上位階層算出手段、アクティビティ算出手段、アクティビティ記憶手段、および画像記憶手段が1チップ上に形成されていることを特徴とする。

30

【 0 0 1 8 】

本発明のデータ処理方法は、アクティビティ記憶手段に、下位階層の画像を書き込み、アクティビティ記憶手段から、下位階層の画像を読み出し、下位階層の画像から上位階層の画像を求め、画像記憶手段に、上位階層の画像を書き込み、アクティビティ記憶手段から、下位階層の画像を読み出すとともに、画像記憶手段から、上位階層の画像を読み出し、その下位階層および上位階層の画像から、下位階層のアクティビティを算出し、下位階層のアクティビティを、下位階層の画像に替えて、アクティビティ記憶手段に書き込むことを特徴とする。

40

【 0 0 1 9 】

本発明の記憶装置においては、アクティビティ記憶手段は、下位階層の画像を記憶し、上位階層算出手段は、アクティビティ記憶手段に記憶された下位階層の画像から上位階層の画像を求める。画像記憶手段は、上位階層算出手段が求めた上位階層の画像を記憶し、アクティビティ算出手段は、アクティビティ記憶手段に記憶された下位階層の画像、および画像記憶手段に記憶された上位階層の画像から、下位階層のアクティビティを算出する。アクティビティ記憶手段は、アクティビティ算出手段が算出した下位階層のアクティビティを、下位階層の画像に替えて記憶する。そして、上位階層算出手段、アクティビティ算出手段、アクティビティ記憶手段、および画像記憶手段が1チップ上に形成されている

50

。

【0020】

本発明のデータ処理方法においては、アクティビティ記憶手段に、下位階層の画像を書き込み、アクティビティ記憶手段から、下位階層の画像を読み出し、下位階層の画像から上位階層の画像を求め、画像記憶手段に、上位階層の画像を書き込み、アクティビティ記憶手段から、下位階層の画像を読み出すとともに、画像記憶手段から、上位階層の画像を読み出し、その下位階層および上位階層の画像から、下位階層のアクティビティを算出し、下位階層のアクティビティを、下位階層の画像に替えて、アクティビティ記憶手段に書き込むようになされている。

【0021】

10

【発明の実施の形態】

図1は、本発明を適用した階層メモリのアーキテクチャの概要を示している。

【0022】

階層メモリでは、ある隣接する2つの階層である第 k 階層と第 $k+1$ 階層に注目した場合、演算器1において、下位階層である第 k 階層の、例えば、 2×2 画素 x_1 乃至 x_4 の加算値（総和）が求められ、これが、上位階層である第 $k+1$ 階層の画素 y とされる。第 k 階層の、他の 2×2 画素についても、同様にしてそれらの加算値が求められ、これにより、第 $k+1$ 階層の、他の画素が求められる。

【0023】

さらに、階層メモリでは、演算器 2_i において（ $i = 1, 2, 3, 4$ ）、例えば、第 k 階層の画素 x_i が、第 $k+1$ 階層の1画素 y を求めるのに用いた第 k 階層の画素の数である4倍され（例えば、2ビット左シフトされ）、その4倍された画素 x_i から、第 $k+1$ 階層の画素 y が減算されることで、即ち、式 $z_i = 4x_i - y$ が演算されることで、第 k 階層の画素 x_i のアクティビティ z_i が求められる。従って、階層メモリでは、図2（A）に示すように、第 k 階層の画素 x_1, x_2, x_3, x_4 それぞれと、第 $k+1$ 階層の画素 y との差分を、MSB（Most Significant Bit）を揃えた形で求めることにより、図2（B）に示すように、第 k 階層のアクティビティ z_1, z_2, z_3, z_4 が求められる。第 k 階層の、他の画素のアクティビティも、同様にして求められる。

20

【0024】

ここで、前述したように、第 $k+1$ 階層の画素 y のビット数は、第 k 階層の画素 x_1, x_2, x_3, x_4 それぞれより2ビットだけ多くなる（図2（A））。また、第 k 階層のアクティビティ z_i は、第 k 階層の画素 x_i と第 $k+1$ 階層の画素 y とを用いた減算を行うことにより求められるため、そのビット数は、第 $k+1$ 階層の画素 y のビット数に、符号ビットとなる1ビットを加えたビット数となる。なお、第 k 階層のアクティビティ z_i の値は、0付近に集中するため、それに割り当てるビット数は、第 $k+1$ 階層の画素のビット数と同一であっても、基本的に大きな問題は生じない。但し、可逆性を完全に維持するためには（第 k 階層のアクティビティと、第 $k+1$ 階層の画素とから、第 k 階層の画素の正確な値を求めるためには）、第 k 階層のアクティビティ z_i に割り当てるビット数は、第 $k+1$ 階層の画素 y のビット数に1を加えたビット数とする必要がある。

30

【0025】

40

以上のようにして、下位階層の画像から、上位階層の画像を求め、さらに、下位階層および上位階層の画像を用いて、下位階層のアクティビティを求めることを繰り返すことで、図3に示すように、最上位階層（図3では、第 K 階層）のデータだけが、第 $K-1$ 階層の 2×2 画素単位の加算値でなり、第 $K-1$ 階層以下の階層のデータが、各階層のアクティビティでなる階層符号化結果を得ることができる。

【0026】

階層メモリでは、この最上位階層（第 K 階層）の画素と、第 $K-1$ 階層以下の階層それぞれのアクティビティとが記憶される。

【0027】

次に、図4は、階層メモリの構成例を示している。

50

【 0 0 2 8 】

いま、例えば、階層メモリが、 K 階層までの階層符号化が可能なものとする、階層メモリは、1個のデコーダ10、 $K-1$ 個のセクタ11₁乃至11 _{$K-1$} 、 K 個のライトバッファ12₁乃至12 _{K} 、 K 個のメモリ13₁乃至13 _{K} 、 K 個のリードバッファ14₁乃至14 _{K} 、 $K-1$ 個のアクティビティ算出回路15₁乃至15 _{$K-1$} 、1個の制御部31で構成される。なお、これらは、例えば、すべて1チップのCMOS (Complementary Metal Oxide Semiconductor) 上などに構成に形成されており、従って、階層メモリは、1のIC (Integrated Circuit) またはLSI (Large Scale IC) として構成されている。

【 0 0 2 9 】

デコーダ10には、例えば、階層符号化対象の原画像を構成する各画素の位置に対応するアドレスが供給されるようになされており、デコーダ10は、そのアドレスを必要に応じて加工し、さらに、所定のタイミングで、メモリ13 _{k} ($k = 1, 2, \dots, K$) に供給するようになされている。即ち、これにより、メモリ13 _{k} には、データの書き込みまたは読み出しの対象となるアドレスが与えられるようになされている。

10

【 0 0 3 0 】

セクタ11 _{k} ($k = 1, 2, \dots, K-1$) は、そこに供給されるセレクト信号 S_k ($k = 1, 2, \dots, K-1$) に対応して、その入力端子I1またはI2に供給されるデータのうちのいずれか一方を選択し、ライトバッファ12 _{k} に供給するようになされている。なお、セクタ11₁を除くセクタ11 _{k} の入力端子I1またはI2には、アクティビティ算出回路15 _{$k-1$} の出力またはアクティビティ算出回路15 _{k} の出力が、それぞれ供給されるようになされている。また、セクタ11₁の入力端子I1またはI2には、階層符号化対象の原画像またはアクティビティ算出回路15₁の出力が、それぞれ供給されるようになされている。

20

【 0 0 3 1 】

ライトバッファ12 _{k} ($k = 1, 2, \dots, K$) は、セクタ11 _{k} から供給されるデータを一時記憶し、そのデータに対応するアドレスが、デコーダ10からメモリ13 _{k} に供給されるのを待って、記憶したデータを、メモリ13 _{k} に供給して記憶させるようになされている。なお、ライトバッファ12 _{k} には、アクティビティ算出回路15 _{$k-1$} の出力が、直接供給されるようになされている。

【 0 0 3 2 】

メモリ13 _{k} ($k = 1, 2, \dots, K$) (画像記憶手段) (アクティビティ記憶手段) は、ライトバッファ12 _{k} から供給されるデータを、デコーダ10から供給されるアドレスに、第 k 階層のデータとして記憶するようになされている。また、メモリ13 _{k} は、デコーダ10から供給されるアドレスに記憶されているデータを読み出し、リードバッファ14 _{k} に供給するようになされている。リードバッファ14 _{k} ($k = 1, 2, \dots, K$) は、メモリ13 _{k} から読み出されたデータを一時記憶し、アクティビティ算出回路15 _{$k-1$} および15 _{k} に供給し、または、第 k 階層のデータとして出力するようになされている。なお、リードバッファ14₁は、メモリ13₁から読み出されたデータを、アクティビティ算出回路15₁にのみ供給するか、または第1階層 (ここでは、最下位階層) のデータとして出力するようになされている。また、リードバッファ14 _{k} は、メモリ13 _{k} から読み出されたデータを、アクティビティ算出回路15 _{$k-1$} のみに供給するか、または第 K 階層 (ここでは、最上位階層) のデータとして出力するようになされている。

30

40

【 0 0 3 3 】

アクティビティ算出回路15 _{k} ($k = 1, 2, \dots, K-1$) (上位階層算出手段) (アクティビティ算出手段) は、リードバッファ14 _{k} から供給される第 k 階層のデータを用いて、第 $k+1$ 階層のデータを算出し、セクタ11 _{$k+1$} の入力端子I1に供給する (但し、アクティビティ算出回路15 _{$K-1$} は、第 K 階層のデータを、ライトバッファ12 _{K} に供給する) ようになされている。また、アクティビティ算出回路15 _{k} は、リードバッファ14 _{k} から供給される第 k 階層のデータと、リードバッファ14 _{$k+1$} から供給される第 $k+1$ 階層のデータとを用いて、第 k 階層のアクティビティを算出し、セクタ11 _{k} の入

50

力端子 I 2 に供給するようになされている。

【 0 0 3 4 】

即ち、アクティビティ算出回路 1 5_k は、シフタ 2 1_k、セクタ 2 2_k、および演算器 2 3_k で構成されている。シフタ 2 1_k は、リードバッファ 1 4_k から供給される第 k 階層のデータを、例えば、2 ビットだけ左シフトすることにより 4 倍し、セクタ 2 2_k の入力端子 I 2 に供給するようになされている。そして、セクタ 2 2_k の入力端子 I 1 には、リードバッファ 1 4_k から第 k 階層のデータが供給されるようになされており、セクタ 2 2_k は、そこに供給されるセレクト信号 S E L_k (k = 1 , 2 , . . . , K - 1) に対応して、入力端子 I 1 または I 2 に供給されるデータのうちのいずれか一方を選択し、演算器 2 3_k の入力端子 I 1 に供給するようになされている。演算器 2 3_k の入力端子 I 2 には、リードバッファ 1 4₂ から第 k + 1 階層のデータが供給されるようになされており、演算器 2 3_k は、その入力端子 I 1 または I 2 に供給されるデータを用い、制御信号 A / S (Add/Sub) にしたがって加算または減算を行い、その加算結果または減算結果を出力するようになされている。

10

【 0 0 3 5 】

制御部 3 1 は、セレクト信号 S_k , S E L_k、制御信号 A / S など、必要なブロックに与え、また、その他の必要な処理を行うようになされている。

【 0 0 3 6 】

次に、図 5 のフローチャートを参照して、図 4 の階層メモリにおけるデータの書き込み処理について説明する。

20

【 0 0 3 7 】

階層符号化の対象となる原画像が供給されると、まず最初に、ステップ S 1 において、制御部 3 1 は、階層をカウントする変数 n を 1 に初期化する。そして、ステップ S 2 に進み、原画像を構成する各画素が、メモリ 1 3₁ の対応するアドレスに記憶される。即ち、階層符号化の対象となる原画像は、セクタ 1 1₁ の入力端子 I 1 に供給される。このとき、制御部 3 1 は、入力端子 I 1 を選択するように指示するセレクト信号 S₁ をセクタ 1 1₁ に与えるようになされており、これにより、原画像を構成する画素は、セクタ 1 1₁ で選択され、ライトバッファ 1 2₁ を介して、メモリ 1 3₁ に供給されて記憶される。

【 0 0 3 8 】

以上のようにして、メモリ 1 3₁ に、第 1 階層の画像としての原画像を構成するすべての画素が記憶されると、ステップ S 3 に進み、アクティビティ算出処理が行われ、書き込み処理を終了する。

30

【 0 0 3 9 】

即ち、アクティビティ算出処理では、まず最初に、アクティビティ算出回路 1 5₁ において、メモリ 1 3₁ に記憶された第 1 階層の画像から、図 1 で説明したようにして、第 2 階層の画像が求められ、メモリ 1 3₂ に記憶される。さらに、アクティビティ算出回路 1 5₁ は、メモリ 1 3₁ に記憶された第 1 階層の画像と、メモリ 1 3₂ に記憶された第 2 階層の画像とを用い、図 1 で説明したようにして、第 1 階層のアクティビティを求める。この第 1 階層のアクティビティは、アクティビティ算出回路 1 5₁ から、セクタ 1 1₁ およびライトバッファ 1 2₁ を介して、メモリ 1 3₁ に供給され、既に記憶されている第 1 階層の画像に替えて書き込まれる。

40

【 0 0 4 0 】

そして、アクティビティ算出回路 1 5₂ において、メモリ 1 3₂ に記憶された第 2 階層の画像から、上述の場合と同様に、第 3 階層の画像が求められ、メモリ 1 3₃ に記憶される。さらに、アクティビティ算出回路 1 5₂ は、メモリ 1 3₂ に記憶された第 2 階層の画像と、メモリ 1 3₃ に記憶された第 3 階層の画像とを用いて、上述の場合と同様に、第 2 階層のアクティビティを求める。この第 2 階層のアクティビティは、アクティビティ算出回路 1 5₂ から、セクタ 1 1₂ およびライトバッファ 1 2₂ を介して、メモリ 1 3₂ に供給され、既に記憶されている第 2 階層の画像に替えて書き込まれる。

【 0 0 4 1 】

50

以下、同様にして、第4階層以上の階層の画像および第3階層以上の階層のアクティビティが、順次求められていく。そして、いま、N階層(N = K)の階層符号化を行うとすると、最終的に、メモリ13₁乃至13_{N-1}には、第1乃至第N-1階層のアクティビティがそれぞれ書き込まれ、メモリ13_Nには、第N階層(最上位階層)の画像が書き込まれる。

【0042】

次に、図6のフローチャートを参照して、図5のステップS3におけるアクティビティ算出処理について、さらに説明する。

【0043】

アクティビティ算出処理では、まず最初に、ステップS11において、第n階層の画像を構成する画素を記憶しているメモリ13_nに対して、第n+1階層の1画素を求めるのに用いる2×2画素のブロックを構成する4画素 x_1, x_2, x_3, x_4 が記憶されているアドレスが、デコーダ10によって与えられ、これにより、メモリ13_nから、第n階層の画素 x_1, x_2, x_3, x_4 が順次読み出され、リードバッファ14_nを介して、アクティビティ算出回路15_nに供給される。

【0044】

アクティビティ算出回路15_nでは、ステップS12において、第n階層の4画素 x_1, x_2, x_3, x_4 の加算値yが求められる。即ち、リードバッファ14_nを介して供給される第n階層の4画素 x_1, x_2, x_3, x_4 は、セクタ22_nの入力端子I1に供給される。このとき、制御部31は、入力端子I1を選択するように指示するセレクト信号SEL_nを、セクタ22_nに与えるようになされており、従って、セクタ22_nでは、その入力端子I1に供給される第n階層の4画素 x_1, x_2, x_3, x_4 が選択され、演算器23_nの入力端子I1に供給される。

【0045】

このとき、制御部31は、入力端子I1に供給されるデータの加算を行うように指示する制御信号A/Sを、演算器23_nに与えるようになされており、従って、演算器23_nでは、その入力端子I1に供給される第n階層の4画素 x_1, x_2, x_3, x_4 の加算値yが求められ、即ち、式 $y = x_1 + x_2 + x_3 + x_4$ にしたがった演算が行われ、その結果得られる加算値yが、セクタ11_{n+1}の入力端子I1に供給される。

【0046】

このとき、制御部31は、入力端子I1を選択するように指示するセレクト信号S_{n+1}を、セクタ11_{n+1}に与えており、従って、セクタ11_{n+1}では、その入力端子I1に供給される加算値yが選択され、ライトバッファ12_{n+1}を介して、メモリ13_{n+1}に供給される。

【0047】

このとき、デコーダ10は、メモリ13_{n+1}に対して、第n階層の4画素 x_1, x_2, x_3, x_4 から求められる第n+1階層の画素に対応するアドレスを与えており、これにより、ステップS13において、第n階層の4画素 x_1, x_2, x_3, x_4 の加算値yは、第n+1階層の画素として、メモリ13_{n+1}の対応するアドレスに記憶される。

【0048】

ここで、メモリ13₁乃至13_kそれぞれに対しては、デコーダ10から必要なアドレスが供給されるものとし、以下では、アドレスについての記載は、適宜省略する。

【0049】

その後、ステップS14において、制御部31は、画素数をカウントする変数iを1に初期化し、ステップS15に進む。ステップS15では、メモリ13_nから第n階層の画素 x_i が読み出されるとともに、その画素 x_i を用いて求められた第n+1階層の画素(加算値y)が、メモリ13_{n+1}から読み出される。メモリ13_nから読み出された第n階層の画素 x_i 、またはメモリ13_{n+1}から読み出された第n+1階層の画素yは、リードバッファ14_nまたは14_{n+1}をそれぞれ介して、いずれも、アクティビティ算出回路15_nに供給される。

10

20

30

40

50

【 0 0 5 0 】

アクティビティ算出回路 1 5_nでは、ステップ S 1 6において、そこに供給される第 n 階層の画素 x_i および第 n + 1 階層の画素 y を用いて、第 n 階層の画素 x_i のアクティビティ z_i が求められる。

【 0 0 5 1 】

即ち、第 n 階層の画素 x_i は、シフタ 2 1_n に供給され、2 ビット左シフトされることで、4 倍にされた後、セレクタ 2 2_n の入力端子 I 2 に供給される。このとき、制御部 3 1 は、入力端子 I 2 を選択するように指示するセレクト信号 S E L_n を、セレクタ 2 2_n に与えるようになされており、従って、セレクタ 2 2_n では、その入力端子 I 2 に供給される第 n 階層の画素 x_i を 4 倍したものが選択され、演算器 2 3_n の入力端子 I 1 に供給される。

10

【 0 0 5 2 】

一方、第 n + 1 階層の画素 y は、演算器 2 3_n の入力端子 I 2 に供給される。そして、このとき、制御部 3 1 は、入力端子 I 1 に供給されるデータから、入力端子 I 2 に供給されるデータを減算するように指示する制御信号 A / S を、演算器 2 3_n に与えるようになされており、従って、演算器 2 3_n では、その入力端子 I 1 に供給される第 n 階層の画素 x_i を 4 倍したもののから、第 n + 1 階層の画素 y が減算され、第 n 階層の画素 x_i のアクティビティ z_i が求められる。即ち、演算器 2 3_n では、式 $z_i = 4 x_i - y$ にしたがつた演算が行われ、その結果得られる画素 x_i のアクティビティ z_i が、セレクタ 1 1_n の入力端子 I 2 に供給される。

【 0 0 5 3 】

20

このとき、制御部 3 1 は、入力端子 I 2 を選択するように指示するセレクト信号 S_n を、セレクタ 1 1_n に与えており、従って、セレクタ 1 1_n では、その入力端子 I 2 に供給されるアクティビティ z_i が選択され、ライトバッファ 1 2_n を介して、メモリ 1 3_n に供給される。これにより、ステップ S 1 7において、画素 x_i のアクティビティ z_i が、画素 x_i に替えて、メモリ 1 3_n に書き込まれる。

【 0 0 5 4 】

その後、ステップ S 1 8に進み、制御部 3 1において、変数 i が 1 だけインクリメントされ、ステップ S 1 9に進み、変数 i が 4 より大きいかが判定される。ステップ S 1 9において、変数 i が 4 より大きくないと判定された場合、ステップ S 1 5に戻り、同様の処理を繰り返す。

30

【 0 0 5 5 】

また、ステップ S 1 9において、変数 i が 4 より大きいと判定された場合、即ち、第 n 階層の 4 画素 x_1, x_2, x_3, x_4 それぞれのアクティビティ z_1, z_2, z_3, z_4 の算出が終了した場合、ステップ S 2 0に進み、第 n 階層を構成する、2 × 2 画素のブロックすべてについて、ステップ S 1 1乃至 S 1 9の処理を行ったかどうか判定される。ステップ S 2 0において、第 n 階層を構成する、2 × 2 画素のブロックすべてについて、まだ処理を行っていないと判定された場合、ステップ S 1 1に戻り、まだ、処理を行っていないブロックを、新たに処理対象として、ステップ S 1 1以下の処理を繰り返す。

【 0 0 5 6 】

また、ステップ S 2 0において、第 n 階層を構成する、2 × 2 画素のブロックすべてについて、処理を行ったと判定された場合、ステップ S 2 1に進み、制御部 3 1において、変数 n が 1 だけインクリメントされる。そして、ステップ S 2 2に進み、制御部 3 1において、変数 n が、最上位階層である N に等しいかが判定される。ステップ S 2 2において、変数 n が、最上位階層である N に等しくないと判定された場合、ステップ S 2 3に進み、アクティビティ算出処理が行われ、リターンする。即ち、図 6 に示したアクティビティ算出処理が再帰的に呼び出される。

40

【 0 0 5 7 】

一方、ステップ S 2 2において、変数 n が、最上位階層である N に等しいと判定された場合、ステップ S 2 3をスキップしてリターンする。

【 0 0 5 8 】

50

以上により、メモリ 13_1 乃至 13_{N-1} には、第 1 階層乃至第 $N-1$ 階層のアクティビティが書き込まれ、メモリ 13_N には、第 N 階層の画像を構成する画素（画素値）が書き込まれる。

【0059】

次に、以上のようにして書き込まれた第 1 階層乃至第 $N-1$ 階層のアクティビティ、および第 N 階層の画像を構成する画素の読み出し処理について説明する。

【0060】

読み出し時においては、所望のメモリ 13_k （ここでは、 $k = 1, 2, \dots, N$ ）に対して、デコーダ 10 からアドレスを与えることで、そのメモリ 13_k から、第 k 階層のデータが読み出され、リードバッファ 14_k を介して、階層メモリから出力される。

10

【0061】

即ち、本実施の形態では、第 1 階層乃至第 $N-1$ 階層のデータとしては、第 1 階層乃至第 $N-1$ 階層のアクティビティが、第 N 階層のデータとしては、第 N 階層の画像を構成する画素（第 $N-1$ 階層の 2×2 画素の加算値）が、それぞれ出力される。

【0062】

従って、外付けの回路を用いずに、画像のアクティビティを得ることができるので、プログレッシブ表示を、容易に行うことができる。即ち、まず最初に、第 N 階層のデータをメモリ 13_N から読み出して表示し、その後、第 $N-1$ 階層のデータをメモリ 13_{N-1} から読み出して、表示画像（いまの場合、第 N 階層の画像）に加算する。次に、第 $N-1$ 階層のデータを読み出して、表示画像（いまの場合、第 $N-1$ 階層の画像）に加算する。以下、同様にして、第 $N-2$ 階層以下の階層のデータを順次読み出して、表示画像に加算していくことにより、表示画像は、解像度の低い画像から、徐々に、解像度の高い画像に変化していく。

20

【0063】

さらに、上述したように、アクティビティは、0 付近に集中するため、例えば、非線形量子化やエントロピー符号化などを施すことにより、そのデータ量を効率的に削減することができる。

【0064】

なお、図 4 において、メモリ 13_1 乃至 13_k は、それぞれ物理的に 1 つのメモリである必要はなく、それらのすべてを、1 のメモリで構成することも可能である。この場合、メモリ 13_1 乃至 13_k それぞれに対して、1 のメモリの所定の記憶領域を割り当てるようにすれば良い。

30

【0065】

また、本実施の形態では、図 4 の階層メモリを構成する各ブロックを、1 チップ上に構成するようにしたが、これらの各ブロックは、それぞれ独立のチップで構成することも可能であるし、そのうちの 2 以上を、独立のチップで構成することも可能である。

【0066】

さらに、本発明は、インターレース走査される画像およびノンインターレース走査される画素のいずれにも適用可能である。

【0067】

40

また、本実施の形態では、下位階層の隣接する 2×2 の 4 画素の加算値を、その 1 つ上位の上位階層の画素（画素値）とするようにしたが、上位階層の画素は、下位階層の 2×2 画素以外の M 画素から生成することも可能である（但し、 M は 2 以上）。

【0068】

さらに、図 4 の階層メモリは、基本的には、ハードウェアによって実現されるが、コンピュータに、上述の処理を行わせるようなプログラムを実行させることによって実現可能である。

【0069】

また、本実施の形態では、各階層のデータを、例えば、RAM（Random Access Memory）などに代表されるメモリに記憶させるようにしたが、各階層のデータは、その他、例えば

50

、磁気ディスクや、光磁気ディスク、磁気テープ、光カードなどの記録媒体に記憶（記録）させるようにすることも可能である。

【0070】

さらに、階層メモリからのデータの読み出しは、1の階層についてだけ行うことも可能であるし、2以上の階層について同時に行うことも可能である。

【0071】

また、本実施の形態では、第 k 階層の画素が、すべて、メモリ 13_k に記憶された後に、第 $k+1$ 階層の画素を求めるようにしたが、その他、例えば、第 $k+1$ 階層の画素の算出は、その画素を求めるのに必要な第 k 階層の 2×2 画素がメモリ 13_k に記憶された時点で行うようにすることも可能である。

10

【0072】

さらに、本実施の形態では、メモリ 13_1 乃至 13_{N-1} には、第1乃至第 $N-1$ 階層のデータとして、対応する階層のアクティビティをそれぞれ記憶させるようにしたが、メモリ 13_1 乃至 13_{N-1} には、従来の階層符号化における場合と同様に、第1乃至第 $N-1$ 階層の画素をそれぞれ記憶させるようにすることも可能である。これは、図6で説明したアクティビティ算出処理において、ステップ $S14$ 乃至 $S19$ の処理をスキップするようにすることで行うことが可能である。

【0073】

また、図4の階層メモリにおいては、前述したように、上位階層の画素 y を、下位階層の 2×2 画素 x_1 乃至 x_4 のうちの、例えば、右下の画素 x_4 と置き換えて記憶するようにすることも可能である。これは、セクタ 11_1 に対するセレクト信号 S_1 の与え方と、メモリ 13_1 に対するアドレスの与え方とを制御することで行うことができる。

20

【0074】

さらに、画像のアクティビティの計算方法は、上述したものに限定されるものではない。

【0075】

また、本実施の形態では、図6のアクティビティ算出処理を再帰的に行うことにより、各階層のデータを、順次求めるようにしたが、アクティビティ算出処理は、アクティビティ算出回路 15_1 乃至 15_{K-1} それぞれにおいて、並列に行うことも可能である。

【0076】

また、本実施の形態では、 $K-1$ 個のアクティビティ算出回路 15_1 乃至 15_{K-1} を設けるようにしたが、アクティビティ算出回路は、1つだけでも良い。但し、この場合、各階層のアクティビティを並列に求めるのは困難となる。

30

【0077】

【発明の効果】

以上の如く、本発明の記憶装置によれば、下位階層の画像から上位階層の画像データを求める上位階層算出手段と、下位階層の画像のアクティビティを算出するアクティビティ算出手段と、下位階層のアクティビティを記憶するアクティビティ記憶手段と、上位階層の画像を記憶する画像記憶手段とが1チップ上に形成されているので、アクティビティを求めて記憶する記憶装置を小型に構成することが可能となる。

さらに、本発明の記憶装置によれば、アクティビティ記憶手段は、下位階層の画像を記憶し、上位階層算出手段は、アクティビティ記憶手段に記憶された下位階層の画像から上位階層の画像を求める。画像記憶手段は、上位階層算出手段が求めた上位階層の画像を記憶し、アクティビティ算出手段は、アクティビティ記憶手段に記憶された下位階層の画像、および画像記憶手段に記憶された上位階層の画像から、下位階層のアクティビティを算出する。アクティビティ記憶手段は、アクティビティ算出手段が算出した下位階層のアクティビティを、下位階層の画像に替えて記憶する。従って、外付けの回路を用いなくても、画像のアクティビティを得ることが可能となる。

40

【0078】

また、本発明のデータ処理方法によれば、アクティビティ記憶手段に、下位階層の画像が書き込まれ、アクティビティ記憶手段から、下位階層の画像が読み出される。さらに、下

50

位階層の画像から上位階層の画像が求められ、画像記憶手段に、上位階層の画像が書き込まれる。また、アクティビティ記憶手段から、下位階層の画像が読み出されるとともに、画像記憶手段から、上位階層の画像が読み出され、その下位階層および上位階層の画像から、下位階層のアクティビティが算出される。そして、下位階層のアクティビティが、下位階層の画像に替えて、アクティビティ記憶手段に書き込まれる。従って、外付けの回路を用いなくても、画像のアクティビティを得ることが可能となる。

【図面の簡単な説明】

【図 1】本発明を適用した階層メモリの一実施の形態の概要を説明するための図である。

【図 2】図 1 の階層メモリの動作を説明するための図である。

【図 3】図 1 の階層メモリによる階層符号化結果を示す図である。

10

【図 4】図 1 の階層メモリの詳細構成例を示すブロック図である。

【図 5】図 4 の階層メモリの書き込み処理を説明するためのフローチャートである。

【図 6】図 5 のステップ S 3 の処理の詳細を説明するためのフローチャートである。

【図 7】従来の階層符号化を説明するための図である。

【図 8】本件出願人が先に提案した階層符号化を説明するための図である。

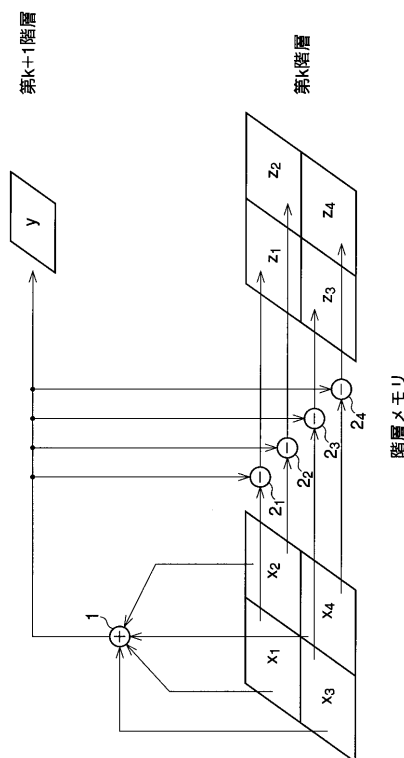
【図 9】従来の階層符号化により得られる上位階層の画素のビット数を説明するための図である。

【符号の説明】

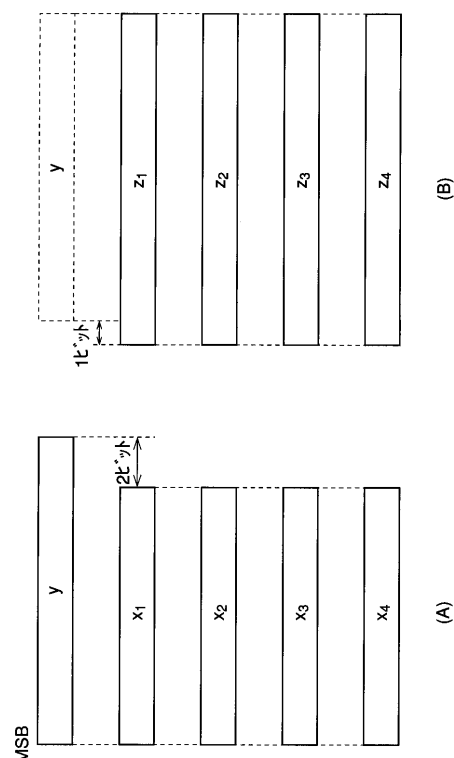
1, 2₁乃至2₄ 演算器, 10 デコーダ, 11₁乃至11_{K-1} セレクタ, 12₁乃至12_K ライトバッファ, 13₁乃至13_K メモリ(画像記憶手段)(アクティビティ記憶手段), 14₁乃至14_K リードバッファ, 15₁乃至15_{K-1} アクティビティ算出回路(上位階層算出手段)(アクティビティ算出手段), 21₁乃至21_{K-1} シフタ, 22₁乃至22_{K-1} セレクタ, 23₁乃至23_{K-1} 演算器

20

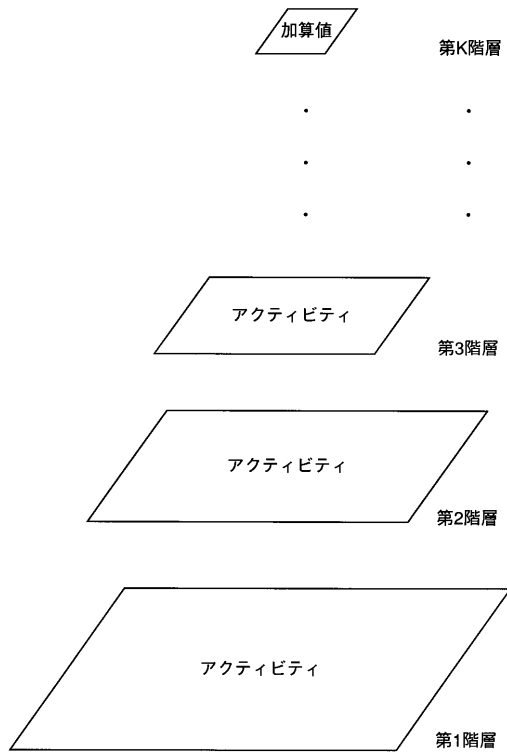
【図 1】



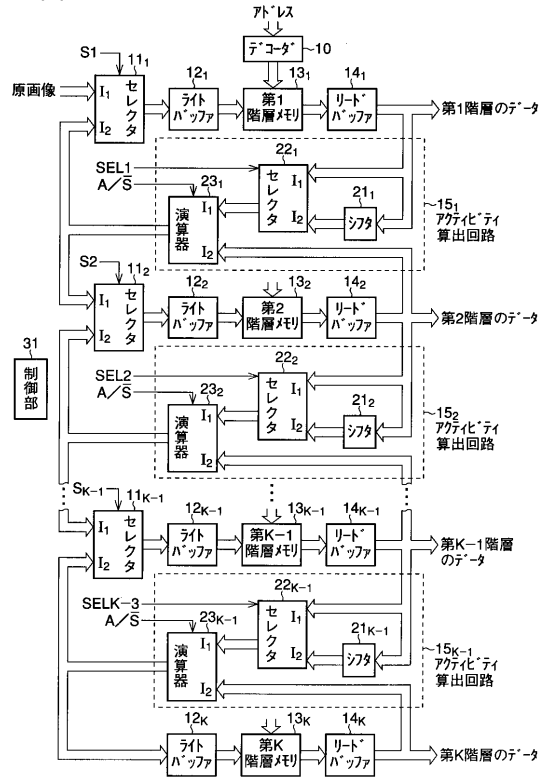
【図 2】



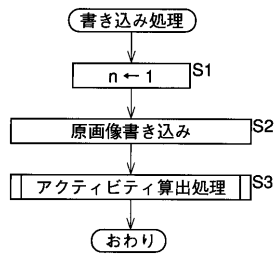
【図 3】



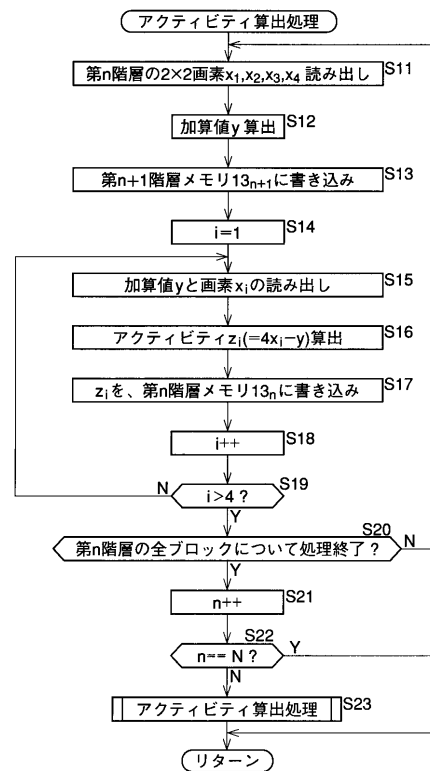
【図 4】



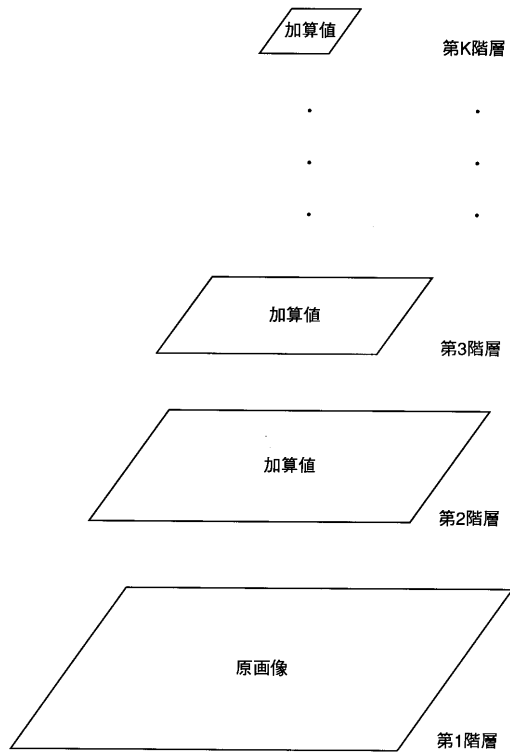
【図 5】



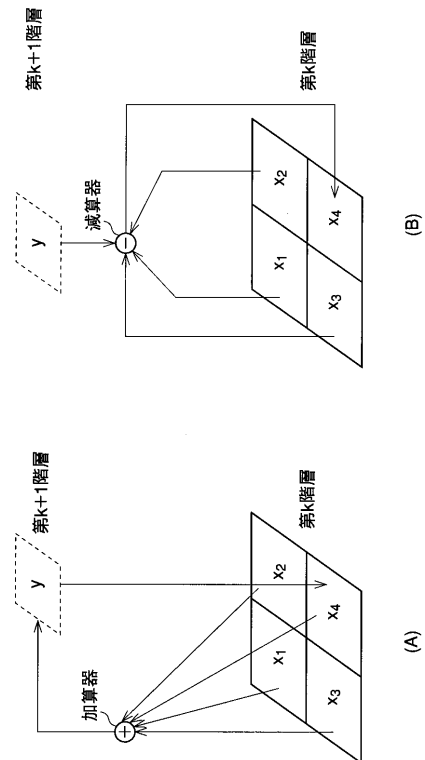
【図 6】



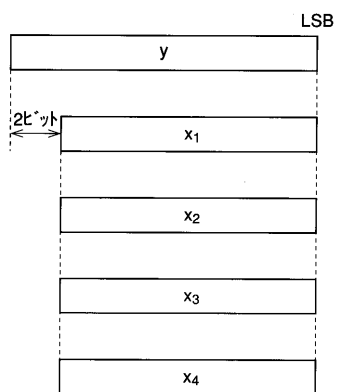
【図 7】



【図 8】



【図 9】



フロントページの続き

- (56)参考文献 特開平09-098369(JP,A)
特開平09-102951(JP,A)
特開平08-237137(JP,A)
特開平08-204969(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H04N 5/76-5/956,7/24-7/68