



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

225 274

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 31 03 82
(21) PV 2286-82

(51) Int. Cl. G 06 F 9/30

(40) Zveřejněno 27 05 83
(45) Vydáno 01 07 85

(75)
Autor vynálezu

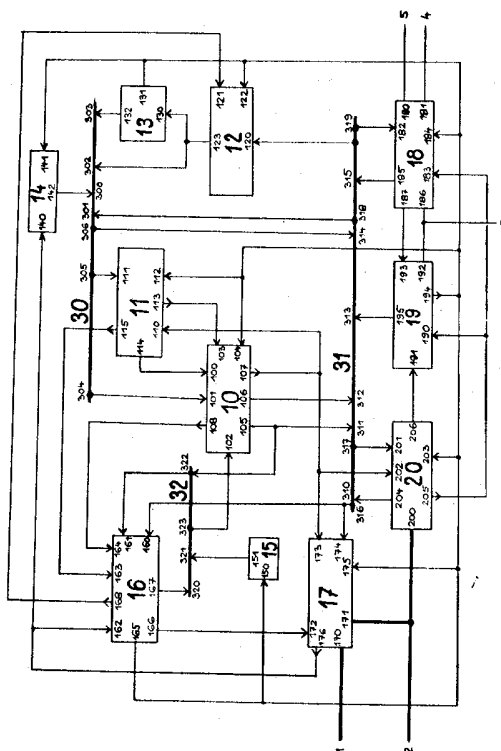
KORVAS ZDENĚK ing. CSc.
KUČERA ADOLF ing.
ZAPLETAL ZDENĚK ing., PRAHA
FANTA PAVEL ing., UNHOŠŤ
ŠMÍD JIŘÍ ing., PRAHA

(54) Operační procesor samočinného počítače

Vynález řeší problém návrhu operačního procesoru, který je určen pro vykonávání instrukcí definovaných souborem operací počítačů JSEP nebo jiných počítačů s obdobným operačním kódem.

Podstatou vynálezu je uspořádání vnitřních bloků procesoru při použití tří vnitřních sběrnic: hlavní vnitřní sběrnice, vnitřní sběrnice operandů a vnitřní sběrnice konstant. Operační procesor podle vynálezu se skládá z aritmetické jednotky, bloku slabikové aritmetiky, zápisníkové paměti, výstupního registru zápisníkové paměti, dále vstupního datového registru, dekodéru konstant, bloku přípravy instrukce, rychlé vyrovnávací paměti, bloku speciálních registrů, řadiče a vnitřního adaptoru. S ostatními částmi počítačů je operační procesor spojen systémem několika sběrnic a vedení.

Vynálezu může být použito při návrhu základních jednotek samočinných počítačů.



Vynález se týká operačního procesoru samočinného počítače se složitým operačním kódem.

Pro procesor existuje celá řada různých zapojení, která se odlišují různou šířkou toku dat do aritmetické a logické jednotky a různým uspořádáním bloků procesoru. Pro výkonnost počítače je rozhodující délka cyklu procesoru, která závisí na zpoždění použitých prvků, hlavně vnitřních pamětí a aritmetických obvodů.

Nevýhodou známých zapojení je to, že výkon počítače pro danou rychlost prvků, a tím i délku cyklu, je omezen a nelze jej dále zvyšovat.

Tuto nevýhodu odstraňuje operační procesor samočinného počítače podle vynálezu, jehož podstata spočívá v tom, že přímá datová sběrnice je připojena na datový sběrnice vstup rychlé vyrovnávací paměti a mezimodulová sběrnice je připojena na adresový sběrnice výstup rychlé vyrovnávací paměti a na sběrnice vstup vnitřního adaptéru a samostatné mezimodulové vedení je připojeno na vstup samostatného vedení řadiče a na vstup samostatného vedení bloku speciálních registrů a sběrnice přímého řízení je připojena na sběrnice vstup bloku speciálních registrů a vedení žádostí o přerušeni je připojeno na vstup externích přerušeni bloku speciálních registrů a první výstup vnitřní sběrnice operandů je spojen s datovým vstupem aritmetické jednotky a výstup vnitřní sběrnice konstant je spojen se vstupem konstant aritmetické jednotky a výstup registru bloku slabikové aritmetiky je spojen se slabikovým vstupem aritmetické jednotky a přímý výstup bloku slabikové aritmetiky je spojen se vstupem registru aritmetické jednotky a výstup středače aritmetické jednotky je spojen s druhým vstupem hlavní vnitřní sběrnice a s třetím vstupem vnitřní sběrnice konstant a s adresovým vstupem bloku přípravy instrukce a výstup registru aritmetické jednotky je spojen s třetím vstupem hlavní vnitřní sběrnice a adresový výstup aritmetické jednotky je spojen s levým datovým vstupem bloku slabikové aritmetiky a s pomocným adresovým vstupem rychlé vyrovnávací paměti a s adresovým vstupem vnitřního adaptéru a podmínkový výstup aritmetické jednotky je spojen s prvním podmínkovým vstupem bloku přípravy instrukce, druhý výstup vnitřní sběrnice operandů je spojen s pravým datovým vstupem bloku slabikové aritmetiky, podmínkový výstup bloku slabikové aritmetiky je spojen s druhým podmínkovým vstupem bloku přípravy instrukce, výstup vstupního datového registru je spojen s prvním vstupem vnitřní sběrnice operandů, třetí výstup hlavní vnitřní sběrnice je spojen s druhým vstupem vnitřní sběrnice operandů, třetí vstup vnitřní sběrnice operandů je spojen s výstupem zápisníkové paměti a s datovým vstupem výstupního registru zápisníkové paměti, čtvrtý vstup vnitřní sběrnice operandů je spojen s výstupem výstupního registru zápisníkové paměti, třetí výstup vnitřní sběrnice operandů je spojen s pátým vstupem hlavní vnitřní sběrnice, první vstup hlavní vnitřní sběrnice je spojen s datovým výstupem vnitřního adaptéru, čtvrtý vstup hlavní vnitřní sběrnice je spojen s datovým výstupem řadiče, šestý vstup hlavní vnitřní sběrnice je spojen s datovým výstupem bloku speciálních registrů, první výstup hlavní vnitřní

sběrnice je spojen s datovým vstupem rychlé vyrovnávací paměti a s pomocným datovým vstupem bloku přípravy instrukce, čtvrtý vstup hlavní vnitřní sběrnice je spojen s datovým vstupem zápisníkové paměti a s datovým vstupem bloku speciálních registrů, druhý vstup vnitřní sběrnice konstant je spojen s výstupem dekodéru konstant, první vstup vnitřní sběrnice konstant je spojen s instrukčním výstupem bloku přípravy instrukce, adresový výstup bloku přípravy instrukce je spojen s adresovým vstupem rychlé vyrovnávací paměti, datový výstup rychlé vyrovnávací paměti je spojen s datovým vstupem bloku přípravy instrukce a s datovým vstupem vstupního datového registru, výstup adresy zápisníku bloku přípravy instrukce je spojen s adresovým vstupem zápisníkové paměti, druhý výstup hlavní vnitřní sběrnice je spojen s datovým vstupem vnitřního adaptoru, servisní výstup vnitřního adaptoru je spojen se servisním vstupem řadiče a se servisním vstupem bloku speciálních registrů, řídicí výstup vnitřního adaptoru je spojen s řídicím vstupem řadiče, výstup přerušení bloku speciálních registrů je spojen se vstupem přerušení řadiče, řídicí výstup řadiče je spojen s řídicím vstupem aritmetické jednotky a s řídicím vstupem bloku slabikové aritmetiky a s řídicím vstupem zápisníkové paměti a s řídicím vstupem výstupního registru zápisníkové paměti a s řídicím vstupem vstupního datového registru a se vstupem dekodéru konstant a s řídicím vstupem bloku přípravy instrukce a s řídicím vstupem rychlé vyrovnávací paměti a s řídicím vstupem bloku speciálních registrů a s řídicím vstupem vnitřního adaptoru.

Výhodou operačního procesoru podle vynálezu je to, že umožňuje pomocí několika vnitřních sběrnic, dvou hlavních a jedné vedlejší, zajistit paralelní činnost ve více blocích procesoru, přičemž bloky jsou zvoleny tak, aby byly zaměřeny na zrychlení těch instrukcí procesoru, které se v průměru vyskytují nejčastěji, aby byly snadno realizovatelné pomocí obvodů střední integrace.

Jedno z možných zapojení je znázorněno na připojeném výkresu.

Operační procesor podle vynálezu se skládá z aritmetické jednotky 10, bloku 11 slabikové aritmetiky, zápisníkové paměti 12 a výstupního registru 13 zápisníkové paměti, dále vstupního datového registru 14, dekodéru 15 konstant, bloku 16 přípravy instrukce, rychlé vyrovnávací paměti 17, bloku 18 speciálních registrů a konečně řadiče 19 a vnitřního adaptoru 20. S ostatními částmi počítače je operační procesor spojen systémem několika sběrnic a vedení. Datová sběrnice 1 je připojena na datový sběrnicev vstup 170 rychlé vyrovnávací paměti 17, mezimodulová sběrnice 2 je připojena na adresový sběrnicev vstup 171 rychlé vyrovnávací paměti 17 a také na sběrnicev vstup 200 vnitřního adaptoru 20 a sběrnice 4 přímého řízení je připojena na sběrnicev vstup 181 bloku 18 speciálních registrů. Samostatné mezimodulové vedení 1 je připojeno ke vstupu 192 samostatného vedení řadiče 19 a vstupu 186 samostatného vedení bloku 18 speciálních registrů. Vedení 5 žádostí o přerušení je spojeno se vstupem 180 externích přerušení bloku 18 speciálních registrů.

Propojení jednotlivých částí operačního procesoru vychází z použití tří vnitřních

sběrnic: hlavní vnitřní sběrnice 31, vnitřní sběrnice 30 operandů a vnitřní sběrnice 32 konstant. Hlavní vnitřní sběrnice 31 má čtyři výstupy 316, 317, 318 a 319, z nichž první výstup 316 je spojen s datovým vstupem 174 rychlé vyrovnávací paměti 17 a s pomocným datovým vstupem 160 bloku 16 přípravy instrukce, druhý vstup 317 je spojen s datovým vstupem 201 vnitřního adaptoru 20, třetí výstup 318 je připojen na druhý vstup 301 vnitřní sběrnice 30 operandů a čtvrtý výstup 319 je spojen s datovým vstupem 120 zápisníkové paměti 12 a s datovým vstupem 182 bloku 18 speciálních registrů.

Vnitřní sběrnice 30 operandů má tři výstupy 304, 305 a 306, přičemž první výstup 304 je spojen s datovým vstupem 101 aritmetické jednotky 10, druhý výstup 305 je spojen s pravým datovým vstupem 111 bloku 11 slabikové aritmetiky a třetí výstup 306 je připojen na pátý vstup 314 hlavní vnitřní sběrnice 31.

Vnitřní sběrnice 32 konstant má výstup 323, který je spojen se vstupem 102 konstant aritmetické jednotky 10.

Aritmetický obvod 10 má čtyři výstupy. Výstup 105 střadače aritmetického obvodu 10 je spojen s druhým vstupem 311 hlavní vnitřní sběrnice 31, dále se třetím vstupem 322 vnitřní sběrnice 32 konstant a s adresovým vstupem 161 bloku 16 přípravy instrukce. Výstup 106 registru aritmetické jednotky 10 je spojen se třetím vstupem 312 hlavní vnitřní sběrnice 31. Adresový výstup 107 aritmetické jednotky 10 je spojen s levým datovým vstupem 110 bloku 11 slabikové aritmetiky, dále s pomocným adresovým vstupem 173 rychlé vyrovnávací paměti 17 a dále s adresovým vstupem 202 vnitřního adaptoru 20. Podmínkový výstup 108 aritmetické jednotky 10 je spojen s prvním podmínkovým vstupem 164 bloku 16 přípravy instrukce.

Blok 11 slabikové aritmetiky má výstupy 113, 114 a 115. Přímý výstup 113 bloku slabikové aritmetiky 11 je spojen se vstupem 103 registru aritmetické jednotky 10, výstup 114 registru bloku 11 slabikové aritmetiky je spojen se slabikovým vstupem 100 aritmetické jednotky 10 a podmínkový výstup 115 bloku 11 slabikové aritmetiky je spojen s druhým podmínkovým vstupem 163 bloku 16 přípravy instrukce.

Výstup 123 zápisníkové paměti 12 je spojen se třetím vstupem 302 vnitřní sběrnice 30 operandů a s datovým vstupem 130 výstupního registru 13 zápisníkové paměti, jehož výstup 132 je spojen se čtvrtým vstupem 303 vnitřní sběrnice 30 operandů. Vstupní datový registr 14 má výstup 142 spojen s prvním vstupem 300 vnitřní sběrnice 30 operandů a dekodér 15 konstant má výstup 151 připojen na druhý vstup 321 vnitřní sběrnice 32 konstant.

Blok 16 přípravy instrukce má tři výstupy. Adresový výstup 166 bloku 16 přípravy instrukce je spojen s adresovým vstupem 172 rychlé vyrovnávací paměti 17, instrukční výstup 167 bloku 16 přípravy instrukce je spojen s prvním vstupem 320 vnitřní sběrnice 32 konstant a výstup 168 adresy zápisníku bloku 16 přípravy instrukce je spojen s adresovým vstupem 121 zápisníkové paměti 12.

Datový výstup 176 rychlé vyrovnávací paměti 17 je spojen s datovým vstupem 162 bloku 16 přípravy instrukce a dále s datovým vstupem 140 vstupního datového registru 14.

Blok 18 speciálních registrů má datový výstup 185 spojen s šestým vstupem 315 hlavní vnitřní sběrnice 31 a výstup 187 přerušení bloku 18 speciálních registrů je přiveden na vstup 193 přerušení řadiče 19.

Z řadiče 19 se vedou ovládací signály do všech částí operačního procesoru. Řídicí výstup 194 řadiče 19 je proto spojen s řídicím vstupem 104 aritmetické jednotky 10 a s řídicím vstupem 112 bloku 11 slabikové aritmetiky, dále s řídicím vstupem 122 zápisníkové paměti 12 a s řídicím vstupem 131 výstupního registru 13 zápisníkové paměti a s řídicím vstupem 141 vstupního datového registru 14, dále je spojen se vstupem 150 dekodéru 15 konstant, s řídicím vstupem 165 bloku 16 přípravy instrukce, s řídicím vstupem 175 rychlé vyrovnávací paměti 17 a konečně s řídicím vstupem 184 bloku 18 speciálních registrů a s řídicím vstupem 203 vnitřního adaptoru 20. Datový výstup 195 řadiče 19 je spojen se čtvrtým vstupem 313 hlavní vnitřní sběrnice 31.

Vnitřní adaptor 20 má tři výstupy, přičemž datový výstup 204 vnitřního adaptoru 20 je připojen na první vstup 310 hlavní vnitřní sběrnice 31, řídicí výstup 306 vnitřního adaptoru 20 je spojen s řídicím vstupem 191 řadiče 19 a servisní výstup 205 vnitřního adaptoru 20 je spojen se servisním vstupem 190 řadiče 19 a se servisním vstupem 183 bloku 18 speciálních registrů.

Operační procesor podle vynálezu je v samočinném počítači určen pro vykonávání instrukcí definovaných souborem počítačů typu JSEP nebo jiných počítačů s obdobným kódem.

Pro tuto činnost jsou v operačním procesoru zabudovány dvě operační jednotky.

Aritmetická jednotka 10 je určena pro binární operace o šířce toku několika slabik a je využita jak při práci s operandy, tak i během přípravy instrukce.

Blok 11 slabikové aritmetiky o šířce toku jedna slabika slouží především k provádění operací s proměnnou délkou operandů, pro operace s operandy mimo předepsané hranice, eventuálně pro operace v pohyblivé čáře a pro další manipulace s operandy v operačním procesoru. Obsahuje obvody pro binární i dekadické sčítání a odečítání, pro logické operace a pro práce s přímým operandem.

Operační procesor umožňuje paralelní činnost obou operačních jednotek.

Zápisníková paměť 12 slouží k uložení univerzálních registrů, řídicích registrů, registrů pohyblivé čárky, stavových informací procesoru apod. Část paměti je vyhrazena jako pracovní pole mikroprogramů.

Výstupní registr 13 zápisníkové paměti má funkci odkládací paměti pro jednu buňku zápisníkové paměti 12. Jeho obsah je možno využít v obou polaritách.

Blok 18 speciálních registrů obsahuje registr přerušení, soustřeďující požadavky

na přerušení programu, registr masek přerušení, registr času, obvody pro práci s časovými registry a obvody přímého řízení.

Informace z hlavní paměti jsou operačnímu procesoru poskytovány ve vstupním datovém registru 14.

Dekódér 15 konstant je vytvořen jako paměť určitého množství speciálních konstant.

Činnost dosud vyjmenovaných bloků operačního procesoru je řízena mikroprogramově řadičem 19 operačního procesoru.

Kromě mikroprogramově řízené části obsahuje operační procesor paralelně pracující blok 16 přípravy instrukce s vlastním řadičem. Blok 16 přípravy instrukce slouží k přípravě a rychlé výměně jednotlivých instrukcí.

Pro urychlení styku s hlavní pamětí je operační procesor vybaven rychlou vyrovnávací pamětí 17. Činnost této paměti je asynchronní s mikroprogramově řízenou částí operačního procesoru a je řízena samostatným řadičem.

Pro styk s ostatními moduly samočinného počítače je operační procesor vybaven vnitřním adaptorem 20, který obsahuje potřebné obvody návaznosti na sběrnice styku mezi moduly. Také vnitřní adaptor je řízen vlastním řadičem.

Základní datová struktura operačního procesoru vychází z použití tří vnitřních sběrnic.

Hlavní vnitřní sběrnice 31 má několik funkcí:

1. Zprostředkuje přenos informace mezi vnitřními bloky operačního procesoru, tj. mezi aritmetickou jednotkou 10, řadičem 19, blokem 18 speciálních registrů, zápisníkovou pamětí 12 a vnitřní sběrnici 30 operandů.
2. Přes vnitřní adaptor 20 propojuje operační procesor s mezimodulovou sběrnici 2.
3. Přenáší informace z operační části operačního procesoru do rychlé vyrovnávací paměti 17 a do hlavní paměti.

Vnitřní sběrnice 30 operandů zprostředkuje přenos informace z hlavní vnitřní sběrnice 31 nebo ze zápisníkové paměti 12 nebo z výstupního registru 13 zápisníkové paměti 12 nebo ze vstupního datového registru 14 na hlavní datový vstup 101 aritmetické jednotky 10 eventuálně na pravý datový vstup 111 bloku 11 slabikové aritmetiky.

Vnitřní sběrnice 32 konstant přivádí na vstup konstant 102 aritmetické jednotky 10 informace z instrukčního výstupu 167 bloku 16 přípravy instrukce nebo z výstupu dekodéru 15 konstant nebo z výstupu 105 strádače aritmetické jednotky 10.

PŘEDMĚT VYNÁLEZU

Operační procesor samočinného počítače, vyznačující se tím, že přímá datová sběrnice (1) je připojena na datový sběrnicový vstup (170) rychlé vyrovnávací paměti (17) a mezimodulová sběrnice (2) je připojena na adresový sběrnicový výstup (171) rychlé vyrovnávací paměti (17) a na sběrnicový vstup (200) vnitřního adaptoru (20) a samostatné mezimodulové vedení (3) je připojeno na vstup (192) samostatného vedení řadiče (19) a na vstup (186) samostatného vedení bloku (18) speciálních registrů a sběrnice (4) přímého řízení je připojena na sběrnicový vstup (181) bloku (18) speciálních registrů a vedení (5) žádostí o přerušeni je připojeno na vstup (180) externích přerušeni bloku (18) speciálních registrů, přičemž první výstup (304) vnitřní sběrnice (30) operandů je spojen s datovým vstupem (101) aritmetické jednotky (10) a výstup (323) vnitřní sběrnice (32) konstant je spojen se vstupem (102) konstant aritmetické jednotky (10) a výstup (114) registru bloku (11) slabikové aritmetiky je spojen se slabikovým vstupem (100) aritmetické jednotky (10) a přímý výstup (113) bloku (11) slabikové aritmetiky je spojen se vstupem (103) registru aritmetické jednotky (10) a výstup (105) střadače aritmetické jednotky (10) je spojen s druhým vstupem (311) hlavní vnitřní sběrnice (31) a s třetím vstupem (322) vnitřní sběrnice (32) konstant a s adresovým vstupem (161) bloku (16) přípravy instrukce a výstup (106) registru aritmetické jednotky (10) je spojen s třetím vstupem (312) hlavní vnitřní sběrnice (31) a adresový výstup (107) aritmetické jednotky (10) je spojen s levým datovým vstupem (110) bloku (11) slabikové aritmetiky a s pomocným adresovým vstupem (173) rychlé vyrovnávací paměti (17) a s adresovým vstupem (202) vnitřního adaptoru (20) a podmínkový výstup (108) aritmetické jednotky (10) je spojen s prvním podmínkovým vstupem (164) bloku (16) přípravy instrukce, druhý výstup (305) vnitřní sběrnice (30) operandů je spojen s pravým datovým vstupem (111) bloku slabikové aritmetiky (11), podmínkový výstup (115) bloku (11) slabikové aritmetiky je spojen s druhým podmínkovým vstupem (163) bloku (16) přípravy instrukce, výstup (142) vstupního datového registru (14) je spojen s prvním vstupem (300) vnitřní sběrnice (30) operandů, třetí výstup (318) hlavní vnitřní sběrnice (31) je spojen s druhým vstupem (301) vnitřní sběrnice (30) operandů, třetí vstup (302) vnitřní sběrnice (30) operandů je spojen s výstupem (123) zápisníkové paměti (12) a s datovým vstupem (130) výstupního registru (13) zápisníkové paměti, čtvrtý vstup (303) vnitřní sběrnice (30) operandů je spojen s výstupem (132) výstupního registru (13) zápisníkové paměti, třetí výstup (306) vnitřní sběrnice (30) operandů je spojen s pátým vstupem (314) hlavní vnitřní sběrnice (31), první vstup (310) hlavní vnitřní sběrnice (31) je spojen s datovým výstupem (204) vnitřního adaptoru (20), čtvrtý vstup (313) hlavní vnitřní sběrnice (31) je spojen s datovým výstupem (195) řadiče (19), šestý vstup (315) hlavní vnitřní sběrnice (31) je spojen s datovým výstupem (185) bloku (18) speciálních registrů, první výstup (316) hlavní vnitřní

sběrnice (31) je spojen s datovým vstupem (174) rychlé vyrovnávací paměti (17) a s pomocným datovým vstupem (160) bloku (16) přípravy instrukce, čtvrtý výstup (319) hlavní vnitřní sběrnice (31) je spojen s datovým vstupem (120) zápisníkové paměti (12) a s datovým vstupem (182) bloku (18) speciálních registrů, druhý vstup (321) vnitřní sběrnice (32) konstant je spojen s výstupem (151) dekodéru (15) konstant, první vstup (320) vnitřní sběrnice (32) konstant je spojen s instrukčním výstupem (167) bloku (16) přípravy instrukce, adresový výstup (166) bloku (16) přípravy instrukce je spojen s adresovým vstupem (172) rychlé vyrovnávací paměti (17), datový výstup (176) rychlé vyrovnávací paměti (17) je spojen s datovým vstupem (162) bloku (16) přípravy instrukce a s datovým vstupem (140) vstupního datového registru (14), výstup (168) adresy zápisníku bloku (16) přípravy instrukce je spojen s adresovým vstupem (121) zápisníkové paměti (12), druhý výstup (317) hlavní vnitřní sběrnice (31) je spojen s datovým vstupem (201) vnitřního adaptoru (20), servisní výstup (205) vnitřního adaptoru (20) je spojen se servisním vstupem (190) řadiče (19) a se servisním vstupem (183) bloku (18) speciálních registrů, řídicí výstup (206) vnitřního adaptoru (20) je spojen s řídicím vstupem (191) řadiče (19), výstup (187) přerušení bloku (18) speciálních registrů je spojen se vstupem (193) přerušení řadiče (19), řídicí výstup (194) řadiče (19) je spojen s řídicím vstupem (104) aritmetické jednotky (10) a s řídicím vstupem (112) bloku (11) slabikové aritmetiky a s řídicím vstupem (122) zápisníkové paměti (12) a s řídicím vstupem (131) výstupního registru (13) zápisníkové paměti a s řídicím vstupem (141) vstupního datového registru (14) a se vstupem (150) dekodéru (15) konstant a s řídicím vstupem (165) bloku (16) přípravy instrukce a s řídicím vstupem (175) rychlé vyrovnávací paměti (17) a s řídicím vstupem (184) bloku (18) speciálních registrů a s řídicím vstupem (203) vnitřního adaptoru (20).

