



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년04월03일
(11) 등록번호 10-1722437
(24) 등록일자 2017년03월28일

(51) 국제특허분류(Int. Cl.)
H03L 7/089 (2006.01) H03L 7/091 (2006.01)
H03L 7/095 (2006.01) H03L 7/099 (2006.01)
(52) CPC특허분류
H03L 7/089 (2013.01)
H03L 7/091 (2013.01)
(21) 출원번호 10-2015-0178181
(22) 출원일자 2015년12월14일
심사청구일자 2015년12월14일
(56) 선행기술조사문헌
KR1020060059530 A*
A 0.5 to 2.5 Gb/s Reference Less Half-Rate
Digital CDR With Unlimited Frequency
Acquisition Range and Improved Input
Duty-Cycle Error Tolerance(2011.12. 공개)
A Reference-Less Single-Loop Half-Rate Binary
CDR(2015.09. 공개)
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221, 401동 1003호 (도
곡동, 도곡렉슬아파트)
최선명
인천광역시 남구 길파로35번길 58, 지하 1층 2호
(주안동, 성도빌라)
(74) 대리인
심경식, 홍성욱

전체 청구항 수 : 총 14 항

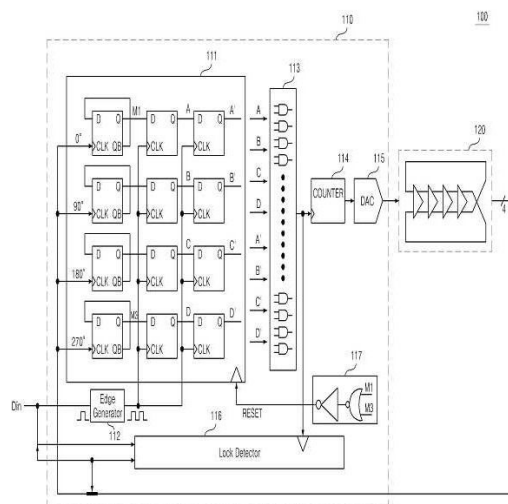
심사관 : 박정근

(54) 발명의 명칭 주파수 검출 장치 및 그 방법과, 이를 이용한 클럭 및 데이터 복원 회로

(57) 요약

주파수 검출 장치 및 그 방법과, 이를 이용한 클럭 및 데이터 복원 회로를 제공한다. 본 발명의 주파수 검출 장치는 위상이 서로 다른 다수개의 클럭 신호를 출력하는 전압 제어 발진기; 입력 데이터의 주파수를 검출하기 위한 복수의 트랩을 생성하되, 상기 다수개의 클럭 신호 및 상기 입력 데이터의 라이징 및 폴링 엣지에 응답하여 상기 클럭신호 개수 *2의 트랩신호를 생성하는 트랩 생성부; 상기 트랩 신호의 1-UI와 입력 데이터의 데이터 펄스 폭에 기초하여 업신호를 생성하는 업신호 생성부; 및 상기 업신호에 응답하여 상기 전압 제어 발진기의 제어 전압을 조절하고 상기 입력 데이터의 주파수를 추적하는 주파수 추적부를 포함한다.

대표도



(52) CPC특허분류

H03L 7/095 (2013.01)

H03L 7/0995 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711026804

부처명 미래창조과학부

연구관리전문기관 정보통신기술진흥센터

연구사업명 정보통신기술인력양성

연구과제명 정보통신용 아날로그 IP 기술 개발

기 여 율 1/1

주관기관 서강대학교산학협력단

연구기간 2015.01.01 ~ 2015.12.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

위상이 서로 다른 다수개의 클럭 신호를 출력하는 전압 제어 발진기;

입력 데이터의 주파수를 검출하기 위한 복수의 트랩을 생성하되, 상기 다수개의 클럭 신호 및 상기 입력 데이터의 라이징 및 폴링 엣지에 응답하여 상기 클럭신호 개수 *2의 트랩신호를 생성하는 트랩 생성부;

상기 입력 데이터의 데이터 펄스의 폭이 상기 트랩 신호의 1-UI 보다 좁으며, 상기 데이터 펄스가 상기 트랩 신호의 1-UI 내에 존재하는 경우 업신호를 생성하는 업신호 생성부; 및

상기 업신호에 응답하여 상기 전압 제어 발진기의 제어전압을 조절하고 상기 입력 데이터의 주파수를 추적하는 주파수 추적부를 포함하는 것을 특징으로 하는 주파수 검출장치.

청구항 2

제1항에 있어서, 상기 트랩 생성부는

상기 전압 제어 발진기에서 $2^{(n+1)}$ 개(n 은 자연수)의 클럭 신호가 출력될 때,

상기 $2^{(n+1)}$ 개(n 은 자연수)의 클럭 신호 각각에 응답하여 입력신호를 각각 지연시켜 출력하는 $2^{(n+1)}$ 개의 디바이더들;

상기 디바이더들 각각에 대응되는 $2^{(n+1)}$ 개의 D 플립플롭들을 포함하고, 상기 입력 데이터의 현재(PRESENT) 엣지에 응답하여 상기 디바이더들 각각의 출력신호를 지연시켜 출력하는 제1 플립플롭 그룹; 및

상기 제1 플립플롭 그룹에 포함된 D 플립플롭 각각에 대응되는 $2^{(n+1)}$ 개의 D 플립플롭들을 포함하고, 상기 입력 데이터의 이전(PAST) 엣지에 응답하여 상기 제1 플립플롭 그룹의 출력신호를 지연시켜 출력하는 제2 플립플롭 그룹을 포함하는 것을 특징으로 하는 주파수 검출 장치.

청구항 3

제2항에 있어서,

상기 입력 데이터의 한 주기가 경과하면 상기 트랩 생성부를 구성하는 다수의 D 플립플롭들을 모두 리셋하는 리셋 처리부를 더 포함하는 것을 특징으로 하는 주파수 검출 장치.

청구항 4

제1항에 있어서, 상기 주파수 추적부는

상기 업신호 생성부에서 출력되는 업신호를 카운트하는 카운터;

상기 전압 제어 발진기의 제어 전압을 정교하게 동작시키기 위해, 상기 카운터의 출력 신호를 아날로그 신호로 변환하는 디지털 신호를 아날로그 신호로 변환하는 신호 변환기; 및

상기 업신호 생성부의 출력 신호를 감시하여 일정시간동안 상기 업신호 생성부로부터 출력 신호가 발생하지 않으면 주파수를 고정하는 락 검출기를 포함하는 것을 특징으로 하는 주파수 검출 장치.

청구항 5

위상이 서로 다른 다수개의 클럭 신호를 출력하는 단계;

상기 클럭 신호 및 입력 데이터의 라이징 및 폴링 엣지에 응답하여 상기 클럭신호 개수 *2의 트랩신호를 생성하는 단계;

상기 입력 데이터의 데이터 펄스의 폭이 상기 트랩 신호의 1-UI 보다 좁으며, 상기 데이터 펄스가 상기 트랩 신호의 1-UI 내에 존재하는 경우 업신호를 생성하는 단계;

상기 업신호에 응답하여 상기 클럭 신호를 출력하기 위한 제어전압을 조절하는 단계; 및

상기 업신호에 의거하여 입력 데이터의 주파수를 추적하는 단계를 포함하는 것을 특징으로 하는 주파수 검출 방법.

청구항 6

제5항에 있어서, 상기 트랩 신호를 생성하는 단계는

상기 클럭 신호 출력 단계에서 $2^{(n+1)}$ 개(n 은 자연수)의 클럭 신호가 출력될 때,

상기 $2^{(n+1)}$ 개의 클럭 신호 각각에 응답하여 서로 다른 $2^{(n+1)}$ 개의 지연신호들을 출력하는 단계;

상기 입력 데이터의 현재(PRESENT) 엣지에 응답하여 상기 $2^{(n+1)}$ 개의 지연신호들을 지연시켜 $2^{(n+1)}$ 개의 제1 트랩신호 그룹을 출력하는 단계; 및

상기 입력 데이터의 이전(PAST) 엣지에 응답하여 상기 n 개의 제1 트랩신호 그룹을 지연시켜 $2^{(n+1)}$ 개의 제2 트랩신호 그룹을 출력하는 단계를 포함하는 것을 특징으로 하는 주파수 검출 방법.

청구항 7

제6항에 있어서,

상기 입력 데이터의 한 주기가 경과하면 상기 트랩 신호를 생성하기 위해 주파수 검출기에 포함된 모든 D 플립 플롭들을 리셋하는 단계를 더 포함하는 것을 특징으로 하는 주파수 검출 방법.

청구항 8

제5항에 있어서, 상기 제어전압을 조절하는 단계는

상기 업신호 생성단계에서 생성되는 업신호를 카운트하는 단계;

상기 카운트된 신호를 아날로그로 변환하는 단계; 및

상기 아날로그로 변환된 신호에 의거하여 상기 제어전압을 조절하는 단계를 포함하는 것을 특징으로 하는 주파수 검출 방법.

청구항 9

제5항에 있어서, 상기 주파수를 추적하는 단계는

상기 업신호 생성 단계에서 생성되는 업신호를 감시하여 일정시간동안 상기 업신호가 생성되지 않으면 주파수를 고정하는 것을 특징으로 하는 주파수 검출 방법.

청구항 10

위상이 서로 다른 다수개의 클럭 신호를 출력하는 전압 제어 발진기;

상기 다수개의 클럭 신호에 응답하여 입력 데이터의 주파수를 검출하는 주파수 검출부;

상기 다수개의 클럭 신호들을 논리곱하여 복원된 클럭 신호를 생성하는 클럭 멀티플라이어;

상기 주파수 검출부에서 주파수가 고정되면, 상기 클럭 멀티플라이어에서 복원된 클럭 신호 및 입력 데이터에 응답하여 상기 복원된 클럭 신호가 상기 입력 데이터의 위상을 추종하도록 제어하는 위상 고정 루프; 및

상기 입력 데이터를 상기 복원된 클럭 신호로 샘플링하여 데이터를 추출하는 샘플링부를 포함하고,

상기 주파수 검출부는

입력 데이터의 주파수를 검출하기 위한 복수의 트랩을 생성하되, 상기 다수개의 클럭 신호 및 상기 입력 데이터의 라이징 및 폴링 엣지에 응답하여 상기 클럭신호 개수 *2의 트랩신호를 생성하는 트랩 생성부;

상기 입력 데이터의 데이터 펄스의 폭이 상기 트랩 신호의 1-UI 보다 좁으며, 상기 데이터 펄스가 상기 트랩 신호의 1-UI 내에 존재하는 경우 업신호를 생성하는 업신호 생성부; 및

상기 업신호에 응답하여 상기 전압 제어 발진기의 제어전압을 조절하고 상기 입력 데이터의 주파수를 추적하는 주파수 추적부를 포함하는 것을 특징으로 하는 클럭 및 데이터 복원 회로.

청구항 11

삭제

청구항 12

제10항에 있어서, 상기 트랩 생성부는

상기 전압 제어 발진기에서 $2^{(n+1)}$ 개(n 은 자연수)의 클럭 신호가 출력될 때,

상기 $2^{(n+1)}$ 개의 클럭 신호 각각에 응답하여 입력신호를 각각 지연시켜 출력하는 $2^{(n+1)}$ 개의 디바이더들;

상기 디바이더들 각각에 대응되는 $2^{(n+1)}$ 개의 D 플립플롭들을 포함하고, 상기 입력 데이터의 현재(PRESENT) 엣지에 응답하여 상기 디바이더들 각각의 출력신호를 지연시켜 출력하는 제1 플립플롭 그룹; 및

상기 제1 플립플롭 그룹에 포함된 D 플립플롭 각각에 대응되는 $2^{(n+1)}$ 개의 D 플립플롭들을 포함하고, 상기 입력 데이터의 이전(PAST) 엣지에 응답하여 상기 제1 플립플롭 그룹의 출력신호를 지연시켜 출력하는 제2 플립플롭 그룹을 포함하는 것을 특징으로 하는 클럭 및 데이터 복원 회로.

청구항 13

제12항에 있어서,

상기 입력 데이터의 한 주기가 경과하면 상기 트랩 생성부를 구성하는 다수의 D 플립플롭들을 모두 리셋하는 리셋 처리부를 더 포함하는 것을 특징으로 하는 클럭 및 데이터 복원 회로.

청구항 14

제10항에 있어서, 상기 주파수 추적부는

상기 업신호 생성부에서 출력되는 업신호를 카운트하는 카운터;

상기 전압 제어 발진기의 제어 전압을 정교하게 동작시키기 위해, 상기 카운터의 출력 신호를 아날로그 신호로

변환하는 디지털 신호를 아날로그 신호로 변환하는 신호 변환기; 및

상기 업신호 생성부의 출력 신호를 감시하여 일정시간동안 상기 업신호 생성부로부터 출력 신호가 발생하지 않으면 주파수를 고정하는 락 검출기를 포함하는 것을 특징으로 하는 클럭 및 데이터 복원 회로.

청구항 15

제10항에 있어서, 상기 클럭 멀티플라이어는

상기 전압 제어 발진기에서 $2^{(n+1)}$ 개(n 은 자연수)의 클럭 신호가 출력될 때,

2^n 개의 D 플립플롭과, 2^n 개의 EX-OR 게이트 및 $(2^n - 1)$ 개의 OR 게이트를 포함하며,

$1/2^{(n+1)}$ 주기의 복원된 클럭 신호를 출력하는 것을 특징으로 하는 클럭 및 데이터 복원 회로.

발명의 설명

기술 분야

[0001] 본 발명은 주파수 검출 장치 및 그 방법에 관한 것으로서, 특히 기준 주파수가 필요 없고, 빠른 주파수 검출이 가능한 주파수 검출 장치 및 그 방법과, 이를 이용한 클럭 및 데이터 복원 회로에 관한 것이다.

배경 기술

[0002] 물리적으로 떨어져 있는 송신 회로와 수신 회로 사이에서 고속의 데이터 신호를 전달해야 하는 경우, 수신회로는 수신된 데이터 신호로부터 데이터를 정확히 추출하여야 한다.

[0003] 이를 위해, 종래에는 데이터 전송시, 데이터 추출을 위해 필요한 클럭 신호를 데이터 신호와 함께 전송하고, 수신회로에서 이를 수신한 후 상기 클럭 신호를 기준으로 데이터 신호를 샘플링하여 데이터를 추출하는 방법을 사용하였다. 하지만 시스템이 점점 빨라지고 동작 전압이 낮아짐에 따라, 이와 같은 방법은 여러 가지 문제가 생겼다. 예를 들어, 클럭 신호와 데이터 신호 간의 스큐를 맞추고, 지터나 노이즈 등을 줄이기 위해서, 전송선의 물리적인 배치를 최적화하는 데에 많은 노력을 기울여야 했다.

[0004] 따라서, 별도의 클럭 신호 없이 수신된 데이터 신호로부터 클럭 및 데이터를 복원하는 다양한 방법이 고안되었다. 이는, 수신단에서 클럭 신호를 생성한 후, D-플립플롭을 이용하여 그 클럭 신호와 수신된 데이터 신호의 위상 및 주파수를 비교함으로써 수신 데이터를 복원하는 방법으로써, 종래의 문제점들을 개선할 수 있었다.

[0005] 하지만, 점차 데이터의 전송률이 높아지면서 상기 D-플립플롭이 그 속도를 따라가지 못하게 되고, 정적 스큐(static skew) 문제가 증가하는 단점이 있었다. 또한, 데이터 신호가 노이즈를 많이 가지고 있을 때, 응답 특성이 좋지 않고, 데이터 신호가 천이(transition)할 때와 천이하지 않을 때에 따라 출력 주파수가 영향을 받는 문제가 있었다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 출원번호 10-2006-0083000

발명의 내용

해결하려는 과제

[0007] 따라서, 본 발명은 주파수를 빠르게 검출함으로써, 빨라지는 데이터 전송 속도를 따라갈 수 있는 주파수 검출 장치 및 그 방법을 제공하고자 한다.

[0008] 또한, 본 발명은 위상 검출 루프 타입에 따라 주파수 옵셋을 제어함으로써, 주파수 검출 범위가 제한되지 않는 주파수 검출 장치 및 그 방법을 제공하고자 한다.

[0009] 또한, 본 발명은 소형화된 칩들을 사용함으로써, 저전력과 저면적으로 구현 가능한 주파수 검출 장치 및 그 방법을 제공하고자 한다.

[0010] 또한, 본 발명은 상기 주파수 검출 장치 및 그 방법을 이용한 클럭 및 데이터 복원 회로를 제공하고자 한다.

과제의 해결 수단

[0011] 상기 목적을 달성하기 위해, 본 발명에서 제공하는 주파수 검출 장치는 위상이 서로 다른 다수개의 클럭 신호를 출력하는 전압 제어 발진기; 입력 데이터의 주파수를 검출하기 위한 복수의 트랩을 생성하되, 상기 다수개의 클럭 신호 및 상기 입력 데이터의 라이징 및 폴링 엣지에 응답하여 상기 클럭신호 개수 *2의 트랩신호를 생성하는 트랩 생성부; 상기 트랩 신호의 1-UI와 입력 데이터의 데이터 펄스 폭에 기초하여 업신호를 생성하는 업신호 생성부; 및 상기 업신호에 응답하여 상기 전압 제어 발진기의 제어전압을 조절하고 상기 입력 데이터의 주파수를 추적하는 주파수 추적부를 포함하는 것을 특징으로 한다.

[0012] 바람직하게는, 상기 트랩 생성부는 상기 전압 제어 발진기에서 $2^{(n+1)}$ 개(n 은 자연수)의 클럭 신호가 출력될 때, 상기 $2^{(n+1)}$ 개(n 은 자연수)의 클럭 신호 각각에 응답하여 입력신호를 각각 지연시켜 출력하는 $2^{(n+1)}$ 개의 디바이더들; 상기 디바이더들 각각에 대응되는 $2^{(n+1)}$ 개의 D 플립플롭들을 포함하고, 상기 입력 데이터의 현재(PRESENT) 엣지에 응답하여 상기 디바이더들 각각의 출력신호를 지연시켜 출력하는 제1 플립플롭 그룹; 및 상기 제1 플립플롭 그룹에 포함된 D 플립플롭 각각에 대응되는 $2^{(n+1)}$ 개의 D 플립플롭들을 포함하고, 상기 입력 데이터의 이전(PAST) 엣지에 응답하여 상기 제1 플립플롭 그룹의 출력신호를 지연시켜 출력하는 제2 플립플롭 그룹을 포함할 수 있다.

[0013] 바람직하게는, 상기 입력 데이터의 한 주기가 경과하면 상기 트랩 생성부를 구성하는 다수의 D 플립플롭들을 모두 리셋하는 리셋 처리부를 더 포함할 수 있다.

[0014] 바람직하게는, 상기 주파수 추적부는 상기 업신호 생성부에서 출력되는 업신호를 카운트하는 카운터; 상기 전압 제어 발진기의 제어 전압을 정교하게 동작시키기 위해, 상기 카운터의 출력 신호를 아날로그 신호로 변환하는 디지털 신호를 아날로그 신호로 변환하는 신호 변환기; 및 상기 업신호 생성부의 출력 신호를 감시하여 일정시간동안 상기 업신호 생성부로부터 출력 신호가 발생하지 않으면 주파수를 고정하는 락 검출기를 포함할 수 있다.

[0015] 또한, 상기 목적을 달성하기 위해, 본 발명에서 제공하는 주파수 검출 방법은 위상이 서로 다른 다수개의 클럭 신호를 출력하는 단계; 상기 다수개의 클럭 신호 및 상기 입력 데이터의 라이징 및 폴링 엣지에 응답하여 상기 클럭신호 개수 *2의 트랩신호를 생성하는 단계; 상기 트랩 신호의 1-UI와 입력 데이터의 데이터 펄스 폭에 기초하여 업신호를 생성하는 단계; 상기 업신호에 응답하여 상기 n 개의 클럭 신호를 출력하기 위한 제어전압을 조절하는 단계; 및 상기 업신호에 의거하여 입력 데이터의 주파수를 추적하는 단계를 포함할 수 있다.

[0016] 바람직하게는, 상기 트랩 신호를 생성하는 단계는 상기 클럭 신호 출력 단계에서 $2^{(n+1)}$ 개(n 은 자연수)의 클럭 신호가 출력될 때, 상기 $2^{(n+1)}$ 개의 클럭 신호 각각에 응답하여 서로 다른 $2^{(n+1)}$ 개의 지연신호들을 출력하는 단계; 상기 입력 데이터의 현재(PRESENT) 엣지에 응답하여 상기 $2^{(n+1)}$ 개의 지연신호들을 지연시켜 $2^{(n+1)}$ 개의 제1 트랩신호 그룹을 출력하는 단계; 및 상기 입력 데이터의 이전(PAST) 엣지에 응답하여 상기 n 개의 제1 트랩신호 그룹을 지연시켜 $2^{(n+1)}$ 개의 제2 트랩신호 그룹을 출력하는 단계를 포함할 수 있다.

[0017] 바람직하게는, 상기 입력 데이터의 한 주기가 경과하면 상기 트랩 신호를 생성하기 위해 주파수 검출기에 포함된 모든 D 플립플롭들을 리셋하는 단계를 더 포함할 수 있다.

[0018] 바람직하게는, 상기 제어전압을 조절하는 단계는 상기 업신호 생성단계에서 생성되는 업신호를 카운트하는 단계; 상기 카운트된 신호를 아날로그로 변환하는 단계; 및 상기 아날로그로 변환된 신호에 의거하여 상기 제어전압을 조절하는 단계를 포함할 수 있다.

[0019] 바람직하게는, 상기 주파수를 추적하는 단계는 상기 업신호 생성 단계에서 생성되는 업신호를 감시하여 일정시

간동안 상기 업신호가 생성되지 않으면 주파수를 고정할 수 있다.

[0020] 한편, 상기 목적을 달성하기 위해, 본 발명에서 제공하는 클럭 및 데이터 복원 회로는 위상이 서로 다른 다수개의 클럭 신호를 출력하는 전압 제어 발진기; 상기 다수개의 클럭 신호에 응답하여 입력 데이터의 주파수를 검출하는 주파수 검출부; 상기 다수개의 클럭 신호들을 논리곱하여 복원된 클럭 신호를 생성하는 클럭 멀티플라이어; 상기 주파수 검출부에서 주파수가 고정되면, 상기 클럭 멀티플라이어에서 복원된 클럭 신호 및 입력 데이터에 응답하여 상기 복원된 클럭 신호가 상기 입력 데이터의 위상을 추종하도록 제어하는 위상 고정 루프; 및 상기 입력 데이터를 상기 복원된 클럭 신호로 샘플링하여 데이터를 추출하는 샘플링부를 포함하는 것을 특징으로 한다.

[0021] 바람직하게는, 상기 주파수 검출부는 입력 데이터의 주파수를 검출하기 위한 복수의 트랩을 생성하되, 상기 다수개의 클럭 신호 및 상기 입력 데이터의 라이징 및 폴링 엣지에 응답하여 상기 클럭신호 개수 *2의 트랩신호를 생성하는 트랩 생성부; 상기 트랩 신호의 1-UI와 입력 데이터의 데이터 펄스 폭에 기초하여 업신호를 생성하는 업신호 생성부; 및 상기 업신호에 응답하여 상기 전압 제어 발진기의 제어전압을 조절하고 상기 입력 데이터의 주파수를 추적하는 주파수 추적부를 포함할 수 있다.

[0022] 바람직하게는, 상기 트랩 생성부는 상기 전압 제어 발진기에서 $2^{(n+1)}$ 개(n 은 자연수)의 클럭 신호가 출력될 때, 상기 $2^{(n+1)}$ 개의 클럭 신호 각각에 응답하여 입력신호를 각각 지연시켜 출력하는 $2^{(n+1)}$ 개의 디바이더들; 상기 디바이더들 각각에 대응되는 $2^{(n+1)}$ 개의 D 플립플롭들을 포함하고, 상기 입력 데이터의 현재(PRESENT) 엣지에 응답하여 상기 디바이더들 각각의 출력신호를 지연시켜 출력하는 제1 플립플롭 그룹; 및 상기 제1 플립플롭 그룹에 포함된 D 플립플롭 각각에 대응되는 $2^{(n+1)}$ 개의 D 플립플롭들을 포함하고, 상기 입력 데이터의 이전(PAST) 엣지에 응답하여 상기 제1 플립플롭 그룹의 출력신호를 지연시켜 출력하는 제2 플립플롭 그룹을 포함할 수 있다.

[0023] 바람직하게는, 상기 입력 데이터의 한 주기가 경과하면 상기 트랩 생성부를 구성하는 다수의 D 플립플롭들을 모두 리셋할 수 있다.

[0024] 바람직하게는, 상기 주파수 추적부는 상기 업신호 생성부에서 출력되는 업신호를 카운트하는 카운터; 상기 전압 제어 발진기의 제어 전압을 정교하게 동작시키기 위해, 상기 카운터의 출력 신호를 아날로그 신호로 변환하는 디지털 신호를 아날로그 신호로 변환하는 신호 변환기; 및 상기 업신호 생성부의 출력 신호를 감시하여 일정시간동안 상기 업신호 생성부로부터 출력 신호가 발생하지 않으면 주파수를 고정하는 락 검출기를 포함할 수 있다.

[0025] 바람직하게는, 상기 클럭 멀티플라이어는 상기 전압 제어 발진기에서 $2^{(n+1)}$ 개(n 은 자연수)의 클럭 신호가 출력될 때, 2^n 개의 D 플립플롭과, 2^n 개의 EX-OR 게이트 및 $(2^n - 1)$ 개의 OR 게이트를 포함하며, $1/2^{(n+1)}$ 주기의 복원된 클럭 신호를 출력할 수 있다.

발명의 효과

[0026] 본 발명의 주파수 검출 장치 및 그 방법과, 이를 이용한 클럭 및 데이터 복원 회로는 주파수를 빠르게 검출함으로써, 빨라지는 데이터 전송 속도를 따라갈 수 있다. 또한, 본 발명의 장치 및 방법들은 위상 검출 루프 타입에 따라 주파수 오프셋을 제어함으로써 주파수 검출 범위가 제한되지 않으며, 소형화된 칩들을 사용함으로써 저전력과 저면적으로 구현 가능하다. 따라서, 본 발명은 시스템의 성능이나 효율 부분에서 큰 장점을 가진다. 게다가 데이터 속도가 빠르면 빠를수록 시스템 주파수를 따라가는 속도도 빨라지며, 원래보다 $1/2^{(n+1)}$ 속도를 가지는 주파수 발진기를 사용하기 때문에 고속으로 갈수록 성능 및 효율 측면에서 굉장한 장점을 가진다. 또한, 데이터를 주고 받는 모든 시스템에 적용이 가능하며, 특히, 주파수 범위를 넓게 사용해야 하는 시스템에 매우 적합하다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일 실시 예에 따른 주파수 검출 장치에 대한 회로도이다.

도 2는 본 발명의 일 실시 예에 따라 주파수를 검출하기 위한 트랩(trap) 생성부에 대한 회로도이다.

도 3a 및 도 3b는 도 1에 예시된 업신호 생성부의 동작 조건을 설명하기 위한 타이밍도이다.

도 4는 본 발명의 일 실시 예에 따른 주파수 검출 방법에 대한 처리 흐름도이다.

도 5는 본 발명의 일 실시 예에 따른 클럭 및 데이터 복원 회로를 예시한 도면이다.

도 6은 본 발명의 일 실시 예에 따른 클럭 멀티플라이어에 대한 상세 회로도이다.

도 7은 도 6에 예시된 클럭 멀티플라이어의 동작을 설명하기 위한 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 설명하되, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다. 한편 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다. 또한 상세한 설명을 생략하여도 본 기술 분야의 당업자가 쉽게 이해할 수 있는 부분의 설명은 생략하였다.
- [0029] 명세서 및 청구범위 전체에서, 어떤 부분이 어떤 구성 요소를 포함한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.
- [0030] 도 1은 본 발명의 일 실시 예에 따른 주파수 검출 장치에 대한 회로도이다. 도 1을 참조하면, 본 발명의 일 실시 예에 따른 주파수 검출 장치(100)는 크게 주파수 검출부(110)와, 전압 제어 발진기(VCO: Voltage Controlled Oscillator)(120)를 포함한다.
- [0031] 전압 제어 발진기(VCO)(120)는 위상이 서로 다른 다수개의 클럭 신호를 출력한다. 이를 위해, 전압 제어 발진기(VCO)(120)는 제어 전압을 전원으로 받는 차동 링 발진기를 포함할 수 있다. 상기 차동 링 발진기는 짝수개의 차동 지연 셀을 이용할 수 있는 장점이 있다. 한편, 이러한 구성을 갖는 전압 제어 발진기(VCO)(120)는 $2^{(n+1)}$ 개 (n 은 자연수)의 클럭 신호가 출력될 수 있다. 도 1의 예에서는 전압 제어 발진기(VCO)(120)가 동일한 지연 시간을 갖는 4개의 차동 지연 셀을 포함하는 차동 링 발진기로 구현된 예를 도시하고 있다. 따라서, 도 1의 예에서 전압 제어 발진기(VCO)(120)는 위상이 서로 다른 4개의 클럭 신호(0° , 90° , 180° , 270°)를 출력한다.
- [0032] 주파수 검출부(110)는 전압 제어 발진기(VCO)(120)에서 출력되는 위상이 서로 다른 다수개의 클럭 신호에 응답하여 입력 데이터(D_{in})의 주파수를 검출한다. 도 1에서는 위상이 서로 다른 4개의 클럭 신호에 응답하여 입력 데이터(D_{in})의 주파수를 검출하는 예를 도시하고 있다.
- [0033] 이를 위해, 주파수 검출부(110)는 트랩 생성부(111), 엣지 발생기(Edge Generator)(112), 업신호 생성부(113), 카운터(114), DAC(Digital Analog Converter)(115), 락 검출기(Lock Detector)(116), 리셋처리부(117)를 포함할 수 있다.
- [0034] 트랩 생성부(111)는 입력 데이터(D_{in})의 주파수를 검출하기 위한 복수의 트랩(trap)을 생성하되, 상기 다수개의 클럭 신호 및 입력 데이터(D_{in})의 라이징 및 폴링 엣지에 응답하여 상기 클럭신호 개수 *2의 트랩신호를 생성한다. 도 2는 이러한 트랩 생성부(111)에 대한 회로도로서, 도 1 및 도 2의 예에서는 트랩 생성부(111)가 4개의 클럭 신호에 응답하여 8개의 트랩 신호를 생성하며, 다수의 D 플립 플롭들을 포함하여 구성되는 예를 도시하고 있다. 이 때, 트랩 생성부(111)로 인가되는 클럭 신호의 수 및 트랩 생성부(111)를 구성하는 D 플립 플롭의 수는 도 1의 VCO(120)에서 출력되는 클럭 신호의 수에 의거하여 결정된다. 예를 들어, 전압 제어 발진기(VCO)(120)에서 $2^{(n+1)}$ 개(n 은 자연수)의 클럭 신호가 출력될 때, 트랩 생성부(111)는 $2^{(n+2)}$ 개의 트랩신호를 생성한다. 이하에서는 각 부의 설명에 있어서, 상기 4개의 클럭 신호에 응답하여 동작하는 경우를 예로 들어 설명할 것이다. 즉, 상기 일반화 공식(예컨대, $2^{(n+1)}$ 개(n 은 자연수))에서, n 은 1인 경우를 예로 들어 설명할 것이다. 하지만, 본 발명에서 트랩 생성부(111)로 인가되는 클럭 신호의 수 및 D 플립 플롭의 수가 상기 예에 의해 제한되지 않는 것은 자명하다.
- [0035] 도 1 및 도 2를 참조하면, 트랩 생성부(111)는 전압 제어 발진기(VCO)(120)에서 4개의 클럭 신호가 출력될 때, 상기 4개의 클럭 신호 각각에 응답하여 입력신호를 각각 지연시켜 출력하는 4개의 디바이더들과, 상기 디바이더들 각각에 대응되며 병렬로 연결된 4개의 D 플립플롭들을 포함하고 입력 데이터(D_{in})의 현재(PRESENT) 엣지에 응답하여 상기 디바이더들 각각의 출력신호를 지연시켜 출력(A, B, C, D)하는 제1 플립플롭 그룹(b)과, 상기 제1

플립플롭 그룹(b)에 포함된 D 플립플롭 각각에 대응되며 병렬로 연결된 4개의 D 플립플롭들을 포함하고 입력 데이터(D_{in})의 이전(PAST) 엣지에 응답하여 상기 제1 플립플롭 그룹(b)의 출력신호(A, B, C, D)를 지연시켜 출력(A', B', C', D')하는 제2 플립플롭 그룹(a)을 포함한다.

[0036] 엣지 발생기(Edge Generator)(112)는 상기 제1 및 제2 플립 플롭 그룹(b, a)의 동작을 제어하기 위해, 입력 데이터(D_{in})의 라이징 엣지 및 폴링 엣지에 펄스를 발생시켜 트랩 생성부(111)로 인가한다. 이를 위해, 엣지 발생기(Edge Generator)(112)는 더블 엣지 트리거드 플립플롭이나 더블 엣지 펄스 제너레이터로 구현할 수 있으나, 전체 시스템의 전력 소모량이나 면적을 줄이기 위해 더블 엣지펄스 제너레이터를 사용하는 것이 바람직하다.

[0037] 업신호 생성부(113)는 트랩 생성부(111)에서 출력되는 트랩 신호에 응답하여 업신호를 생성한다. 이를 위해, 업신호 생성부(113)는 상기 제1 및 제2 플립 플롭 그룹의 출력 신호들(A, B, C, D, A', B', C', D')을 입력으로 받아 동작하며, 다수의 논리게이트들을 이용하여 구현하는 것이 바람직하다. 이 때, 업신호 생성부(113)는 입력 데이터(D_{in})의 데이터 폭이 트랩 생성부(111)에서 출력된 트랩 신호의 1-UI(Unit Interval) 보다 좁으며, 하나의 데이터 펄스가 트랩 신호의 1-UI(Unit Interval) 내에 존재하는 경우에만 업신호를 생성한다. 도 3a 및 도 3b는 업신호 생성부(113)의 동작 조건을 설명하기 위한 타이밍도이다. 도 3a는 업신호가 생성되는 경우에 대한 예를 나타내고, 도 3b는 업신호가 생성되지 않는 경우에 대한 예를 나타낸다. 도 3a를 참조하면, 입력 데이터(D_{in}) 중 두 개의 데이터 펄스만이 트랩 생성부(111)에서 출력된 트랩 신호의 1-UI(Unit Interval) 보다 좁은 데이터 폭을 가지며 트랩 신호의 1-UI(Unit Interval) 내에 존재하므로, 2개의 업신호가 생성된 것을 알 수 있다. 한편, 도 3b를 참조하면, 입력 데이터(D_{in})의 데이터 펄스가 모두 트랩 신호의 1-UI(Unit Interval) 보다 넓은 데이터 폭을 가지므로 업신호가 발생되지 않았음을 알 수 있다.

[0038] 카운터(114)는 업신호 생성부(113)로부터 받은 신호를 누적시켜서 DAC(115)의 아웃풋 전압을 조절하는 한편, 락 검출기(Lock Detector)(116)로 누적 결과를 전송한다.

[0039] DAC(Digital Analog Converter)(115)는 상기 업신호에 응답하여 VCO(120)의 제어전압을 조절하되, VCO(120)의 제어 전압을 정교하게 동작시키기 위해, 카운터(114)에서 출력되는 디지털 신호를 아날로그 신호로 변환한다.

[0040] 락 검출기(Lock Detector)(116)는 업신호 생성부(113)의 출력 신호를 감시하여 일정시간동안 업신호가 발생하지 않으면 주파수 검출기를 고정시킨다.

[0041] 리셋처리부(117)는 입력 데이터(D_{in})의 한 주기(1UI: 1 Unit Interval)가 경과하면 트랩 처리부(111)를 리셋(reset)한다. 즉 트랩 처리부(111)를 구성하는 다수의 D 플립 플롭들을 모두 리셋한다. 이는 0이나 1이 반복되는 긴 데이터가 입력될 때 신호 인식 오류가 발생할 수 있으므로 이를 방지하기 위함이다. 이를 위해, 리셋처리부(117)는 디바이더들의 출력 신호가 모두 0인 경우 입력 데이터(D_{in})의 한 주기가 경과한 것으로 판단하여, 트랩 처리부(111)를 리셋한다. 그런데, 첫 번째 디바이더와, 네 번째 디바이더의 출력 값(M1, M3)이 0이면 상기 디바이더들의 출력 신호가 모두 0인 경우가 되므로, 리셋 처리부(117)는 첫 번째 디바이더와, 네 번째 디바이더의 출력 값(M1, M3)만을 입력으로 받아 리셋 처리 여부를 결정한다. 즉, 리셋 처리부(117)는 첫 번째 디바이더와, 네 번째 디바이더의 출력 값(M1, M3)이 0인 경우 트랩 처리부(111)를 리셋한다.

[0042] 도 4는 본 발명의 일 실시 예에 따른 주파수 검출 방법에 대한 처리 흐름도이다. 도 1 및 도 4를 참조하면, 본 발명의 일 실시 예에 따른 주파수 검출 방법은 다음과 같다.

[0043] 먼저, 단계 S110에서는, VCO(120)가 위상이 서로 다른 다수개의 클럭 신호를 출력한다. 도 1의 예에서, VCO(120)는 90°의 위상차를 갖는 4개의 클럭 신호를 출력한다.

[0044] 단계 S120 및 단계 S130에서는, 리셋 처리부(117)가 입력 데이터(D_{in})의 한 주기가 경과하였는지의 여부를 결정하고, 그 결과에 따라 트랩 생성부(111)를 리셋한다. 즉, 입력 데이터(D_{in})의 한 주기가 경과한 경우 트랩 생성부(111)를 리셋한다. 이는 0이나 1이 반복되는 긴 데이터가 입력될 때 신호 인식 오류가 발생할 수 있으므로 이를 방지하기 위함이다. 이를 위해, 리셋처리부(117)는 디바이더들의 출력 신호가 모두 0인 경우 입력 데이터(D_{in})의 한 주기가 경과한 것으로 판단하여, 트랩 처리부(111)를 리셋한다. 그런데, 첫 번째 디바이더와, 네 번째 디바이더의 출력 값(M1, M3)이 0이면 모든 디바이더들의 출력 신호가 모두 0인 경우가 되므로, 리셋 처리부(117)는 첫 번째 디바이더와, 네 번째 디바이더의 출력 값(M1, M3)만을 입력으로 받아 리셋 처리 여부를 결정한다. 즉, 리셋 처리부(117)는 첫 번째 디바이더와, 네 번째 디바이더의 출력 값(M1, M3)이 0인 경우 트랩 처리부

(111)를 리셋하고, 초기 단계(즉, 단계 110)로 리턴한다.

- [0045] 한편, 상기 단계 S120의 판단 결과, 입력 데이터(D_{in})의 한주기가 경과하지 않은 경우, 단계 S140에서는, 트랩 생성부(111)가 상기 4개의 클럭 신호 및 입력 데이터(D_{in})의 라이징 및 폴링 엣지에 응답하여 8개의 트랩 신호를 생성한다. 즉, 단계 S140에서는, 먼저 상기 4개의 클럭 신호 각각에 응답하여 디바이더들이 서로 다른 4개의 지연신호들을 출력한 후, 입력 데이터(D_{in})의 현재(PRESENT) 엣지에 응답하여 상기 4개의 디바이더들의 출력신호들을 지연시켜 4개의 제1 트랩신호 그룹(A, B, C, D)을 출력하고, 입력 데이터(D_{in})의 이전(PAST) 엣지에 응답하여 상기 4개의 제1 트랩신호 그룹(A, B, C, D)을 지연시켜 4개의 제2 트랩신호 그룹(A', B', C', D')을 출력한다. 이를 위한 트랩 생성부(111)의 구성에 대한 구체적인 설명은 도 1 및 도 2를 참조하여 설명한 바와 같다.
- [0046] 단계 S150에서는, 업신호 생성부(113)가 단계 S120에서 출력되는 트랩 신호에 응답하여 업신호를 생성한다. 이때, 업신호 생성부(113)는 입력 데이터(D_{in})의 데이터 폭이 트랩 생성부(111)에서 출력된 트랩 신호의 1-UI(Unit Interval) 보다 좁으며, 하나의 데이터 펄스가 트랩 신호의 1-UI(Unit Interval) 내에 존재하는 경우에만 업신호를 생성한다.
- [0047] 단계 S160에서는, 카운터(114)가 단계 S150에서 출력되는 업신호를 카운트한다.
- [0048] 단계 S170에서는, 카운터(114)의 카운트 결과 업신호의 생성이 멈추었는지의 여부를 결정한다.
- [0049] 만약, 업신호의 생성이 멈추지 않았다면, 단계 S180에서는, DAC(115)가 상기 업신호에 응답하여 VCO(120)의 제어 전압을 조절하되, VCO(120)의 제어 전압을 정교하게 동작시키기 위해, 카운터(114)에서 출력되는 디지털 신호를 아날로그 신호로 변환하는 과정을 더 포함한다.
- [0050] 한편, 미리 설정된 일정 시간동안 업신호의 생성이 멈춘 경우, 단계 S190에서는, 락 검출기(116)가 주파수 검출기를 고정시킨다.
- [0051] 도 5는 본 발명의 일 실시 예에 따른 클럭 및 데이터 복원 회로를 예시한 도면이다. 도 5를 참조하면, 본 발명의 일 실시 예에 따른 클럭 및 데이터 복원 회로(200)는 주파수 검출부(210), 위상 고정 루프(220), 클럭 신호 복원부(230) 및 샘플링부(240)를 포함한다.
- [0052] 먼저, 클럭 신호 복원부(230)는 클럭을 발생시킨 후 복원하여 출력하는데, 이를 위해, 클럭 멀티플라이어(231)와, 전압 제어 발진기(VCO)(232)를 포함한다. 전압 제어 발진기(VCO)(232)는 위상이 서로 다른 다수개의 클럭 신호를 출력한다. 이를 위해, 전압 제어 발진기(VCO)(232)는 제어 전압을 전원으로 받는 차동 링 발진기를 포함할 수 있다. 상기 차동 링 발진기는 짝수개의 차동 지연 셀을 이용할 수 있는 장점이 있다. 한편, 이러한 구성을 갖는 전압 제어 발진기(VCO)(232)는 $2^{(n+1)}$ 개(n은 자연수)의 클럭 신호가 출력될 수 있다. 도 5의 예에서는 전압 제어 발진기(VCO)(232)가 동일한 지연 시간을 갖는 4개의 차동 지연 셀을 포함하는 차동 링 발진기로 구현된 예를 도시하고 있다. 따라서, 도 5의 예에서 전압 제어 발진기(VCO)(232)는 위상이 서로 다른 4개의 클럭 신호(0° , 90° , 180° , 270°)를 출력한다.
- [0053] 클럭 멀티플라이어(231)는 VCO(232)에서 출력된 클럭 신호들을 논리곱하여 복원된 클럭 신호를 생성한다. 도 6 및 도 7은 이러한 클럭 멀티플라이어(231)의 구성 및 동작을 보다 상세히 설명하기 위한 도면으로서, 도 6에는 클럭 멀티플라이어(clock multiplier)(231)에 대한 상세 회로도도 도시하고, 도 7에는 도 6에 예시된 클럭 멀티플라이어(231)의 동작을 설명하기 위한 타이밍도를 나타내고 있다. 도 6을 참조하면, 클럭 멀티플라이어(231)는 4개의 클럭 신호를 수신하므로, 2개의 D 플립플롭(10, 20)과, 2 개의 EX-OR 게이트(30, 40) 및 OR 게이트(50)를 포함한다.
- [0054] 먼저, 제1 D 플립플롭(10)은 90° 의 위상을 갖는 클럭 신호에 응답하여 동작하며, 0° 의 위상을 갖는 클럭 신호를 지연시켜 출력(E)하고, 제2 D 플립플롭(20)은 180° 의 위상을 갖는 클럭 신호에 응답하여 동작하며, 90° 의 위상을 갖는 클럭 신호를 지연시켜 출력(F)한다.
- [0055] 한편, 제1 EX-OR 게이트(30)는 제1 D 플립 플롭(10)의 출력 신호(E)와 180° 의 위상을 갖는 클럭 신호를 연산하여 출력(G)하고, 제2 EX-OR 게이트(40)는 제2 D 플립 플롭(20)의 출력 신호(F)와 270° 의 위상을 갖는 클럭 신호를 연산하여 출력(H)한다.
- [0056] 제일 뒷단에 연결된 OR 게이트(50)는 제1 및 제2 EX-OR 게이트(30, 40) 각각의 출력 신호들(G, H)을 연산하여 출력(I)한다.

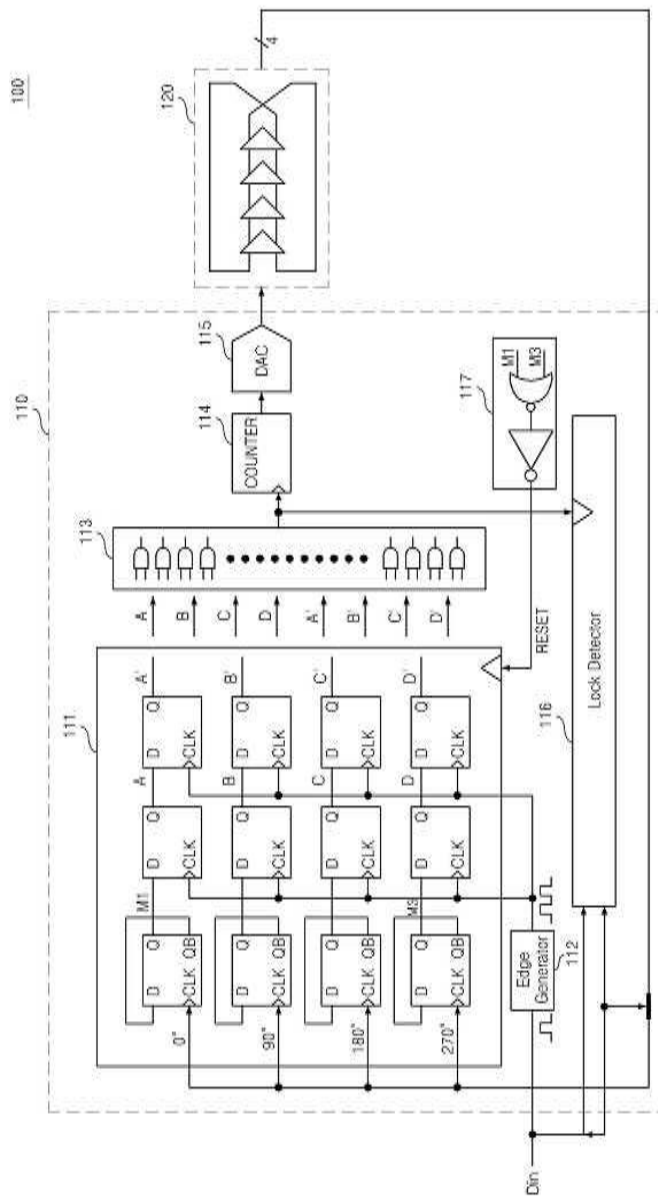
- [0057] 도 6의 예에서는, VCO(232)에서 위상이 서로 다른 4개의 클럭 신호가 출력되는 경우에 대한 예로써, 클럭 멀티플라이어(231)가 2개의 D 플립플롭(10, 20)과, 2 개의 EX-OR 게이트(30, 40) 및 OR 게이트(50)를 포함하는 경우에 대하여 설명하고 있다. 하지만, 본 발명의 클럭 멀티플라이어(231)가 도 6에 예시된 내용으로 한정되는 것은 아니다. 즉, VCO(232)에서 위상이 서로 다른 $2^{(n+1)}$ 개(n 은 자연수)의 클럭 신호가 출력될 때, 클럭 멀티플라이어(231)는 $2^{(n+2)}$ 개의 D 플립플롭 및 $2^{(n+2)}$ 개의 EX-OR 게이트와, (2^n-1) 개의 OR 게이트를 포함할 수 있다.
- [0058] 이와 같은 클럭 멀티플라이어(231)의 처리 과정에 따른 입출력 신호 각각에 대한 타이밍도가 도 7에 예시되어 있다. 도 7을 참조하면, 클럭 멀티플라이어(231)는 입력단에 인가된 4개의 클럭 신호들의 1/4 주기를 갖는 클럭 신호(I)를 출력함을 알 수 있다. 즉, 클럭 멀티플라이어(231)는 $2^{(n+1)}$ 개(n 은 자연수)의 서로 다른 위상의 클럭 신호들을 입력받아 $1/2^{(n+1)}$ 주기의 클럭 신호를 복원하여 출력한다.
- [0059] 주파수 검출부(210)는 전압 제어 발진기(VCO)(232)에서 출력되는 위상이 서로 다른 다수개의 클럭 신호에 응답하여 입력 데이터(D_{in})의 주파수를 검출한다. 도 5에서는 위상이 서로 다른 4개의 클럭 신호에 응답하여 입력 데이터(D_{in})의 주파수를 검출하는 예를 도시하고 있다.
- [0060] 이를 위해, 주파수 검출부(210)는 트랩 생성부(211), 엣지 발생기(Edge Generator)(212), 업신호 생성부(213), 카운터(214), DAC(Digital Analog Converter)(215), 락 검출기(Lock Detector)(216), 리셋처리부(217)를 포함할 수 있다.
- [0061] 트랩 생성부(211)는 입력 데이터(D_{in})의 주파수를 검출하기 위한 복수의 트랩(trap)을 생성하되, 상기 다수개의 클럭 신호 및 입력 데이터(D_{in})의 라이징 및 폴링 엣지에 응답하여 상기 클럭신호 개수 *2의 트랩신호를 생성한다. 도 5의 예에서는 트랩 생성부(211)가 4개의 클럭 신호에 응답하여 8개의 트랩 신호를 생성하며, 다수의 D 플립 플롭들을 포함하여 구성되는 예를 도시하고 있다. 이 때, 트랩 생성부(211)로 인가되는 클럭 신호의 수 및 트랩 생성부(211)를 구성하는 D 플립 플롭의 수는 도 5의 VCO(232)에서 출력되는 클럭 신호의 수에 의거하여 결정된다. 예를 들어, 전압 제어 발진기(VCO)(232)에서 $2^{(n+1)}$ 개(n 은 자연수)의 클럭 신호가 출력될 때, 트랩 생성부(211)는 $2^{(n+2)}$ 개의 트랩신호를 생성한다. 이하에서는 각 부의 설명에 있어서, 상기 4개의 클럭 신호에 응답하여 동작하는 경우를 예로 들어 설명할 것이다. 즉, 상기 일반화 공식(예컨대, $2^{(n+1)}$ 개(n 은 자연수))에서, n 은 1인 경우를 예로 들어 설명할 것이다. 하지만, 본 발명에서 트랩 생성부(211)로 인가되는 클럭 신호의 수 및 D 플립 플롭의 수가 상기 예에 의해 제한되지 않는 것은 자명하다.
- [0062] 도 5를 참조하면, 트랩 생성부(211)는 전압 제어 발진기(VCO)(232)에서 4개의 클럭 신호가 출력될 때, 상기 4개의 클럭 신호 각각에 응답하여 입력신호를 각각 지연시켜 출력하는 4개의 디바이더들과, 상기 디바이더들 각각에 대응되며 병렬로 연결된 4개의 D 플립플롭들을 포함하고 입력 데이터(D_{in})의 현재(PRESENT) 엣지에 응답하여 상기 디바이더들 각각의 출력신호를 지연시켜 출력(A, B, C, D)하는 제1 플립플롭 그룹과, 상기 제1 플립플롭 그룹에 포함된 D 플립플롭 각각에 대응되며 병렬로 연결된 4개의 D 플립플롭들을 포함하고 입력 데이터(D_{in})의 이전(PAST) 엣지에 응답하여 상기 제1 플립플롭 그룹의 출력신호(A, B, C, D)를 지연시켜 출력(A', B', C', D')하는 제2 플립플롭 그룹을 포함한다.
- [0063] 엣지 발생기(Edge Generator)(212)는 상기 제1 및 제2 플립 플롭 그룹의 동작을 제어하기 위해, 입력 데이터(D_{in})의 라이징 엣지 및 폴링 엣지에 펄스를 발생시켜 트랩 생성부(211)로 인가한다. 이를 위해, 엣지 발생기(Edge Generator)(212)는 더블 엣지 트리거드 플립플롭이나 더블 엣지 펄스 제너레이터로 구현할 수 있으나, 전체 시스템의 전력 소모량이나 면적을 줄이기 위해 더블 엣지펄스 제너레이터를 사용하는 것이 바람직하다.
- [0064] 업신호 생성부(213)는 트랩 생성부(211)에서 출력되는 트랩 신호에 응답하여 업신호를 생성한다. 이를 위해, 업신호 생성부(213)는 상기 제2 및 제3 플립 플롭 그룹의 출력 신호들(A, B, C, D, A', B', C', D')을 입력으로 받아 동작하며, 다수의 논리게이트들을 이용하여 구현하는 것이 바람직하다. 이 때, 업신호 생성부(213)는 입력 데이터(D_{in})의 데이터 폭이 트랩 생성부(211)에서 출력된 트랩 신호의 1-UI(Unit Interval) 보다 좁으며, 하나의 데이터 펄스가 트랩 신호의 1-UI(Unit Interval) 내에 존재하는 경우에만 업신호를 생성한다.
- [0065] 카운터(214)는 업신호 생성부(213)로부터 받은 신호를 누적시켜서 DAC(215)의 아웃풋 전압을 조절하는 한편, 락

검출기(Lock Detector)(216)로 누적 결과를 전송한다.

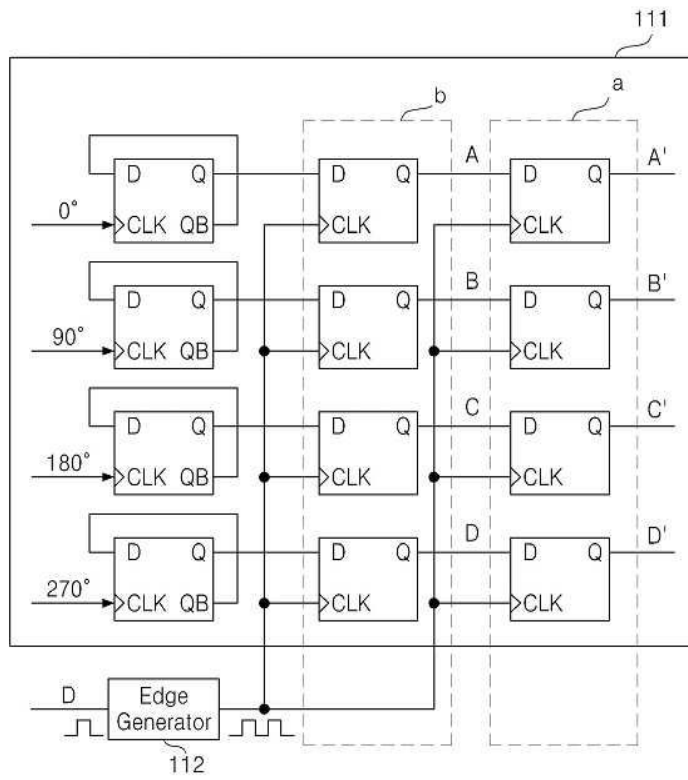
- [0066] DAC(Digital Analog Converter)(215)는 상기 업신호에 응답하여 VCO(232)의 제어전압을 조절하되, VCO(232)의 제어 전압을 정교하게 동작시키기 위해, 카운터(214)에서 출력되는 디지털 신호를 아날로그 신호로 변환한다.
- [0067] 락 검출기(Lock Detector)(216)는 업신호 생성부(213)의 출력 신호를 감시하여 일정시간동안 업신호가 발생하지 않으면 주파수 검출기를 고정시킨다.
- [0068] 리셋처리부(217)는 입력 데이터(D_{in})의 한 주기(1UI: 1 Unit Interval)가 경과하면 트랩 처리부(211)를 리셋(reset)한다. 즉 트랩 처리부(211)를 구성하는 다수의 D 플립 플롭들을 모두 리셋한다. 이는 0이나 1이 반복되는 긴 데이터가 입력될 때 신호 인식 오류가 발생할 수 있으므로 이를 방지하기 위함이다. 이를 위해, 리셋처리부(217)는 디바이더들의 출력 신호가 모두 0인 경우 입력 데이터(D_{in})의 한 주기가 경과한 것으로 판단하여, 트랩 처리부(211)를 리셋한다. 그런데, 첫 번째 디바이더와, 네 번째 디바이더의 출력 값(M1, M3)이 0이면 상기 디바이더들의 출력 신호가 모두 0인 경우가 되므로, 리셋 처리부(217)는 첫 번째 디바이더와, 네 번째 디바이더의 출력 값(M1, M3)만을 입력으로 받아 리셋 처리 여부를 결정한다. 즉, 리셋 처리부(217)는 첫 번째 디바이더와, 네 번째 디바이더의 출력 값(M1, M3)이 0인 경우 트랩 처리부(211)를 리셋한다.
- [0069] 위상 고정 루프(220)는 주파수 검출부(210)에서 주파수가 고정되면, 클럭 멀티플라이어(231)에서 복원된 클럭 신호(REC_CLK) 및 입력 데이터(D_{in})에 응답하여 복원된 클럭 신호(REC_CLK)가 입력 데이터(D_{in})의 위상을 추종하도록 제어한다. 이를 위해, 위상 고정 루프(220)는 위상 검출기(221)와, 차지펌프(222)와, 저역 통과 필터(223)를 포함할 수 있다. 위상 검출기(221)는 클럭 멀티플라이어(231)에서 복원된 클럭 신호(REC_CLK)와 입력 데이터(D_{in})의 위상 차이를 검출하고, 차지펌프(222)는 위상 검출기(221)에서 출력되는 업/다운 신호에 기초하여 전압 제어 발진기(232)의 제어 전압을 조절신호를 출력한다. 한편, 저역 통과 필터(223)는 차지펌프(222)의 출력 신호를 안정화시키는 역할을 한다.
- [0070] 샘플링부(240)는 입력 데이터(D_{in})를 복원된 클럭 신호(REC_CLK)로 샘플링하여 데이터(REC_DATA)를 추출한다.
- [0071] 상술한 예시적인 시스템에서, 방법들은 일련의 단계 또는 블록으로써 순서도를 기초로 설명되고 있지만, 본 발명은 단계들의 순서에 한정되는 것은 아니며, 어떤 단계는 상술한 바와 다른 단계와 다른 순서로 또는 동시에 발생할 수 있다.
- [0072] 또한, 당업자라면 순서도에 나타난 단계들이 배타적이지 않고, 다른 단계가 포함되거나 순서도의 하나 또는 그 이상의 단계가 본 발명의 범위에 영향을 미치지 않고 삭제될 수 있음을 이해할 수 있을 것이다.

도면

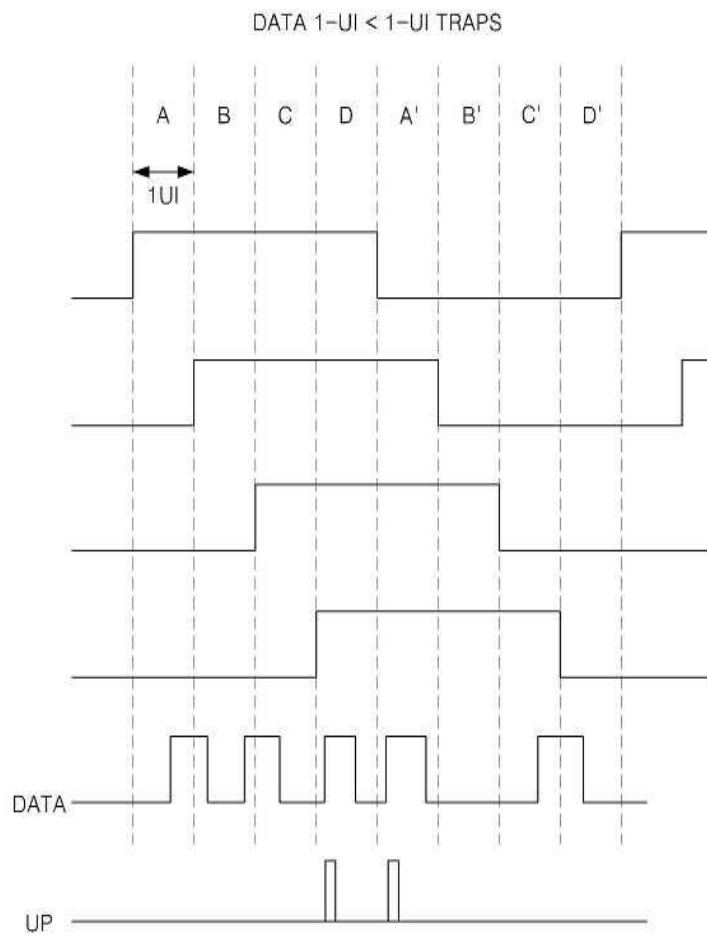
도면1



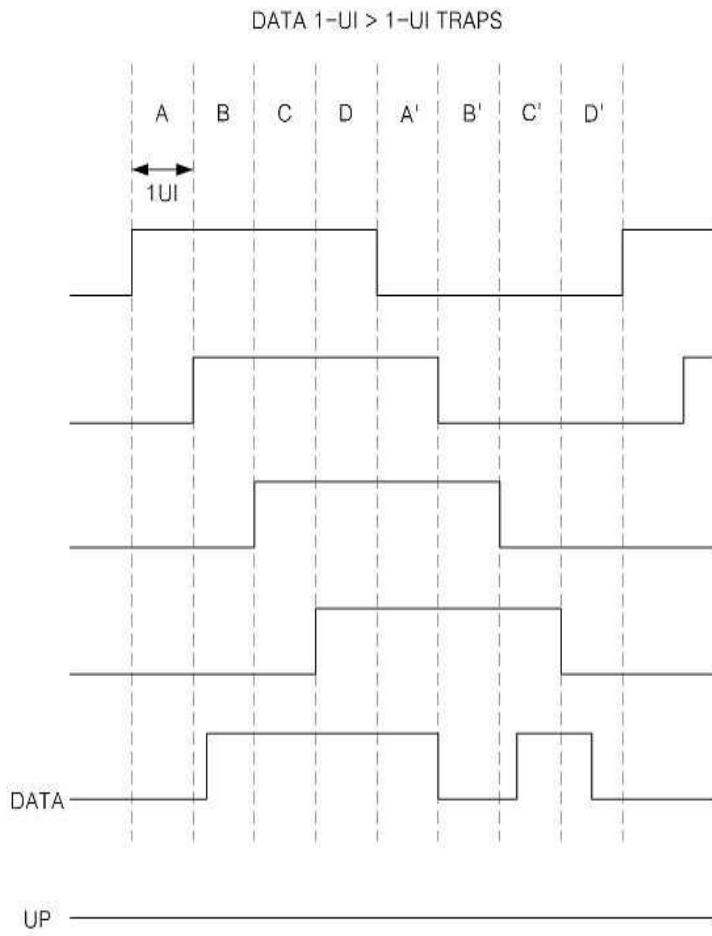
도면2



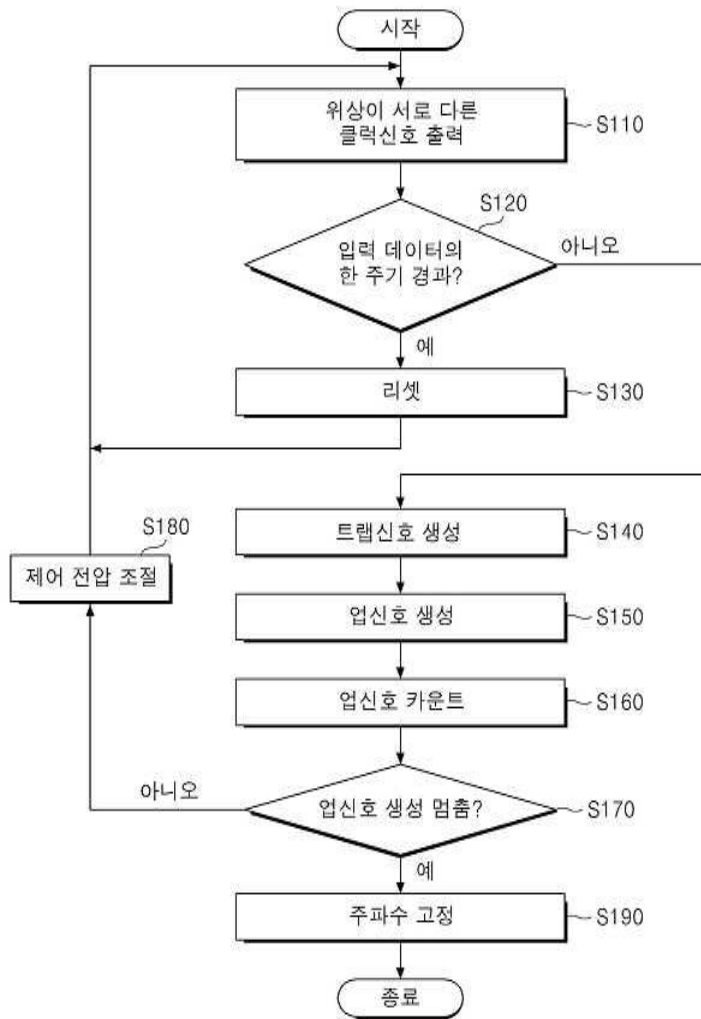
도면3a



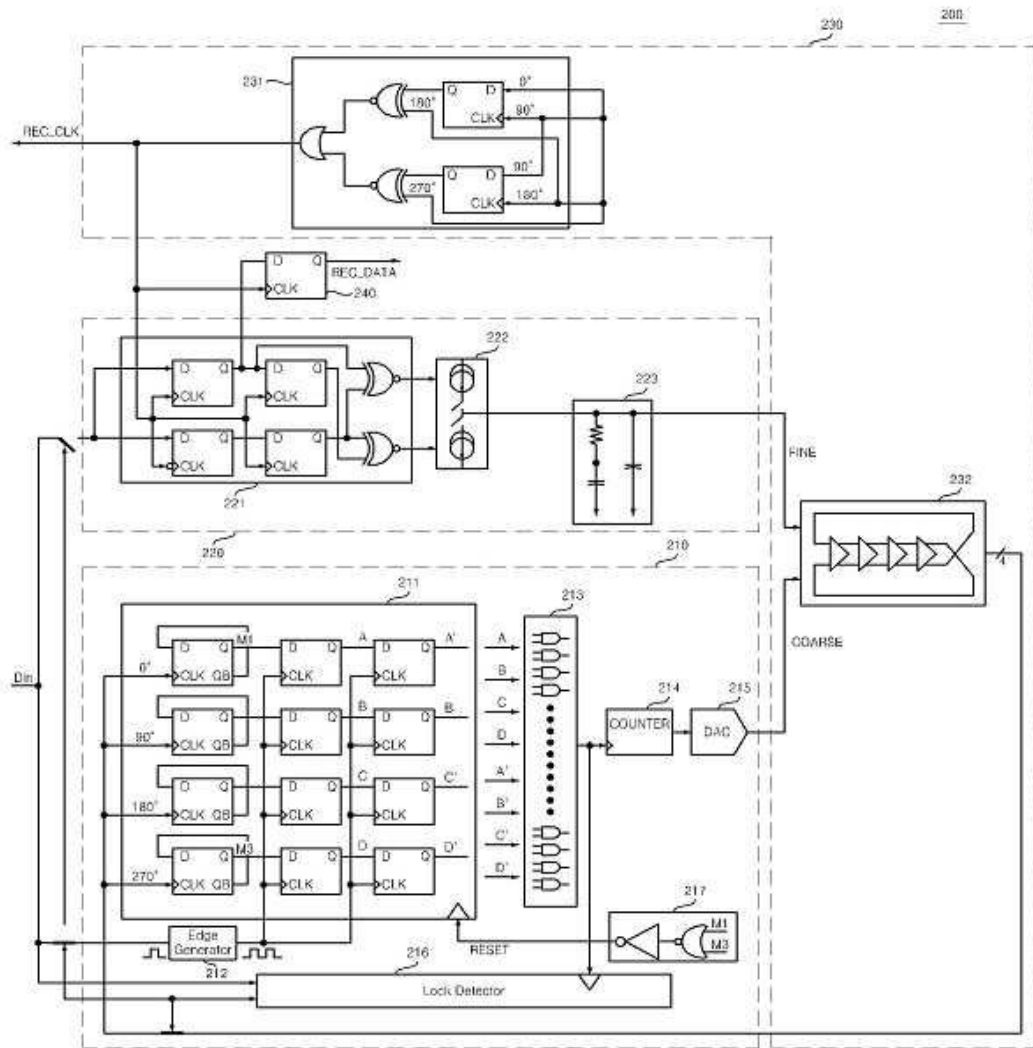
도면3b



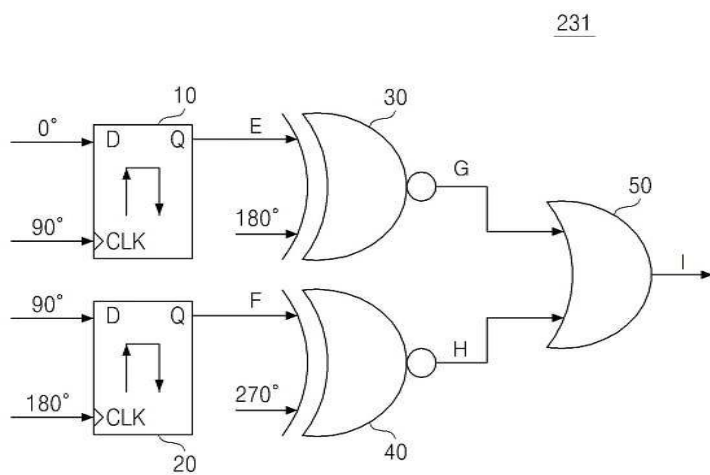
도면4



도면5



도면6



도면7

