



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월14일
(11) 등록번호 10-0846097
(24) 등록일자 2008년07월08일

(51) Int. Cl.

H01L 21/336 (2006.01) H01L 29/78 (2006.01)

(21) 출원번호 10-2007-0064941

(22) 출원일자 2007년06월29일

심사청구일자 2007년06월29일

(56) 선행기술조사문현

KR1020060037776 A

KR1020050064032 A

JP2004153037 A

KR1020070043108 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

신동석

경기 용인시 기흥구 서천동 현대아파트 현대홈타운 108동 601호

이주원

경기 수원시 영통구 영통동 황골마을 풍림아파트 234동 1501호

김태균

서울 강서구 가양1동 동신대아아파트 103동 1302호

(74) 대리인

박영우

전체 청구항 수 : 총 18 항

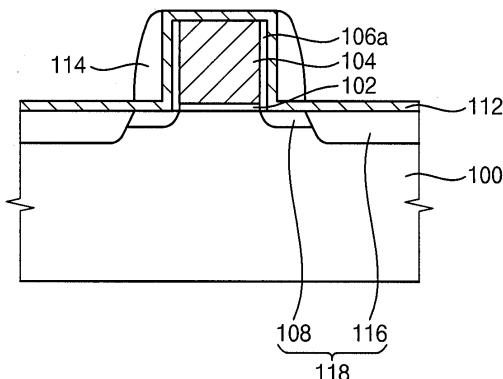
심사관 : 김주식

(54) 반도체 소자의 제조 방법

(57) 요 약

반도체 소자의 제조 방법으로, 기판 상에 도전막 패턴을 형성한다. 상기 기판 표면 및 상기 도전막 패턴의 표면에 실리콘 산화막을 형성한다. P형 불순물을 확산에 요구되는 에너지가 높아지도록 상기 실리콘 산화막을 표면 처리하여 확산 방지막을 형성한다. 다음에, 상기 확산 방지막을 통해 상기 도전막 패턴 양측의 기판 및 상기 도전막 패턴에 P형 불순물을 주입하여, 상기 기판에 불순물 영역을 형성한다. 상기 방법에 의해 형성되는 반도체 소자는 도전막 패턴 및 기판에 도핑되어 있는 불순물의 확산이 감소되어 고성능을 갖는다.

대표도 - 도7



특허청구의 범위

청구항 1

기판 상에 도전막 패턴을 형성하는 단계;

상기 기판 표면 및 상기 도전막 패턴의 표면 상에 실리콘 산화막을 형성하는 단계;

P형 불순물의 확산에 요구되는 에너지가 높아지도록 상기 실리콘 산화막을 표면 처리하여 확산 방지막을 형성하는 단계; 및

상기 확산 방지막을 통해 상기 도전막 패턴 양측의 기판 및 상기 도전막 패턴에 P형 불순물을 주입하여, 상기 기판에 불순물 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 2

제1항에 있어서, 상기 실리콘 산화막은 20 내지 100Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 3

제1항에 있어서, 상기 확산 방지막을 형성하기 위한 표면 처리는 수소, 헬륨, 질소, 아르곤, 산소 및 오존으로 이루어지는 군에서 선택된 가스를 이용한 플라즈마 처리를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4

제3항에 있어서, 상기 플라즈마 처리는 1 내지 5분동안 300 내지 700°C로 수행되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5

제1항에 있어서, 상기 확산 방지막을 형성하기 위한 표면 처리는 자외선을 조사하는 처리를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 6

제5항에 있어서, 상기 자외선은 400 내지 600°C의 온도에서 불활성 가스 분위기에서 조사되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 7

제1항에 있어서,

상기 확산 방지막 표면에 스페이서막을 형성하는 단계; 및

상기 확산 방지막을 식각 방지막으로 사용하여 스페이서막을 이방성 식각함으로써 상기 도전막 패턴의 측벽에 위치한 확산 방지막 표면에 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 8

제7항에 있어서, 상기 스페이서막을 증착하는 단계와 상기 표면 처리 단계는 인 시튜로 진행되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 9

제7항에 있어서, 상기 실리콘 산화막을 형성하기 전에, 상기 기판에 P형 불순물을 주입시켜 저농도 불순물 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 10

제9항에 있어서, 상기 도전막 패턴의 양측에 상기 저농도 불순물 영역의 위치를 조절하기 위한 오프셋 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 11

제1항에 있어서, 상기 불순물 영역이 형성된 기판을 열처리하여 상기 불순물 영역에 도핑되어 있는 불순물을 활성화하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 12

기판의 제1 영역 및 제2 영역에 각각 제1 게이트 구조물 및 제2 게이트 구조물을 형성하는 단계;

상기 기판, 제1 게이트 구조물 및 제2 게이트 구조물의 표면 상에 실리콘 산화막을 형성하는 단계;

P형 불순물의 확산에 요구되는 에너지가 높아지도록 상기 실리콘 산화막을 표면 처리하여 확산 방지막을 형성하는 단계;

상기 제1 및 제2 게이트 구조물 양측벽에 형성된 확산 방지막 표면에 스페이서를 형성하는 단계;

상기 제1 영역에 위치한 스페이서 양측의 기판으로 N형 불순물을 주입하여, 상기 제1 영역의 기판에 제1 불순물 영역을 형성하는 단계; 및

상기 제2 영역에 위치한 스페이서 양측의 기판으로 P형 불순물을 주입하여, 상기 제2 영역의 기판에 제2 불순물 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 13

제12항에 있어서, 상기 확산 방지막을 형성하기 위한 표면 처리는 수소, 헬륨, 질소, 아르곤, 산소 및 오존으로 이루어지는 군에서 선택된 가스를 이용한 플라즈마 처리를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 14

제12항에 있어서, 상기 확산 방지막을 형성하기 위한 표면 처리는 자외선을 조사하는 처리를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 15

제12항에 있어서, 상기 제1 및 제2 게이트 구조물은 게이트 산화막 패턴 및 폴리실리콘 패턴이 적층된 구조를 갖는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 16

제12항에 있어서,

상기 제1 게이트 구조물 양측의 기판 표면 아래로 N형 불순물을 주입시켜 저농도 N형 불순물 영역을 형성하는 단계; 및

상기 제2 게이트 구조물 양측의 기판 표면 아래로 P형 불순물을 주입시켜 저농도 P형 불순물 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 17

제16항에 있어서, 상기 제1 및 제2 게이트 구조물의 측벽에 상기 저농도 N형 및 P형 불순물 영역의 가장자리 위치를 조절하기 위한 오프셋 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 18

제12항에 있어서, 상기 제1 및 제2 불순물 영역이 형성된 기판을 열처리하여 상기 제1 및 제2 불순물 영역에 도핑되어 있는 불순물을 활성화하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <4> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는 고성능을 갖는 PMOS 트랜지스터 및 이를 포함하는 CMOS 트랜지스터의 제조 방법에 관한 것이다.
- <5> 반도체 메모리 소자를 구성하는 기본적인 단위 소자로서 전계 효과 모오스 트랜지스터(MOSFET, 이하, 트랜지스터)가 있다. 상기 트랜지스터는 저전압에서 고속 동작을 할 수 있으며, 소형화, 집적화되는 방향으로 발전되고 있다.
- <6> 구체적으로, 상기 메모리 소자가 고집적화됨에 따라 소자를 형성하기 위한 액티브 영역의 크기가 매우 감소하고 있다. 때문에, 상기 액티브 영역에 형성되는 트랜지스터의 게이트 길이가 감소되고 있다. 이와같이, 트랜지스터의 게이트 길이가 작아지면, 채널 영역에서의 전계나 전위에 미치는 소오스 및 드레인의 영향이 현저하게 되어, 게이트 전압에 의하여 스위칭 동작을 수행하기가 어려워지는 솟-채널 효과가 발생하게 된다. 즉, 상기 게이트 길이가 짧아짐에 따라 채널 영역이 게이트 전압 뿐만 아니라 소오스 및 드레인 영역의 공핍층 전하나 전계 및 전위 분포의 영향을 크게 받게 되어 정상적인 스위칭 동작이 어려워진다.
- <7> 또한, 드레인 전압이 증가할수록 드레인의 공핍층이 비례하여 증가하여 드레인 공핍층이 소오스에 근접해지는데, 게이트 길이가 짧아지면 드레인 공핍층과 소오스 공핍층이 완전히 연결되어 버린다. 이 상태에서는 드레인 전계가 소오스 측에까지 영향을 미쳐서 소오스 근방의 확산 전위를 저하시키기 때문에, 채널이 형성되어 있지 않아도 소오스와 드레인 간에 전류가 흐르게 된다. 이것이 편치쓰루우라고 불리는 현상인데, 편치쓰루우가 일어나기 시작하면 포화 영역에서도 드레인 전류가 포화되지 않고 급격히 증가하게 된다.
- <8> 이러한 솟-채널 효과는 소오스/드레인 영역의 접합 깊이가 깊을수록, 채널 도핑이 낮을수록 심화되는데, 이를 감소시키기 위하여 소오스/드레인의 접합 깊이를 얕게 형성하여야 한다. 이와같이, 소오스/드레인의 접합 깊이가 얕아짐으로써 소오스/드레인 저항이 매우 증가되고 있다.
- <9> 또한, 솟채널 효과를 방지하기 위한 하나의 방법으로 소오스/드레인을 LDD(Lightly Doped Drain) 구조로 형성하고 있다. 반도체 소자의 고집적화가 가속화되면서 다양한 반도체 제조 기술들이 개발됨에 따라, 최근에 들어서는 LDD 영역을 형성하기 위하여 상기 게이트 전극들의 양측벽으로 게이트 스페이서를 형성하고 있다.
- <10> 한편, 소오스/드레인의 형성은 소오스/드레인 영역을 오픈한 후 소오스/드레인 이온을 각각 진행한 후, 도펜트(dopant)를 활성화하기 위해 고온의 급속열처리(Rapid Thermal Process; 'RTP')을 진행한다. 상기 급속열처리 공정 시에 상기 소오스/드레인 영역의 불순물들이 기판 아래, 위 및 측방으로 확산하게 된다. 따라서, 상기 소오스/드레인 영역 사이의 간격은 더욱 감소하게 될 뿐 아니라, 상기 소오스/드레인 영역의 불순물 농도가 더 낮아지게되어 상기 소오스/드레인 영역의 저항이 증가하게 된다. 특히, P형 불순물인 봉소의 경우 확산 에너지가 낮아서 상기 기판의 상부로 쉽게 확산되므로, 트랜지스터의 동작 특성에 악영향을 끼친다.
- <11> 한편, 상기 트랜지스터가 사용자가 원하는 수준의 문턱 전압을 갖기 위해서는, 특정한 일함수를 갖는 물질로 게이트 전극을 형성하여야 한다. 그런데, 폴리실리콘의 경우에는 상기 폴리실리콘에 도핑되는 불순물의 도전형에 따라 일함수를 적절히 조절할 수 있으므로 게이트 전극으로 널리 사용된다. 구체적으로, PMOS 트랜지스터의 경우 P형 불순물인 봉소를 도핑한 폴리실리콘을 게이트 전극으로 사용하고, N형 트랜지스터의 경우 N형 불순물인 인 또는 비소를 도핑한 폴리실리콘을 게이트 전극으로 사용할 수 있다. 이와같이, 상기 불순물이 도핑된 폴리실리콘을 게이트 전극으로 사용하는 경우에는 상기 게이트 전극 내에 불순물들이 확산되지 않도록 하여 상기 불순물 농도가 감소되지 않는 것이 바람직하다. 상기 PMOS 트랜지스터의 게이트 전극 내의 불순물 농도가 감소되면, 게이트 공핍 현상이 현저해지게 되어 전기적으로 게이트 산화막의 두께가 증가되기 때문에 동작 특성이 나빠지게 된다.
- <12> 그러나, 상기 소오스/드레인 영역 및 게이트 전극 내에서의 불순물들은 공정을 진행하는 중에 반복 수행되는 열공정에 의해 계속적으로 확산되기 때문에, 상기 불순물의 확산을 감소시키는 것이 용이하지 않다. 더구나, PMOS 트랜지스터에 사용되는 봉소의 경우에는 N형 불순물인 인이나 비소에 비해 상대적으로 더 빠르게 확산이 이루어

지므로, 상기 불순물의 확산에 따라 PMOS 트랜지스터의 특성이 나빠지는 것을 방지하는 것이 용이하지 않다.

발명이 이루고자 하는 기술적 과제

<13> 따라서, 본 발명의 목적은 고성능을 갖는 PMOS 트랜지스터를 포함하는 반도체 소자의 제조 방법을 제공하는데 있다.

<14> 본 발명의 다른 목적은 고성능을 갖는 CMOS 트랜지스터를 포함하는 반도체 소자의 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

<15> 상기한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법으로, 기판 상에 도전막 패턴을 형성한다. 상기 기판 표면 및 상기 도전막 패턴의 표면 상에 실리콘 산화막을 형성한다. P형 불순물의 확산에 요구되는 에너지가 높아지도록 상기 실리콘 산화막을 표면 처리하여 확산 방지막을 형성한다. 다음에, 상기 확산 방지막을 통해 상기 도전막 패턴 양측의 기판 및 상기 도전막 패턴에 P형 불순물을 주입하여, 상기 기판에 불순물 영역을 형성한다.

<16> 상기 확산 방지막을 형성하기 위한 표면 처리는 수소, 헬륨, 질소, 아르곤, 산소 및 오존으로 이루어지는 군에서 선택된 가스를 이용한 플라즈마 처리를 포함할 수 있다.

<17> 상기 확산 방지막을 형성하기 위한 표면 처리는 자외선을 조사하는 처리를 포함할 수 있다.

<18> 상기한 다른 목적을 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법으로, 기판의 제1 영역 및 제2 영역에 각각 제1 게이트 구조를 및 제2 게이트 구조물을 형성한다. 상기 기판, 제1 게이트 구조 및 제2 게이트 구조의 표면 상에 실리콘 산화막을 형성한다. P형 불순물의 확산에 요구되는 에너지가 높아지도록 상기 실리콘 산화막을 표면 처리하여 확산 방지막을 형성한다. 상기 제1 및 제2 게이트 구조물 양측벽에 형성된 확산 방지막 표면에 스페이서를 형성한다. 상기 제1 영역에 위치한 스페이서 양측의 기판으로 N형 불순물을 주입하여, 상기 제1 영역의 기판에 제1 불순물 영역을 형성한다. 다음에, 상기 제2 영역에 위치한 스페이서 양측의 기판으로 P형 불순물을 주입하여, 상기 제2 영역의 기판에 제2 불순물 영역을 형성하는 단계를 포함한다.

<19> 상기 본 발명의 방법에 의해 반도체 소자를 형성하는 경우, 상기 확산 방지막에 의해 게이트 및 소오스/드레인에 포함되어 있는 P형 불순물의 확산을 감소시킬 수 있다. 따라서, 상기 게이트 및 소오스/드레인에 포함되어 있는 P형 불순물이 확산되어, P형 불순물의 농도가 감소되는 것을 방지할 수 있다. 이와같이, 상기 P형 불순물 농도를 유지시킴에 따라, 상기 게이트의 공핍 현상 및 소오스/드레인의 저항 증가 문제를 감소시킬 수 있다.

<20> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

<21> 첨부된 도면들을 참조하여 본 발명의 실시예들에 대하여 상세하게 설명하지만, 본 발명이 하기의 실시예들에 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다. 첨부된 도면에 있어서, 기판, 층(막), 패턴 또는 전극들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 본 발명에 있어서, 각 층(막), 패턴 또는 전극들이 기판, 각 층(막), 패턴 또는 전극들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 패턴 또는 전극들이 직접 기판, 각 층(막), 패턴 또는 전극들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 패턴, 다른 패드 또는 다른 전극들이 기판 상에 추가적으로 형성될 수 있다. 또한, 층(막)들이 "제1" 및/또는 "제2"로 언급되는 경우, 이러한 부재들을 한정하기 위한 것이 아니라 단지 각 층(막)들을 구분하기 위한 것이다. 따라서 "제1" 및/또는 "제2"는 각 층(막)들에 대하여 각기 선택적으로 또는 교환적으로 사용될 수 있다.

실시예 1

<23> 도 1 내지 도 7은 본 발명의 실시예 1에 따른 PMOS 트랜지스터의 제조 방법을 나타내는 단면도이다.

<24> 도 1을 참조하면, 상기 기판(100)에 게이트 산화막(도시안됨) 및 게이트 도전막(도시안됨)을 순차적으로 형성한다. 상기 게이트 산화막은 상기 기판을 열산화시켜 형성된 실리콘 산화물로 이루어질 수 있다. 상기 게이트 도전막은 P형 불순물이 도핑된 폴리실리콘막으로 이루어질 수 있다. 즉, 상기 게이트 산화막 상에 폴리실리콘막을 형성하고, 상기 폴리실리콘막으로 상기 P형 불순물을 주입함으로써 상기 게이트 도전막을 형성할 수 있다. 여기서, 상기 P형 불순물은 봉소를 포함한다.

<25> 본 실시예에서, 상기 게이트 도전막은 P형 불순물이 도핑된 폴리실리콘막만으로 이루어진다. 그러나, 다른 실시

예로, 상기 게이트 도전막은 상기 폴리실리콘막 및 금속막이 적층된 구조를 가질 수도 있다.

- <26> 이 후, 사진 식각 공정을 통해 상기 게이트 도전막 및 게이트 산화막을 패터닝함으로써 게이트 산화막 패턴(102) 및 게이트 패턴(104)을 형성한다. 상기 게이트 패턴(104)을 형성하기 위한 마스크로써 포토레지스트 패턴을 사용할 수도 있고, 하드 마스크 패턴을 사용할 수도 있다. 상기 패터닝 공정을 수행한 후 식각 마스크로 사용된 패턴을 제거한다.
- <27> 상기 게이트 산화막 패턴(102) 및 게이트 패턴(104)이 형성된 기판을 열산화시킴으로써, 상기 기판(100) 및 게이트 패턴(104)의 표면 상에 재산화막(도시안됨)을 형성한다. 상기 재산화막을 형성함으로써 상기 게이트 패턴 및 기판의 표면이 큐어링된다. 상기 재산화막은 5 내지 30Å의 얇은 두께로 형성되는 것이 바람직하다. 그러나, 상기 재산화막을 형성하는 공정은 공정의 단순화를 위하여 생략할 수도 있다.
- <28> 도 2를 참조하면, 상기 재산화막이 형성되어 있는 기판(100) 및 게이트 패턴(104)의 표면 상에 제1 절연막(106)을 형성한다. 상기 제1 절연막(106)은 후속 공정을 통해 오프셋 스페이서로 제공된다. 즉, 상기 제1 절연막(106)의 두께를 조절함으로써 소오스/드레인의 저농도 도핑 영역의 가장자리 부위의 위치와 고농도 도핑 영역의 형성 위치를 조절할 수 있다. 상기 제1 절연막(106)은 실리콘 산화물을 화학기상증착법에 의해 10 내지 30Å의 두께로 증착시켜 형성할 수 있다.
- <29> 도 3을 참조하면, 상기 제1 절연막(106)을 이방성으로 식각하여 상기 게이트 패턴(104)의 측벽에 오프셋 스페이서(106a)를 형성한다. 상기 제1 절연막(106)을 이방성 식각하는 공정에서, 상기 기판(100) 상에 형성되어 있는 재산화막이 함께 제거되어 상기 기판(100)이 노출된다.
- <30> 이 후, 상기 오프셋 스페이서(106a)의 양측으로 노출된 기판에 저농도의 불순물을 도핑시켜 저농도 소오스/드레인 영역(108)을 형성한다. 상기 오프셋 스페이서(106a)가 구비됨으로써 상기 저농도 소오스/드레인 영역(108)이 상기 게이트 패턴(104) 아래로 과도하게 확산되는 것을 방지할 수 있다.
- <31> 본 실시예에서는, 상기 재산화막 및 오프셋 스페이서(106a)를 각각 형성하는 것으로 설명하였지만, 상기 재산화막 및 오프셋 스페이서(106a) 중 하나만 형성하는 것도 가능하다. 또한, 상기 재산화막 및 오프셋 스페이서(106a) 모두 형성하지 않는 것 또한 가능하다.
- <32> 도 4를 참조하면, 상기 기판(100), 오프셋 스페이서(106a) 및 상기 게이트 패턴(104)의 표면을 따라 실리콘 산화막(110)을 형성한다. 상기 실리콘 산화막(110)은 후속 공정에서 식각 저지막, 스트레스 방지를 위한 패드막 및 불순물 확산 방지막으로 사용된다.
- <33> 상기 실리콘 산화막은 열적 화학기상증착 공정을 통해 형성되는 O_3 -TEOS막으로 형성할 수 있다. 이와는 달리, 플라즈마 강화 화학기상증착 공정 또는 고밀도 화학기상증착 공정을 통해 실리콘 산화막을 형성할 수도 있다.
- <34> 상기 실리콘 산화막(110)을 형성하는 온도가 350°C이하이면 화학기상증착공정을 통해 막을 형성하는 것이 어려우며, 상기 실리콘 산화막(110)을 형성하는 온도가 500°C이상이면 기판(100) 및 게이트 패턴(104)이 재결정화될 수 있어 바람직하지 않다. 그러므로, 상기 실리콘 산화막(110)은 350 내지 500°C의 온도 하에서 형성되는 것이 바람직하다.
- <35> 또한, 상기 실리콘 산화막(110)의 두께가 20Å보다 얕으면 후속의 질화를 식각할 때 식각 저지막으로써 사용하기가 어려울 뿐 아니라 불순물 확산 방지의 효과가 감소된다. 반면에, 실리콘 산화막(110)의 두께가 100Å보다 두꺼우면 상기 실리콘 산화막(110)을 통해 기판 아래로 불순물을 주입하는 것이 용이하지 않다. 따라서, 상기 실리콘 산화막(110)은 20Å 내지 100Å의 두께로 형성하는 것이 바람직하다.
- <36> 도 5를 참조하면, 상기 실리콘 산화막(110)에 불활성 가스, 산소 및 오존 가스 중 적어도 하나의 가스를 이용하는 플라즈마 처리를 수행하여 상기 실리콘 산화막(110)을 확산 방지막(112)으로 변환시킨다. 상기 플라즈마 처리에 사용할 수 있는 상기 불활성 가스의 예로는 질소, 헬륨, 수소, 아르곤 등을 들 수 있다.
- <37> 상기와 같이, 실리콘 산화막(110)에 플라즈마 처리를 수행하면 상기 실리콘 산화막(110)의 막질이 치밀해지고 막 내 포함되어 있는 -OH기 또는 -H기들이 감소된다. 그러므로, 상기 확산 방지막(112)이 형성되어 있는 경우는 이 전의 실리콘 산화막(110)이 구비되었을 때에 비하여 P형 불순물이 확산되는데 필요한 에너지가 높아지게 된다. 따라서, 상기 P형 불순물이 상기 확산 방지막을 통과하여 기판 상부로 확산되는 것을 최소화할 수 있다.
- <38> 구체적으로, 상기 실리콘 산화막(110)을 열적 화학기상증착방법에 의해 형성된 O_3 -TEOS막으로 형성하는 경우 상기 O_3 -TEOS막 내에는 -OH가 다수 포함되어 있다. 그런데, 상기 O_3 -TEOS막에 불활성 가스를 이용하는 플라즈마 처

리를 수행하면, 상기 O_3 -TEOS막 내의 -OH기의 함량이 매우 감소하게 된다. 이와는 달리, 상기 O_3 -TEOS막에 산소 또는 오존을 이용하는 플라즈마 처리를 수행하면, 상기 O_3 -TEOS막에 산소 결합이 강화됨으로써 막질이 치밀해진다.

<39> 상기 플라즈마 처리 온도가 300°C이하이면 플라즈마 처리에 따른 막의 개질 효과가 감소된다. 또한, 상기 플라즈마 처리 온도가 700°C이상이면 비정질 구조를 갖는 기판(100) 및 게이트 패턴(104)이 재결정화될 수 있다. 그러므로, 상기 플라즈마 처리는 300 내지 700°C의 온도 하에서 수행되는 것이 바람직하다.

<40> 상기 플라즈마 처리 시간이 1분 이하이면 플라즈마 처리에 따른 막의 개질 효과가 감소되고, 상기 플라즈마 처리 시간이 5분 이상이면 상기 플라즈마에 의해 과도하게 막이 손상될 수 있으며 공정에 소요되는 시간도 지나치게 길어져 바람직하지 않다. 그러므로, 상기 플라즈마 처리 시간은 1 내지 5분인 것이 바람직하며, 상기 플라즈마 처리 온도 및 산화막의 두께 등에 따라 증감할 수 있다.

<41> 도 6을 참조하면, 상기 확산 방지막(112) 상에 스페이서용 절연막(도시안됨)을 형성한다. 상기 스페이서용 절연막은 상기 게이트 패턴(104) 양측의 기판(100)에 도핑되는 고농도 소오스/드레인 영역의 위치를 조절한다. 상기 스페이서용 절연막은 상기 확산 방지막(112)과 식각 선택비를 갖는 실리콘 질화물로 이루어질 수 있다.

<42> 구체적으로, 상기 스페이서용 절연막은 플라즈마강화 화학기상증착(PE-CVD) 공정, 저압화학기상증착(LPCVD) 공정을 통해 실리콘 질화막을 증착시켜 형성할 수 있다. 상기 실리콘 질화막을 할 때의 증착 온도가 300°C이하이면 막의 증착이 어렵고, 상기 실리콘 질화막의 증착 온도가 500°C이상이면 증착 중에 하부막에 비정질화된 영역의 재결정화가 발생하여 스트레스가 가해질 수 있어 바람직하지 않다. 그러므로, 상기 실리콘 질화막의 증착 공정은 300 내지 500°C의 온도 하에서 수행되는 것이 바람직하다.

<43> 상기 스페이서용 절연막을 증착하는 공정에서 플라즈마를 사용하는 경우에는, 이 전의 상기 실리콘 산화막(110)을 플라즈마 처리하는 공정과 상기 스페이서용 절연막의 형성 공정을 인 시튜로 진행할 수 있다. 예를들어, 스페이서용 절연막을 PE-CVD 공정으로 형성하는 경우에는 이 전의 플라즈마 처리 공정을 상기 PE-CVD 공정을 수행하기 위한 챔버 내에서 인 시튜로 진행할 수 있다.

<44> 다음에, 상기 스페이서용 절연막을 이방성으로 식각하여 상기 게이트 패턴(104)의 측벽에 스페이서(114)를 형성한다. 상기 식각 공정에서, 상기 기판(100) 및 게이트 패턴(104)의 상부면에 형성된 확산 방지막(112)을 식각 저지막으로 사용하여, 상기 기판(100) 표면 및 게이트 패턴(104)의 상부면에 형성된 확산 방지막(112)이 노출되도록 한다.

<45> 도 6을 참조하면, 상기 확산 방지막(112)을 통과하여 상기 게이트 패턴(104) 양측의 기판으로 P형 불순물을 주입함으로써 고농도 소오스/드레인 영역(116)을 형성한다. 상기 불순물 주입 공정 시에 상기 게이트 패턴(104) 내에도 P형 불순물이 주입된다.

<46> 이로써, 저농도 소오스/드레인 영역(108) 및 고농도 소오스/드레인 영역(116)을 포함하는 LDD구조의 소오스/드레인 영역(118)이 형성된다.

<47> 다음에, 상기 기판을 급속 열처리시켜 상기 소오스/드레인 영역(118)에 형성된 불순물을 활성화시킨다. 상기 기판의 열처리는 900 내지 1200°C의 온도에서 질소, 아르곤 및 수소 중에서 선택된 적어도 하나의 가스 분위기 하에서 수행될 수 있다.

<48> 도시하지는 않았지만, 상기 소오스/드레인(118) 영역 및 게이트 패턴(104) 상부면에 금속 실리사이드 패턴을 형성할 수 있다.

<49> 이를 위하여, 상기 기판(100) 표면 및 게이트 패턴(104)의 상부면에 형성되어 있는 확산 방지막(112)을 제거한다. 이 후, 상기 기판(100), 스페이서(114), 게이트 패턴(104)의 표면을 따라 금속막(도시안됨)을 형성한다. 상기 금속막으로 사용될 수 있는 금속 물질은 코발트를 들 수 있다. 상기 금속막을 열처리하여 상기 금속막과 실리콘을 서로 반응시킨다. 이로써, 상기 소오스/드레인 영역과 게이트 패턴의 상부 표면에 금속 실리사이드 패턴이 형성된다. 다음에, 반응하지 않은 금속막을 제거한다.

<50> 이와같이, 금속 실리사이드 패턴을 형성함으로써 상기 게이트 패턴 및 소오스/드레인의 저항을 감소시킬 수 있다. 그러나, 공정을 단순화하기 위하여 상기 금속 실리사이드 패턴을 형성하는 공정이 생략될 수도 있다.

<51> 본 실시예의 방법으로 PMOS 트랜지스터를 형성하면, 상기 기판을 급속 열처리할 때 상기 소오스/드레인 영역 및 게이트 패턴 내에 포함되어 있는 P형 불순물이 확산될 수 있다. 그러나, 상기 소오스/드레인 영역에 해당하는

기판 표면 상에 형성되어 있는 확산 방지막에 의해, 상기 소오스/드레인 영역에 포함되어 있는 P형 불순물이 기판 상부로 확산되는 것을 감소시킬 수 있다. 또한, 상기 게이트 패턴의 측벽 및 상부면에도 확산 방지막이 구비됨으로써, 상기 게이트 패턴 내에 포함되어 있는 P형 불순물이 상기 게이트 패턴의 상부 및 측방을 통해 확산되는 것을 감소시킬 수 있다.

<52> 그 결과, 상기 게이트 패턴 내에 포함된 불순물이 확산에 의해 손실되는 것이 억제됨으로써 상기 게이트 패턴 내의 불순물 농도를 충분히 높게 유지할 수 있다. 그러므로, 상기 게이트 패턴에 전압을 인가하였을 때 상기 게이트 산화막 패턴과 인접하고 있는 상기 게이트 패턴의 저면에서의 게이트 공핍이 감소하게 되고, 이로 인해 전기적으로 게이트 산화막 패턴의 두께가 두꺼워지는 것을 억제할 수 있다. 또한, 채널 영역의 전하밀도가 증가하게 되고, 전류의 밀도 역시 증가하게 된다.

<53> 상기 소오스/드레인 영역에서도 기판 상부로 P형 불순물이 확산되는 것이 억제됨으로써 불순물의 손실을 감소시킬 수 있다. 따라서, 상기 소오스/드레인 영역 내의 불순물 농도를 충분하게 높게 유지할 수 있어 상기 소오스/드레인 영역의 저항이 감소되는 효과가 있다.

<54> 실시예 2

<55> 도 8은 본 발명의 실시예 2에 따른 PMOS 트랜지스터의 제조 방법을 나타내는 단면도이다.

<56> 이하에서 설명하는 실시예 2에 따른 PMOS 트랜지스터의 제조 방법은 실리콘 산화막을 확산 방지막으로 전환하는 방법을 제외하고는 실시예 1과 동일하다. 그러므로, 중복되는 부분은 간략하게 설명하거나 생략한다.

<57> 먼저 실시예 1의 도 1 내지 도 4를 참조로 설명한 것과 동일한 공정을 수행한다. 이로써, 기판(100)에 게이트 산화막 패턴(102), 게이트 패턴(104), 재산화막, 오프셋 스페이서(106a) 및 실리콘 산화막을 형성한다.

<58> 도 7을 참조하면, 상기 실리콘 산화막에 자외선 광(UV light)을 조사함으로써 상기 실리콘 산화막을 개질시켜 확산 방지막(130)을 형성한다. 상기 자외선은 100 내지 500 μ m 범위 내의 파장을 갖는 것이 바람직하며, 약 200 내지 300 μ m 범위 내의 파장을 갖는 것이 더 바람직하다.

<59> 구체적으로, 상기 실리콘 산화막에 1 내지 5분동안 자외선 광을 조사하며, 이 때 상기 기판(100)은 400 내지 600°C의 온도가 되도록 할 수 있다. 상기 자외선 처리 시간이 1분 이하이면 막의 개질 효과가 감소되고, 5분 이상이면 상기 자외선 처리에 의해 막이 손상될 수 있고 공정에 소요되는 시간도 길어져 바람직하지 않다.

<60> 또한, 상기 실리콘 산화막에 자외선 광을 조사하는 공정은 불활성 가스의 분위기에서 수행할 수 있다. 상기 불활성 가스의 예로는 질소, 헬륨, 수소, 아르곤 등을 들 수 있다.

<61> 상기와 같이, 막 표면으로 자외선 광을 조사하는 경우, 상기 자외선 광의 에너지가 상기 막 내의 분자 결합보다 높아서 상기 분자 결합을 절단하게 된다. 따라서, 상기 자외선 처리를 수행하면 상기 실리콘 산화막(220) 내에 포함되어 있는 상대적으로 본딩 결합이 약한 Si-OH 결합, Si-H 결합, N-H 결합들이 감소된다. 따라서, 상기 자외선 처리에 의해 형성된 확산 방지막(240)은 -OH기 또는 -H기들이 거의 없고 대부분 Si-O 결합을 갖게된다.

<62> 그러므로, 상기 확산 방지막(130)이 형성되어 있는 경우는 이 전의 실리콘 산화막이 구비되었을 때에 비하여 P형 불순물이 확산되는데 필요한 에너지가 높아지게 된다. 따라서, 상기 기판에 도핑된 P형 불순물이 기판 상부로 확산하는 것을 억제할 수 있다.

<63> 도시하지는 않았지만, 상기 실시예 1에서와 같이 상기 실리콘 산화막을 플라즈마 처리하는 공정을 더 수행할 수도 있다. 즉, 상기 실리콘 산화막에 상기 자외선 광을 조사하기 전 또는 상기 자외선 광을 조사한 후에, 상기 불활성 가스, 산소 및 오존 가스 중 적어도 하나의 가스를 이용하는 플라즈마 처리를 수행할 수도 있다.

<64> 이 후, 도 6 및 도 7을 참조로 설명한 것과 동일한 공정을 수행함으로써 PMOS 트랜지스터를 형성한다. 상기 공정을 통해 형성되는 PMOS 트랜지스터도 상기 게이트 패턴 및 소오스/드레인 영역에서 불순물의 확산이 억제되어 양호한 동작 특성을 갖는다.

<65> 실시예 3

<66> 도 9 내지 도 12는 본 발명의 실시예 3에 따른 CMOS 트랜지스터의 제조 방법을 나타내는 단면도이다.

<67> 이하에서 설명하는 실시예 3에 따른 CMOS 트랜지스터의 제조 방법은 NMOS 트랜지스터를 형성하기 위한 공정이 추가되는 것을 제외하고는 실시예 1과 동일하다. 그러므로, 중복되는 부분은 간략하게 설명하거나 생략한다.

<68> 도 9를 참조하면, 먼저 반도체 물질로 이루어지는 기판(200)을 마련한다. 상기 기판(200)은 NMOS 트랜지스터가

형성되는 제1 영역과 PMOS 트랜지스터가 형성되는 제2 영역으로 구분된다.

- <69> 상기 기판(200)에 셀로우 트렌치 소자 분리 공정을 수행하여 소자 분리막 패턴(202)을 형성함으로써 액티브 영역 및 필드 영역을 정의한다.
- <70> 다음에, NMOS 및 PMOS 트랜지스터 각각의 채널 영역(203)을 형성하기 위하여, 상기 제1 영역의 기판에 P형 불순물을 도핑하고, 상기 제2 영역의 기판에 N형 불순물을 도핑한다.
- <71> 구체적으로, 상기 제1 영역의 기판(200)을 선택적으로 노출하는 제1 이온주입 마스크 패턴(도시안됨)을 형성한 후, 상기 제1 영역의 기판에 P형 불순물을 이온주입한다. 다음에, 상기 제1 이온주입 마스크 패턴을 제거한다. 또한, 상기 제2 영역의 기판(200)을 선택적으로 노출하는 제2 이온주입 마스크 패턴(도시안됨)을 형성한 후, 상기 제2 영역의 기판에 N형 불순물을 이온주입한다. 다음에, 상기 제2 이온주입 마스크 패턴을 제거한다. 상기 제1 및 제2 이온주입 마스크 패턴은 포토레지스트를 사용하여 형성할 수 있다. 상기 P형 불순물의 예로는 봉소, BF₂ 등을 들 수 있고, 상기 N형 불순물의 예로는 비소, 인 등을 들 수 있다.
- <72> 계속해서, 상기 기판(200) 상에 게이트 산화막(도시안됨)을 형성한다. 상기 게이트 산화막은 상기 기판(200)의 표면을 열산화시켜 형성할 수 있다.
- <73> 상기 게이트 산화막 상에 게이트로 사용되기 위한 폴리실리콘막(도시안됨)을 형성한다. 이 후, 상기 제1 영역에 형성되어 있는 상기 폴리실리콘막에는 N형 불순물을 주입하고, 상기 제2 영역에 형성되어 있는 상기 폴리실리콘막에는 P형 불순물을 주입한다. 이를 위하여, 상기 불순물 주입 공정 이전에, 상기 폴리실리콘막 상에 이온주입 마스크로써 포토레지스트 패턴을 형성하는 공정이 수행된다. 여기서, 상기 N형 불순물은 인 또는 비소를 포함하고, 상기 P형 불순물은 봉소를 포함한다. 그러나, 현 단계에서 상기 폴리실리콘막에 불순물을 주입하는 공정을 수행하지 않을 수도 있다.
- <74> 다음에, 상기 사진 및 식각 공정을 통해 상기 폴리실리콘막 및 게이트 산화막을 패터닝함으로써 상기 제1 영역에는 제1 게이트 산화막 패턴(204a) 및 제1 게이트 패턴(206a)을 형성하고, 상기 제2 영역에 제2 게이트 산화막 패턴(204b) 및 제2 게이트 패턴(206b)을 형성한다.
- <75> 도 10을 참조하면, 상기 도 2 및 도 3을 참조로 설명한 것과 동일한 공정을 수행함으로써, 상기 제1 및 제2 게이트 패턴(206a, 206b)에 재산화막(도시안됨) 및 오프셋 스페이서(208)를 형성한다.
- <76> 이 후, 상기 제1 영역의 기판을 선택적으로 노출하는 제3 이온주입 마스크 패턴(도시안됨)을 형성한 후, 상기 제1 영역의 기판에 N형 불순물을 이온주입한다. 상기 공정을 통해, NMOS 트랜지스터의 저농도 소오스/드레인 영역(210a)이 형성된다. 또한, 상기 N형 불순물을 이온 주입하는 공정을 수행하면, 상기 제1 게이트 패턴(206a) 내에도 N형 불순물이 도핑된다. 다음에, 상기 제3 이온주입 마스크 패턴을 제거한다.
- <77> 또한, 상기 제2 영역의 기판(200)을 선택적으로 노출하는 제4 이온주입 마스크 패턴(도시안됨)을 형성한 후, 상기 제2 영역의 기판에 P형 불순물을 이온주입한다. 상기 공정을 통해, PMOS 트랜지스터의 저농도 소오스/드레인 영역(210b)이 형성된다. 또한, 상기 P형 불순물을 이온 주입하는 공정을 수행하면, 상기 제2 게이트 패턴(206b)에도 P형 불순물이 도핑된다. 다음에, 상기 제4 이온주입 마스크 패턴을 제거한다.
- <78> 도 11을 참조하면, 상기 제1 및 제2 게이트 패턴(206a, 206b), 오프셋 스페이서(208) 및 기판(200) 표면에 실리콘 산화막을 형성한다.
- <79> 이 후, 상기 도 5를 참조로 설명한 것과 같이, 상기 실리콘 산화막에 불활성 가스, 산소 및 오존 가스 중 적어도 하나의 가스를 이용하는 플라즈마 처리를 수행하여 상기 실리콘 산화막을 확산 방지막(212)으로 변환시킨다. 상기 플라즈마 처리에 사용할 수 있는 상기 불활성 가스의 예로는 질소, 헬륨, 수소, 아르곤 등을 들 수 있다.
- <80> 이와는 달리, 상기 도 8을 참조로 설명한 것과 같이, 상기 실리콘 산화막에 자외선 광(UV light)을 조사함으로써 상기 실리콘 산화막을 개질시켜 확산 방지막(212)을 형성할 수도 있다.
- <81> 도 12를 참조하면, 상기 확산 방지막(212) 상에 스페이서용 절연막을 형성하고, 이를 이방성으로 식각함으로써 스페이서(214)를 형성한다.
- <82> 다음에, 상기 제1 영역의 기판을 선택적으로 노출하는 제5 이온주입 마스크 패턴(도시안됨)을 형성한 후, 상기 제1 영역의 기판에 N형 불순물을 이온주입한다. 상기 공정을 통해, NMOS 트랜지스터의 고농도 소오스/드레인 영역(216a)이 형성된다. 또한, 상기 N형 불순물을 이온 주입하는 공정을 수행하면, 상기 제1 게이트 패턴(206a)에

도 N형 불순물이 도핑된다. 다음에, 상기 제5 이온주입 마스크 패턴을 제거한다.

<83> 또한, 상기 제2 영역의 기판(200)을 선택적으로 노출하는 제6 이온주입 마스크 패턴(도시안됨)을 형성한 후, 상기 제2 영역의 기판에 P형 불순물을 이온주입한다. 상기 공정을 통해, PMOS 트랜지스터의 고농도 소오스/드레인 영역(216b)이 형성된다. 또한, 상기 P형 불순물을 이온 주입하는 공정을 수행하면, 상기 제2 게이트 패턴에도 P형 불순물이 도핑된다. 다음에, 상기 제6 이온주입 마스크 패턴을 제거한다.

<84> 이 후, 급속 열처리 공정을 통해, 상기 소오스/드레인 영역에 포함된 불순물들을 활성화시킨다.

<85> 상기 공정을 수행하면, LDD 구조의 소오스/드레인 영역을 갖는 CMOS 트랜지스터가 형성된다. 상기 방법에 의하면, 소오스/드레인 영역 및 게이트 패턴에 포함되어 있는 불순물이 확산되는 것이 억제됨으로써 고성능을 갖는 CMOS 트랜지스터를 형성할 수 있다.

발명의 효과

<86> 상술한 바와 같이 본 발명에 의하면, 간단한 공정을 통해 불순물의 확산을 억제시켜 고성능을 갖는 트랜지스터를 형성할 수 있다. 구체적으로, 본 발명의 방법에 의해 제조된 트랜지스터는 게이트 공핍 현상이 감소되고, 소오스/드레인의 저항이 감소됨으로써 동작 전류를 증가시켜 동작 속도가 빨라지게 된다. 또한, 트랜지스터의 포화전류가 증가된다. 이로써, 상기 트랜지스터의 동작 특성이 양호해지며 신뢰성이 높아지게 된다.

<87> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

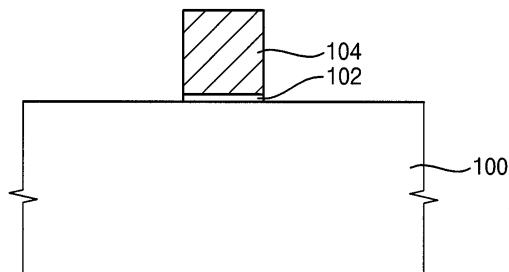
<1> 도 1 내지 도 7은 본 발명의 실시예 1에 따른 PMOS 트랜지스터의 제조 방법을 나타내는 단면도이다.

<2> 도 8은 본 발명의 실시예 2에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.

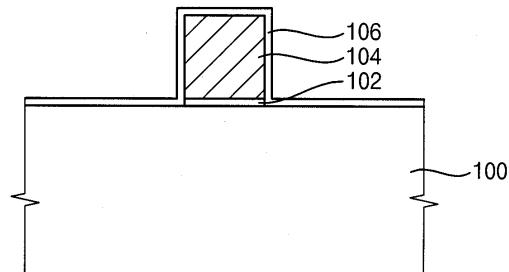
<3> 도 9 내지 도 12는 본 발명의 실시예 3에 따른 CMOS 트랜지스터의 제조 방법을 나타내는 단면도이다.

도면

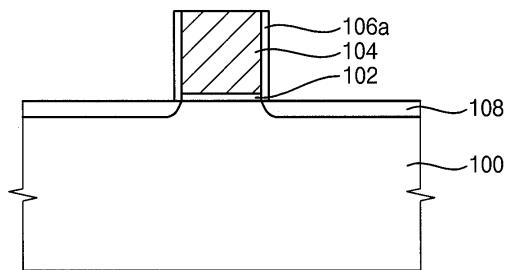
도면1



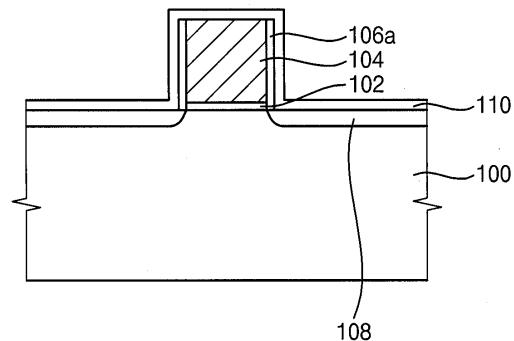
도면2



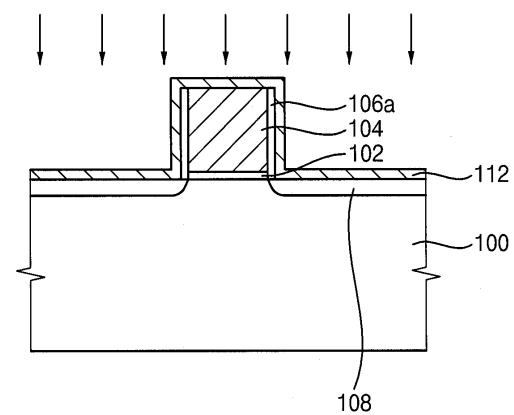
도면3



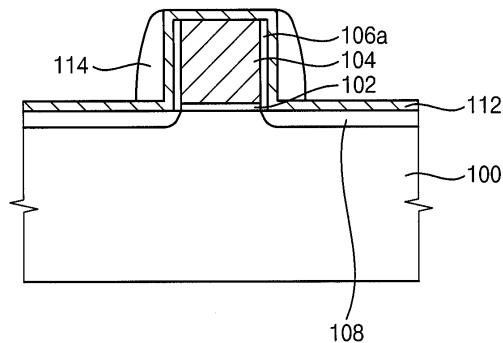
도면4



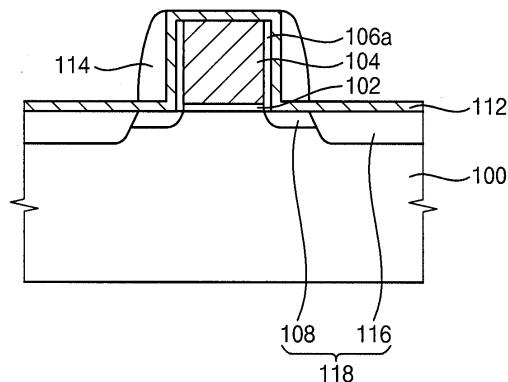
도면5



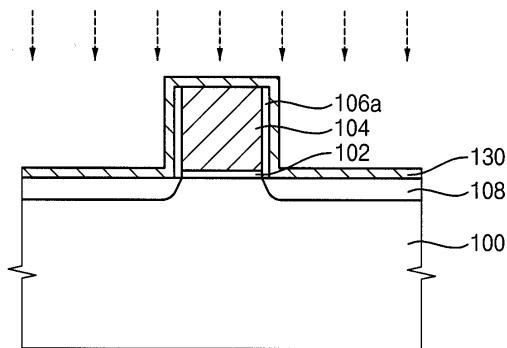
도면6



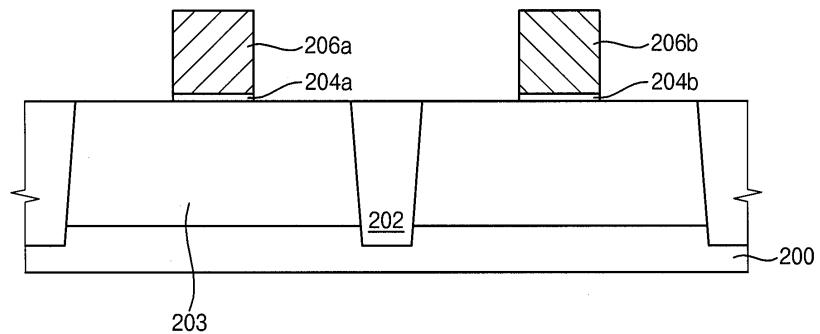
도면7



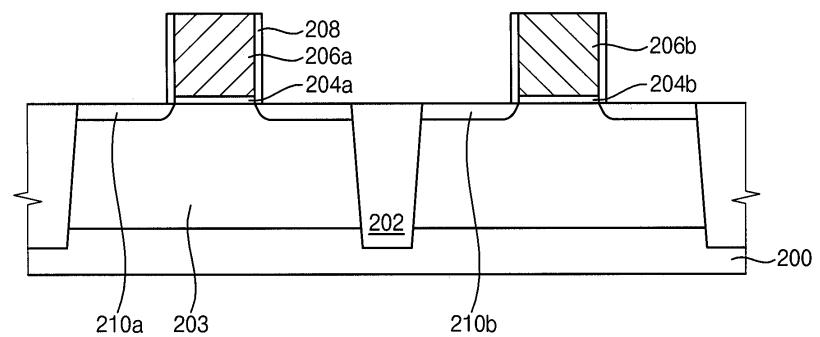
도면8



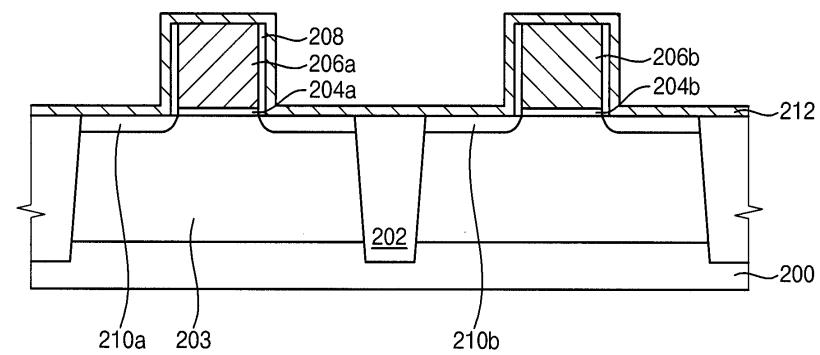
도면9



도면10



도면11



도면12

