

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5669465号
(P5669465)

(45) 発行日 平成27年2月12日(2015.2.12)

(24) 登録日 平成26年12月26日(2014.12.26)

(51) Int. Cl. F I
 H02J 1/00 (2006.01) H02J 1/00 309R
 H02H 9/02 (2006.01) H02H 9/02 E

請求項の数 7 (全 13 頁)

(21) 出願番号	特願2010-156182 (P2010-156182)	(73) 特許権者	000001007
(22) 出願日	平成22年7月8日(2010.7.8)		キヤノン株式会社
(65) 公開番号	特開2012-19640 (P2012-19640A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成24年1月26日(2012.1.26)	(74) 代理人	100076428
審査請求日	平成25年7月8日(2013.7.8)		弁理士 大塚 康德
前置審査		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 電源回路

(57) 【特許請求の範囲】

【請求項1】

電源回路であって、

電源から負荷へ電力を供給する経路に配置され、前記経路を導通/遮断するためにオン状態とオフ状態との間で切り替わるスイッチ手段と、

前記負荷が備える容量成分の容量値を測定する測定手段と、

前記スイッチ手段をオフ状態からオン状態に移行させた直後の第1期間において、前記負荷に対する突入電流のピーク値を抑制するよう供給する駆動信号として、予め想定された最大の負荷容量に対応したオンデューティ比に対して前記測定手段により測定された容量の逆数を乗算することで決定したオンデューティ比のPWM信号を前記スイッチ手段に供給し、前記第1期間に続く第2期間において、前記スイッチ手段をオン状態に維持するための駆動信号を前記スイッチ手段に供給する制御手段と

を有することを特徴とする電源回路。

【請求項2】

前記第2期間における、前記スイッチ手段をオン状態に維持するための駆動信号とは、電圧値が一定の駆動信号であることを特徴とする請求項1に記載の電源回路。

【請求項3】

前記スイッチ手段は、

電源からの直流電圧が入力される入力電極と、

前記入力電極から入力された直流電圧を出力する出力電極と、

前記制御手段から出力された駆動信号が入力される制御電極とを備え、

前記電源回路は、

前記入力電極と前記制御電極との間に接続されたコンデンサをさらに備え、

前記コンデンサの容量は、前記突入電流を抑制可能な前記コンデンサの容量と前記オンデューティ比との組み合わせのうちで最も小さい容量に設定されることを特徴とする請求項 1 に記載の電源回路。

【請求項 4】

電源回路であって、

電源から負荷へ電力を供給する経路に配置され、前記経路を導通 / 遮断するためにオン状態とオフ状態との間で切り替わるスイッチ手段と、

前記スイッチ手段をオフ状態からオン状態に移行させた直後の第 1 期間において、前記負荷に対する突入電流のピーク値を抑制するパルス状の駆動信号として、オンデューティ比が変更可能な P W M 信号を前記スイッチ手段に供給し、前記第 1 期間に続く第 2 期間において、前記スイッチ手段をオン状態に維持するための駆動信号を前記スイッチ手段に供給する制御手段と

を有し、

前記制御手段は、前記第 1 の期間のうち前記突入電流がピーク値となるタイミングまでは相対的に低いオンデューティ比の P W M 信号を供給し、前記タイミングを過ぎると相対的に高いオンデューティ比の P W M 信号を供給することを特徴とする電源回路。

【請求項 5】

前記第 1 期間において前記制御手段から供給される前記パルス状の駆動信号はオンデューティ比が変更可能な P W M 信号であり、該 P W M 信号のオンデューティ比は、前記負荷が備える容量成分の容量値によって決定されることを特徴とした請求項 4 に記載の電源回路。

【請求項 6】

前記第 1 期間において前記制御手段から供給される前記パルス状の駆動信号はオンデューティ比が変更可能な P W M 信号であり、

前記制御手段は、

前記負荷が備える容量成分の容量値を測定する測定手段と、

前記測定手段により測定された容量が相対的に大きければ前記オンデューティ比を相対的に小さく設定し、前記測定手段により測定された容量が相対的に小さければ前記オンデューティ比を相対的に大きく設定する設定手段と

を備えることを特徴とする請求項 4 に記載の電源回路。

【請求項 7】

前記設定手段は、予め想定された最大の負荷容量に対応したオンデューティ比に対して、前記測定手段により測定された容量の逆数を乗算することで、前記駆動信号のオンデューティ比を決定することを特徴とする請求項 6 に記載の電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子機器に備えられる電源回路に係り、とりわけ直流回路において電子スイッチを閉じたときに発生する突入電流を抑制する突入電流抑制回路に関する。

【背景技術】

【0002】

電子機器の電源回路は電子スイッチを経由して負荷に接続される。直流回路において電子スイッチを閉じると突入電流が発生する。突入電流は、その電流値の大きさにもよるが、負荷を故障させる（回路ショート等）おそれがあるため適宜に抑制または低減する必要がある。特許文献 1 によれば、F E T によって構成された電子スイッチのゲートとドレイン間にキャパシタ（コンデンサ）を挿入されている。キャパシタは、ゲートに接続された

10

20

30

40

50

抵抗に対して直列になっている。このキャパシタと抵抗とによって構成される時定数回路によってゲートとソース間に表れる電圧の上昇勾配が緩やかになる。そして、突入電流のピーク値も減少する。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開昭59-68118号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記の特許文献1に記載の発明は、簡易な構成で突入電流のピーク値を抑えることができるため、今日においても有効な方法の一つである。しかし、特許文献1に記載の発明では、突入電流のピーク値を低減もしくは抑制しようとする、出力電圧の立ち上がりが遅くなるという課題が発生する。昨今は、電子機器の電源オン時の起動時間を短縮することが求められている。よって、各種の装置に搭載される電源回路においても出力電圧の立ち上がりを速くすることが求められている。そこで、本発明は、出力電圧の立ち上がりを速くしつ、突入電流のピーク値を抑えることを目的とする。

【課題を解決するための手段】

【0005】

本発明の電源回路は、

電源から負荷へ電力を供給する経路に配置され、前記経路を導通/遮断するためにオン状態とオフ状態との間で切り替わるスイッチ手段と、

前記負荷が備える容量成分の容量値を測定する測定手段と、

前記スイッチ手段をオフ状態からオン状態に移行させた直後の第1期間において、前記負荷に対する突入電流のピーク値を抑制するよう供給する駆動信号として、予め想定された最大の負荷容量に対応したオンデューティ比に対して前記測定手段により測定された容量の逆数を乗算することで決定したオンデューティ比のPWM信号を前記スイッチ手段に供給し、前記第1期間に続く第2期間において、前記スイッチ手段をオン状態に維持するための駆動信号を前記スイッチ手段に供給する制御手段と
を有することを特徴とする。

【発明の効果】

【0006】

本発明によれば、スイッチ手段をオフ状態からオン状態に移行させた直後の第1期間において負荷に対する突入電流のピーク値を抑制するように予め定められたパルス状の駆動信号をスイッチ手段に供給される。これにより、出力電圧の立ち上がりを速くしつつ、突入電流のピーク値を抑えることが可能となる。

【図面の簡単な説明】

【0007】

【図1】(A)は実施例1の回路構成を示す図であり、(B)は駆動信号の一例を示す図である。

【図2】実施例1と比較例との実験結果を示す図である。

【図3】実施例1と実施例2との実験結果を示す図である。

【図4】実施例3における駆動信号の一例を示す図である。

【図5】実施例4におけるオンデューティ比とコンデンサC1の容量との組み合わせに対する、突入電流のピーク値および出力電圧の立ち上がり時間の一例を示す図である。

【図6】実施例5における回路構成を示す図である。

【図7】比較例の回路構成を示す回路図である。

【図8】コンデンサC1の容量が相対的に小さいケースRef1とコンデンサC1の容量が相対的に大きいケースRef2とについてドレイン電流と出力電圧とを示した図である。

【図9】(A)は比較例の回路構成を示す図である。(B)はCPU3が出力する駆動信号の一例を示す図である。

【発明を実施するための形態】

【0008】

以下に本発明の一実施形態を示す。以下で説明される個別の実施形態は、本発明の上位概念、中位概念および下位概念など種々の概念を理解するために役立つであろう。また、本発明の技術的範囲は、特許請求の範囲によって確定されるのであって、以下の個別の実施形態によって限定されるわけではない。

【0009】

<比較例>

図7に本発明の比較例を示す。電源部1から供給された直流電圧はスイッチ部(パワーMOSFET Q1)を介して負荷部2へ供給される。スイッチSW1は、パワーMOSFET Q1をオン/オフするためのスイッチである。パワーMOSFET Q1のソースSとゲートGとの間には抵抗R1とコンデンサC1とが接続されている。また、ゲートGとスイッチSW1との間には、抵抗R2が直列に挿入されている。スイッチSW1がオフになると、パワーMOSFET Q1のゲートGとソースSとの間は抵抗R1により結ばれて、Q1のゲートGとソースSが等電位となる。これにより、パワーMOSFET Q1がオフとなる。

【0010】

電源部1が出力する直流電圧の電圧値を V_{in} とし、抵抗R1の抵抗値を r_1 とし、抵抗R2の抵抗値を r_2 とする。スイッチSW1がオンになると、パワーMOSFET Q1のゲート・ソース間電圧 V_{gs} は、所定電圧に向けて昇を始める。所定電圧は、 $V_{in} \times (r_1 / (r_1 + r_2))$ である。しかし、抵抗R2に対して直列にコンデンサC1が接続されているため、ゲート・ソース間電圧 V_{gs} は時定数にしたがって上昇する。ゲート・ソース間電圧 V_{gs} は、次式により表現できる。

【0011】

【数1】

$$V_{gs}(t) = (V_{in} \times \frac{r_1}{r_1 + r_2}) (1 - e^{-\frac{t}{\tau}})$$

【0012】

ここで、 t は、スイッチSW1をオンにした時からの経過時間を示している。 τ は、抵抗値 r_1 、 r_2 およびコンデンサC1の容量値によって決定される時定数である。ゲート・ソース間電圧 $V_{gs}(t)$ がパワーMOSFET Q1のしきい値電圧を超えると、ドレイン・ソース間が導通し始める。これ以降は、パワーMOSFET Q1が線形領域で動作する。このように、パワーMOSFET Q1のドレイン・ソース間は経過時間 t に伴い徐々に導通する(抵抗値が徐々に下がる)ため、スイッチSW1をオンした直後の突入電流が抑制される。しかし、図7に示した比較例で突入電流のピーク値を抑えようとすると、出力電圧の立ち上がりも遅くなるという課題がある。

【0013】

上記の問題点に関して図8を用いて説明する。図7に示した比較例では突入電流を抑制する時間は回路時定数によって決定されるため、常に一定となる。しかし、負荷部2の容量成分の容量値が大きくなると、その容量を充電して出力電圧を上昇させるための時間が長くなる。これは、より長い時間にわたって突入電流の抑制を行わなければならないことを意味する。つまり、抑制時間をより長くしなければならない。

【0014】

比較例において抑制時間を長くするには、コンデンサC1の容量値を増やせばよい。これにより、パワーMOSFET Q1のターンオンをさらに遅くすることができるため、

10

20

30

40

50

突入電流のピーク値も抑えることができる。図8には、コンデンサC1の容量値が相対的に小さいケースRef1と、コンデンサC1の容量値が相対的に大きいケースRef2とについて、ドレイン電流と出力電圧とを示している。図8が示すように、コンデンサC1の容量値を増やすと、ドレイン電流のピーク値が I_{peak1} から I_{peak2} へ低下する。しかし、ドレイン電流が流れ始める時間も t_1 から t_2 へと遅れてしまう。その結果、出力電圧が目標電圧 V_{target} に達する時間も t_3 から t_4 へと遅れてしまう。

【0015】

通常、回路時定数は想定される最大の負荷容量の値に合わせて設計される。しかし、負荷容量の値が変化する回路においては負荷容量の値が小さい時に必要以上の時定数を持たせることになってしまう。すなわち、パワーMOSFET Q1のターンオン損失や出力電圧の上昇時間の面で無駄が多くなってしまふ。

【0016】

<実施例1>

図1(A)において、電源部1は、予め設定された電圧値(例:5V)の直流電圧を出力する電源回路である。負荷部2は電源部1から供給された直流電圧により動作する負荷回路である。負荷部2は、例えば、4.7の抵抗成分と、47 μ Fの容量成分と、0.1の容量成分等価直列抵抗からなる。CPU3は、中央演算処理装置であり、プロセッサや制御部、演算部と呼ばれることもある。パワーMOSFET Q1は、スイッチング素子や電子スイッチの一例である。また、パワーMOSFET Q1は、電源から負荷へ電力を供給する経路に配置され、経路を導通/遮断するためにオン状態とオフ状態との間で切り替わるスイッチ手段として機能する。パワーMOSFET Q1のソースSは電源部1に接続されており、ドレインDは負荷部2に接続されている。パワーMOSFET Q1のゲートGとソースSとの間には、抵抗値 r_1 (例:100k)の抵抗R1が接続されている。バイポーラトランジスタQ2は、パワーMOSFET Q1を駆動するためのスイッチング素子や電子スイッチである。バイポーラトランジスタQ2のコレクタCは、抵抗値 r_2 (例:10k)の抵抗R2を介してパワーMOSFET Q1のゲートGに接続されている。バイポーラトランジスタQ2のベースBは、抵抗値 r_3 (例:1k)の抵抗R3を介してCPU3の出力ポートに接続されている。バイポーラトランジスタQ2のエミッタEは、接地されている。

【0017】

図1(B)が示すように、CPU3は、バイポーラトランジスタQ2のベースBに駆動信号を出力する。CPU3は、スイッチ手段がオフ状態からオン状態へまたはオン状態からオフ状態へ切り替わるよう駆動する制御手段として機能する。図1(B)において t_1 は、100 μ secであり、 t_{13} は500 μ secである。駆動信号は、この t_1 から t_{13} までの区間ではパルス信号である。 t_1 から t_{13} までの区間を第1期間と呼ぶことにする。第1期間は、スイッチ手段をオフ状態からオン状態に移行させる際における移行直後の期間である。すなわち、第1期間は、本発明を適用しなければ突入電流が発生しうる期間であり、負荷容量の値に応じて決定される期間である。なお、 t_{on} は、例えば、1.5 μ secであり、 t_{off} は、例えば、2.5 μ secである。なお、パルスの周期 $T = (t_{on} + t_{off})$ である。よって、周期 $T = 4.0\mu$ secである。この場合のオンデューティ比 $Don (Don = t_{on} / T)$ は、37.5%となる。なお、第1期間の次の期間である第2期間は t_{13} 以降の期間である。第2期間において供給される駆動信号はHighである。つまり、この駆動信号は、パワーMOSFET Q1をON状態に維持できる一定の電圧値の駆動信号である。なお、パワーMOSFET Q1をON状態に維持できる信号であれば、必ずしも、電圧値が一定である必要はない。

【0018】

実施例1の効果をわかりやすく説明するため、図9に示した比較例を参照する。図9(A)に示した比較例は、図7に示した比較例のスイッチSW1をCPU3、抵抗R3およびバイポーラトランジスタQ2により実現している。図9(B)は、CPU3が出力する駆動信号を示している。なお、図9(A)に示した抵抗R1の抵抗値を10kとし、コ

10

20

30

40

50

ンデンサC1の容量値を0.085 uFとし、R2およびR3の抵抗値を1k としている。なお、図1(B)および図9(b)ともに駆動信号は $t_1 = 100 \mu\text{sec}$ 後に出力されるものとする。

【0019】

図2に実施例1と比較例とについての実験結果を示す。図2によれば、上からドレイン電流 I_d 、出力電圧 V_{out} 、パワーMOSFET Q1のゲート・ソース間電圧 V_{gs} およびCPU3が出力する駆動信号 S_{ig} との関係が示されている。なお、図中の E_{m1} は本発明の実施例1を示し、 R_{ef} は図9に示した比較例を示している。

【0020】

図2において駆動信号 S_{ig} を参照すると、実施例と比較例ともに同時に駆動信号を出力していることがわかる。次に出力電圧 V_{out} を参照すると、両者ともに266 μsec が経過した時点で、ほぼ目標電圧である5.0Vに達している。100 μsec から266 μsec までの間、突入電流(ドレイン電流 I_d)のピーク値は、比較例で約4.5Aであり、本実施例で約3.0Aとなる。つまり、本実施例は、比較例に対して、出力電圧 V_{out} の立ち上がりを遅くすることなく、突入電流のピーク値を抑えることができている。

【0021】

その仕組みについて考察する。まず、図2に示した V_{gs} に着目する。比較例の V_{gs} は、CPU3からの駆動信号 S_{ig} がHighになった後は抵抗 R_1 と抵抗 R_2 で決定される分圧値 V_2 に向かって、時定数 τ にしたがって単調増加する。一方、本実施例では、100~500 μsec の第1期間ではオンデューティ比37.5%のパルス信号が駆動信号 S_{ig} としてバイポーラトランジスタQ2のベースに入力されている。そのため、パワーMOSFET Q1の V_{gs} は、抵抗 R_1 、 R_2 及びオンデューティ比とパワーMOSFET Q1のゲート容量によって決定される電圧 V_1 に向かって増加する。本実施例の V_{gs} は電圧 V_1 に対してはすぐに収束する。なお、 V_1 は V_2 よりも低い。また、FETは V_{gs} が低いほうがよりドレイン電流を流さない性質がある。よって、本実施例1のパワーMOSFET Q1は、比較例と比較して、より長く突入電流を抑制しつづけることになる。

【0022】

本実施例の V_{gs} が V_1 に対してすぐに収束するのは次の理由による。比較例では回路時定数によってのみ突入電流の抑制期間が決まっていた。しかし、本実施例では、回路時定数と駆動信号のオンデューティ比とによって決定される。そのため、回路時定数を小さくすることができる。また、本実施例では時定数回路を構成する容量成分のうち比較例に存在したコンデンサC1が削除されているため、本実施例はパワーMOSFET Q1のゲート寄生容量のみを使用する回路構成になっている。さらに、回路時定数が小さくなったため、本実施例の V_{gs} が目標値 V_1 へ収束するのに必要となる収束時間(dV_{gs}/dt)が比較例よりも短くなる。これを表しているのが図2において矢印P1により示した部分である。これによって出力電圧 V_{out} の立ち上がりも、図2の矢印P2が示すように、高速化されている。一方、比較例の V_{gs} は、単調増加するため、Q1のゲートしきい値電圧に達するまでに165 μsec の時間が必要となっている。そのため図2の矢印P3が示すように、実施例よりも遅れて出力電圧が立ち上がるため、ドレイン電流も遅れて流れ始める。最終的に、比較例では、実施例よりも短時間で出力電圧 V_{out} を上昇させなければならず、突入電流のピーク値が大きくなってしまふのである。

【0023】

このように、CPU3は、パワーMOSFET Q1をオフ状態からオン状態に移行させる際に、第1期間において負荷に対する突入電流のピーク値を抑制するように予め定められたオンデューティ比を有したパルス状の駆動信号をパワーMOSFET Q1に供給する。さらに、CPU3は、第1期間の次の期間である第2期間においてパワーMOSFET Q1をオン状態に維持するために電圧値が一定の駆動信号(Highレベルの駆動信号)をパワーMOSFET Q1に供給する。これにより、出力電圧の立ち上がりを

10

20

30

40

50

遅くすることなく突入電流のピーク値を抑えることが可能となる。また、比較例と比較して、実施例 1 では、大きな時定数の回路を用意する必要がないため、負荷容量の値に合わせて無駄の少ない突入電流抑制回路を実現できる。また、比較例では、時定数回路を形成するためにコンデンサを必要としていたが、実施例 1 ではそのコンデンサを削除できる。なお、削除するかわりに、より低容量のコンデンサに変更してもよい。なお、第 1 期間に供給されるパルス状の駆動信号はオンデューティ比が変更可能な P W M 信号である。P W M 信号のオンデューティ比は、負荷が備える容量成分の容量値によって決定される。

【 0 0 2 4 】

< 実施例 2 >

実施例 2 では、実施例 1 の負荷容量とは異なる負荷容量に対応する発明について説明する。図 1 に示した回路構成において負荷部 2 の負荷容量の値が $47\ \mu\text{F}$ から $470\ \mu\text{F}$ に変化すると、図 3 の矢印 P 4 が示すように、突入電流のピーク値は $5.3\ \text{A}$ に増えてしまう。なお、図 3 において、 E_{m1} ($47\ \mu\text{F}$) は実施例 1 の回路構成で負荷容量の値を $47\ \mu\text{F}$ にしたときのドレイン電流を示している。同様に、 E_{m1} ($470\ \mu\text{F}$) は実施例 1 の回路構成で負荷容量の値を $470\ \mu\text{F}$ にしたときのドレイン電流を示している。

【 0 0 2 5 】

負荷部 2 の負荷容量の値が増えると、出力電圧 V_{out} が目標電圧 V_{target} に達するのに要する時間が延びる。それゆえ、実施例 1 の回路構成を何も変えない場合、図 3 の矢印 P 4 が示すようにパルス区間 ($500\ \mu\text{sec}$) をすぎた時点から 2 度目の突入電流のピークが発生してしまう。

【 0 0 2 6 】

なお、図 9 に示した比較例ではさらに大きな突入電流が発生してしまう。比較例では回路変更以外に突入電流に対処する術がない。一方、本発明であれば、C P U 3 が出力する駆動信号 (パルス信号) のオンデューティ比とパルスの長さを変えることで、負荷容量の値の変更に対して比較的簡単に対処可能となる。パルスの長さは、上述した第 1 期間の長さである。具体的には、実施例 1 でオンデューティ比を 37.5% から 25% に変更し、かつ、駆動信号の終了時間を $500\ \mu\text{sec}$ から $1\ \text{msec}$ に変更すればよい。このように、負荷容量の値が増加したときは、駆動信号 (パルス信号) のオンデューティ比を下げるとともに、パルスの長さ (第 1 期間の長さ) を延長することで、突入電流のピーク値を実施例 1 と同じ $3.0\ \text{A}$ に抑えることができる。なお、負荷容量の値が低下したときは、基本的に、2 度目の突入電流のピーク値は生じないため、オンデューティ比やパルスの長さを変更する必要はない。ただし、出力電圧 V_{out} の立ち上がりを高速にするために、オンデューティ比を上げるとともに、パルスの長さを短縮してもよい。

【 0 0 2 7 】

このように、第 1 期間に供給される P W M 信号のオンデューティ比を負荷部 2 が備える容量成分の容量値によって決定することで、実施例 2 も実施例 1 と同様の効果を奏することになる。とりわけ、C P U 3 は、負荷部 2 が備える容量成分の容量値が増加すると、P W M 信号のオンデューティ比を低下させるとともに、第 1 期間の長さを延長する。これにより、突入電流のピーク値を抑えることができる。

【 0 0 2 8 】

< 実施例 3 >

図 4 を用いて実施例 3 について説明する。実施例 3 の回路構成は図 1 に示した実施例 1 の回路構成と同等の物を使用する。図 2 に示したドレイン電流 I_d によれば、本発明のドレイン電流の波形にも $100\ \mu\text{sec}$ から $165\ \text{sec}$ までの間に極大となる小さなピークが存在する。これは、次の点が原因である。最初のうちは負荷部 2 の負荷容量に電荷が蓄積されていない。よって、出力端と負荷容量との間における電位差は比較的大きい。その結果、ドレイン電流 I_d としては比較的大きな電流が流れてしまうのである。図 2 において、経過時間 t が約 $135\ \text{sec}$ をすぎると、ドレイン電流 I_d は指数関数型の減衰をしながら、一定の電流値に向かう。この一定の電流値は、出力電圧 / 負荷抵抗で決定される。

10

20

30

40

50

【0029】

135sec以降の区間では、135secにおけるピーク電流値よりも低い電流値が続く。そのため、出力電圧 V_{out} が目標電圧 V_{target} に達するまでの時間を遅らせている。そこで、実施例3では、駆動信号(パルス信号)のオンデューティ比を可変制御することにより、さらに短時間で出力電圧 V_{out} を上昇させる。

【0030】

図4の駆動信号 Sig が示すように、CPU3は、駆動信号 Sig のオンデューティ比を段階的に(徐々に)高くなるように制御する。とりわけ、CPU3は、ピーク値が生じる時間(例:135sec)までは、比較的低いオンデューティ比で駆動する。CPU3は、ピーク値が生じる時間以降では、オンデューティ比を高くしてゆく。CPU3は、最初の時間区間のオンデューティ比を d_1 とし、次の時間区間のオンデューティ比を d_2 とし、最後の時間区間のオンデューティ比を d_3 とする。ここで、 $d_1 < d_2 < d_3$ である。これにより、ドレイン電流をピーク値のまま維持させ、単位時間あたりの電荷供給量が上昇する。その結果、出力電圧 V_{out} が目標電圧に達するまでに要する時間を短縮できるようになる。

10

【0031】

なお、図4では、3種類のオンデューティ比を例示したが、オンデューティ比の種類は2種類以上であればよい。なお、 n 種類のオンデューティ比を n (n は2以上の自然数)個の期間に適用することで、ドレイン電流をピーク値のまま維持させる。各時間区間の長さは基本的に同一であるが、異なってもよい。ドレイン電流をピーク値のまま維持させることができる程度の長さの期間であれば、十分だからである。

20

【0032】

このように、CPU3が、第1期間において、オンデューティ比を時間の経過とともに段階的に増加させることで、ドレイン電流をピーク値のまま維持させる。これにより、突入電流を抑制しつつ、出力電圧 V_{out} が目標電圧に達するまでに要する時間を短縮できるようになる。とりわけ、CPU3は、第1期間を n 個の期間に分割し、 i ($i=2$ ないし n の自然数)番目の期間のオンデューティ比は、 $i-1$ 番目の期間のオンデューティ比よりも大きくなるように、各期間のオンデューティ比を決定すればよい。

【0033】

<実施例4>

実施例4として比較例に対して本発明の制御を導入する事例について説明する。例えば、CPU3の出力ポートが正確なPWM(パルス幅変調)制御に向いていなかったと仮定する。例えばオンデューティ比が50%のパルス信号しかCPU3の出力ポートが出力できないケースや、FETのゲート容量が小さすぎるケースである。

30

【0034】

このようなケースでは、比較例と同様に、パワーMOSFET Q1のゲート・ソース間にコンデンサC1を挿入して回路時定数を稼ぐ方法が有効である。図5によれば、オンデューティ比とコンデンサC1の容量値とが異なる2つの組み合わせ $comb_1$ と $comb_2$ とについてドレイン電流の変化が示されている。図5からわかるように、オンデューティ比とコンデンサC1の容量値との組み合わせを変えることで、突入電流のピーク値と出力電圧の立ち上がり時間とが変化する。よって、設計上の目標となる突入電流のピーク値と出力電圧の立ち上がり時間とを両立できるような、組み合わせを選択する。なお、CPU3が出力可能なオンデューティ比のパルス信号に応じて、コンデンサC1の容量値を必要最低限の容量値に選択することで、効果的に突入電流のピーク値を抑えることができる。

40

【0035】

パワーMOSFET Q1は、電源からの直流電圧が入力される入力電極(ソース)と、入力電極から入力された直流電圧を出力する出力電極(ドレイン)と、制御手段から出力された駆動信号が入力される制御電極(ゲート)とを備えている。とりわけ、実施例4では、入力電極と制御電極との間に接続されたコンデンサをさらに設け、このコンデンサ

50

の容量値を、突入電流を抑制可能なコンデンサの容量とオンデューティ比との組み合わせのうちで最も小さい容量に設定する。これにより、小さな容量値のコンデンサによって、効果的に突入電流のピーク値を抑えることができる。

【0036】

<実施例5>

実施例2の変形例である実施例5の回路構成を図6に示す。上述したように、実施例2は、予め想定された1つの負荷容量の値に対してPWM信号のデューティ比を合わせ込む発明であった。これに対し、実施例5は、負荷容量の値が時間の経過とともに異なる値へ変化する際に逐次デューティ比を負荷容量の値に追従させることを特徴としている。負荷部2は、負荷容量Cxと、負荷抵抗Rxとの並列接続により構成されている。抵抗R4（抵抗値r4）が、パワーMOSFET Q1のドレインDと負荷部2との間に直列に接続されている。MOSFET Q3のソースSは、パワーMOSFET Q1のドレインDおよび抵抗R4の一端と接続されている。MOSFET Q3のドレインDは抵抗R4の他端と負荷部2に接続されている。MOSFET Q3がONになると、電源部1から供給される直流電流が抵抗R4を通過せずに、MOSFET Q3を通過する。MOSFET Q3は、抵抗R4をバイパスする機能を果たす。MOSFET Q3がONとなったときのソース・ドレイン間の抵抗値は、抵抗値r4に比べて非常に小さいからである。MOSFET Q3のゲートGはCPU3のポートに接続されている。MOSFET Q3はCPU3から出力される切替信号に応じてON/OFF動作する。CPU3が負荷部2の電圧を検出するためのフィードバック部Fが追加されている。

【0037】

最初に、CPU3は、MOSFET Q3をオフの状態を維持するようOFF信号をMOSFET Q3のゲートGへ出力しつつ、パワーMOSFET Q1がONとなるよう、駆動信号Sigを出力する。この状態では、抵抗R4が存在するため大きな突入電流が負荷部2へ流れることはない。CPU3は、突入電流の電流値が所定の閾値未満に低下したタイミングで、HighレベルのON信号をMOSFET Q3のゲートGへ出力する。なお、このタイミングは、予め実験やシミュレーションにより求められたタイミングであってもよいし、CPU3が突入電流の値（負荷容量Cxの両端に生じる電圧の値）を測定し、その値が閾値未満となったタイミングを動的に検出してもよい。これにより、徐々に負荷部2の負荷容量Cxが充電されてゆく。CPU3から見ると、抵抗R4は負荷容量Cxと合わせて積分回路を構成している。負荷容量Cx（容量値cx）の両端電圧Vcは、次式により表すことができる。

【0038】

【数2】

$$Vc = Vin \left(1 - e^{-t \frac{1}{r4 \cdot cx}} \right)$$

【0039】

Vinは電源部1が出力する直流電圧の電圧値であり、tはパワーMOSFET Q1がONとなってからの経過時間であり、eは自然対数である。Vinとr4は既知である。よって、tの値を適宜設定すれば、上式からcxを算出できる。つまり、CPU3は、パワーMOSFET Q1をオンにしてからt秒が経過した時点でVcを計測することにより負荷容量Cxの容量値cxを求めることができる。駆動信号Sigのオンデューティ比は負荷容量の値が大きいほど小さくする必要がある。CPU3は、オンデューティ比Donの値を次式にしたがって決定する。

【0040】

10

20

30

40

【数3】

$$Don = Dref \times \frac{1}{cx}$$

【0041】

ここで、 $Dref$ は、想定される最大の負荷容量の値に対応したオンデューティ比である。なお、オフデューティ比 $Doff$ は、次式により算出できる。

【0042】

【数4】

$$Doff = 1 - Don$$

10

【0043】

に設定される。このように、CPU3は、随時 Vc を測定して負荷容量 Cx の容量値 cx を算出し、算出した容量値 cx を用いてオンデューティ比 Don を算出し、算出した Don に応じて駆動信号 Sig を生成して出力する。これにより、負荷容量の値が変動しても、適切に突入電流を抑えることができえるようになる。

【0044】

このようにパワーMOSFET Q1をONする前に負荷部2の容量値 cx を測定し、容量値 cx に応じてデューティ比をその都度再設定する。これにより、負荷容量 Cx の容量値が小さいときは大きなオンデューティ比で出力電圧の上昇時間を短くすることが可能となる。一方、負荷容量 Cx の容量値 cx が大きいときは、小さなオンデューティ比で突入電流の抑制を優先させることが可能となる。

20

【0045】

このように、CPU3は、負荷が備える容量成分の容量値を測定する測定手段として機能する。さらに、CPU3は、測定手段により測定された容量が相対的に大きければオンデューティ比を相対的に小さく設定し、測定手段により測定された容量が相対的に小さければオンデューティ比を相対的に大きく設定する設定手段として機能する。これにより、負荷部2の容量成分の容量値が変動しても、突入電流を抑制することが可能となる。

【0046】

また、CPU3は、予め想定された最大の負荷容量の値に対応したオンデューティ比に対して、測定手段により測定された容量値の逆数を乗算することで、駆動信号のオンデューティ比を決定する。つまり、比較的簡単な測定回路と演算によって、駆動信号のオンデューティ比を決定することができる。

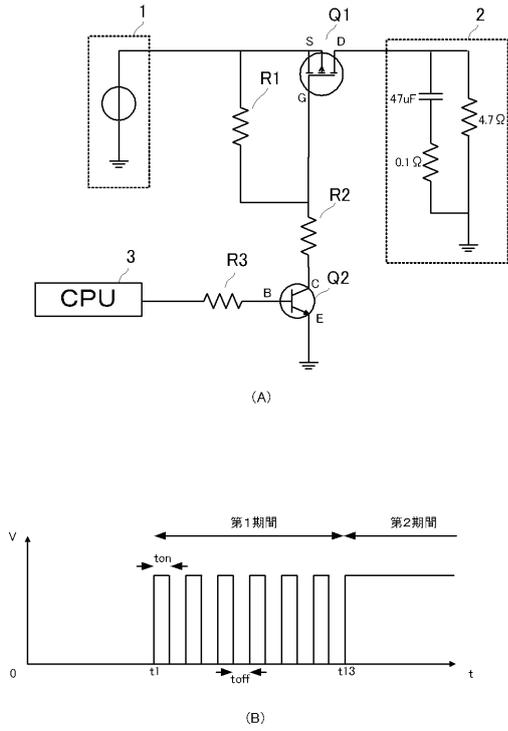
30

【0047】

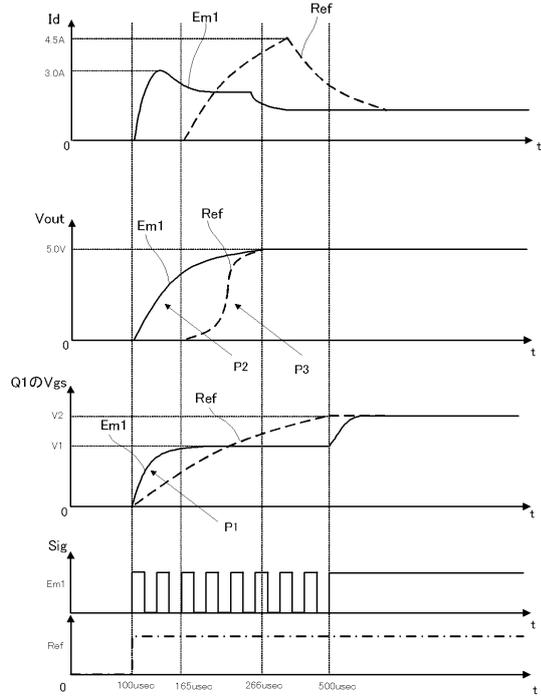
<他の実施例>

上述の実施例は本発明の一例にすぎない。本発明は電子スイッチやロードスイッチ回路において広く適用できる。

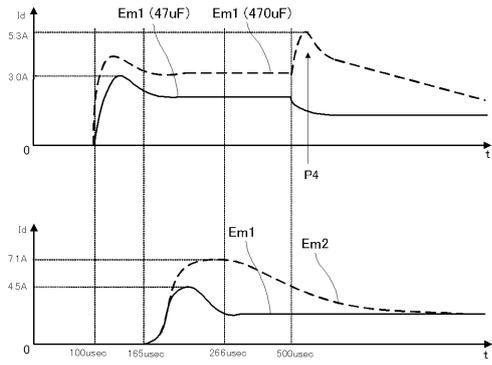
【図1】



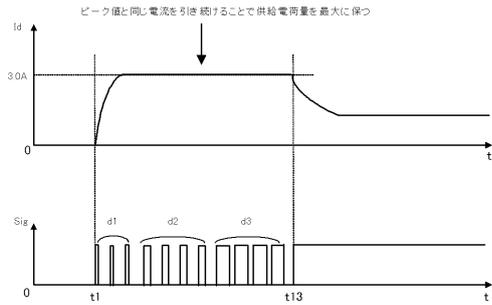
【図2】



【図3】

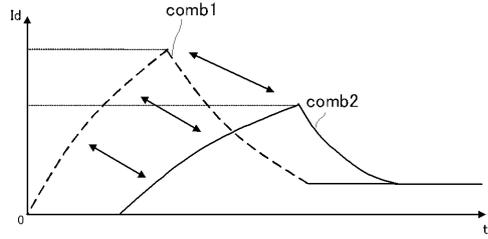


【図4】

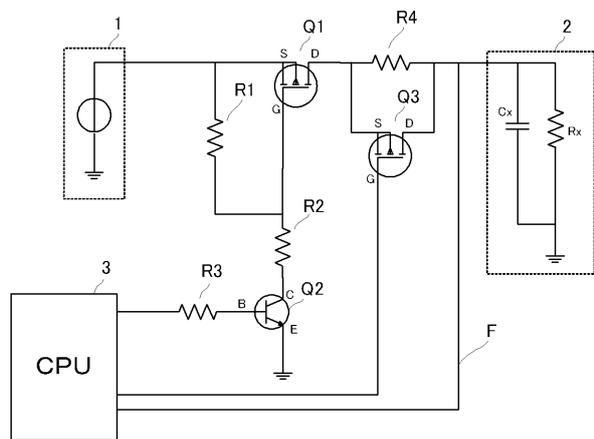


【図5】

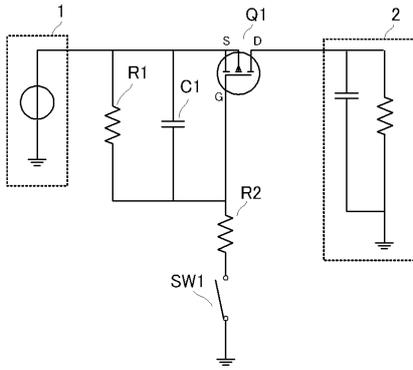
「オンデューティ」及び「C1の容量」によって突入電流のピーク値が変わる



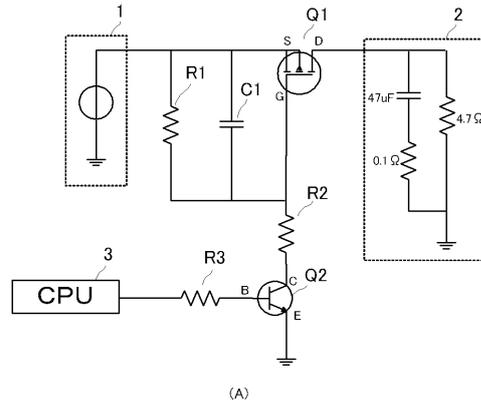
【図6】



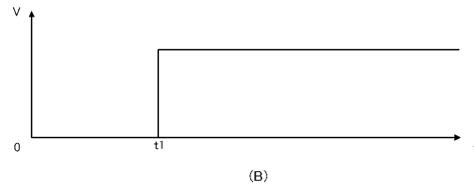
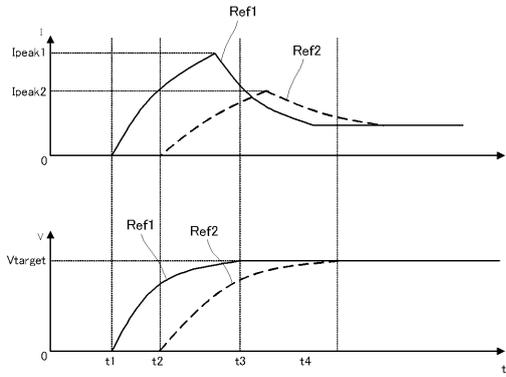
【図7】



【図9】



【図8】



フロントページの続き

(72)発明者 平林 純
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 相澤 祐介

(56)参考文献 特開2005-074751(JP,A)
特開2003-324843(JP,A)
特開2005-065459(JP,A)
特開平07-030394(JP,A)
特開2009-072005(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02J 1/00
H02H 9/02