



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/00 (2006.01) H05B 33/26 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월20일 10-0683791 2007년02월09일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0070054 2005년07월30일 2005년07월30일	(65) 공개번호 (43) 공개일자	10-2007-0015327 2007년02월02일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 오상헌
 경기 용인시 기흥읍 공세리 428-5

(74) 대리인 리엔목특허법인

(56) 선행기술조사문헌

JP14042044A *	JP2002324666 A
JP2005038842 A	JP2005108824 A
KR1020040102638 A	1019980085976
14324666	17108824

* 심사관에 의하여 인용된 문헌

심사관 : 나광표

전체 청구항 수 : 총 24 항

(54) 박막 트랜지스터 기판 및 이를 구비한 평판 디스플레이장치

(57) 요약

본 발명은 후속 공정에 있어서 단차에 의한 전극의 오픈(open)이 방지된 박막트랜지스터 기판 및 이를 구비한 평판 디스플레이 장치를 위하여, 기판과, 복수개의 박막 트랜지스터들이 배치된 상기 기판 상의 제 1 영역과, 상기 제 1 영역으로부터 이격되어 상기 기판 상에 배치된 배선부와, 상기 제 1 영역과 상기 배선부 사이의 상기 기판 상에 배치된 도전층을 구비하는 것을 특징으로 하는 박막 트랜지스터 기판 및 이를 구비한 평판 디스플레이 장치를 제공한다.

대표도

도 4

특허청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

기관;

복수개의 박막 트랜지스터들이 배치된 상기 기관 상의 제 1 영역;

상기 제 1 영역으로부터 이격되어 상기 기관 상에 배치된 배선부; 및

상기 제 1 영역과 상기 배선부 사이의 상기 기관 상에 배치된 도전층;을 구비하고,

상기 제 1 영역에 배치된 박막 트랜지스터는,

반도체층;

상기 반도체층을 덮는 게이트 절연막;

상기 게이트 절연막 상에 배치된 게이트 전극;

상기 게이트 전극을 덮는 층간 절연막; 및

상기 층간 절연막 상에 배치되고, 상기 게이트 절연막과 상기 층간 절연막에 형성된 콘택홀을 통해 상기 반도체층과 각각 접하는 소스 전극 및 드레인 전극;을 구비하며,

상기 게이트 절연막과 상기 층간 절연막이 상기 제 1 영역의 외측까지 연장되고, 상기 배선부는 상기 층간 절연막 상에 배치된 박막 트랜지스터 기관.

청구항 4.

제 3항에 있어서,

상기 배선부는 상기 소스 전극 및 상기 드레인 전극과 동일한 재료로 형성되는 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 5.

기관;

복수개의 박막 트랜지스터들이 배치된 상기 기관 상의 제 1 영역;

상기 제 1 영역으로부터 이격되어 상기 기관 상에 배치된 배선부; 및

상기 제 1 영역과 상기 배선부 사이의 상기 기관 상에 배치된 도전층;을 구비하고,

상기 제 1 영역에 배치된 박막 트랜지스터는,

반도체층;

상기 반도체층을 덮는 게이트 절연막;

상기 게이트 절연막 상에 배치된 게이트 전극;

상기 게이트 전극을 덮는 층간 절연막; 및

상기 층간 절연막 상에 배치되고, 상기 게이트 절연막과 상기 층간 절연막에 형성된 콘택홀을 통해 상기 반도체층과 각각 접하는 소스 전극 및 드레인 전극;을 구비하며,

상기 게이트 절연막과 상기 층간 절연막이 상기 제 1 영역의 외측까지 연장되고, 상기 도전층은 상기 층간 절연막 상에 배치된 박막 트랜지스터 기판.

청구항 6.

제 5항에 있어서,

상기 도전층은 상기 소스 전극 및 상기 드레인 전극과 동일한 재료로 형성되는 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 7.

기판;

복수개의 박막 트랜지스터들이 배치된 상기 기판 상의 제 1 영역;

상기 제 1 영역으로부터 이격되어 상기 기판 상에 배치된 배선부; 및

상기 제 1 영역과 상기 배선부 사이의 상기 기판 상에 배치된 도전층;을 구비하고,

상기 제 1 영역에 배치된 박막 트랜지스터는,

반도체층;

상기 반도체층을 덮는 게이트 절연막;

상기 게이트 절연막 상에 배치된 게이트 전극;

상기 게이트 전극을 덮는 층간 절연막; 및

상기 층간 절연막 상에 배치되고, 상기 게이트 절연막과 상기 층간 절연막에 형성된 콘택홀을 통해 상기 반도체층과 각각 접하는 소스 전극 및 드레인 전극;을 구비하며,

상기 게이트 절연막과 상기 층간 절연막이 상기 제 1 영역의 외측까지 연장되고, 상기 도전층은 상기 게이트 절연막 상에 배치되는 제 1 도전층과 상기 층간 절연막 상에 배치되는 제 2 도전층을 구비하는 박막 트랜지스터 기판.

청구항 8.

제 7항에 있어서,

상기 제 1 도전층은 상기 게이트 전극과 동일한 재료로 형성되고, 상기 제 2 도전층은 상기 소스 전극 및 상기 드레인 전극과 동일한 재료로 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 9.

기판;

복수개의 박막 트랜지스터들이 배치된 상기 기판 상의 제 1 영역;

상기 제 1 영역의 박막 트랜지스터들을 덮는 제 1 영역 보호막;

제 1 영역 보호막으로부터 이격되어 배치된 주변부 보호막;

상기 주변부 보호막 상에 배치된 배선부; 및

상기 제 1 영역과 상기 배선부 사이에 배치된 도전층;을 구비하는 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 10.

삭제

청구항 11.

제 9항에 있어서,

상기 제 1 영역 보호막 상에 배치되고, 상기 제 1 영역 보호막에 형성된 컨택홀을 통해 상기 제 1 영역의 박막 트랜지스터에 전기적으로 연결된 복수개의 화소 전극들을 더 구비하는 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 12.

제 11항에 있어서,

상기 배선부는 상기 주변부 보호막 상에 배치되며, 상기 배선부는 상기 화소 전극과 동일한 재료로 형성되는 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

기판;

복수개의 박막 트랜지스터들이 배치된 상기 기판 상의 제 1 영역;

상기 제 1 영역으로부터 이격되어 상기 기판 상에 배치된 배선부;

상기 제 1 영역과 상기 배선부 사이의 상기 기판 상에 배치된 도전층; 및

상기 제 1 영역의 박막 트랜지스터들에 전기적으로 연결된 디스플레이 소자들;을 구비하고,

상기 제 1 영역에 배치된 박막 트랜지스터는,

반도체층;

상기 반도체층을 덮는 게이트 절연막;

상기 게이트 절연막 상에 배치된 게이트 전극;

상기 게이트 전극을 덮는 층간 절연막; 및

상기 층간 절연막 상에 배치되고, 상기 게이트 절연막과 상기 층간 절연막에 형성된 콘택홀을 통해 상기 반도체층과 각각 접하는 소스 전극 및 드레인 전극;을 구비하며,

상기 게이트 절연막과 상기 층간 절연막이 상기 제 1 영역의 외측까지 연장되고, 상기 배선부는 상기 층간 절연막 상에 배치된 평판 디스플레이 장치.

청구항 16.

제 15항에 있어서,

상기 배선부는 상기 소스 전극 및 상기 드레인 전극과 동일한 재료로 형성되는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 17.

기판;

복수개의 박막 트랜지스터들이 배치된 상기 기판 상의 제 1 영역;

상기 제 1 영역으로부터 이격되어 상기 기판 상에 배치된 배선부;

상기 제 1 영역과 상기 배선부 사이의 상기 기판 상에 배치된 도전층; 및

상기 제 1 영역의 박막 트랜지스터들에 전기적으로 연결된 디스플레이 소자들;을 구비하고,

상기 제 1 영역에 배치된 박막 트랜지스터는,

반도체층;

상기 반도체층을 덮는 게이트 절연막;

상기 게이트 절연막 상에 배치된 게이트 전극;

상기 게이트 전극을 덮는 층간 절연막; 및

상기 층간 절연막 상에 배치되고, 상기 게이트 절연막과 상기 층간 절연막에 형성된 콘택홀을 통해 상기 반도체층과 각각 접하는 소스 전극 및 드레인 전극;을 구비하며,

상기 게이트 절연막과 상기 층간 절연막이 상기 제 1 영역의 외측까지 연장되고, 상기 도전층은 상기 층간 절연막 상에 배치된 평판 디스플레이 장치.

청구항 18.

제 17항에 있어서,

상기 도전층은 상기 소스 전극 및 상기 드레인 전극과 동일한 재료로 형성되는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 19.

기관;

복수개의 박막 트랜지스터들이 배치된 상기 기관 상의 제 1 영역;

상기 제 1 영역으로부터 이격되어 상기 기관 상에 배치된 배선부;

상기 제 1 영역과 상기 배선부 사이의 상기 기관 상에 배치된 도전층; 및

상기 제 1 영역의 박막 트랜지스터들에 전기적으로 연결된 디스플레이 소자들;을 구비하고,

상기 제 1 영역에 배치된 박막 트랜지스터는,

반도체층;

상기 반도체층을 덮는 게이트 절연막;

상기 게이트 절연막 상에 배치된 게이트 전극;

상기 게이트 전극을 덮는 층간 절연막; 및

상기 층간 절연막 상에 배치되고, 상기 게이트 절연막과 상기 층간 절연막에 형성된 콘택홀을 통해 상기 반도체층과 각각 접하는 소스 전극 및 드레인 전극;을 구비하며,

상기 게이트 절연막과 상기 층간 절연막이 상기 제 1 영역의 외측까지 연장되고, 상기 도전층은 상기 게이트 절연막 상에 배치되는 제 1 도전층과 상기 층간 절연막 상에 배치되는 제 2 도전층을 구비하는 평판 디스플레이 장치.

청구항 20.

제 19항에 있어서,

상기 제 1 도전층은 상기 게이트 전극과 동일한 재료로 형성되고, 상기 제 2 도전층은 상기 소스 전극 및 상기 드레인 전극과 동일한 재료로 형성되는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 21.

기관;

복수개의 박막 트랜지스터들이 배치된 상기 기관 상의 제 1 영역;

상기 제 1 영역을 덮는 제 1 영역 보호막;

상기 제 1 영역 보호막으로부터 이격되어 배치되는 주변부 보호막;

상기 주변부 보호막 상에 배치된 배선부;

상기 제 1 영역과 상기 배선부 사이에 배치된 도전층; 및

상기 제 1 영역의 박막 트랜지스터들에 전기적으로 연결된 디스플레이 소자들;을 구비하는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 22.

삭제

청구항 23.

제 21항에 있어서,

상기 디스플레이 소자는, 화소 전극과, 대향 전극과, 상기 화소 전극과 상기 대향 전극 사이에 개재되며 적어도 발광층을 포함하는 중간층을 구비하는 유기 발광 소자인 것을 특징으로 하는 평판 디스플레이 장치.

청구항 24.

제 23항에 있어서,

상기 화소 전극은, 상기 제 1 영역 보호막 상에 배치되고, 상기 제 1 영역 보호막에 형성된 컨택홀을 통해 상기 제 1 영역의 박막 트랜지스터에 전기적으로 연결되는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 25.

제 24항에 있어서,

상기 배선부는 상기 주변부 보호막 상에 배치되며, 상기 배선부는 상기 화소 전극과 동일한 재료로 형성되는 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 26.

제 24항에 있어서,

상기 화소 전극이 노출되도록 상기 제 1 영역 보호막 상에 배치되는 화소 정의막을 더 구비하는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 27.

제 26항에 있어서,

상기 화소 정의막은, 상기 주변부 보호막 상에도 구비되는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 28.

제 27항에 있어서,

상기 화소 정의막은 상기 배선부의 적어도 일부를 노출시키는 컨택홀을 구비하는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 29.

제 28항에 있어서,

상기 대향 전극은 상기 배선부의 적어도 일부를 노출시키는 컨택홀을 통해 상기 배선부와 전기적으로 연결되는 것을 특징으로 하는 평판 디스플레이 장치.

청구항 30.

제 23항 내지 제 29항 중 어느 한 항에 있어서,

상기 대향 전극과 상기 도전층은 전기적으로 연결되는 것을 특징으로 하는 평판 디스플레이 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 기관 및 이를 구비한 평판 디스플레이 장치에 관한 것으로서, 더 상세하게는 후속 공정에서 단차에 의한 전극의 오픈(open)이 방지된 박막트랜지스터 기관 및 이를 구비한 평판 디스플레이 장치에 관한 것이다.

도 1에는 통상적인 유기 발광 디스플레이 장치의 평면도가, 그리고 도 2에는 도 1의 II-II 선을 따라 취한 단면도가 개략적으로 도시되어 있다.

도시된 바와 같이, 유기 발광 디스플레이 장치는 기관(10) 상에 유기 발광 소자를 포함하는 소정의 디스플레이 영역(20)을 갖고, 이 디스플레이 영역(20)을 밀봉하도록 밀봉 부재인 메탈 캡(90)이 밀봉재(81)로 구성된 밀봉부(80)에 의해 밀봉된 것이다. 이때, 디스플레이 영역(20)에는 박막 트랜지스터 및 유기 발광 소자가 복수개의 화소를 구성하여 배열되어 있는데, 이때 유기 발광 소자의 대향 전극(40)이 디스플레이 영역(20)의 외측에 구비된 전극 배선부(41)를 통해 단자 영역(70)에 연결된다. 또한, 디스플레이 영역(20)으로는 복수개의 구동 라인(VDD, 31)들이 배치되는 데, 이 구동 라인(31)들은 디스플레이 영역(20) 외측의 구동 전원 배선부(30)를 통해 단자 영역(70)과 연결되어 디스플레이 영역(20)에 구동전원을 공급한다. 그리고, 상기 디스플레이 영역(20)의 외측에는 상기 디스플레이 영역(20)의 박막 트랜지스터 등에 신호를 입력하는 수직 회로부(50)와 수평 회로부(60)가 더 구비되고, 이들은 모두 회로 배선부(51)(61)에 의해 단자 영역(70)과 연결된다.

상기와 같은 구조에 있어서, 디스플레이 영역(20)과 그 외측의 수직 회로부(50) 및 수평 회로부(60)에는 복수개의 박막 트랜지스터들이 구비되는데, 이들 박막 트랜지스터들을 보호하고 그 상부를 평탄화하기 위해 이들 박막 트랜지스터들 상부에 보호막이 구비된다. 이 보호막은 기관 전면에 걸쳐 일체로 형성되는데, 이에 따라 이 보호막에서 아웃가스(outgas)가

발생하여 디스플레이 영역(20)에 구비되는 유기 발광 소자와 같은 디스플레이 소자의 열화를 유발한다는 문제점이 있었다. 또한 이 보호막은 통상적으로 유기막과 무기막의 복합막으로 형성되는데, 이 막들 사이의 계면을 통해 보호막 외측으로부터 불순물이 침투하여 디스플레이 영역(20)의 디스플레이 소자의 열화를 유발한다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 후속 공정에 있어서 단차에 의한 전극의 오픈(open)이 방지된 박막트랜지스터 기판 및 이를 구비한 평판 디스플레이 장치를 제공하는 것을 목적으로 한다.

발명의 구성

상기와 같은 목적 및 그 밖의 여러 목적을 달성하기 위하여, 본 발명은, 기판과, 복수개의 박막 트랜지스터들이 배치된 상기 기판 상의 제 1 영역과, 상기 제 1 영역으로부터 이격되어 상기 기판 상에 배치된 배선부와, 상기 제 1 영역과 상기 배선부 사이의 상기 기판 상에 배치된 도전층을 구비하는 것을 특징으로 하는 박막 트랜지스터 기판을 제공한다.

이러한 본 발명의 다른 특징에 의하면, 상기 제 1 영역에 배치된 박막 트랜지스터는, 반도체층과, 상기 반도체층을 덮는 게이트 절연막과, 상기 게이트 절연막 상에 배치된 게이트 전극과, 상기 게이트 전극을 덮는 층간 절연막과, 상기 층간 절연막 상에 배치되고 상기 게이트 절연막과 상기 층간 절연막에 형성된 콘택홀을 통해 상기 반도체층과 각각 접하는 소스 전극 및 드레인 전극을 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 게이트 절연막과 상기 층간 절연막은 상기 제 1 영역의 외측까지 연장되고, 상기 배선부는 상기 층간 절연막 상에 배치되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 배선부는 상기 소스 전극 및 상기 드레인 전극과 동일한 재료로 형성되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 게이트 절연막과 상기 층간 절연막은 상기 제 1 영역의 외측까지 연장되고, 상기 도전층은 상기 층간 절연막 상에 배치되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 도전층은 상기 소스 전극 및 상기 드레인 전극과 동일한 재료로 형성되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 게이트 절연막과 상기 층간 절연막은 상기 제 1 영역의 외측까지 연장되고, 상기 도전층은 상기 게이트 절연막 상에 배치되는 제 1 도전층과 상기 층간 절연막 상에 배치되는 제 2 도전층을 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 제 1 도전층은 상기 게이트 전극과 동일한 재료로 형성되고, 상기 제 2 도전층은 상기 소스 전극 및 상기 드레인 전극과 동일한 재료로 형성된 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 제 1 영역의 박막 트랜지스터들을 덮는 제 1 영역 보호막과, 상기 제 1 영역 보호막으로부터 이격되어 배치된 주변부 보호막을 더 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 배선부는 상기 주변부 보호막 상에 배치되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 제 1 영역 보호막 상에 배치되고, 상기 제 1 영역 보호막에 형성된 콘택홀을 통해 상기 제 1 영역의 박막 트랜지스터에 전기적으로 연결된 복수개의 화소 전극들을 더 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 배선부는 상기 주변부 보호막 상에 배치되며, 상기 배선부는 상기 화소 전극과 동일한 재료로 형성되는 것으로 할 수 있다.

본 발명은 또한 상기와 같은 목적을 달성하기 위하여, 기판과, 복수개의 박막 트랜지스터들이 배치된 상기 기판 상의 제 1 영역과, 상기 제 1 영역으로부터 이격되어 상기 기판 상에 배치된 배선부와, 상기 제 1 영역과 상기 배선부 사이의 상기 기판 상에 배치된 도전층과, 상기 제 1 영역의 박막 트랜지스터들에 전기적으로 연결된 디스플레이 소자들을 구비하는 것을 특징으로 하는 평판 디스플레이 장치를 제공한다.

이러한 본 발명의 다른 특징에 의하면, 상기 제 1 영역에 배치된 박막 트랜지스터는, 반도체층과, 상기 반도체층을 덮는 게이트 절연막과, 상기 게이트 절연막 상에 배치된 게이트 전극과, 상기 게이트 전극을 덮는 층간 절연막과, 상기 층간 절연막 상에 배치되고 상기 게이트 절연막과 상기 층간 절연막에 형성된 컨택홀을 통해 상기 반도체층과 각각 접하는 소스 전극 및 드레인 전극을 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 게이트 절연막과 상기 층간 절연막은 상기 제 1 영역의 외측까지 연장되고, 상기 배선부는 상기 층간 절연막 상에 배치되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 배선부는 상기 소스 전극 및 상기 드레인 전극과 동일한 재료로 형성되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 게이트 절연막과 상기 층간 절연막은 상기 제 1 영역의 외측까지 연장되고, 상기 도전층은 상기 층간 절연막 상에 배치되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 도전층은 상기 소스 전극 및 상기 드레인 전극과 동일한 재료로 형성되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 게이트 절연막과 상기 층간 절연막은 상기 제 1 영역의 외측까지 연장되고, 상기 도전층은 상기 게이트 절연막 상에 배치되는 제 1 도전층과 상기 층간 절연막 상에 배치되는 제 2 도전층을 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 제 1 도전층은 상기 게이트 전극과 동일한 재료로 형성되고, 상기 제 2 도전층은 상기 소스 전극 및 상기 드레인 전극과 동일한 재료로 형성된 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 제 1 영역을 덮는 제 1 영역 보호막과, 상기 제 1 영역 보호막으로부터 이격되어 배치되는 주변부 보호막을 더 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 배선부는 상기 주변부 보호막 상에 배치되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 디스플레이 소자는, 화소 전극과, 대향 전극과, 상기 화소 전극과 상기 대향 전극 사이에 개재되며 적어도 발광층을 포함하는 중간층을 구비하는 유기 발광 소자인 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 화소 전극은, 상기 제 1 영역 보호막 상에 배치되고, 상기 제 1 영역 보호막에 형성된 컨택홀을 통해 상기 제 1 영역의 박막 트랜지스터에 전기적으로 연결되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 배선부는 상기 주변부 보호막 상에 배치되며, 상기 배선부는 상기 화소 전극과 동일한 재료로 형성되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 화소 전극이 노출되도록 상기 제 1 영역 보호막 상에 배치되는 화소 정의막을 더 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 화소 정의막은, 상기 주변부 보호막 상에도 구비되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 화소 정의막은 상기 배선부의 적어도 일부를 노출시키는 컨택홀을 구비하는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 대향 전극은 상기 배선부의 적어도 일부를 노출시키는 컨택홀을 통해 상기 배선부와 전기적으로 연결되는 것으로 할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 대향 전극과 상기 도전층은 전기적으로 연결되는 것으로 할 수 있다.

이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.

도 3은 본 발명의 바람직한 제 1 실시예에 따른 평판 디스플레이 장치, 특히 유기 발광 디스플레이 장치를 개략적으로 도시하는 평면도이고, 도 4는 도 3의 IV-IV 선을 따라 취한 단면도이다.

상기 도면들을 참조하면, 본 실시예에 따른 유기 발광 디스플레이 장치는 박막 트랜지스터 기판을 구비한다. 이 박막 트랜지스터 기판은, 글라스재, 금속재 및 플라스틱재 등으로 이루어진 기판(110)과, 기판(110) 상의 복수개의 박막 트랜지스터들이 배치된 제 1 영역(100, 도 4 참조)과, 이 제 1 영역(100)으로부터 이격되어 기판(110) 상에 배치된 배선부(700, 도 4 참조), 그리고 제 1 영역(100)과 배선부(700) 사이의 배치된 도전층(420)을 구비한다. 그리고 이러한 박막 트랜지스터 기판 상에 유기 발광 소자가 구비되어 있는데, 이 유기 발광 소자는, 화소 전극(210, 도 4 참조)과, 이에 대향된 대향 전극(400)과, 화소 전극(210)과 대향 전극(400) 사이에 개재된 적어도 발광층을 포함하는 중간층(230, 도 4 참조)을 구비한다.

상기 제 1 영역(100)에는 복수개의 박막 트랜지스터들이 구비되어 있는데, 이들은 도면들에 도시되어 있는 것과 같이 수직 회로 구동부(500)에 구비된 박막 트랜지스터들일 수도 있고, 디스플레이 영역(200) 내에 구비된 박막 트랜지스터들일 수도 있으며, 필요에 따라 구비된 그 이외의 박막 트랜지스터들일 수도 있다. 또한 수평 회로 구동부(600)에 구비된 박막 트랜지스터들일 수도 있다.

이러한 박막 트랜지스터 기판의 외측 가장자리에는 단자들(320, 420, 510, 620)이 배치되어 있는데, 이들은 각각 기판(110) 상에 형성되어 있거나 형성될, 구동 전원 배선부(300), 전극 전원 공급 라인(410), 수직 회로 구동부(500), 수평 회로 구동부(600)에 전기적으로 연결되어 있다. 그리고 또한 박막 트랜지스터 기판의 외측 가장자리에는 밀봉부(800)가 구비되어 기판(110)과 봉지기판(900, 도 4 참조)을 밀봉시킨다.

상기 제 1 영역(100) 및 유기 발광 소자의 구성을 더 자세히 설명하자면 다음과 같다.

먼저 기판(110)상에 SiO₂ 등으로 버퍼층(120)이 구비된다. 버퍼층(120)의 일면 상에는 반도체층(130)이 구비되는데, 반도체층(130)은 비정질 실리콘층 또는 다결정질 실리콘층으로 형성될 수 있으며, 또는 유기 반도체 물질로 형성될 수도 있다. 도면에서 자세히 도시되지는 않았으나, 필요에 따라 반도체층(130)은 N+ 형 또는 P+ 형의 도펀트 들로 도핑되는 소스 및 드레인 영역과, 채널 영역을 구비할 수 있다.

반도체층(130)의 일면 상부에는 게이트 전극(150)이 구비되는데, 이 게이트 전극(150)에 인가되는 신호에 따라 소스 전극과 드레인 전극(170)이 전기적으로 소통된다. 게이트 전극(150)은 인접층과의 밀착성, 적층되는 층의 표면 평탄성 그리고 가공성 등을 고려하여, 예를 들어 MoW, Al/Cu 등과 같은 물질로 형성된다. 이때 반도체층(130)과 게이트 전극(150)과의 절연성을 확보하기 위하여, 예컨대 플라즈마 강화 화학 기상 증착(PECVD)을 통해 SiO₂ 등으로 구성되는 게이트 절연층(140)이 반도체층(130)과 게이트 전극(150) 사이에 개재된다.

게이트 전극(150)의 상부에는 층간 절연막(160)이 구비되는데, 이는 SiO₂, SiN_x 등의 물질로 단층으로 형성되거나 또는 다중층으로 형성될 수도 있다. 층간 절연막(160)의 상부에는 소스/드레인 전극(170)이 형성된다. 소스/드레인 전극(170)은 층간 절연막(160)과 게이트 절연층(140)에 형성되는 컨택홀을 통하여 반도체층에 각각 전기적으로 연결된다.

소스/드레인 전극(170)의 상부에는 제 1 영역 보호막(패시베이션층 및/또는 평탄화층, 181)이 구비되어, 하부의 박막 트랜지스터를 보호하고 평탄화시킨다. 이 제 1 영역 보호막(181)은 다양한 형태로 구성될 수 있는데, BCB (benzocyclobutene) 또는 아크릴(acryl) 등과 같은 유기물, 또는 SiN_x와 같은 무기물로 형성될 수도 있고, 단층으로 형성되거나 이중 혹은 다중층으로 구성될 수도 있는 등 다양한 변형이 가능하다.

이 제 1 영역 보호막(181) 상에는 다양한 디스플레이 소자가 구비될 수 있는데, 본 실시예의 경우에는 유기 발광 소자가 구비되어 있다. 이 유기 발광 소자는 화소 전극(210)과, 이 화소 전극에 대향하는 대향 전극(400)과 이 전극들 사이에 개재된 적어도 발광층을 포함하는 중간층(230)을 구비한다.

화소 전극(210)은 제 1 영역 보호막(181) 상에 구비되는데, 이 화소 전극(210)은 제 1 영역 보호막(181)에 형성된 컨택홀(211)을 통하여 하부의 소스 또는 드레인 전극(170)에 전기적으로 연결된다. 화소 전극(210)은 투명 전극 또는 반사형 전극으로 구비될 수 있는데, 투명전극으로 사용될 때에는 ITO, IZO, ZnO 또는 In₂O₃로 구비될 수 있다. 반사형 전극으로 사용될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO 또는 In₂O₃를 형성할 수 있다.

한편, 대향 전극(400)도 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물이 유기 발광막을 향하도록 증착한 후, 그 위에 ITO, IZO, ZnO 또는 In_2O_3 등의 투명 전극 형성용 물질로 보조 전극층이나 버스 전극 라인을 형성할 수 있다. 그리고 반사형 전극으로 사용될 때에는 위 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물을 전면 증착하여 형성한다. 그러나, 반드시 이에 한정되는 것은 아니며, 화소 전극 및 대향 전극으로 전도성 폴리머 등 유기물을 사용할 수도 있다.

중간층(230)은 저분자 또는 고분자 유기물로 구비될 수 있다. 저분자 유기물로 형성될 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양한 물질이 사용될 수 있다. 이러한 층들은 진공증착의 방법으로 형성될 수 있다.

고분자 유기물로 형성될 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.

상기와 같은 중간층은 반드시 이에 한정되는 것은 아니고, 다양한 실시예들이 적용될 수 있음은 물론이다.

이러한 제 1 영역(100) 외측에는 배선부(700)가 구비되는데, 도면들에 도시된 바와 같이 이 배선부(700)에는 전극 전원 공급 라인(410)이 구비될 수 있다. 즉, 이 배선부(700)는 대향 전극(400)에 전기적으로 연결되어 이 대향 전극(400)에 전원을 공급하는 역할을 할 수 있다. 이때, 제 1 영역(100)의 게이트 절연막(140)과 층간 절연막(160)은 제 1 영역(100)의 외측까지 연장되는데, 이와 달리 필요에 따라 게이트 절연막(140)과 층간 절연막(160)이 제 1 영역(100) 외측에 구비되지 않을 수도 있는 등 다양한 변형이 가능함은 물론이다.

물론 대향 전극(400) 외에도 유기 발광 소자에는 다른 전원이 필요한데, 예컨대 구동 전원과 같은 것이다. 이러한 구동 전원은 디스플레이 영역(200)에 구비된 복수개의 구동 라인(VDD, 310)에 의해 공급되는데, 이 구동 라인(310)들은 디스플레이 영역(200) 외측의 구동 전원 배선부(300)를 통해 단자(320)에 연결되어 디스플레이 영역(200)에 구동전원을 공급한다. 물론 구동 전원 배선부(300)는 도 3에 도시된 것과 달리 반드시 디스플레이 영역(200)의 외주부를 둘러싸는 형상일 필요는 없다.

한편, 제 1 영역 보호막(181)이 구비됨에 따라, 이 제 1 영역 보호막(181)으로부터 이격되어 상기 제 1 영역(100) 주변에 형성되는 주변부 보호막(182)이 더 구비될 수도 있다. 이는 공정상으로는 보호막을 기판(110)의 전면(全面)에 걸쳐 형성한 후, 제 1 영역(100)의 외주부를 따라 보호막의 일부를 제거한 것이다.

전술한 바와 같이 보호막은 통상적으로 유기막과 무기막의 복합막으로 형성되는데, 종래에는 이 보호막이 기판의 전면에 걸쳐 일체로 형성됨에 따라 이 막들 사이의 계면을 통해 보호막 외측으로부터 불순물이 침투하여 디스플레이 영역(100)의 디스플레이 소자의 열화를 유발한다는 문제점이 있었다. 따라서 본 발명에서는 이 보호막이 제 1 영역 보호막(181)과 주변부 보호막(182)으로 분리되도록 함으로써, 주변부 보호막(182)의 외측으로부터 주변부 보호막(182)의 계면을 따라 불순물이 침투하더라도 디스플레이 영역(200) 쪽으로는 더 이상 불순물이 침투하지 못하도록 할 수 있다. 이를 통해 디스플레이 소자의 수명을 향상시키고 궁극적으로는 시간의 경과에 따른 디스플레이 장치의 화질의 저하를 방지할 수 있게 된다. 이 경우, 이 제 1 영역 보호막(181)과 주변부 보호막(182) 사이에 도전층(420)이 위치하게 된다. 이 도전층(420)의 역할은 후술한다.

도시된 바와 같이, 배선부(700), 예컨대 전극 전원 공급 라인(410)은 상기 주변부 보호막(700) 상에 구비되는데, 이 경우 공정상 디스플레이 영역(200)의 화소 전극(210)과 동시에 형성될 수 있다. 따라서 이 전극 전원 공급 라인(410)은 화소 전극(210)과 동일한 재료로 형성될 수 있다. 물론 필요에 따라서는 다른 물질로 형성될 수도 있다.

한편, 도 4에 도시된 바와 같이 제 1 영역(100)에는 화소 정의막(220)이 구비되는데, 이는 각 부화소들에 대응하는 개구, 즉 화소 전극이 노출되도록 하는 개구를 가짐으로써 화소를 정의하는 역할을 하기도 하고, 화소 전극(210)의 단부와 대향 전극(400) 사이의 거리를 증가시킴으로써 화소 전극(210)의 단부에서의 아크 등이 발생하는 것을 방지하는 역할을 한다.

이 화소 정의막(220)은 제 1 영역(100) 외측의 주변부 보호막(182) 상에도 구비될 수 있다. 이 경우 화소 정의막(220)은 배선부(700), 즉 전극 전원 공급 라인(410)의 적어도 일부를 노출시키는 컨택홀을 구비할 수 있다. 그리고 이 컨택홀을 통해 배선부(700), 즉 전극 전원 공급 라인(410)과 대향 전극(400)이 전기적으로 연결될 수 있다.

이때, 도 4에 도시된 바와 같이 화소 전극(400)은 기관(110)의 전면에 걸쳐 형성됨에 따라 배선부(700)에 연결되게 된다. 이 경우, 전술한 바와 같이 보호막이 제 1 영역 보호막(181)과 주변부 보호막(182)으로 나뉘어 따라 그 사이(A)에 단차가 크기 형성되는데, 따라서 이러한 단차에 따라 대향 전극(400)이 단선될 수도 있으며, 그 결과 배선부(700)에 전기적으로 연결되지 않을 수도 있다. 즉, 도 5의 비교예에 도시된 것과 같이, 제 1 영역 보호막(181)과 주변부 보호막(182)으로 보호막이 나뉘어 따라 그 사이(A)에서 A1으로 나타낸 부분과 같이 대향 전극(400)이 단선될 수도 있게 된다. 이는 대향 전극(400)의 두께가 대략 180Å인데 반해, 보호막과 화소 정의막의 두께가 대략 2 μ m에 이르기 때문이다. 따라서 그 단차를 줄여주는 것이 바람직한데, 이 역할을 도전층(420)이 하게 된다. 이와 같이 도전층(420)이 구비되도록 함으로써, 도 4의 A1으로 나타낸 것 부분에서 대향 전극(400)의 단선이 방지된다.

이 도전층(420)은 제 1 영역(100)의 소스전극 또는 드레인 전극(170)이 층간 절연막(160) 상에 형성될 시 동시에 형성될 수 있으며, 따라서 층간 절연막(160) 상에 동일 물질로 형성될 수 있다. 물론 필요에 따라 추가적으로 또는 다른 재료로 형성할 수도 있고 다른 층 상에 형성될 수도 있는 등 다양한 변형이 가능함은 물론이다. 이와 같이 도전층(420)이 제 1 영역(100)과 배선부(700) 사이에 구비됨으로써 보호막의 단차를 감소시켜 화소 전극(400)이 단선되는 불량을 방지할 수 있게 된다. 또한, 화소 전극(400)이 혹시 단선 되더라도, 화소 전극(400)이 도전층(420)에만 연결된다면 이 도전층(420)을 통해 배선부(700)와 화소 전극(400)이 전기적으로 연결될 수도 있으므로, 불량이 방지될 수 있다.

한편, 도 4에 도시된 것과 달리 주변부 보호막(182)은 구비되지 않을 수도 있으며, 이 경우에는 배선부(700), 즉 전극 전원 공급 라인(410)은 층간 절연막(160) 상에 배치되게 된다. 이 경우에는 제 1 영역(100)의 소스 전극 및 드레인 전극(170)과 동일 층상에 형성되므로 소스 전극 및 드레인 전극(170)과 동일 물질로 형성될 수도 있다.

한편, 도 4에는 수직 회로 구동부(500)가 제 1 영역(100)에 구비되는 것으로 도시되어 있으나, 본 발명은 이에 한정되지 않는다. 즉, 도 6에 도시된 바와 같이 수직 회로 구동부(500)가 배선부(700)의 하부에 구비될 수도 있고, 도 7에 도시된 바와 같이 배선부(700)의 외측에 구비될 수도 있다(도 7에서는 배선부(700)의 외측에 구비되었기 때문에 도시되지 않았음). 또한 수직 회로 구동부가 배선부의 외측에 구비될 경우에는 도 8에 도시된 바와 같이 제 1 영역(100)과 배선부(700) 사이에서 단차가 형성될 수 있는데, 이 경우에 단차에 의해 대향 전극(400)이 단선되는 불량을 전술한 바와 같이 도전층(420)에 의해 방지할 수 있게 된다.

도 9는 본 발명의 바람직한 제 2 실시예에 따른 평판 디스플레이 장치, 특히 유기 발광 디스플레이 장치를 개략적으로 도시하는 평면도이다.

본 실시예에 다른 유기 발광 디스플레이 장치가 전술한 제 1 실시예에 따른 유기 발광 디스플레이 장치와 다른 점은, 도전층(420)이 2중으로 형성되어 있다는 것이다. 즉, 도전층(420)은, 제 1 영역(100)의 게이트 전극(150) 형성 시 동일한 재료로 게이트 절연막(140) 상에 동시에 형성되는 제 1 도전층(421)과, 소스 전극 및 드레인 전극(170)을 형성할 시 동일한 재료로 층간 절연막(160) 상에 동시에 형성되는 제 2 도전층(422)을 구비하고 있다. 이와 같이 2중 구조를 갖도록 함으로써, 제 1 영역 보호막(181)과 주변부 보호막(182) 사이의 단차를 더욱 줄일 수 있게 되어, 대향 전극(400)이 단선되는 불량을 더욱 확실히 방지할 수 있다.

도 10은 본 발명의 바람직한 제 3 실시예에 따른 평판 디스플레이 장치, 특히 유기 발광 디스플레이 장치를 개략적으로 도시하는 평면도이다.

본 실시예에 따른 유기 발광 디스플레이 장치가 전술한 제 2 실시예에 따른 유기 발광 디스플레이 장치와 다른 점은, 도전층(420)이 이중 구조를 갖되, 제 1 도전층(421)과 제 2 도전층(422)이 전기적으로 연결되어 있다는 것이다. 이는 제 1 영역(100)에서 소스 전극 및 드레인 전극(170)이 반도체층(130)에 연결될 수 있도록 컨택홀을 형성할 시 제 1 도전층(421)상의 층간 절연막(160)을 제거함으로써 이루어질 수 있다.

상기 실시예들 및 그 변형예들에서는 유기 발광 디스플레이 장치의 경우에 대해 설명했으나, 본 발명은 이에 한정되지 않고 다양한 디스플레이 장치, 예컨대 액정 디스플레이 장치 등과 같은 여러 디스플레이 장치에도 적용될 수 있음은 물론이다.

발명의 효과

상기한 바와 같이 이루어진 본 발명의 박막 트랜지스터 기관 및 이를 구비한 평판 디스플레이 장치에 따르면, 다음과 같은 효과를 얻을 수 있다.

첫째, 보호막이 디스플레이 영역을 포함하는 제 1 영역 보호막과 그 외측의 주변부 보호막으로 나뉘도록 함으로써, 보호막 내부를 통한 디스플레이 영역으로의 불순물의 침투를 방지할 수 있다.

둘째, 제 1 영역 보호막과 주변부 보호막 사이의 단차를 도전층을 통해 감소시킴으로써, 대향 전극의 단선을 방지할 수 있다.

셋째, 제 1 영역 보호막과 주변부 보호막 사이에 도전층이 구비되도록 함으로써, 대향 전극이 단차에 의해 단선 되더라도 이 도전층을 통해 대향 전극이 배선부에 전기적으로 연결되도록 할 수 있다.

본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면의 간단한 설명

도 1은 종래의 유기 발광 디스플레이 장치를 개략적으로 도시하는 평면도이다.

도 2는 도 1의 II-II 선을 따라 취한 단면도이다.

도 3은 본 발명의 바람직한 일 실시예에 따른 평판 디스플레이 장치, 특히 유기 발광 디스플레이 장치를 개략적으로 도시하는 평면도이다.

도 4는 도 3의 IV-IV 선을 따라 취한 단면도이다.

도 5는 도 4의 비교예에 따른 유기 발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.

도 6은 도 4에 도시된 유기 발광 디스플레이 장치의 변형예를 개략적으로 도시하는 단면도이다.

도 7은 도 4에 도시된 유기 발광 디스플레이 장치의 또 다른 변형예를 개략적으로 도시하는 단면도이다.

도 8은 도 4에 도시된 유기 발광 디스플레이 장치의 또 다른 변형예를 개략적으로 도시하는 단면도이다.

도 9는 본 발명의 바람직한 다른 일 실시예에 따른 평판 디스플레이 장치, 특히 유기 발광 디스플레이 장치를 개략적으로 도시하는 평면도이다.

도 10은 본 발명의 바람직한 또 다른 일 실시예에 따른 평판 디스플레이 장치, 특히 유기 발광 디스플레이 장치를 개략적으로 도시하는 평면도이다.

<도면의 주요 부분에 대한 부호의 설명>

110: 기관 120: 버퍼층

130: 반도체층 140: 게이트 절연막

150: 게이트 전극 160: 층간 절연막

170: 소스/드레인 전극 181, 182: 보호막

210: 화소 전극 220: 화소 정의막

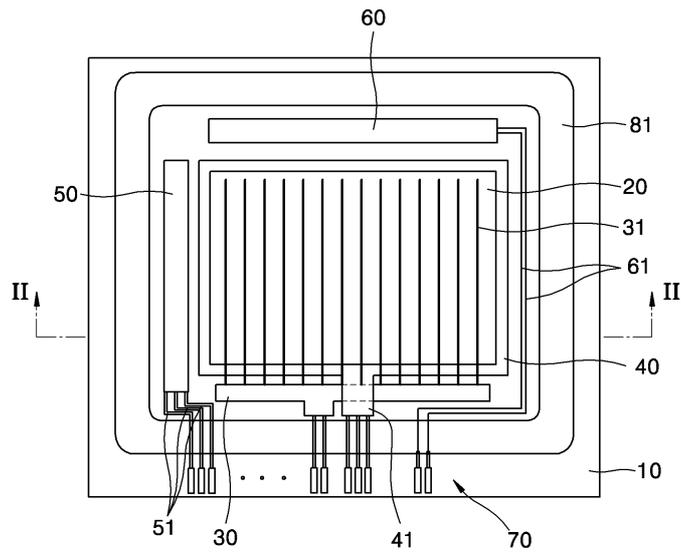
230: 중간층 400: 대향 전극

410: 전극 전원 공급선 420: 도전층

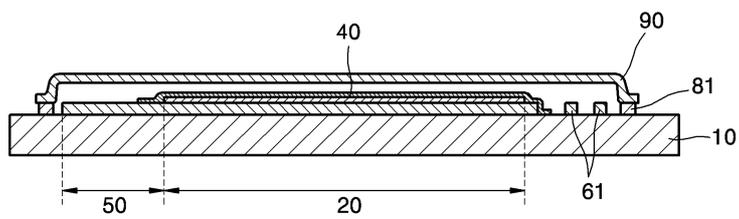
500: 수직 회로 구동부 700: 배선부

도면

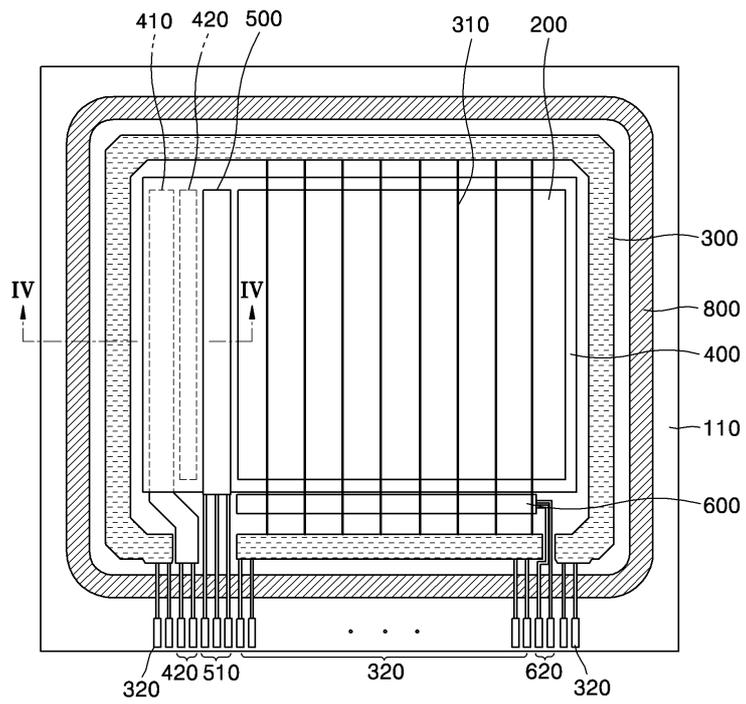
도면1



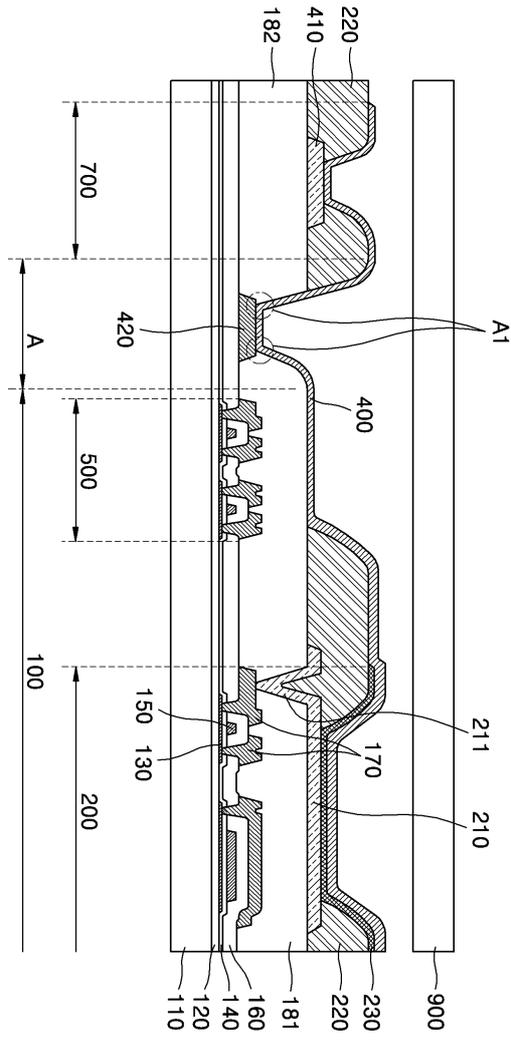
도면2



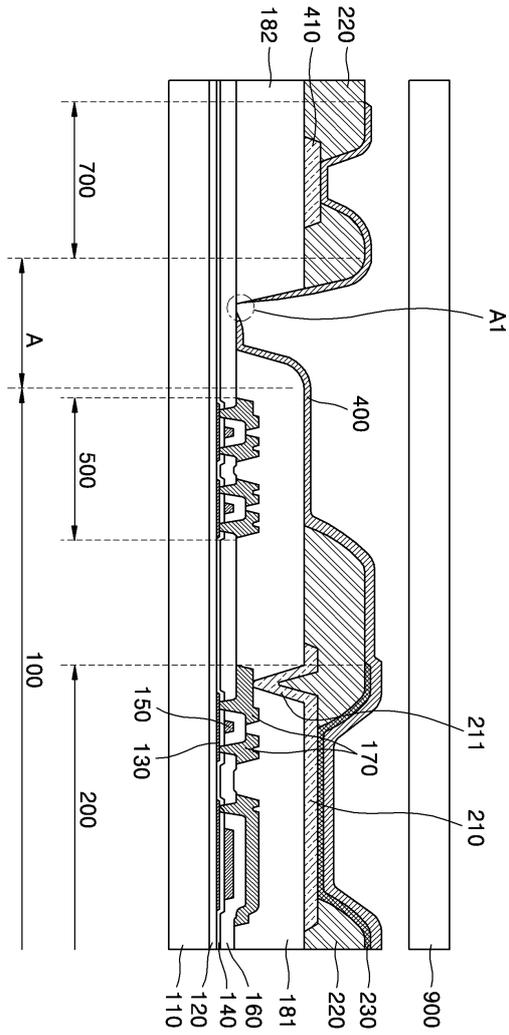
도면3



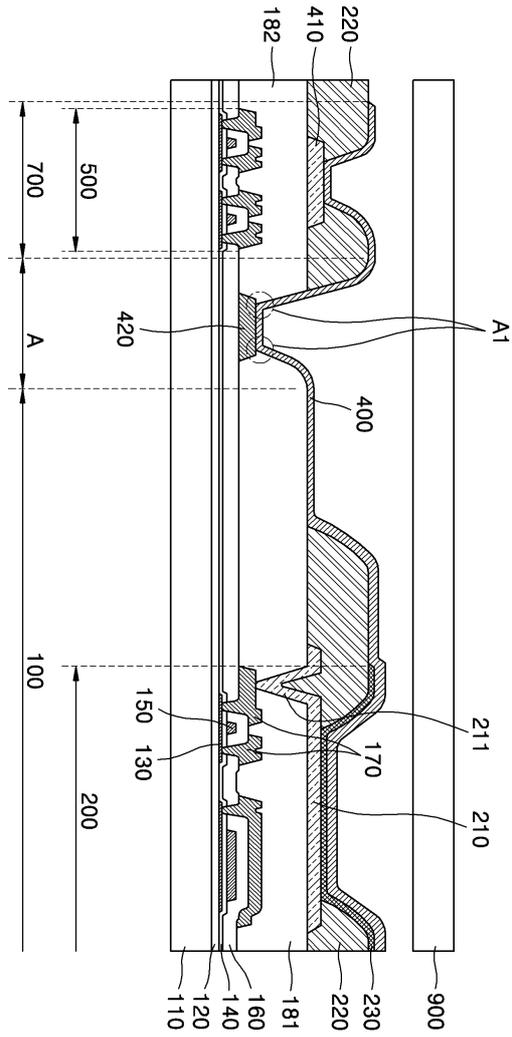
도면4



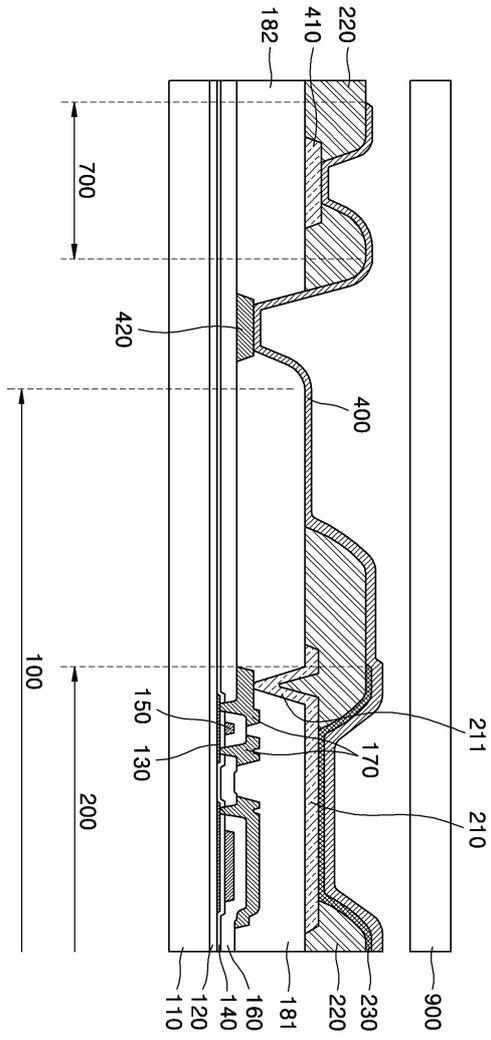
도면5



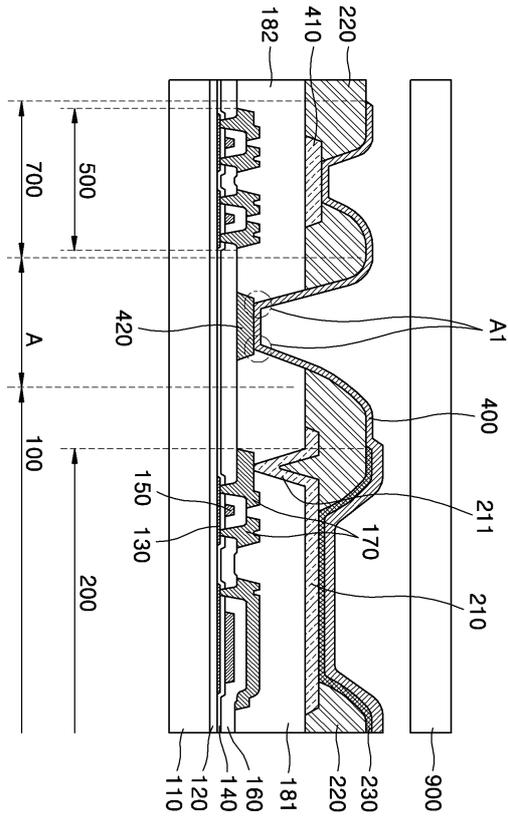
도면6



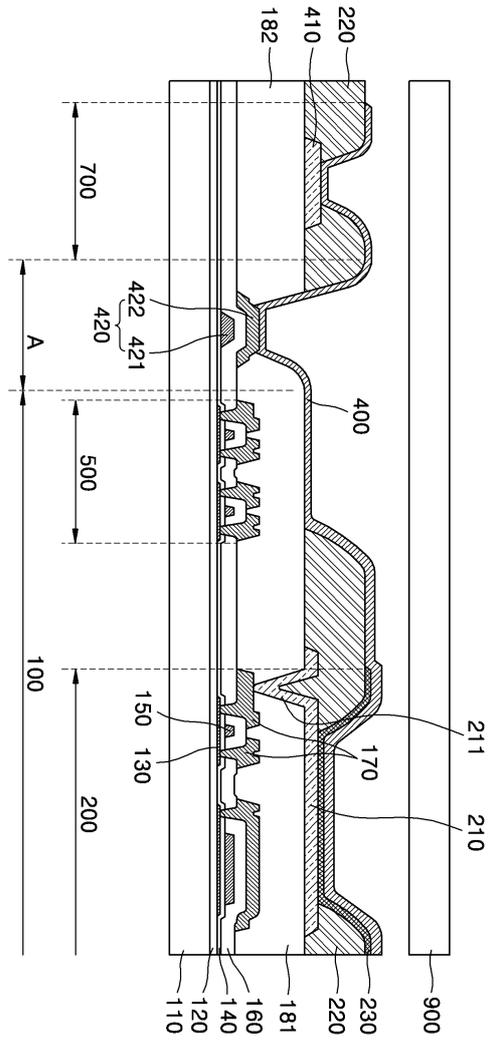
도면7



도면8



도면9



도면10

