



(12) 发明专利

(10) 授权公告号 CN 110401415 B

(45) 授权公告日 2023.07.04

(21) 申请号 201910323650.2

(51) Int.CI.

(22) 申请日 2019.04.22

H03B 5/04 (2006.01)

(65) 同一申请的已公布的文献号

H03B 5/12 (2006.01)

申请公布号 CN 110401415 A

(56) 对比文件

(43) 申请公布日 2019.11.01

CN 103973226 A, 2014.08.06

(30) 优先权数据

CN 202818228 U, 2013.03.20

2018-082716 2018.04.24 JP

JP 2004304332 A, 2004.10.28

(73) 专利权人 精工爱普生株式会社

JP 2013211654 A, 2013.10.10

地址 日本东京都

KR 20070087516 A, 2007.08.28

(72) 发明人 宇野智博

US 2017141727 A1, 2017.05.18

审查员 杨蕾

(74) 专利代理机构 北京三友知识产权代理有限

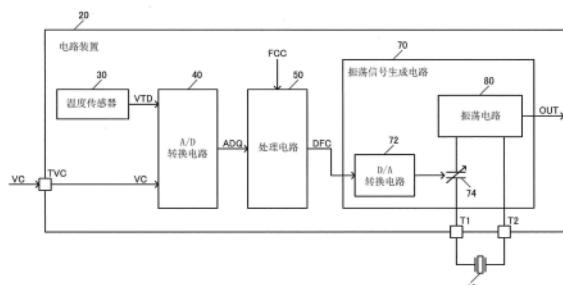
权利要求书2页 说明书16页 附图13页

(54) 发明名称

电路装置、振荡器、电子设备和移动体

(57) 摘要

电路装置、振荡器、电子设备和移动体。能够在通过控制电压实现频率调节的同时实现高精度的频率温度特性。电路装置包括：控制电压输入端子，其输入控制电压；A/D转换电路，其对控制电压进行A/D转换而生成控制电压数据，对来自温度传感器的温度检测电压进行A/D转换而生成温度检测数据；处理电路，其根据温度检测数据生成振荡频率的温度校正数据，执行温度校正数据和控制电压数据的加法处理，生成振荡频率的频率控制数据；以及振荡信号生成电路，其使用频率控制数据和振子生成根据频率控制数据设定的振荡频率的振荡信号。



1. 一种电路装置,其特征在于,其包括:

A/D转换电路,其对控制电压进行A/D转换而生成控制电压数据,对来自温度传感器的温度检测电压进行A/D转换而生成温度检测数据;

处理电路,其根据所述温度检测数据生成温度校正数据,执行所述温度校正数据和所述控制电压数据的加法处理而生成频率控制数据;以及

振荡信号生成电路,其使用所述频率控制数据和振子生成根据所述频率控制数据设定的振荡频率的振荡信号,

所述电路装置具有第1边、作为所述第1边的对边的第2边、与所述第1边交叉的第3边、以及作为所述第3边的对边的第4边,

在设从所述第1边朝向所述第2边的方向为第1方向、从所述第3边朝向所述第4边的方向为第2方向时,

所述振荡信号生成电路配置在所述A/D转换电路的所述第1方向侧,

所述处理电路配置在所述A/D转换电路和所述振荡信号生成电路的所述第2方向侧,

所述A/D转换电路配置在距所述第1边的距离比距所述第2边的距离近的位置,

所述振荡信号生成电路配置在距所述第2边的距离比距所述第1边的距离近的位置。

2. 根据权利要求1所述的电路装置,其特征在于,

所述处理电路对所述加法处理的相加结果数据执行校正处理,输出所述校正处理后的所述频率控制数据,

所述振荡信号生成电路包括:

D/A转换电路,其对所述校正处理后的所述频率控制数据进行D/A转换而输出电容控制电压;

可变电容电容器,其电容根据所述电容控制电压而受到控制;以及

振荡电路,其将所述可变电容电容器的所述电容作为负载电容,使所述振子振荡而生成所述振荡信号。

3. 根据权利要求1所述的电路装置,其特征在于,

所述处理电路对所述加法处理的相加结果数据执行转换处理,输出分频比数据作为所述转换处理后的所述频率控制数据,

所述振荡信号生成电路具有:

振荡电路,其使所述振子振荡而生成第2振荡信号;以及

分数-N型PLL电路,其具有根据所述分频比数据被设定分频比的分频电路,进行来自所述分频电路的分频时钟信号和所述第2振荡信号的相位比较,生成所述振荡信号。

4. 根据权利要求1所述的电路装置,其特征在于,

在所述A/D转换电路与所述振荡信号生成电路之间配置有电源电路。

5. 根据权利要求4所述的电路装置,其特征在于,

所述电源电路将第1电源电压提供给所述A/D转换电路,将第2电源电压提供给所述处理电路,将第3电源电压提供给所述振荡信号生成电路。

6. 根据权利要求1所述的电路装置,其特征在于,

所述电路装置包括存储所述处理电路所使用的数据的存储器,

所述存储器配置在所述处理电路与所述第4边之间。

7. 根据权利要求1所述的电路装置,其特征在于,
所述电路装置包括与所述处理电路电连接的数字接口端子,
所述数字接口端子配置在所述处理电路与所述第4边之间。
8. 根据权利要求1所述的电路装置,其特征在于,
所述电路装置包括对所述振荡信号进行缓冲而输出至外部的缓冲器电路,
在设所述第2方向的相反方向为第3方向时,所述缓冲器电路配置在所述振荡信号生成
电路的所述第3方向侧。
9. 根据权利要求1所述的电路装置,其特征在于,
所述电路装置包括控制所述振子的温度的恒温控制电路,
在设所述第2方向的相反方向为第3方向时,所述恒温控制电路配置在所述A/D转换电
路的所述第3方向侧。
10. 根据权利要求1所述的电路装置,其特征在于,
所述电路装置包括生成并输出对所述振荡信号进行倍频而得到的时钟信号的PLL电
路,
在设所述第2方向的相反方向为第3方向时,所述PLL电路配置在所述A/D转换电路的所
述第3方向侧。
11. 一种振荡器,其特征在于,其包括:
权利要求1至10中的任一项所述的电路装置;和
所述振子。
12. 一种电子设备,其特征在于,其包括权利要求1至10中的任一项所述的电路装置。
13. 一种移动体,其特征在于,其包括权利要求1至10中的任一项所述的电路装置。

电路装置、振荡器、电子设备和移动体

技术领域

[0001] 本发明涉及电路装置、振荡器、电子设备和移动体等。

背景技术

[0002] 以往,已知TCXO(temperature compensated crystal oscillator)、OCXO(oven controlled crystal oscillator)等振荡器。例如,专利文献1公开了一种通过将模拟控制电压输入至AFC电路来实现AFC(Automatic Frequency Control)功能的温度补偿型石英振荡器。专利文献公开了如下结构:当基准电压以外的控制电压被输入至AFC电路时,由于振荡电路侧的等效电容的值发生变化,因此,要设置辅助性的第2温度电压产生电路来进行校正。

[0003] 此外,例如,专利文献2公开了一种电路装置,通过沿互不相同的边配置数字I/F用端子和时钟信号输出用端子来生成噪声较少的时钟信号。

[0004] 专利文献1:日本特开2013-146114号公报

[0005] 专利文献2:日本特开2017-123631号公报

[0006] 然而,即使在如专利文献1记载的发明那样构成为具备第2温度电压产生电路的情况下,也存在如下的课题:由于模拟电路的偏差等原因而发生不可忽视的校正误差,无法充分得到高精度的频率温度特性。

[0007] 此外,在专利文献2记载的电路装置的电路配置中,存在这样的课题:A/D转换部与处理部之间的数据传输的延迟、以及处理部与振荡电路之间的数据传输的延迟可能增大。

发明内容

[0008] 本发明是为了解决上述课题中的任意一个、或者至少一部分而完成的,能够作为以下的方式或形态来实现。

[0009] 本发明的一个形态涉及电路装置,所述电路装置包括:控制电压输入端子,其被输入控制电压;A/D转换电路,其对控制电压进行A/D转换而生成控制电压数据,对来自温度传感器的温度检测电压进行A/D转换而生成温度检测数据;处理电路,其根据所述温度检测数据生成温度校正数据,执行所述温度校正数据和所述控制电压数据的加法处理而生成频率控制数据;以及振荡信号生成电路,其使用所述频率控制数据和振子生成根据所述频率控制数据设定的振荡频率的振荡信号。

[0010] 此外,在本发明的一个形态中,也可以是,所述处理电路对所述加法处理的相加结果数据执行校正处理,输出所述校正处理后的所述频率控制数据,所述振荡信号生成电路包括:D/A转换电路,其对所述校正处理后的所述频率控制数据进行D/A转换而输出电容控制电压;可变电容电容器,其电容根据所述电容控制电压而受到控制;以及振荡电路,其将所述可变电容电容器的所述电容作为负载电容,使所述振子振荡而生成所述振荡信号。

[0011] 此外,在本发明的一个形态中,也可以是,所述处理电路对所述加法处理的相加结果数据执行转换处理,输出分频比数据作为所述转换处理后的所述频率控制数据,所述振

荡信号生成电路具有:振荡电路,其使所述振子振荡而生成第2振荡信号;以及分数-N型PLL电路,其具有根据所述分频比数据被设定分频比的分频电路,进行来自所述分频电路的分频时钟信号和所述第2振荡信号的相位比较,生成所述振荡信号。

[0012] 此外,在本发明的一个形态中,也可以是,所述电路装置具有第1边、作为所述第1边的对边的第2边、与所述第1边交叉的第3边、以及作为所述第3边的对边的第4边,在设从所述第1边朝向所述第2边的方向为第1方向、从所述第3边朝向所述第4边的方向为第2方向时,所述振荡信号生成电路配置在所述A/D转换电路的所述第1方向侧,所述处理电路配置在所述A/D转换电路和所述振荡信号生成电路的所述第2方向侧,所述A/D转换电路配置在距所述第1边的距离比距所述第2边的距离近的位置,所述振荡信号生成电路配置在距所述第2边的距离比距所述第1边的距离近的位置。

[0013] 此外,在本发明的一个形态中,也可以是,在所述A/D转换电路与所述振荡信号生成电路之间配置有电源电路。

[0014] 此外,在本发明的一个形态中,也可以是,所述电源电路将第1电源电压提供给所述A/D转换电路,将第2电源电压提供给所述处理电路,将第3电源电压提供给所述振荡信号生成电路。

[0015] 此外,在本发明的一个形态中,也可以是,所述电路装置包括存储所述处理电路所使用的数据的存储器,所述存储器配置在所述处理电路与所述第4边之间。

[0016] 此外,在本发明的一个形态中,也可以是,所述电路装置包括与所述处理电路电连接的数字接口端子,所述数字接口端子配置在所述处理电路与所述第4边之间。

[0017] 此外,在本发明的一个形态中,也可以是,所述电路装置包括对所述振荡信号进行缓冲而输出至外部的缓冲器电路,在设所述第2方向的相反方向为第3方向时,所述缓冲器电路配置在所述振荡信号生成电路的所述第3方向侧。

[0018] 此外,在本发明的一个形态中,也可以是,所述电路装置包括控制所述振子的温度的恒温控制电路,在设所述第2方向的相反方向为第3方向时,所述恒温控制电路配置在所述A/D转换电路的所述第3方向侧。

[0019] 此外,在本发明的一个形态中,也可以是,所述电路装置包括生成并输出对所述振荡信号进行倍频而得到的时钟信号的PLL电路,在设所述第2方向的相反方向为第3方向时,所述PLL电路配置在所述A/D转换电路的所述第3方向侧。

[0020] 此外,本发明的一个形态涉及电路装置,所述电路装置包括:A/D转换电路,其对来自温度传感器的温度检测电压进行A/D转换而输出温度检测数据;处理电路,其根据所述温度检测数据执行振荡频率的温度校正处理,生成并输出所述振荡频率的频率控制数据;以及振荡信号生成电路,其使用频率控制数据和振子生成根据所述频率控制数据设定的所述振荡频率的所述振荡信号,所述电路装置具有第1边、作为所述第1边的对边的第2边、与所述第1边交叉的第3边、以及作为所述第3边的对边的第4边,在设从所述第1边朝向所述第2边的方向为第1方向、从所述第3边朝向所述第4边的方向为第2方向时,所述振荡信号生成电路配置在所述A/D转换电路的所述第1方向侧,所述处理电路配置在所述A/D转换电路和所述振荡信号生成电路的所述第2方向侧,所述A/D转换电路配置在距所述第1边的距离比距所述第2边的距离近的位置,所述振荡信号生成电路配置在距所述第2边的距离比距所述第1边的距离近的位置。

[0021] 此外,本发明的另一形态涉及一种振荡器,所述振荡器包括:上述的电路装置;和所述振子。

[0022] 此外,本发明的另一形态涉及包括上述的电路装置的电子设备。

[0023] 此外,本发明的另一形态涉及包括上述的电路装置的移动体。

附图说明

[0024] 图1是本实施方式的电路装置的第1结构例。

[0025] 图2是本实施方式的电路装置的第2结构例。

[0026] 图3是关于比较例的结构的问题点的说明图。

[0027] 图4是关于比较例的结构的问题点的说明图。

[0028] 图5是比较例的结构的动作说明图。

[0029] 图6是比较例的结构的动作说明图。

[0030] 图7是本实施方式的第1结构例的动作说明图。

[0031] 图8是本实施方式的第2结构例的动作说明图。

[0032] 图9是分数-N型PLL电路的结构例。

[0033] 图10是本实施方式的电路装置的详细结构例。

[0034] 图11是本实施方式的电路装置的布局配置例。

[0035] 图12是本实施方式的电路装置的详细的布局配置例。

[0036] 图13是振荡电路的结构例。

[0037] 图14是振荡器的结构例。

[0038] 图15是电子设备的结构例。

[0039] 图16是移动体的结构例。

[0040] 标号说明

[0041] TVC:控制电压端子;TCLK:时钟端子;T1、T2:振子连接用端子;OUT:振荡信号;VC:控制电压;VTD:温度检测电压;DFC:振荡控制信号;ADQ:A/D转换数据;OSCK:振荡信号;DIV:分频比数据;TIF:接口端子;C0:等效电容;CL:负载电容;CT,CV:电容;SD1、SD2、SD3、SD4:边;DR1、DR2、DR3、DR4:方向;10:振子;20:电路装置;30:温度传感器;32:温度校正电压生成电路;40:A/D转换电路;50:处理电路;52:温度校正部;54:加法器;56:校正处理部;57:转换处理部;70:振荡信号生成电路;72:D/A转换电路;74、75、76:可变电容电容器;80:振荡电路;82:分数-N型PLL电路;83:分频电路;84:相位比较器;85:电荷泵电路;86:低通滤波器;87:压控振荡电路;88:时钟生成电路;89: $\Delta - \Sigma$ 调制电路;91:加减运算电路;100:电源电路;110:PLL电路;120:恒温控制电路;130:存储器;206:汽车;207:车体;208:控制装置;209:车轮;400:振荡器;410封装;411:基板;412:壳体;413:第1容器;414:第2容器;416:基板;450、452:加热器;460、462:温度传感器;500:电子设备;510:通信部;520:处理部;530:操作部;540:显示部;550:存储部。

具体实施方式

[0042] 以下,对本发明的优选实施方式进行详细说明。另外,以下说明的本实施方式不对权利要求书中记载的本发明的内容进行不当限定,本实施方式中说明的所有结构并非都为

作为本发明的解决手段所必需的。

[0043] 1. 电路装置的结构

[0044] 图1示出本实施方式的电路装置20的第1结构例。作为集成电路装置的电路装置20包括控制电压输入端子TVC、A/D转换电路40、处理电路50和振荡信号生成电路70。此外，电路装置20还可以包括温度传感器30。另外，在图1中，虽然将温度传感器30内置于电路装置20中，但也可以将温度传感器30设置在电路装置20的外部。在该情况下，在电路装置20中设置输入来自外部的温度传感器30的温度检测电压VTD的未图示的温度检测电压输入端子即可。或者，也可以构成为，设置这样的温度检测电压输入端子并且将温度传感器30内置于电路装置20中。

[0045] 控制电压输入端子TVC被输入控制电压VC。控制电压输入端子TVC可以通过电路装置20的焊盘来实现。控制电压VC是用于控制由振荡信号生成电路70生成的振荡信号OUT的振荡频率的电压，从外部控制器等输入到电路装置20。

[0046] 温度传感器30将根据环境的温度而变化的温度依赖电压作为温度检测电压VTD输出。例如，环境的温度是电路装置20和振子10周围的环境的温度。例如，温度传感器30使用具有温度依赖性的电路元件生成温度依赖电压，以不依赖温度的电压为基准而输出温度依赖电压。例如，温度传感器30将PN结的正向电压作为温度依赖电压输出。不依赖温度的电压例如是带隙参考电压等。

[0047] A/D转换电路40对控制电压VC进行A/D转换，生成控制电压数据。此外，A/D转换电路40对来自温度传感器30的温度检测电压VTD进行A/D转换而生成温度检测数据。控制电压数据、温度检测数据作为A/D转换数据ADQ从A/D转换电路40输出。A/D转换电路40也可以以时分方式进行控制电压VC的A/D转换和温度检测电压VTD的A/D转换。或者，也可以在A/D转换电路40中设置第1A/D转换器和第2A/D转换器，利用第1A/D转换器进行控制电压VC的A/D转换，利用第2A/D转换器进行温度检测电压VTD的A/D转换。作为A/D转换电路40的A/D转换方式，例如可以采用逐次比较型、 $\Delta - \Sigma$ 型、闪速型、流水线型或者双积分型等。

[0048] 处理电路50是执行各种数字信号处理的电路。例如，处理电路50是执行温度校正处理、老化校正处理或数字滤波处理等数字信号处理的DSP。例如，处理电路50可以通过DSP、CPU等处理器来实现、或者可以通过门阵列等自动配置布线的ASIC电路来实现。例如，处理电路50利用在处理器上动作的程序来执行各种数字信号处理。

[0049] 并且，本实施方式的处理电路50根据温度检测数据执行振荡频率的温度校正处理，生成振荡频率的频率控制数据DFC。具体而言，处理电路50根据温度检测数据生成振荡频率的温度校正数据。并且，处理电路50执行温度校正数据和控制电压数据的加法处理，生成振荡频率的频率控制数据DFC。频率控制数据DFC也被称为频率控制码。即，处理电路50根据从A/D转换电路40作为A/D转换数据ADQ输入的温度检测数据执行振荡频率的温度校正处理。温度校正处理是用于使振荡频率相对于温度变化恒定的补偿处理。此外，处理电路50执行从A/D转换电路40作为A/D转换数据ADQ输入的控制电压数据和通过温度检测处理生成的温度检测数据的加法处理。即，执行以数字的方式将控制电压数据和温度校正数据相加的处理。然后，处理电路50对加法处理的相加结果数据执行例如后述的校正处理或转换处理，将校正处理后或转换处理后的频率控制数据DFC输出至振荡信号生成电路70。另外，也可以对处理电路50输入作为频率控制的FCC (Frequency Control Code)，生成频率控制数据

DFC。例如,从外部处理装置经由电路装置20的数字接口将FCC输入到处理电路50。数字接口例如可以由SPI(Serial Peripheral Interface)、I2C(Inter-Integrated Circuit)等实现。

[0050] 振荡信号生成电路70是使用振子10生成振荡信号OUT的电路。具体而言,振荡信号生成电路70使用频率控制数据DFC和振子10,生成根据频率控制数据DFC设定的振荡频率的振荡信号OUT。例如,振荡信号生成电路70使振子10以根据频率控制数据DFC设定的振荡频率进行振荡,生成振荡信号OUT。

[0051] 具体而言,在图1的第1结构例中,振荡信号生成电路70具有D/A转换电路72、可变电容电容器74和振荡电路80。在该第1结构例中,处理电路50对加法处理的相加结果数据执行校正处理,输出校正处理后的频率控制数据DFC。即,处理电路50对控制电压数据和温度校正数据的相加结果数据执行校正处理。该校正处理是使振荡信号OUT的振荡频率相对于例如控制电压VC的变化而线性变化的校正处理。振荡信号生成电路70的D/A转换电路72对校正处理后的频率控制数据DFC进行D/A转换,将通过D/A转换而得到的电容控制电压输出至可变电容电容器74。可变电容电容器74的电容根据该电容控制电压而受到控制。可变电容电容器74是电容值根据电容控制电压而可变地受到控制的电容器,可以通过作为可变电容二极管的变容二极管等实现。并且,振荡电路80以可变电容电容器74的电容作为负载电容而使振子10振荡,生成振荡信号OUT。

[0052] 具体而言,电路装置20包括振子10的连接用端子T1、T2。这些端子T1、T2可以通过IC的焊盘实现。端子T1与振子10的一端连接,端子T2与振子10的另一端连接。并且,可变电容电容器74的一端与端子T1电连接。可变电容电容器74的另一端例如通过振荡电路80接地。此外,振子10的另一端经由端子T2与振荡电路80电连接。电连接是以能够传递电信号的方式连接,是能够通过电信号传递信息的连接。电连接也可以是例如经由信号线、有源元件等的连接。

[0053] 振子10是利用电信号产生机械振动的元件。振子10可以通过例如石英振动片等振动片实现。例如,振子10可以通过切角为AT切或SC切等的进行厚度剪切振动的石英振动片等实现。例如,振子10可以是内置于不具备恒温槽的温度补偿型振荡器(TCXO)中的振子,也可以是内置于具备恒温槽的恒温槽型振荡器(OCXO)中的振子等。另外,本实施方式的振子10例如可以通过厚度剪切振动型以外的振动片、由石英以外的材料形成的压电振动片等各种振动片实现。作为振子10,例如还可以采用SAW(Surface Acoustic Wave)谐振器、作为使用硅基板形成的硅制振子的MEMS(Micro Electro Mechanical Systems)振子等。

[0054] 如上所述,D/A转换电路72进行来自处理电路50的频率控制数据DFC的D/A转换。输入到D/A转换电路72的频率控制数据DFC是温度校正处理、老化校正处理或卡尔曼滤波处理等数字信号处理后的频率控制数据。作为D/A转换电路72的D/A转换方式,例如,可以采用称为电阻分体型的电阻串型。但是,D/A转换方式不限于此,还可以采用R-2R等电阻梯形(1adder)型、电容阵列型或脉宽调制型等各种方式。此外,除了D/A转换器以外,D/A转换部72还可以包含其控制电路、进行抖动(Dither)调制或PWM调制等的调制电路、滤波器电路等。

[0055] 可变电容电路74通过作为可变电容二极管的变容二极管实现。可变电容电容器74的电容由来自D/A转换电路72的电容控制电压可变地控制。

[0056] 振荡电路80具有用于驱动振子10的缓冲器电路。作为该缓冲器电路,可以使用例如双极晶体管等。在该双极晶体管的集电极与高电位侧电源节点之间例如设置电流源。例如,可变电容电容器74的一端经由端子T1与振子10的一端电连接。可变电容电容器74的另一端例如通过振荡电路80与GND节点电连接而接地。GND节点是接地节点。振子10的另一端所连接的端子T2与作为例如振荡电路80的缓冲器电路的双极晶体管的基极电连接。此外,振荡电路80具有一端与端子T2连接的负载电容用的电容器,该电容器的另一端与GND节点电连接而接地。此外,也可以在振荡电路80中设置设于端子T1与端子T2之间的电容器等反馈元件。由于振子10的振荡而产生的基极电流流过双极性晶体管的基极-发射极间。并且,利用该基极电流,使用在双极性晶体管的基极-发射极间流过的集电极电流生成振荡信号OUT。另外,振荡电路80的缓冲器电路例如可以通过反转放大器电路实现,该反转放大器电路的输入节点是端子T1的节点和端子T2的节点中的一方,输出节点是另一方的节点。该反转放大器电路例如可以通过具有电流控制功能的反相器电路等实现。

[0057] 图2示出本实施方式的电路装置20的第2结构例。在该第2结构例中,振荡信号生成电路70包括振荡电路80和分数-N型PLL电路82。振荡电路80使振子10振荡而输出振荡信号OSCK。振荡信号OSCK是第2振荡信号。例如,振荡电路80经由端子T1、T2与振子10电连接。而且,通过利用振荡电路80所具有的缓冲器电路驱动振子10来使振子10振动,生成振荡信号OSCK,将其输出至分数-N型PLL电路82。分数-N型PLL电路82具有分频电路83,通过进行来自分频电路83的分频时钟信号和振荡信号OSCK的相位比较,生成振荡信号OUT。例如,在图2中,处理电路50对加法处理的相加结果数据执行转换处理,输出转换处理后的频率控制数据DFC。具体而言,处理电路50对控制电压数据和温度校正数据的相加结果数据执行转换处理,输出分频比数据作为频率控制数据DFC。并且,分数-N型PLL电路82的分频电路83根据作为频率控制数据DFC的分频比数据来设定分频比,输出基于该分频比的振荡信号OUT的分频时钟信号。然后,分数-N型PLL电路82通过进行该分频时钟信号和来自分频电路80的振荡信号OSCK的相位比较,生成振荡信号OUT。

[0058] 图3是比较例的电路装置的结构例。在图3中,输入模拟的控制电压VC,根据该控制电压VC控制可变电容电容器75的电容CV。此外,温度校正电压生成电路32根据来自温度传感器30的温度检测电压输出温度校正电压TC,根据该温度校正电压控制可变电容电容器76的电容CT。这些电容CV、CT成为振荡电路80的负载电容CL。另外,设振子10的等效电容为C0。

[0059] 在图3中,可变电容电容器75的一端与振子10的一端连接,可变电容电容器75的另一端与可变电容电容器76的一端连接。可变电容电容器76的另一端例如与GND节点连接。例如,可变电容电容器75、76串联连接在振子10的一端与GND节点之间。

[0060] 在该比较例的结构中,当同时执行使用控制电压VC的频率调节(AFC)和温度校正时,温度校正的校正量根据控制电压VC而变化,从而产生频率温度特性劣化的问题。在该情况下,还可以考虑在监视控制电压VC的同时对温度校正电压进行校正的方法,但是会产生校正误差,从而难以实现高精度的频率温度特性。

[0061] 例如,如图3所示,当频率调节用的可变电容电容器75和温度校正用的可变电容电容器76串联连接在振子10与GND节点之间时,振荡信号OUT的频率偏差 Δf 可以如下式(1)那样利用负载电容CL和振子10的等效电容C0表示。频率偏差 Δf 表示实际频率相对于标称频率的偏差。

[0062] $\Delta f \propto 1/(C_0+CL)$ (1)

[0063] 此外,负载电容CL可以如下式(2)那样表示。

[0064] $1/CL = 1/CV + 1/CT$ (2)

[0065] 根据上式(1)、(2),下式(3)、(4)成立。

[0066] $\Delta f \propto ERR \times (1/CV + 1/CT)$ (3)

[0067] $ERR = (CV \times CT) / (C_0 \times CV + C_0 \times CT + CV \times CT)$ (4)

[0068] ERR相当于误差成分。此外,在控制电压VC与可变电容电容器75的电容CV之间、以及温度校正电压TC与可变电容电容器76的电容CT之间,例如,下式(5)、(6)的关系成立。

[0069] $VC \propto 1/CV$ (5)

[0070] $TC \propto 1/CT$ (6)

[0071] 图4示出比较例的结构中的温度校正电压TC和频率偏差 Δf 之间的关系。例如,在假设误差成分ERR是常数时,根据上式(3)、(5)、(6),下式(7)成立。

[0072] $\Delta f \propto ERR \times (VC + TC)$ (7)

[0073] 因此,在设控制电压VC为常数时,频率偏差 Δf 是温度校正电压TC的线性函数,在频率偏差 Δf 与温度校正电压TC之间,线性关系成立。即,在该情况下,温度校正电压TC和频率偏差 Δf 之间的关系如图4的被记述为ideal的实线的特性所示处于线性关系。然而,实际上,误差成分ERR不是常数而是与电容CV、CT对应的值,例如,由于电容CT根据温度校正电压TC而变化,因此,误差成分ERR也根据温度校正电压TC而变化。因此,如图4的虚线的特性所示,产生相对于理想的线性关系的偏差。由于这样的以误差成分ERR为原因的相对于线性关系的偏差,产生频率温度特性劣化的问题。另外,作为本实施方式的第2比较例,还可以考虑将频率调节用的可变电容电容器75和温度校正用的可变电容电容器76并联设置在振子10与GND节点之间的结构。然而,在该第2比较例中,由于频率偏差是 $\Delta f \propto 1/(C_0+CV+CT)$,因此,与图3的比较例的结构相比,相对于理想的线性关系的偏差更大,频率温度特性进一步劣化。

[0074] 图5、图6是详细地说明比较例的结构中的频率温度特性劣化的问题的图。来自温度传感器30的温度检测电压VTD相对于温度TMP如A1所示那样变化。即,温度检测电压VTD是温度依赖电压。温度校正电压生成电路32被输入温度检测电压VTD,进行如A2所示的温度校正,将温度校正电压TC输出至可变电容电容器76。例如,当未进行该温度校正时,振荡频率f的频率温度特性是如A3所示的特性。温度校正电压生成电路32使用温度校正用的数据,进行抵消A3所示的振荡频率f的温度依赖性的温度校正。由此,如A4所示,可以使振荡信号OUT的振荡频率f相对于温度TMP的变化恒定。

[0075] 另一方面,A5所示的控制电压VC输入到可变电容电容器75。可变电容电容器75的电容CV相对于控制电压VC以A6所示的特性变化。可变电容电容器76的电容CT也相对于温度校正电压TC以A6所示的电压电容特性变化。此外,振荡频率f相对于负载电容CL以A7所示的特性变化。因此,理想地,振荡频率f相对于控制电压VC如图5的A8所示线性变化。即,理想地,如A4所示,可以根据控制电压VC控制振荡频率f,并且可以使振荡频率f相对于温度TMP的变化恒定。

[0076] 然而,实际上,由于上式(3)、(4)中说明的误差成分ERR,振荡频率f的频率偏差 Δf 如图4所示产生相对于理想的线性关系的偏差。由此,如图6的B1、B2所示,控制电压VC和振

荡频率f之间的关系不会变成由线性函数表示的线性关系。因此,由控制电压VC引起的振荡频率f的变化不会变成图5的A8、A9所示的线性变化,频率温度特性劣化。即,当使控制电压VC变化时,存在这样的课题:产生如图6的B2所示的频率误差,从而无法实现高精度的频率温度特性。

[0077] 与此相对,根据图1、图2的本实施方式的电路装置20,从外部输入的模拟的控制电压VC由A/D转换电路40而A/D转换为数字的控制电压数据。此外,对于来自温度传感器30的温度检测电压VTD,也利用A/D转换电路40而A/D转换为数字的温度检测数据。并且,处理电路50根据温度检测数据生成振荡频率的温度校正数据,通过执行温度校正数据和控制电压数据的加法处理,生成频率控制数据DFC。然后,生成根据频率控制数据DFC设定的振荡频率的振荡信号OUT。

[0078] 根据这样的结构的本实施方式的电路装置20,无需如图5、图6的比较例那样单独设置频率调节用的可变电容电容器75和温度校正用的可变电容电容器76。因此,能够抑制如图6的B1、B2所示的频率误差的产生,从而能够实现高精度的频率温度特性。即,根据本实施方式的电路装置20,温度校正数据和控制电压数据在处理电路50中以数字的方式相加而生成频率控制数据DFC,振荡信号生成电路70生成根据该频率控制数据DFC设定的振荡频率的振荡信号OUT。因此,即使不如图5、图6那样单独设置可变电容电容器75、76,也可以通过控制电压VC进行频率调节和温度校正,从而能够生成高精度的频率温度特性的振荡信号OUT。此外,根据本实施方式的电路装置20,能够实现基于模拟的控制电压VC的频率调节功能和数字的温度校正的共存。例如,即使当外部处理装置不使用数字的FCC而使用模拟的控制电压VC进行频率调节时,也可以应对这种情况,能够提高便利性。

[0079] 具体而言,在图1的第1结构例中,执行温度校正数据和控制电压数据的加法处理,生成频率控制数据DFC,使用通过对该频率控制数据DFC进行D/A转换而得到的电容控制电压来控制可变电容电容器74的电容,生成振荡信号OUT。因此,无需如图5、图6那样单独设置频率调节用的可变电容电容器75和温度校正用的可变电容电容器76,仅设置一个可变电容电容器74即可。并且,利用电容控制电压控制这一个可变电容电容器74的电容,从而调节振荡电路80的振荡频率。因此,不会发生图6的B1、B2所示的问题,从而能够生成高精度的频率温度特性的振荡信号OUT。

[0080] 此外,在图2的第2结构例中,执行温度校正数据和控制电压数据的加法处理,生成分频比数据作为频率控制数据DFC。然后,根据该分频比数据设定分频电路83的分频比,生成分频时钟信号,根据振荡信号OSCK和分频时钟信号,由分数-N型PLL电路82生成振荡信号OUT。因此,即使不设置图5、图6那样的可变电容电容器75、76,也能够生成进行了控制电压VC的频率调节和温度传感器30的温度校正双方的高精度频率温度特性的振荡信号OUT。

[0081] 图7是图1的第1结构例的详细动作说明图。在图7中,处理电路50包括温度校正部52、加法器54和校正处理部56。温度校正部52根据来自A/D转换电路40的温度检测数据DTD执行温度校正处理,生成并输出温度校正数据DTC。加法器54执行来自A/D转换电路40的控制电压数据DVC和来自温度校正部52的温度校正数据DTC的加法处理,将相加结果数据DFCI输出至校正处理部56。校正处理部56执行用于使振荡频率f相对于控制电压VC的关系成为线性的校正处理。然后,校正处理后的频率控制数据DFC输入到D/A转换电路72,根据来自D/A转换电路72的电容控制电压,控制作为可变电容电容器74的电容的负载电容CL。

[0082] 具体而言,来自温度传感器30的温度检测电压VTD相对于温度TMP如D1所示那样变化。A/D转换电路40将该温度检测电压VTD进行A/D转换,使其成为温度检测数据DTD。然后,温度校正部52输入该温度检测数据DTD,执行D2所示的温度校正处理,生成温度校正数据DTC。具体而言,温度校正部52使用温度校正用的系数数据执行抵消D3所示的振荡频率f的温度依赖性的温度校正处理。由此,如D4所示,可以使振荡信号OUT的振荡频率f相对于温度TMP的变化恒定。

[0083] 另一方面,如D6所示,D5所示的控制电压VC由A/D转换电路40进行A/D转换而成为控制电压数据DVC。然后,加法器54执行控制电压数据DVC和来自温度校正部52的温度校正数据DTC的加法处理,并输出相加结果数据DFCI。校正处理部56对相加结果数据DFCI执行D7所示的校正处理。具体而言,校正处理部56执行用于使振荡频率f相对于控制电压VC的关系成为线性的校正处理,输出校正处理后的频率控制数据DFC。然后,D/A转换电路72进行频率控制数据DFC的D/A转换,将电容控制电压输出至可变电容电容器74。

[0084] 作为可变电容电容器74的电容的负载电容CL相对于来自D/A转换电路72的电容控制电压以D8所示的特性变化。此外,振荡频率f相对于负载电容CL以D9所示的特性变化。因此,如D10所示,振荡频率f相对于控制电压VC线性地变化。由此,如D4所示,可以根据控制电压VC控制振荡频率f,并且可以使振荡频率f相对于温度TMP的变化恒定。

[0085] 图8是图2的第2结构例的详细动作说明图。在图8中,处理电路50包括温度校正部52、加法器54和转换处理部57。温度校正部52对来自A/D转换电路40的温度检测数据DTD执行温度校正处理,生成并输出温度校正数据DTC。加法器54执行来自A/D转换电路40的控制电压数据DVC和来自温度校正部52的温度校正数据DTC的加法处理,并将相加结果数据DFCI输出至转换处理部57。转换处理部57对相加结果数据DFCI执行转换处理,输出分频比数据DIV作为转换处理后的频率控制数据DFC。对分数-N型PLL电路82的分频电路83设定基于该分频比数据DIV的分频比。然后,分数-N型PLL电路82进行来自分频电路83的分频时钟信号和来自振荡电路80的振荡信号OSCK之间的相位比较,生成振荡信号OUT。

[0086] 具体而言,如E2所示,E1所示的控制电压VC由A/D转换电路40进行A/D转换而成为控制电压数据DVC。然后,加法器54执行控制电压数据DVC和来自温度校正部52的温度校正数据DTC的加法处理,输出相加结果数据DFCI。转换处理部57对相加结果数据DFCI执行E2所示的转换处理,输出分频比数据DIV作为频率控制数据DFC。然后,通过将基于该分频比数据DIV的分频比设定于分频电路83,从而振荡信号OUT的振荡频率f根据分频比而变化。由此,如E4所示,可以根据控制电压VC控制振荡频率f。此外,通过由温度校正部52进行温度校正,可以使振荡频率f相对于温度TMP的变化恒定。

[0087] 图9示出分数-N型PLL电路82的结构例。分数-N型PLL电路82包括分频电路83、相位比较器84、电荷泵电路85、低通滤波器86、压控振荡电路87、时钟生成电路88、 $\Delta - \Sigma$ 调制电路89和加减运算电路91。相位比较器84进行作为来自振荡电路80的第2振荡信号的振荡信号OSCK和来自分频电路83的分频时钟信号FBCK的相位比较。电荷泵电路85将相位比较器84输出的脉冲电压转换为电流。低通滤波器86将电荷泵电路85输出的电流平滑化而转换为电压。压控振荡电路87将低通滤波器86的输出电压作为控制电压,输出根据控制电压而设定振荡频率的振荡信号OUT。

[0088] 分频电路83将加减运算电路91的输出信号作为整数分频比,对压控振荡电路87输

出的振荡信号OUT进行整数分频,输出分频时钟信号FBCK。时钟生成电路88使用分频时钟信号FBCK生成并输出时钟信号DSMCK。例如,时钟生成电路88可以对分频时钟信号FBCK进行缓冲而作为时钟信号DSMCK输出,也可以输出通过对分频时钟信号FBCK进行整数分频而得到的时钟信号DSMCK。

[0089] $\Delta - \Sigma$ 调制电路89与来自时钟生成电路88的时钟信号DSMCK同步地进行对分数分频比L/M进行积分而量化的 $\Delta - \Sigma$ 调制。加减运算电路91对 $\Delta - \Sigma$ 调制电路89输出的 $\Delta - \Sigma$ 调制信号DMQ和整数分频比N进行加法/减法。该加减运算电路91的输出信号被输入到分频电路83。加减运算电路91的输出信号中的整数分频比N附近的范围的多个整数分频比按时间序列变化,其时间平均值与N+F/M一致。该N+L/M是根据来自处理电路50的分频比数据DIV设定的。例如,设振荡信号OUT的振荡频率为f,振荡信号OSCK的振荡频率为fosc。在该情况下,在振荡信号OSCK的相位和分频时钟信号FBCK的相位同步的稳定状态下,下式(8)成立。

$$f = (N+L/M) \times fosc \quad (8)$$

[0091] 通过使用这样的结构的分数-N型PLL电路82,能够生成利用由N+L/M表示的分频比对振荡信号OSCK进行倍频而得到的振荡信号OUT。

[0092] 图10示出电路装置20的详细结构例。在图10中,除了图1、图2的结构之外,还设有缓冲器电路90、电源电路100、PLL电路110、恒温控制电路120和存储器130。

[0093] 缓冲器电路90缓冲来自振荡信号生成电路70的振荡信号OUT而输出。例如,缓冲器电路90将缓冲振荡信号OUT而得到的信号作为振荡信号FOUT经由电路装置20的端子TFOUT输出至外部。例如,输出CMOS波形的振荡信号FOUT。另外,也可以以削峰正弦波形输出。

[0094] 电源电路100生成在电路装置20中使用的各种电源电压。例如,根据从电路装置20的电源端子输入的外部电源电压生成各种电源电压。例如,电源电路100将电源电压V1提供给A/D转换电路40。此外,电源电路100将电源电压V2提供给处理电路50,将电源电压V3提供给振荡信号生成电路70。电源电压V3也被提供给例如缓冲器电路90。此外,电源电路100将电源电压V4、V5提供给PLL电路110、恒温控制电路120。V1、V2、V3、V4、V5分别是第1电源电压、第2电源电压、第3电源电压、第4电源电压和第5电源电压。例如,电源电路100具有多个调节器电路,将由这些调节器电路调节外部电源电压而获得的电压作为电源电压V1~V5提供。这样,通过按照每个电路块将电源电压分支后提供,能够抑制一个电路块中的电源噪声传递至其它电路块,从而能够实现稳定的电路动作。

[0095] PLL电路110生成并输出通过对振荡信号OUT进行倍频而得到的时钟信号CLK。例如,将对振荡信号OUT的频率进行倍频而得到的频率的、且与振荡信号OUT相位同步的时钟信号CLK经由电路装置20的时钟输出端子TCLK输出至外部。作为PLL电路110,例如,可以使用图9所示的分数-N型PLL电路。通过设置这样的PLL电路110,例如,可以生成并提供适当的时钟信号CLK作为用于基站系统中的RF电路等的时钟信号。此外,如果设置这样的PLL电路110,则可以利用例如作为第1级时钟信号生成电路的振荡信号生成电路70降低低频带中的相位噪声,利用作为第2级时钟信号生成电路的PLL电路110减少高频带中的相位噪声。因此,可以在从低频带到高频带的宽频带中生成相位噪声较小的干净的时钟信号CLK,利用基站的RF电路等提供。

[0096] 恒温控制电路120控制振子10的温度。例如,在使用设置在恒温槽中的恒温型振子10的情况下,恒温控制电路120执行恒温型振子10的恒温控制。例如,恒温控制电路120使用

通过热敏电阻等实现的恒温控制用的温度传感器来进行振荡器的恒温控制。例如,当作为温度传感器的热敏电阻的电阻值根据振荡器的恒温温度变化时,恒温控制电路120将该电阻值的变化作为温度检测电压的变化检测。然后,生成根据该温度检测电压变化的加热器控制电压,经由恒温控制用端子TOV输出。该加热器控制电压被输出至设置于振荡器内的加热器。加热器例如由作为发热元件的发热功率双极晶体管构成,利用加热器控制电压控制发热功率双极晶体管的基极电压,实现加热器的发热控制。

[0097] 存储器130存储处理电路50所使用的数据。具体而言,存储器130存储处理电路50所执行的数字信号处理中使用的数据。例如,当处理电路50执行温度校正处理时,存储器130存储温度校正用的系数数据。此外,当处理电路50执行老化校正处理以及数字滤波处理时,存储器130存储老化校正用的数据以及数字滤波处理用的系数数据。存储器130可以通过MONOS (Metal-Oxide-Nitride-Oxide-Silicon)或EEPROM等非易失性存储器实现。另外,存储器130也可以是作为处理电路50的工作区域的存储器。在该情况下,存储器130通过SRAM等实现。

[0098] 此外,电路装置20还包括与处理电路50电连接的数字接口端子TIF。数字接口端子TIF是处理电路50具有的数字接口电路用端子。例如,数字接口电路可以通过双线的I2C (Inter-Integrated Circuit)方式的接口电路实现。I2C方式是利用串行时钟线和双向串行数据线这两个信号线进行通信的同步式串行通信方式。在该情况下,数字接口端子TIF是用于连接这些串行时钟线和串行数据线的端子。I2C总线可以与多个从设备连接,主设备指定单独确定的从设备地址,选择从设备,然后与该从设备进行通信。或者,也可以通过3线或4线的SPI (Serial Peripheral Interface)方式的接口电路实现数字接口电路。SPI方式是利用串行时钟线和单向的两个串行数据线进行通信的同步式串行通信方式。在该情况下,数字接口端子TIF是用于连接这些串行时钟线和串行数据线的端子。虽然SPI总线可以与多个从设备连接,但是为了指定它们,主设备需要使用从选择线来选择从设备,在该情况下需要从设备选择线。

[0099] 2. 布局配置

[0100] 图11示出本实施方式的电路装置20的布局配置例。电路装置20具有边SD1、SD2、SD3、SD4。即,电路装置10具有边SD1、作为边SD1的对边的边SD2、与边SD1交叉的边SD3、以及作为边SD3的对边的边SD4。由这些边SD1、SD2、SD3、SD4形成矩形形状。边SD1、SD2、SD3、SD4分别是第1边、第2边、第3边、第4边。例如,边SD1和SD2是彼此相对的边,边SD3、SD4与边SD1、SD2正交,并且彼此相对。这里,设从边SD1朝向边SD2的方向为DR1,从边SD3朝向边SD4的方向为DR2。此外,设DR2的相反方向为DR3,DR1的相反方向为DR4。方向DR1、DR2、DR3、DR4分别是第1方向、第2方向、第3方向、第4方向。

[0101] 在该情况下,在图11中,振荡信号生成电路70配置在作为A/D转换电路40的第一方向侧的方向DR1侧。处理电路50配置在作为A/D转换电路40和振荡信号生成电路70的第二方向侧的方向DR2侧。方向DR2是与方向DR1正交的方向。例如,A/D转换电路40和处理电路50沿方向DR2相邻地配置,振荡信号生成电路70和处理电路50也沿方向DR2相邻地配置。两个电路块相邻地配置是指在两个电路块之间不存在其它电路块而配置。并且,A/D转换电路40配置在距边SD1的距离比距边SD2的距离近的位置。另一方面,振荡信号生成电路70配置在距边SD2的距离比距边SD1的距离近的位置。例如,设边SD1和边SD2的中央线与边SD1之间的区

域为第1区域,该中央线与边SD2之间的区域为第2区域。在该情况下,A/D转换电路40配置在边SD1侧的第1区域中,振荡信号生成电路70配置在边SD2侧的第2区域中。

[0102] 根据这样的布局配置,可以利用短程(short path)的布线路径对处理电路50输入来自A/D转换电路40的A/D转换数据。例如,A/D转换电路40对控制电压VC进行A/D转换,将控制电压数据DVC输出至处理电路50,对温度检测电压VTD进行A/D转换,将温度检测数据DTD输出至处理电路50。通过像图11的布局配置那样配置,可以利用短程的布线路径对处理电路50输入这些控制电压数据DVC、温度检测数据DTD。此外,也可以利用短程的布线路径对振荡信号生成电路70输入来自处理电路50的频率控制数据DFC。例如,在图1、图7的第1结构例中,可以利用短程的布线路径将来自处理电路50的频率控制数据DFC输入到D/A转换电路72并进行D/A转换。另一方面,在图2、图8的第2结构例中,可以利用短程的布线路径将来自处理电路50的频率控制数据DFC输入到分数-N型PLL电路82的分频电路83并设定分频比。

[0103] 由此,如图11所示,可以紧凑且高效地布局配置A/D转换电路40、处理电路50、振荡信号生成电路70,从而能够实现电路装置20的小面积化。此外,能够将A/D转换电路40与处理电路50之间的数据传输的信号延迟以及处理电路50与振荡信号生成电路70之间的数据传输的信号延迟抑制在最小的限度,从而还可以防止以信号延迟为原因的电路动作的不良的产生等。

[0104] 此外,在图11中,在A/D转换电路40与振荡信号生成电路70之间配置有电源电路100。例如,A/D转换电路40和电源电路100沿方向DR1相邻地配置,电源电路100和振荡信号生成电路70也沿方向DR1相邻地配置。

[0105] 通过设为这样的布局配置,可以通过有效地利用A/D转换电路40与振荡信号生成电路70之间的空间来配置电源电路100。例如,作为逻辑电路的处理电路50执行各种数字信号处理,因此其电路面积变大。因此,当将处理电路50配置在A/D转换电路40和振荡信号生成电路70的方向DR2侧时,存在在处理电路50的第3方向侧即方向DR3侧的区域中且在A/D转换电路40与振荡信号生成电路70之间的区域中产生空闲空间的可能性。关于这一点,在图11中,由于电源电路100配置在成为这样的空闲空间的区域中,因此,可以紧凑且高效地布局配置A/D转换电路40、处理电路50、振荡信号生成电路70和电源电路100,从而能够实现电路装置20的进一步的小面积化。

[0106] 并且,如图10中说明的,电源电路100将电源电压V1提供给A/D转换电路40,并将电源电压V2提供给处理电路50。此外,将电源电压V3提供给振荡信号生成电路70。例如,利用沿方向DR4布线的第1电源线从电源电路100向A/D转换电路40提供电源电压V1。此外,利用沿方向DR2布线的第2电源线从电源电路100向处理电路50提供电源电压V2。此外,利用沿方向DR1布线的第3电源线从电源电路100向振荡信号生成电路70提供电源电压V3。由此,可以利用较短的布线长度的第1、第2、第3电源线从电源电路100向A/D转换电路40、处理电路50、振荡信号生成电路70提供电源电压V1、V2、V3。

[0107] 例如,由于处理电路50以高时钟频率执行数字信号处理,因此由于该数字信号处理的原因而产生高噪声电平的数字噪声。当该数字噪声传输到A/D转换电路40和振荡信号生成电路70时,发生模拟电路等的性能劣化等问题。例如,发生A/D转换精度降低、或者在振荡信号上叠加高噪声电平的数字噪声等问题。关于这一点,在本实施方式中,与提供给处理电路50的电源电压V2分开生成的电源电压V1、V3被提供给A/D转换电路40、振荡信号生成电

路70。例如,可以使用与从电源电路100到处理电路50的第2电源线不同的第1电源线、第3电源线将电源电压V1、V3提供给A/D转换电路40、振荡信号生成电路70。因此,可以防止以处理电路50的数字噪声为原因的性能劣化的问题。

[0108] 图12示出本实施方式的电路装置20的详细的布局配置例。如图12所示,电路装置20包括存储处理电路50所使用的数据的存储器130。如图10中说明那样,存储器130存储处理电路50执行的数字信号处理中使用的各种系数数据等。例如,存储温度校正处理用的系数数据以及数字滤波处理用的系数数据等。并且,存储器130配置在处理电路50与电路装置20的边SD4之间。例如,在图12中,存储器130相对于处理电路50的边SD4侧的边的位置配置。例如,存储器130配置成与沿边SD4的I/O区域重叠。

[0109] 根据这样的布局配置,可以使用处理电路50的边SD4侧的空间来配置存储器130。例如,能够通过有效地利用沿边SD4的I/O区域用的空间来配置存储器130。因此,可以高效地布局配置存储在处理电路50中使用的数据的存储器130,从而能够实现电路装置20的小规模化等。此外,可以利用短程的布线路径将从存储器130读出的系数数据等输入到处理电路50。此外,例如,当存储器130是非易失性存储器时,需要数据写入用和读出用的高电压电源,但是也可以将用于从外部向电路装置20提供该高电压电源的高电压电源端子配置在沿边SD4的I/O区域中。

[0110] 此外,电路装置20还包括与处理电路50电连接的数字接口端子TIF。如图10中说明那样,该数字接口端子TIF是I2C或SPI中的时钟端子或数据端子。并且,如图12所示,数字接口端子TIF配置在处理电路50与边SD4之间。例如,数字接口端子TIF配置在沿边SD4的I/O区域中。例如,A/D转换电路40、电源电路100、振荡信号生成电路70、缓冲器电路90等配置在处理电路50的方向DR3侧,与此相对,数字接口端子TIF配置在作为该方向DR3的相反方向的方向DR2侧。

[0111] 例如,在数字接口端子TIF处,由于I2C和SP2的时钟信号和数据信号而产生高噪声电平的数字噪声。当该数字噪声传输到A/D转换电路40时,引起A/D转换精度降低等问题。此外,当数字噪声传输到振荡信号生成电路70和缓冲器电路90时,数字噪声叠加在振荡信号上,从而发生振荡频率精度降低或相位噪声增加等问题。关于这一点,在图12中,作为数字噪声的产生源的数字接口端子TIF配置在处理电路50与边SD4之间,并且配置在处理电路50的方向DR2侧。因此,可以加大数字接口端子TIF与A/D转换电路40之间的距离、以及数字接口端子TIF与振荡信号生成电路70、缓冲器电路90之间的距离。因此,可以抑制由于数字噪声而导致A/D转换精度降低。此外,可以抑制由于数字噪声而导致振荡频率的精度降低、或相位噪声增加。

[0112] 此外,电路装置20包括对振荡信号进行缓冲而输出至外部的缓冲器电路90。并且,如图12所示,缓冲器电路90配置在振荡信号生成电路70的方向DR3侧。例如,振荡信号生成电路70配置在处理电路50的方向DR3侧,缓冲器电路90配置在该振荡信号生成电路70的方向DR3侧。例如,振荡信号生成电路70和缓冲器电路90沿方向DR3相邻地配置。具体而言,在图12中,缓冲器电路90配置在边SD2和边SD3交叉的拐角区域中。此外,输出振荡信号的端子TFOUT在沿边SD3的I/O区域中配置在缓冲器电路90的方向DR4侧。

[0113] 根据这样的布局配置,输出振荡信号的缓冲器电路90可以配置在距处理电路50和数字接口端子TIF的距离最大限度地远的位置。例如,可以将输出振荡信号的端子TFOUT配

置在与配置数字接口端子TIF的边SD4的区域相对的边SD3的区域中。由此,可以抑制在处理电路50或数字接口端子TIF中产生的数字噪声叠加在振荡信号上。因此,可以抑制由于该数字噪声导致振荡频率的精度降低、或振荡信号的相位噪声增加等问题的发生。此外,通过将缓冲器电路90配置成在振荡信号生成电路70的方向DR3侧相邻,能够以短程的方式将来自振荡信号生成电路70的振荡信号的信号线与缓冲器电路90连接,从而可抑制以信号线的寄生电容等为原因的性能劣化。

[0114] 此外,本实施方式的振子10包括控制振子10的温度的恒温控制电路120。并且,如图12所示,恒温控制电路120配置在A/D转换电路40的方向DR3侧。例如,在图12中,A/D转换电路40和恒温控制电路120配置在处理电路50的方向DR3侧的区域中的距边SD1的距离近的第1区域中,振荡信号生成电路70和缓冲器电路90配置在距边SD2的距离近的第2区域中。由此,可以通过有效地利用处理电路50的方向DR3侧的空间来配置A/D转换电路40和恒温控制电路120、以及振荡信号生成电路70和缓冲器电路90。由此,可以进行这些电路块的高效的布局配置,从而能够实现电路装置20的布局面积的小规模化等。

[0115] 此外,电路装置20还包括生成并输出对振荡信号进行倍频而得到的时钟信号的PLL电路110。并且,PLL电路110配置在A/D转换电路40的方向DR3侧。例如,PLL电路110配置在A/D转换电路40和电源电路100的方向DR3侧。具体而言,PLL电路110配置在恒温控制电路120与缓冲器电路90之间。由此,可以通过有效地利用A/D转换电路40的方向DR3侧的空间来配置PLL电路110。此外,例如可以将PLL电路110配置成在振荡信号生成电路70的方向DR4侧,能够以短程的方式将来自振荡信号生成电路70的振荡信号的信号线与PLL电路110连接。

[0116] 另外,如图10中说明那样,电源电路100生成电源电压V4而提供给PLL电路110。例如,利用沿方向DR3布线的第4电源线从电源电路100向PLL电路110提供电源电压V4。

[0117] 此外,PLL电路110也可以是在图9中说明的分数-N型PLL电路82。例如,在电路装置20的第1动作模式中,如图1的第1结构例那样,由D/A转换电路72、可变电容电容器74、振荡电路80生成振荡信号OUT。并且,如图10所示,作为分数-N型PLL电路82的PLL电路110生成并输出通过对振荡信号OUT进行倍频而得到的时钟信号CLK。在该情况下,输出时钟信号CLK的时钟输出端子TCLK例如配置在沿边SD3的I/O区域中。另外,输入控制电压VC的控制电压输入端子TVC也配置在沿边SD3的I/O区域中。另一方面,在电路装置20的第2动作模式中,如图2的第2结构例那样,由振荡电路80、作为PLL电路110的分数-N型PLL电路82生成振荡信号OUT。由此,能够进行各种动作模式的电路装置20的动作。

[0118] 3. 振荡电路

[0119] 图13示出振荡电路80的结构例。图13是柯匹兹型的振荡电路80的示例。可变电容电容器74设置在振子10的一端的节点NA1与GND节点之间。振子10的另一端的节点NA2与双极晶体管BTR的基极连接。电阻RA1设置在作为高电位侧电源节点的VDD节点与双极晶体管BTR的集电极之间,电阻RA2设置在双极晶体管BTR的发射极与GND节点之间。电阻RA3设置在VDD节点与节点NA2之间,电阻RA4设置在节点NA2与GND节点之间。此外,电容器CA1、CA2串联设置在节点NA2与GND节点之间,滤波器FLT设置在电容器CA1、CA2的连接节点NA3与双极晶体管BTR的发射极的节点NA4之间。另外,振荡电路80不限于图13的结构,可以进行使其连接结构不同的各种变形实施。此外,也可以使用皮尔斯型等振荡电路作为振荡电路80。

[0120] 4. 振荡器

[0121] 图14示出包括本实施方式的电路装置20的振荡器400的结构例。如图14所示,振荡器400包括振子10和电路装置20。振子10和电路装置20安装在振荡器400的封装410内。并且,振子10的端子和作为电路装置20的端子的IC焊盘由封装410的内部布线电连接。在图14中,振荡器400是恒温槽结构的振荡器。具体而言,是双恒温槽结构的振荡器。

[0122] 封装410由基板411和壳体412构成。基板411搭载有未图示的各种电子元件。第2容器414设置在壳体412内部,第1容器413设置在第2容器414内部。并且,振子10安装在第1容器413的上表面的内侧面。此外,本实施方式的电路装置20、加热器450、温度传感器460安装在第1容器413的上表面的外侧面。可以利用作为发热元件的加热器450调节例如第2容器414内部的温度。并且,可以利用温度传感器460检测例如第2容器414内部的温度。

[0123] 第2容器414设置在基板416上。基板416是能够搭载各种电子元件的电路基板。加热器452、温度传感器462安装在基板416的设置第2容器414的面的背侧面。例如可以利用作为发热元件的加热器452调节壳体412与第2容器414之间的空间的温度。并且,可以利用温度传感器462检测壳体412与第2容器414之间的空间的温度。

[0124] 作为加热器450、452的发热元件,例如,可以使用发热双极晶体管、发热加热器MOS晶体管、发热电阻体或珀耳帖元件等。例如,可以通过电路装置20的恒温控制电路120实现这些加热器450、452的发热的控制。例如,可以使用热敏电阻、二极管等作为温度传感器460、462。这样,在图15中,温度传感器460、462设置在电路装置20的外部,A/D转换电路40对来自这些外部温度传感器460、462的温度检测电压进行A/D转换。在该情况下,也可以同时使用电路装置20内部的温度传感器30和外部温度传感器460、462双方。在图14中,由于可以利用双恒温槽结构的恒温槽实现振子10等的温度调节,因此,能够实现振子10的振荡频率的稳定化等。

[0125] 另外,在图14中示出了双恒温槽结构的结构例,但是,本实施方式的振荡器400不限于这样的结构,可以进行各种变形实施。例如,振荡器400也可以构成为单恒温槽结构。即,虽然在图14中设置了第1容器413、第2容器414这两个容器,但也可以是设置一个容器作为恒温槽的单恒温槽结构的振荡器400。

[0126] 5. 电子设备、移动体

[0127] 图15示出包括本实施方式的电路装置20的电子设备500的结构例。电子设备500包括本实施方式的电路装置20、振子10、处理部520。此外,电子设备500还可以包括天线ANT、通信部510、操作部530、显示部540、存储部550。由振子10和电路装置20构成振荡器400。另外,电子设备500不限于图15的结构,可以进行省略其一部分构成要素、或追加其它构成要素等各种变形实施。

[0128] 电子设备500是例如测量基站或路由器等网络相关设备、测量距离、时间、流速或流量等物理量的高精度的测量设备、测定生物体信息的生物体信息测定设备或车载设备等。生物体信息测定设备例如是超声波测定装置、脉搏波计或血压测定装置等。车载设备是自动驾驶用的设备等。此外,电子设备500也可以是头部佩戴型显示装置以及钟表相关设备等可穿戴设备、机器人、打印装置、投影装置、智能手机等便携式信息终端、发布内容的内容提供设备、或数码相机或摄像机等视频设备等。

[0129] 作为通信接口的通信部510执行经由天线ANT从外部接收数据、或向外部发送数据

的处理。作为处理器的处理部520进行电子设备500的控制处理以及经由通信部510收发的数据的各种数字处理等。处理部520的功能例如可以通过微型计算机等的处理器实现。作为操作接口的操作部530用于供用户进行输入操作,可以通过操作按钮或触摸面板显示器等实现。显示部540显示各种信息,可以通过液晶或有机EL等的显示器实现。存储部550存储数据,其功能可以通过RAM、ROM等半导体存储器以及HDD等实现。

[0130] 图16示出包括本实施方式的电路装置20的移动体的示例。本实施方式的电路装置20可以组装于例如车辆、飞机、摩托车、自行车或船舶等各种移动体中。移动体是具备例如发动机、马达等驱动机构、方向盘、舵等转向机构以及各种电子设备、并在陆地或空中、海上移动的设备/装置。图16概要地示出作为移动体的具体例的汽车206。汽车206组装有具有本实施方式的电路装置20和振子的未图示的振荡器。控制装置208根据由该振荡器生成的时钟信号进行动作。控制装置208例如根据车体207的姿势控制悬架的软硬、或者控制各个车轮209的制动。例如,也可以通过控制装置208实现汽车206的自动驾驶。另外,组装有本实施方式的电路装置20以及振荡器的设备不限于这样的控制装置208,还可以组装于设置于汽车206等移动体的各种设备中。

[0131] 另外,如上所述,对本实施方式详细地进行了说明,但本领域技术人员能够容易地理解可以进行不实质上脱离本发明的新颖性和效果的许多变形。因此,这样的变形例全部包含在本发明的范围内。例如,可以将至少一次与更广义或同义的不同的术语一同记载于说明书或附图中的术语在说明书或附图的任何一个位置替换为与其不同的术语。此外,本实施方式和变形例的全部组合都包含在本发明的范围内。此外,电路装置、电子设备、移动体的结构/动作、以及A/D转换处理、温度校正处理、加法处理、频率控制数据的生成处理、电路装置的布局配置、连接结构等也不限于在本实施方式中说明的内容,可以进行各种变形实施。

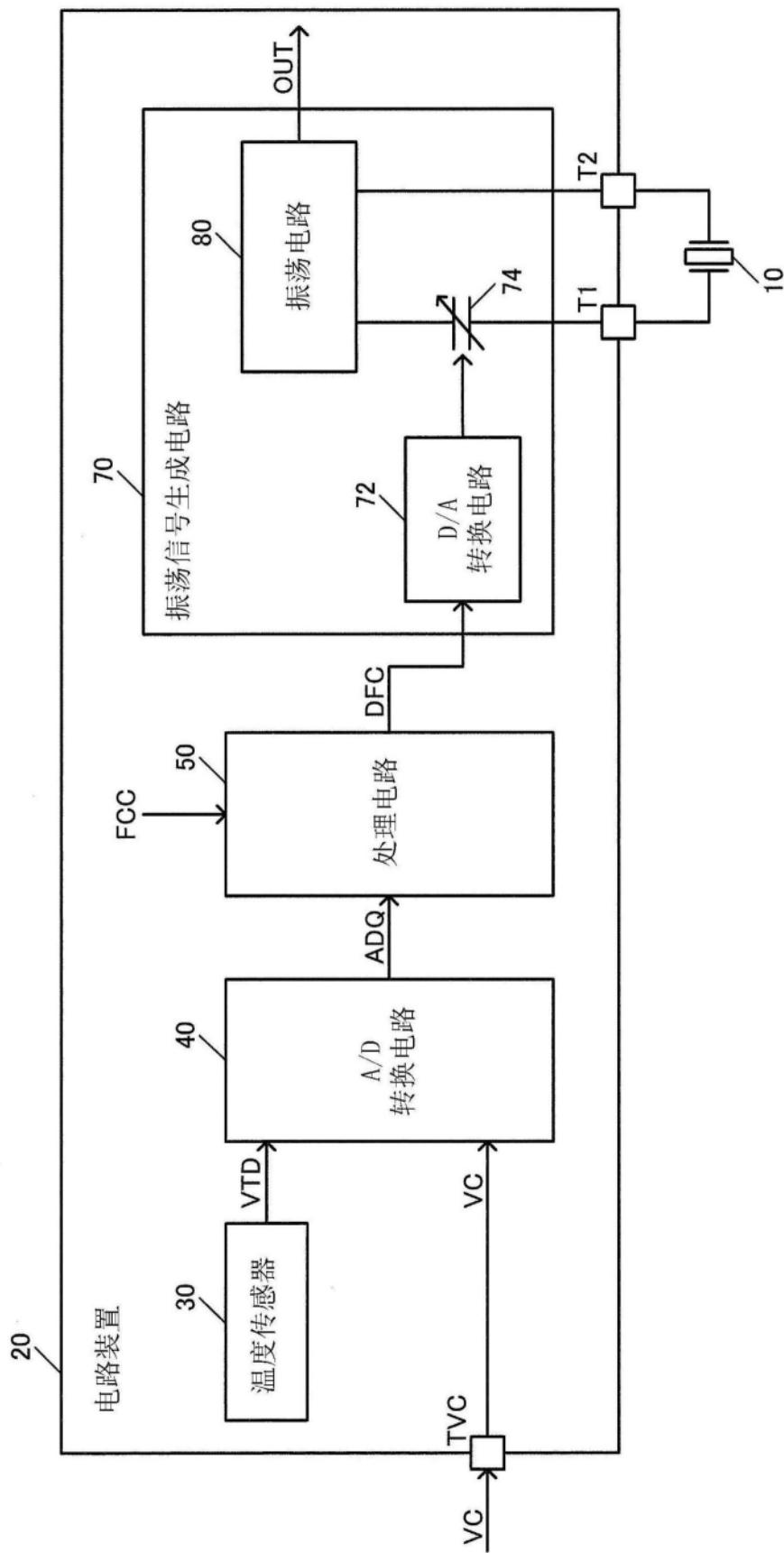


图1

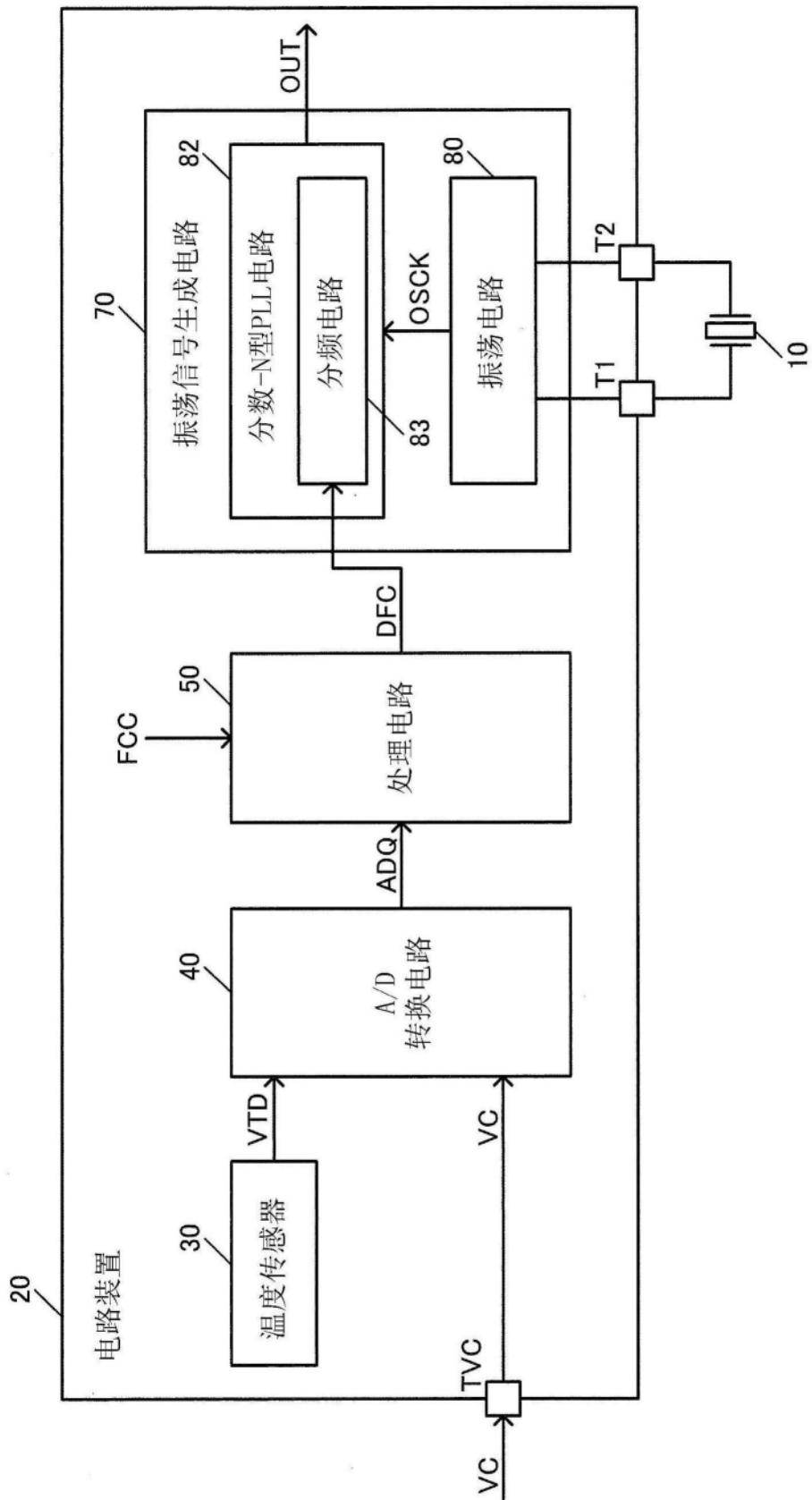


图2

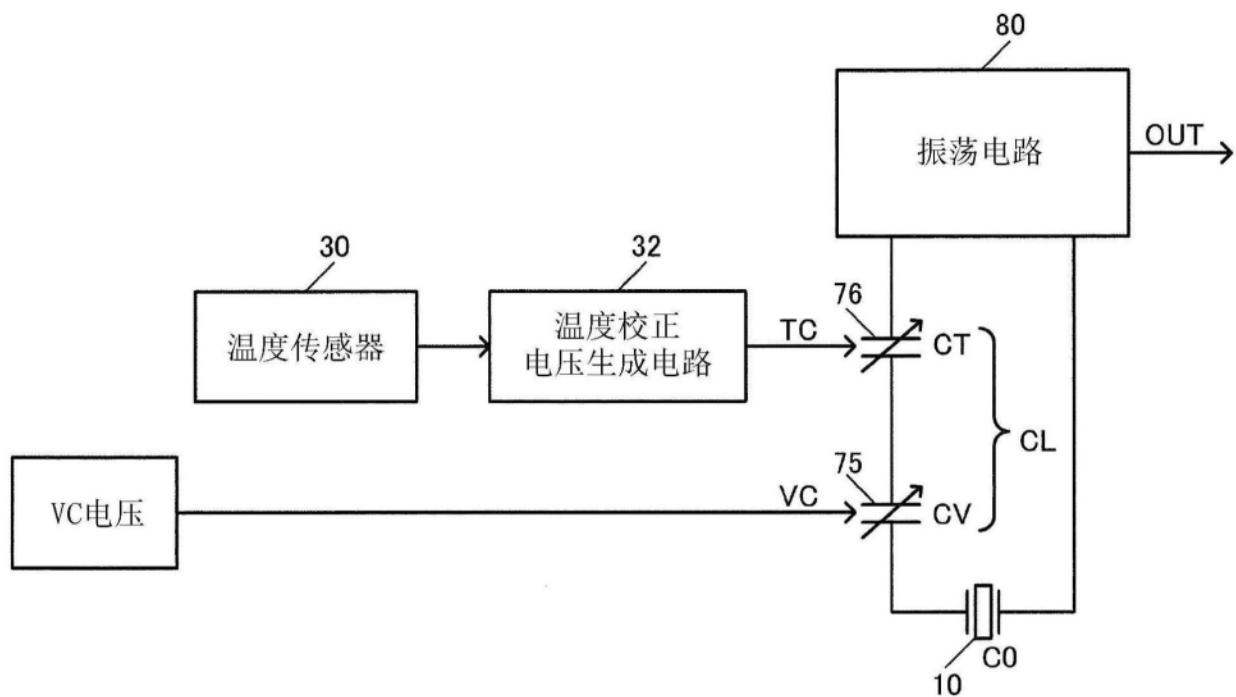


图3

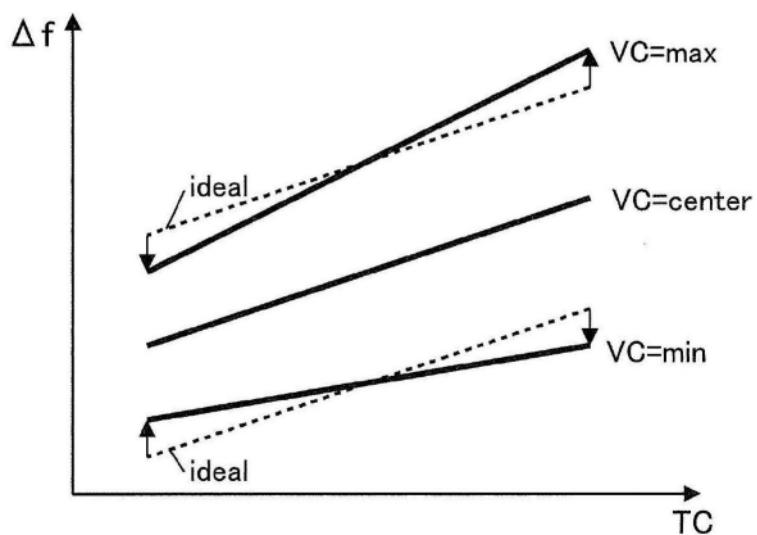


图4

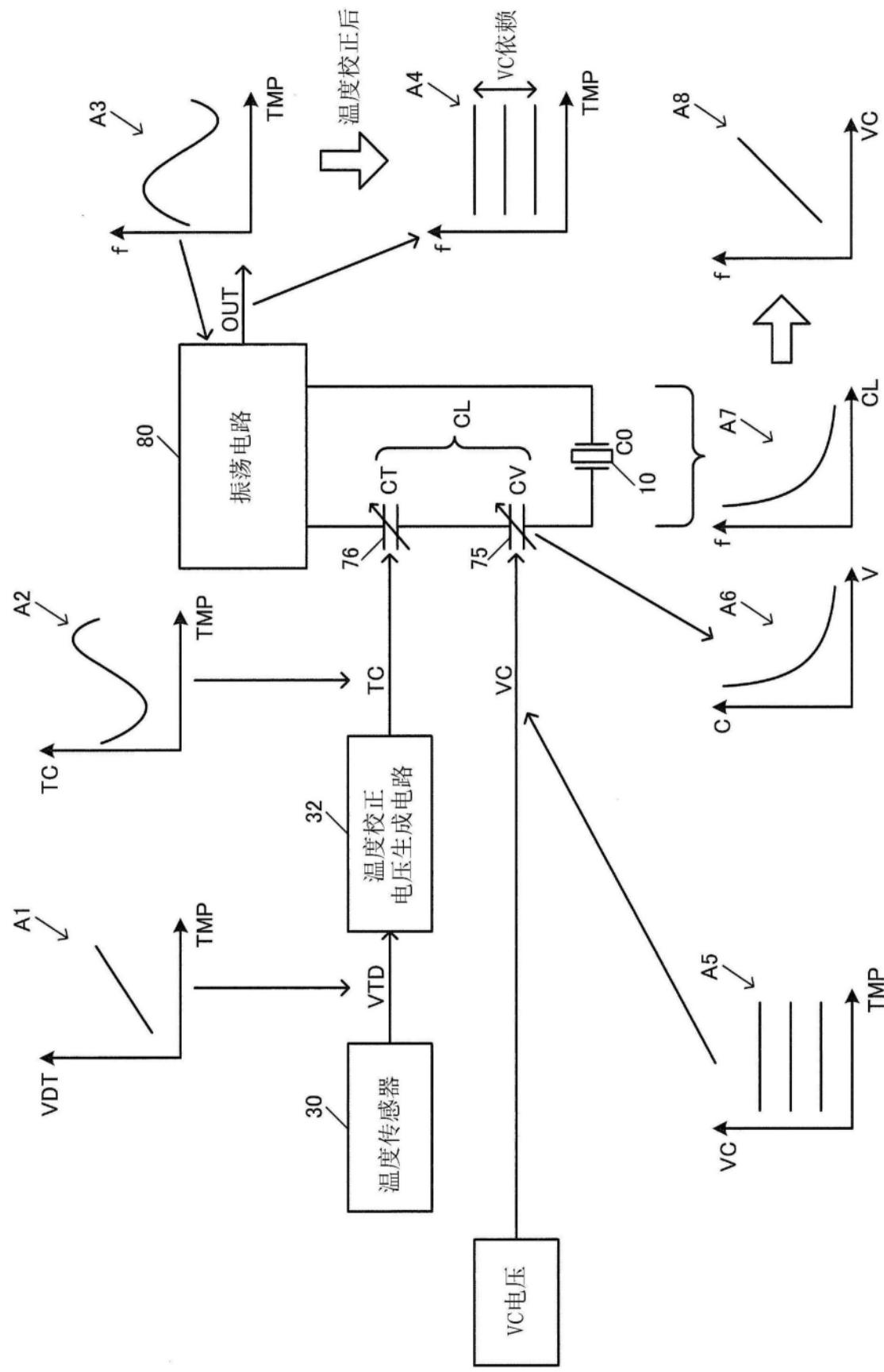


图5

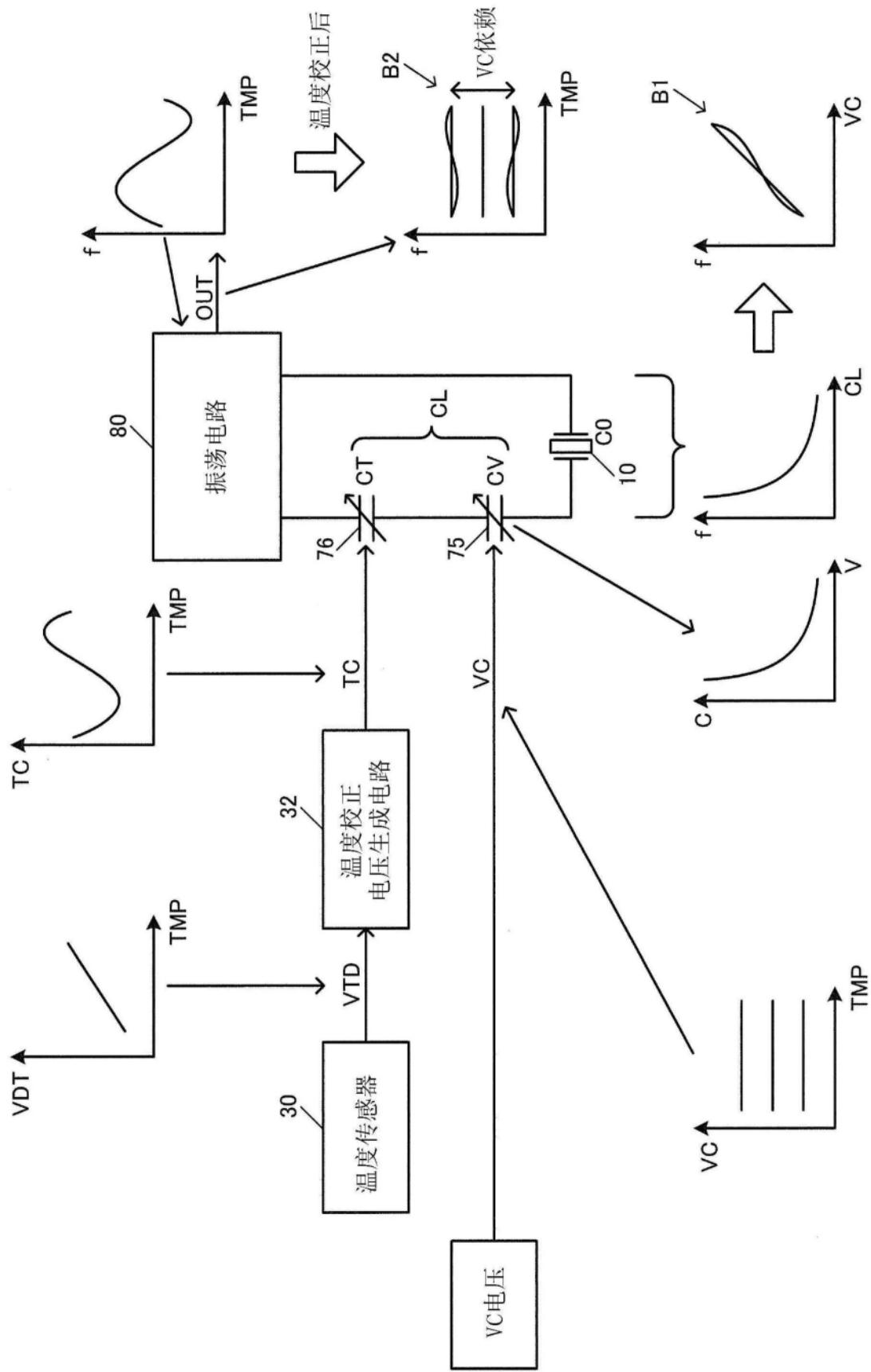


图6

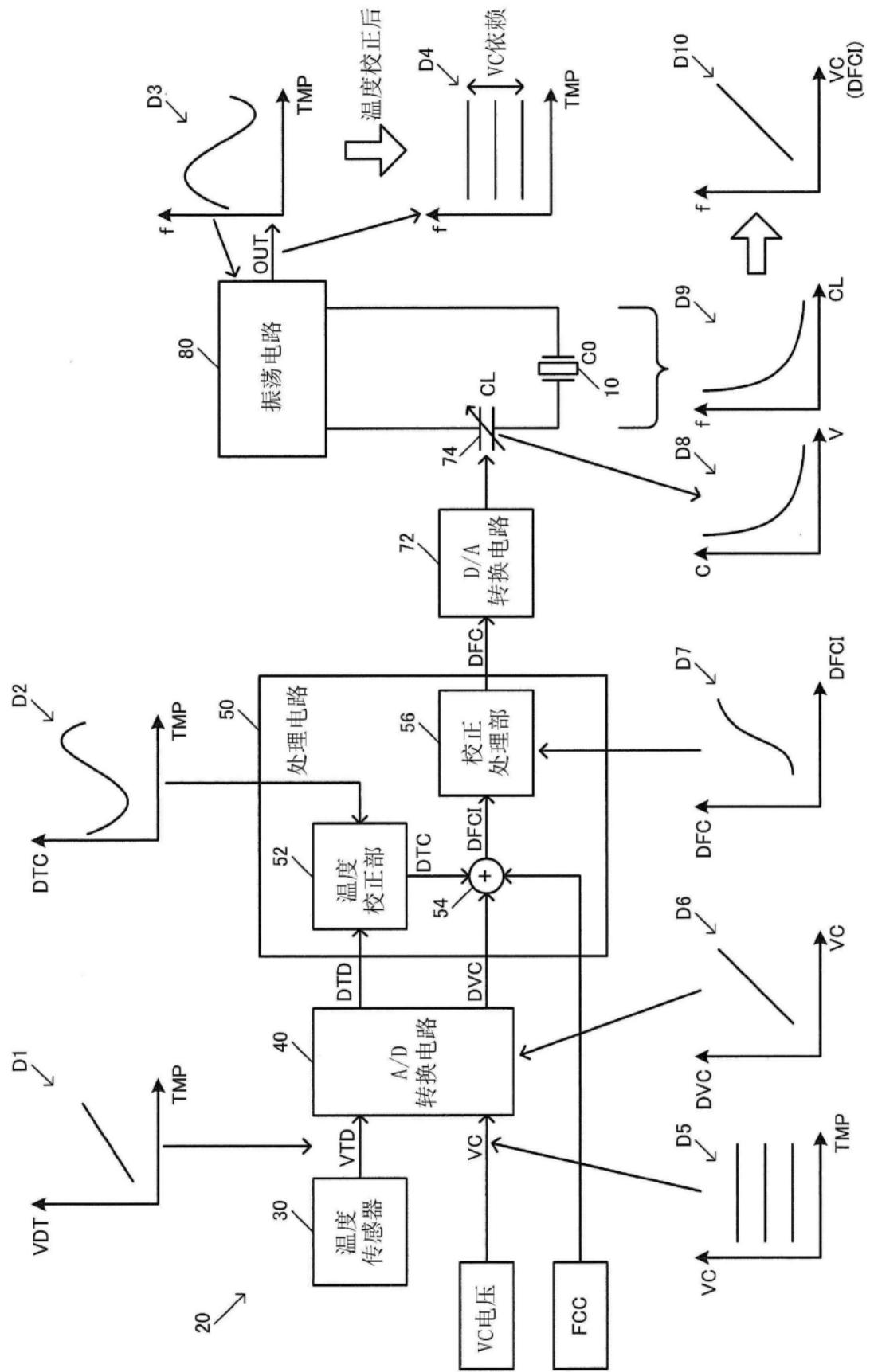


图7

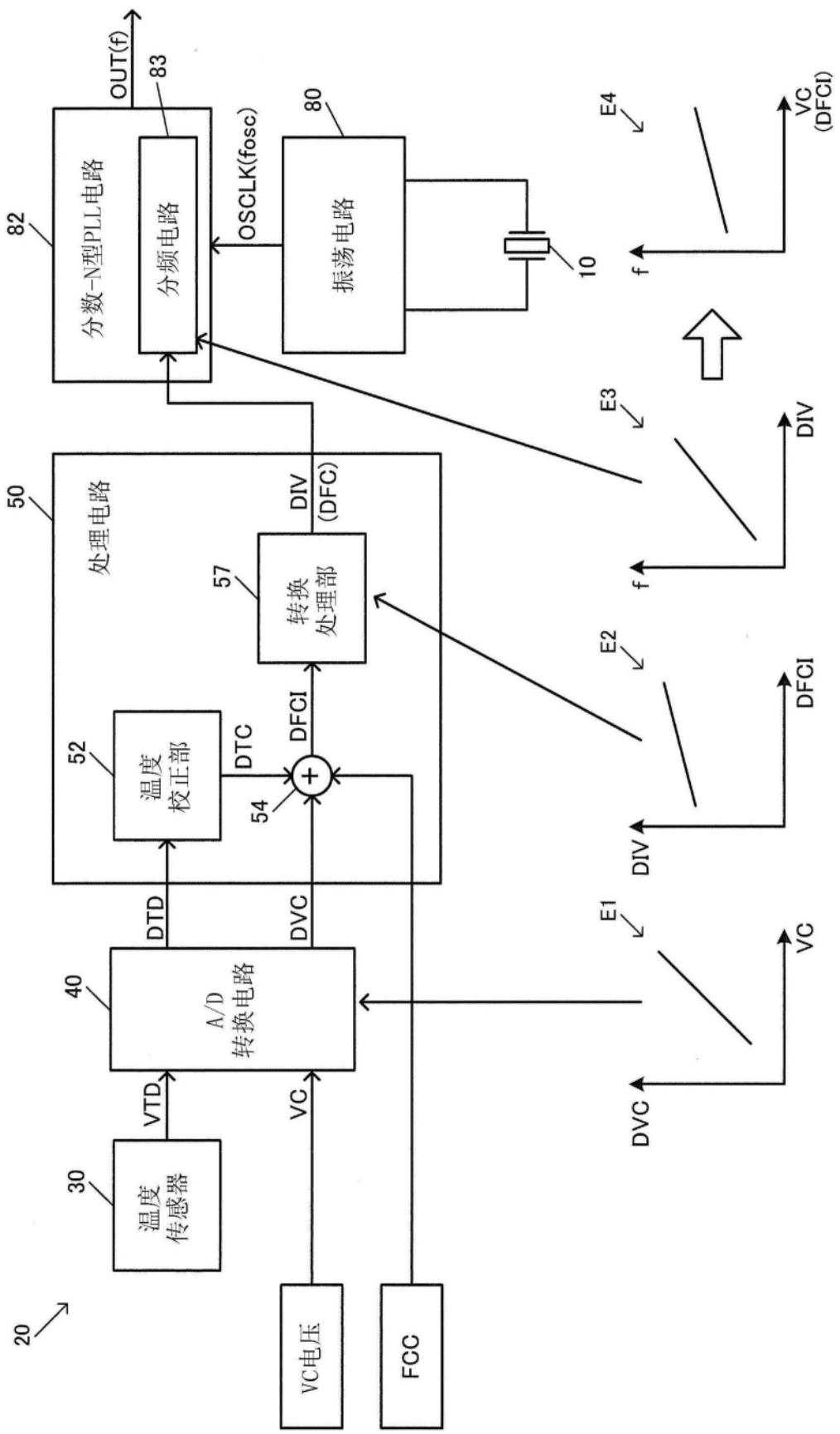


图8

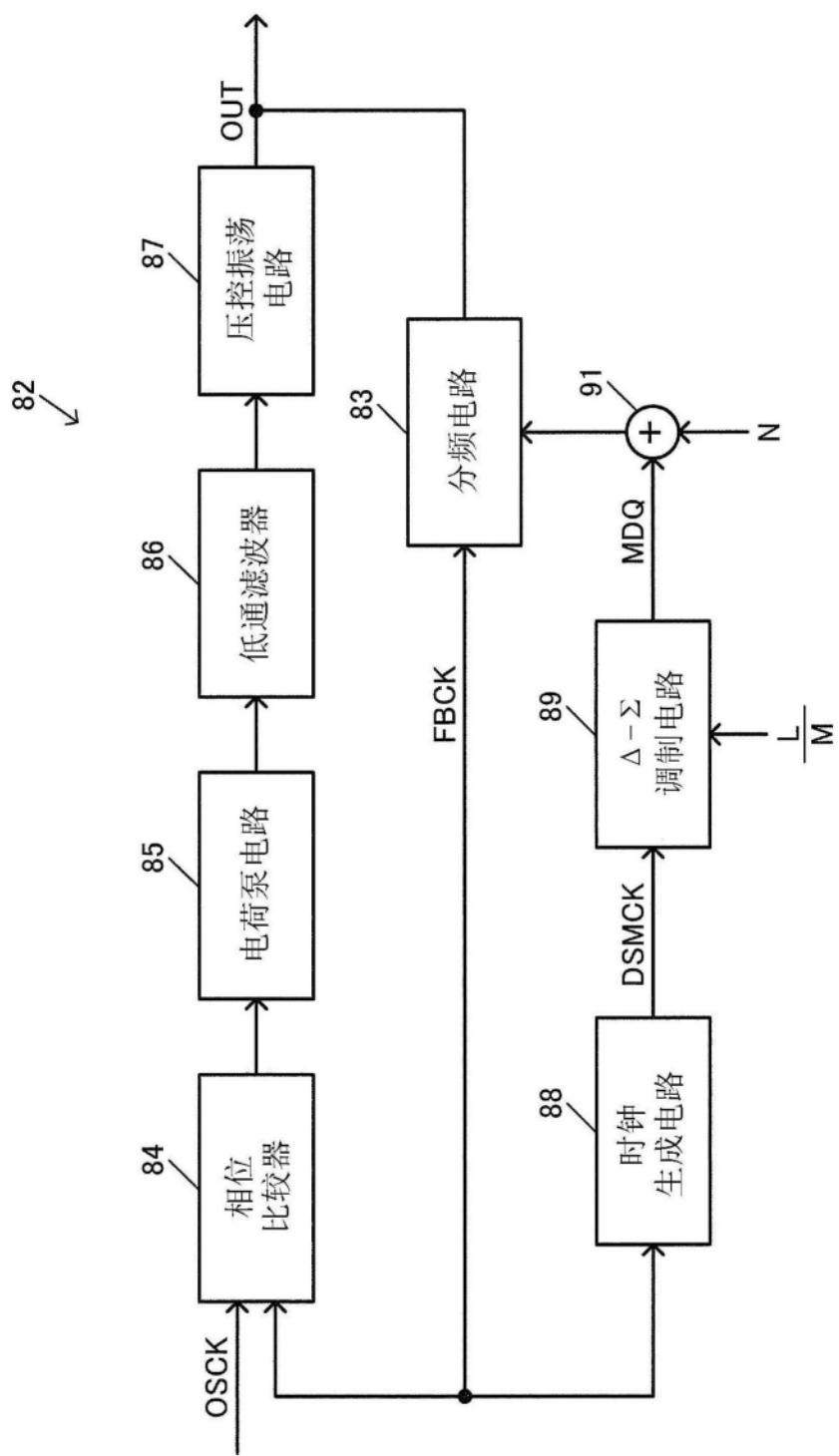


图9

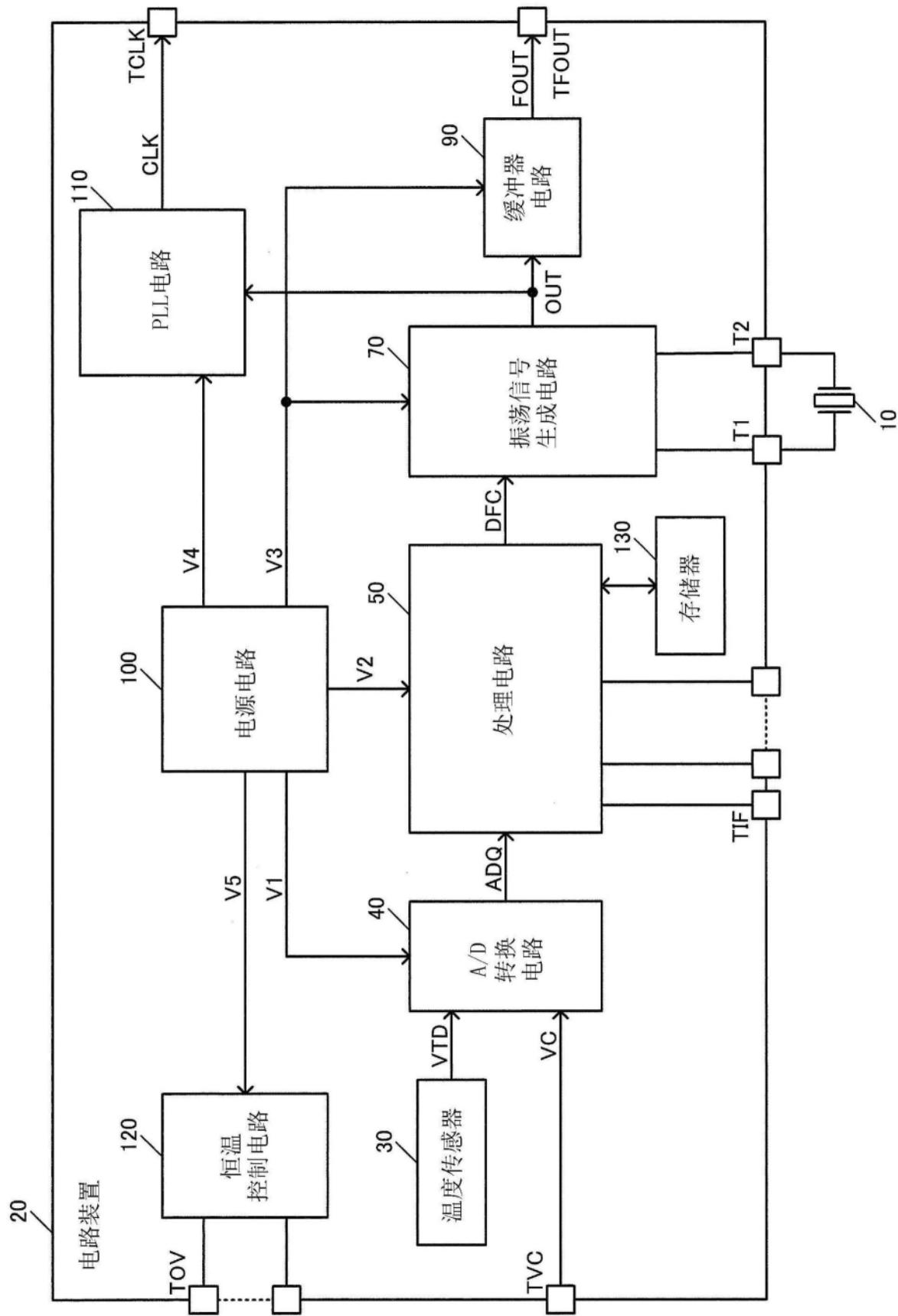


图10

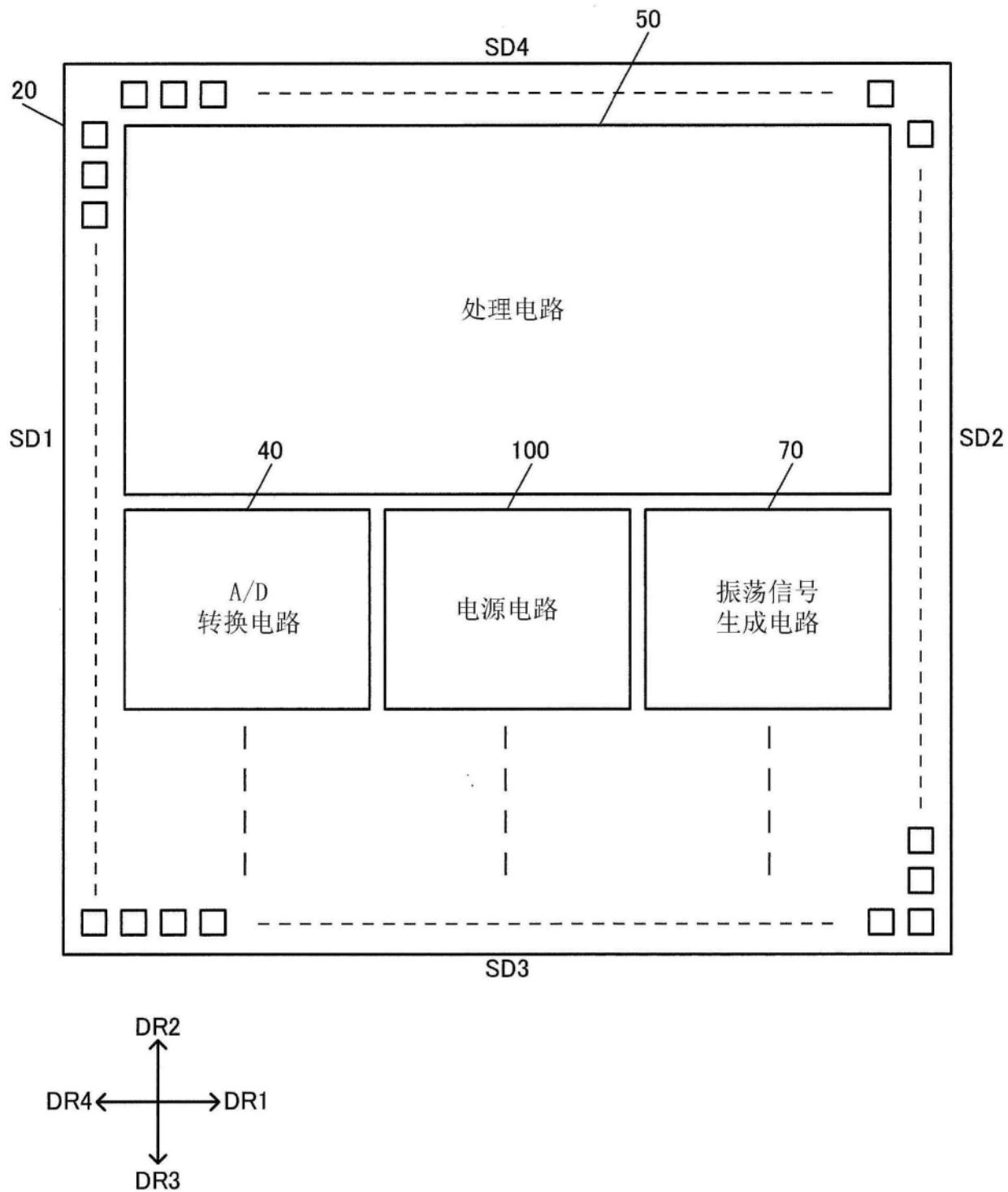


图11

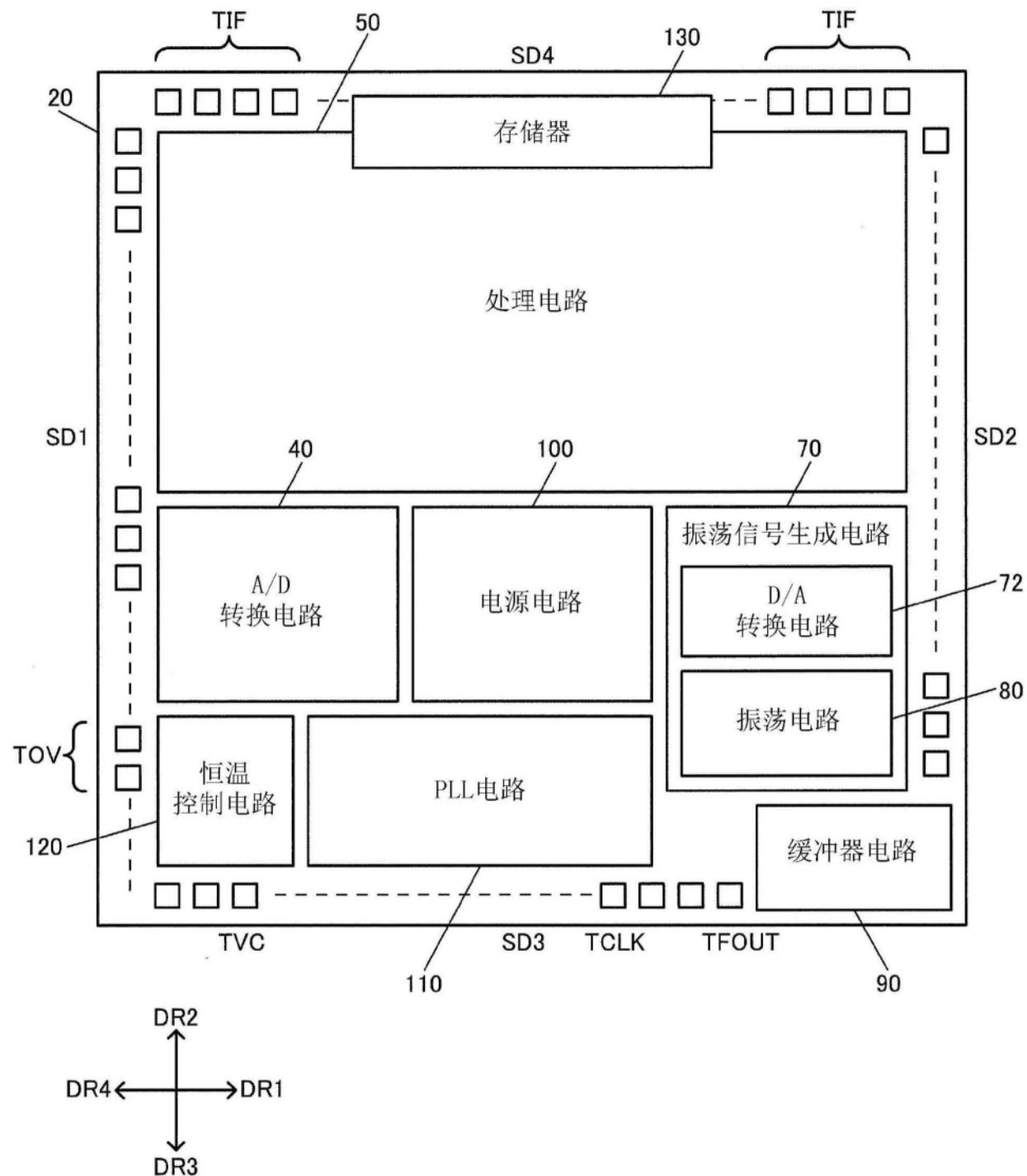


图12

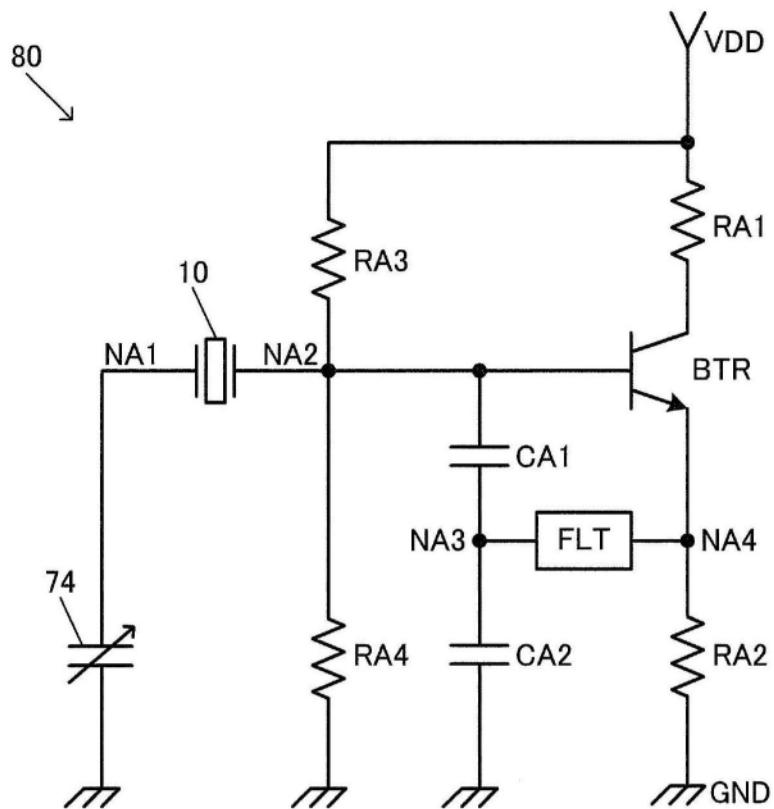


图13

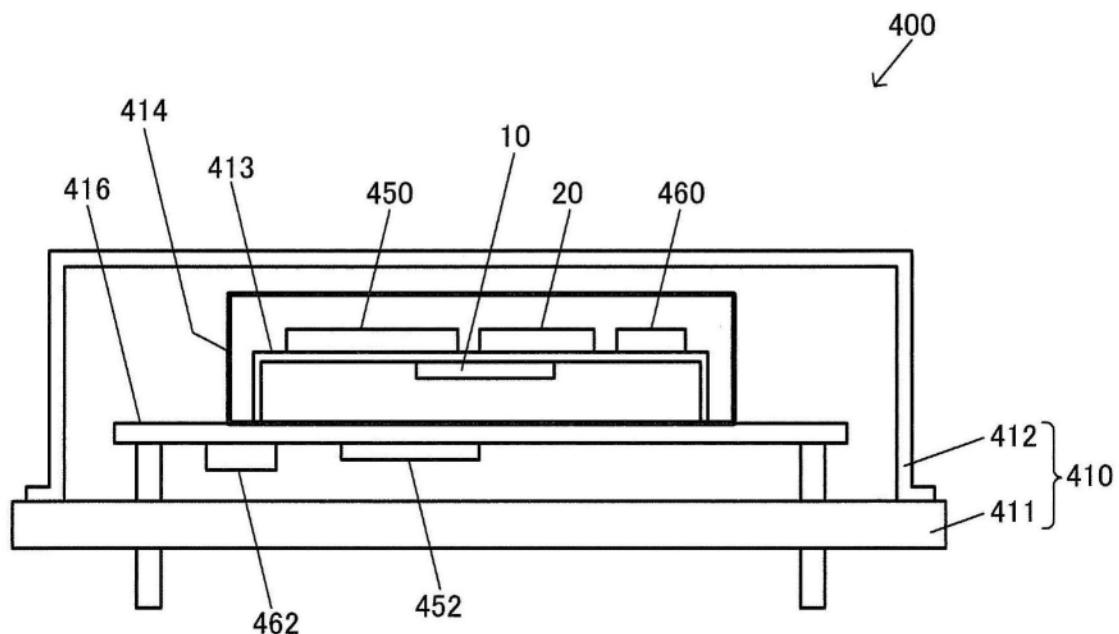


图14

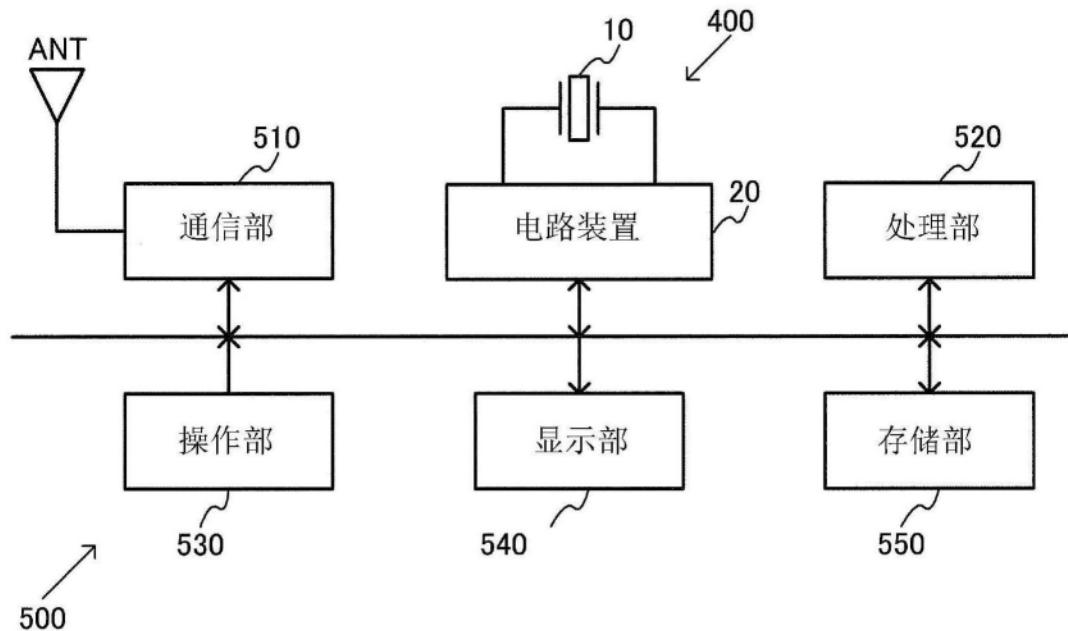


图15

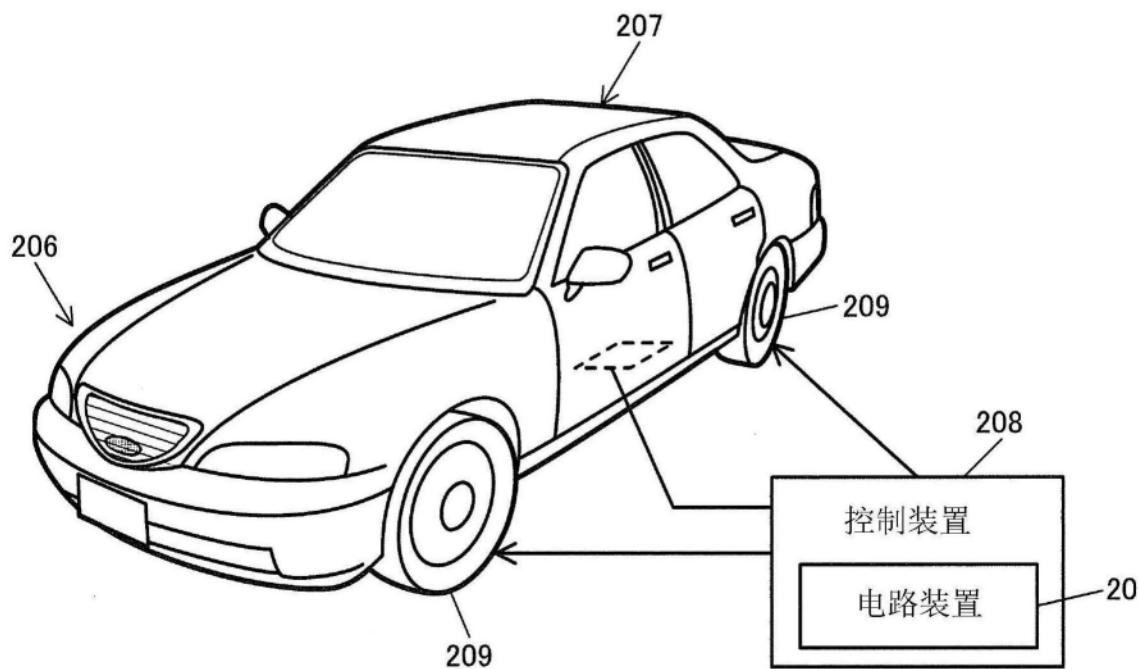


图16