



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I529531 B

(45)公告日：中華民國 105 (2016) 年 04 月 11 日

(21)申請案號：100147394

(22)申請日：中華民國 100 (2011) 年 12 月 20 日

(51)Int. Cl. : G06F12/16 (2006.01)

G06F1/32 (2006.01)

(30)優先權：2010/12/28 日本

2010-291835

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：黑川義元 KUROKAWA, YOSHIYUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

CN 1877678A

US 4719570

US 5742781

審查人員：高嘉男

申請專利範圍項數：9 項 圖式數：23 共 126 頁

(54)名稱

訊號處理電路

SIGNAL PROCESSING CIRCUIT

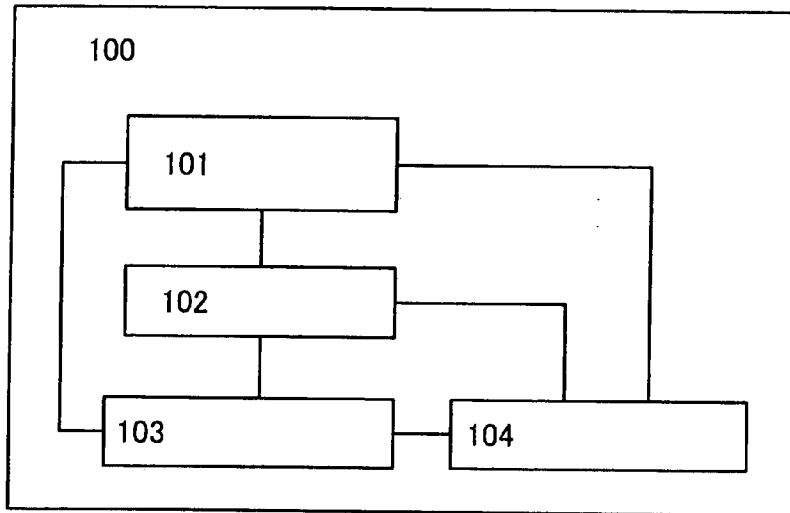
(57)摘要

本發明之目標為提供一種訊號處理電路，基此不需複雜製造程序並可抑制其電力消耗。尤其，本發明之目標為提供一種訊號處理電路，藉由短時間停止電源可抑制該訊號處理電路之電力消耗。該訊號處理電路包括控制電路、算術單元、及緩衝記憶體裝置。該緩衝記憶體裝置根據來自該控制單元之指令而儲存從主記憶體裝置或該算術單元發送之資料；該緩衝記憶體裝置包含複數記憶格；且該記憶格各包括於通道形成區域中包括氧化物半導體之電晶體，及經由該電晶體向其供應電荷量取決於該資料值之電荷的記憶體元件。

It is an object to provide a signal processing circuit for which a complex manufacturing process is not necessary and whose power consumption can be suppressed. In particular, it is an object to provide a signal processing circuit whose power consumption can be suppressed by stopping the power supply for a short time. The signal processing circuit includes a control circuit, an arithmetic unit, and a buffer memory device. The buffer memory device stores data sent from the main memory device or the arithmetic unit in accordance with an instruction from the control unit; the buffer memory device comprises a plurality of memory cells; and the memory cells each include a transistor including an oxide semiconductor in a channel formation region and a memory element to which charge whose amount depends on a value of the data is supplied via the transistor.

指定代表圖：

圖 1A



符號簡單說明：

100 . . . 訊號處理電
路

101 . . . 控制單元

102 . . . 算術單元

103 . . . 緩衝記憶體
裝置

104 . . . 主記憶體裝
置

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100147394

※申請日：100 年 12 月 20 日

※IPC 分類： G06F 12/16 (2006.1)
G03F 1/32 (2006.1)

一、發明名稱：(中文／英文)

訊號處理電路

Signal processing circuit

二、中文發明摘要：

本發明之目標為提供一種訊號處理電路，基此不需複雜製造程序並可抑制其電力消耗。尤其，本發明之目標為提供一種訊號處理電路，藉由短時間停止電源可抑制該訊號處理電路之電力消耗。該訊號處理電路包括控制電路、算術單元、及緩衝記憶體裝置。該緩衝記憶體裝置根據來自該控制單元之指令而儲存從主記憶體裝置或該算術單元發送之資料；該緩衝記憶體裝置包含複數記憶格；且該記憶格各包括於通道形成區域中包括氧化物半導體之電晶體，及經由該電晶體向其供應電荷量取決於該資料值之電荷的記憶體元件。

三、英文發明摘要：

It is an object to provide a signal processing circuit for which a complex manufacturing process is not necessary and whose power consumption can be suppressed. In particular, it is an object to provide a signal processing circuit whose power consumption can be suppressed by stopping the power supply for a short time. The signal processing circuit includes a control circuit, an arithmetic unit, and a buffer memory device. The buffer memory device stores data sent from the main memory device or the arithmetic unit in accordance with an instruction from the control unit; the buffer memory device comprises a plurality of memory cells; and the memory cells each include a transistor including an oxide semiconductor in a channel formation region and a memory element to which charge whose amount depends on a value of the data is supplied via the transistor.

四、指定代表圖：

(一) 本案指定代表圖為：第 (1A) 圖。

(二) 本代表圖之元件符號簡單說明：

100：訊號處理電路

101：控制單元

102：算術單元

103：緩衝記憶體裝置

104：主記憶體裝置

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明關於包括非揮發性半導體記憶體裝置之訊號處理電路。

【先前技術】

諸如中央處理單元（CPU）之訊號處理電路依據其應用而具有各種組態，但通常配置各種半導體記憶體裝置（以下簡稱為記憶體裝置），諸如暫存器及快取記憶體以及用於儲存資料或指令之主記憶體裝置。此外，快取記憶體係配置於CPU中以便位於算術單元與主記憶體裝置之間而減少對於主記憶體裝置之低速存取並加速算術處理。

需要的是諸如快取記憶體之記憶體裝置以較主記憶體裝置更高速度執行資料寫入。因此，通常正反器用作暫存器及SRAM等用作快取記憶體。此外，專利文獻1揭露一種結構，其中諸如SRAM之揮發性記憶體及非揮發性記憶體組合用作快取記憶體。

[參考文獻]

[專利文獻1] 日本公開專利申請案 No. H7-121444

【發明內容】

SRAM具有一種結構，其中p通道電晶體及n通道電晶體於施加高位準電源電位之節點與施加低位準電源電位

之節點之間串聯連接。p 通道電晶體及 n 通道電晶體操作使得當 p 通道電晶體及 n 通道電晶體之一開啓時，其另一者則關閉。因此，施加高位準電源電位之節點與施加低位準電源電位之節點之間之電流理想地爲零。然而，實際上微量關閉狀態電流於關閉狀態電晶體中流動；因此，節點之間之電流不爲零。因而，甚至在其中未執行資料寫入之保持狀態，SRAM 中造成電力消耗。

儘管依據電晶體之尺寸，例如當使用塊矽形成串聯連接之 p 通道電晶體及 n 通道電晶體時，在節點之間之電壓爲約 3 V 之狀況下，於室溫產生約 1 pA 之關閉狀態電流。於一般 SRAM 中配置串聯連接之二對 p 通道電晶體及 n 通道電晶體，因而產生約 2 pA 之關閉電流。若快取記憶體包括約 10^7 記憶體元件，整個快取記憶體之關閉狀態電流爲 20 μ A。隨著配置快取記憶體之 IC 晶片的溫度變成更高，電力消耗變成更大，且快取記憶體之關閉狀態電流變成若干毫安培。

爲抑制電力消耗，已建議於資料未輸入及輸出期間暫時停止供應電源電位至快取記憶體之方法。當停止供應電源電位時資料抹除之揮發性記憶體裝置用於快取記憶體。因此，在方法中，環繞揮發性記憶體裝置配置非揮發性記憶體裝置，且資料暫時轉移至非揮發性記憶體裝置。然而，由於該等非揮發性記憶體裝置主要係使用磁性元件或鐵電體形成，製造程序複雜。

此外，當 CPU 中電源長時間停止時，在電源停止之

前，快取記憶體中資料轉移至諸如硬碟或快閃記憶體之外部記憶體裝置，使得資料可免於抹除。然而，從該等外部記憶體裝置將資料回置快取記憶體耗時。因此，使用諸如硬碟或快閃記憶體之外部記憶體裝置備份資料不適用於電源短時間停止之狀況，以便減少電力消耗。

鑒於上述問題，本發明之一實施例之目標為提供一種訊號處理電路，其不需複雜製造程序並可抑制電力消耗。尤其，目標為提供一種訊號處理電路，可藉由短時間停止電源而抑制其電力消耗。

為解決上述問題，根據本發明之一實施例之訊號處理電路中所包括之記憶體裝置包括記憶格，每一記憶格包括記憶體元件及充當用於控制記憶體元件中電荷之供應、保留、及釋放之切換元件的電晶體。此外，電晶體於通道形成區域中包括半導體，其帶隙寬於矽及其本質載子密度低於矽。有關該等半導體，例如可使用其帶隙約為矽之兩倍寬之氧化物半導體、碳化矽、氮化鎵等。包括半導體之電晶體可具有較包括諸如矽或鍺之正常半導體材料之電晶體更低之關閉狀態電流。具有以上結構之電晶體用作切換元件以保留於記憶體元件中流動之電荷，藉此可避免來自記憶體元件之電荷洩漏。

此外，除了記憶體裝置以外，根據本發明之一實施例之訊號處理電路包括與記憶體裝置交換資料之算術單元，及諸如控制單元之各種邏輯電路。記憶體裝置充當緩衝記憶體裝置。

有關記憶體元件，例如可使用電晶體、電容器等。

請注意，藉由減少充當電子供體（供體）之諸如濕氣或氫之雜質及減少缺氧所獲得之高度純化氧化物半導體（純化氧化物半導體）為本質（i 型）半導體或實質上本質半導體。因此，包括氧化物半導體之電晶體具有極小關閉狀態電流之特性。具體地，藉由二次離子質譜（SIMS）測量之高度純化氧化物半導體中氫之濃度為小於 $5 \times 10^{18}/\text{cm}^3$ 或更低，較佳地小於或等於 $5 \times 10^{17}/\text{cm}^3$ ，更佳地小於或等於 $1 \times 10^{16}/\text{cm}^3$ 。此外，可藉由霍爾效應測量而測量之氧化物半導體之載子密度為小於 $1 \times 10^{14}/\text{cm}^3$ ，較佳地小於 $1 \times 10^{12}/\text{cm}^3$ ，更佳地小於 $1 \times 10^{11}/\text{cm}^3$ 。此外，氧化物半導體之帶隙為大於或等於 2 eV，較佳地大於或等於 2.5 eV，更佳地大於或等於 3 eV。基於使用氧化物半導體膜，其係藉由充分減少諸如濕氣或氫之雜質濃度而高度純化，可減少電晶體之關閉狀態電流。

此處說明氧化物半導體膜中氫之濃度分析。半導體膜中氫之濃度係藉由 SIMS 測量。原則上已知藉由 SIMS 而獲得樣本之表面附近或使用不同材料形成之堆疊膜之間之介面附近的精確資料是困難的。因而，若藉由 SIMS 分析沿厚度方向之膜的氫濃度分佈，可獲得膜之區域中之平均值，其中值未大幅改變並幾乎為相同值，並採用作為氫濃度。此外，若膜之厚度小，因彼此鄰近之膜的氫濃度影響，無法發現可獲得幾乎相同值之區域。在此狀況下，膜之區域中氫濃度之最大值或最小值被採用作為膜之氫濃度。

此外，若膜之區域中不存在具有最大值之山形峰值或具有最小值之谷形峰值，則轉折點之值被採用作為氫濃度。

各種實驗可實際上證實包括高度純化氧化物半導體膜作為作用層之電晶體的關閉狀態電流為低。例如，甚至基於具 $1 \times 10^6 \mu\text{m}$ 之通道寬度及 $10 \mu\text{m}$ 之通道長度的元件，在源極端子與汲極端子之間 1 V 至 10 V 之電壓（汲極電壓）範圍內，關閉狀態電流可小於或等於半導體參數分析儀之測量限制，即小於或等於 $1 \times 10^{-13} \text{ A}$ 。在此狀況下，可發現相應於藉由關閉電流除以電晶體之通道寬度所獲得值之關閉電流密度小於或等於 $100 \text{ zA}/\mu\text{m}$ 。

請注意，氧化物半導體較佳地包含至少銦（In）或鋅（Zn）。尤其，較佳地包含 In 及 Zn。有關用於減少包括氧化物之電晶體之電特性變化的穩定劑，較佳地額外包括鎵（Ga）。較佳地包含錫（Sn）作為穩定劑。較佳地包含鈦（Hf）作為穩定劑。較佳地包含鋁（Al）作為穩定劑。

有關另一穩定劑，可包含一或複數種鐳系元素，諸如鐳（La）、鈾（Ce）、鐳（Pr）、釷（Nd）、釷（Sm）、鈾（Eu）、釷（Gd）、釷（Tb）、鐳（Dy）、釷（Ho）、鈾（Er）、釷（Tm）、鐳（Yb）、或鐳（Lu）。

有關氧化物半導體，可使用例如氧化銦、氧化錫、氧化鋅；二成分金屬氧化物，諸如 In-Zn 基氧化物、Sn-Zn 基氧化物、Al-Zn 基氧化物、Zn-Mg 基氧化物、Sn-Mg 基氧化物、In-Mg 基氧化物、或 In-Ga 基氧化物；三成分金

屬氧化物，諸如 In-Ga-Zn 基氧化物（亦稱為 IGZO）、In-Al-Zn 基氧化物、In-Sn-Zn 基氧化物、Sn-Ga-Zn 基氧化物、Al-Ga-Zn 基氧化物、Sn-Al-Zn 基氧化物、In-Hf-Zn 基氧化物、In-La-Zn 基氧化物、In-Ce-Zn 基氧化物、In-Pr-Zn 基氧化物、In-Nd-Zn 基氧化物、In-Sm-Zn 基氧化物、In-Eu-Zn 基氧化物、In-Gd-Zn 基氧化物、In-Tb-Zn 基氧化物、In-Dy-Zn 基氧化物、In-Ho-Zn 基氧化物、In-Er-Zn 基氧化物、In-Tm-Zn 基氧化物、In-Yb-Zn 基氧化物、或 In-Lu-Zn 基氧化物；四成分金屬氧化物，諸如 In-Sn-Ga-Zn 基氧化物、In-Hf-Ga-Zn 基氧化物、In-Al-Ga-Zn 基氧化物、In-Sn-Al-Zn 基氧化物、In-Sn-Hf-Zn 基氧化物、或 In-Hf-Al-Zn 基氧化物。以上氧化物半導體可包含矽。

請注意，例如 In-Ga-Zn 基氧化物表示包含 In、Ga、及 Zn 之氧化物，且對於 In、Ga、及 Zn 之比例並無限制。此外，In-Ga-Zn 基氧化物可包含 In、Ga、及 Zn 以外之金屬元素。請注意，當無電場時，In-Ga-Zn 基氧化物具有充分高電阻，因而可充分減少關閉狀態電流。此外，亦具有高場效移動性，In-Ga-Zn 基氧化物適用於訊號處理電路中之半導體材料。

將具有以上結構之記憶體元件應用至諸如訊號處理電路中所包括之緩衝記憶體裝置的記憶體裝置，使其可避免記憶體裝置中資料因電源停止而被抹除。因此，甚至在訊號處理電路或訊號處理電路中所包括之一或複數邏輯電路中電源可短時間停止。因此，可提供可抑制電力消耗之訊

號處理電路，及用於驅動可抑制電力消耗之訊號處理電路的方法。

【實施方式】

以下，將參照附圖詳細說明本發明之實施例及範例。然而，本發明不侷限於下列說明，且熟悉本技藝之人士易於理解可各種改變模式及細節而未偏離本發明之範圍及精神。因此，本發明不應解譯為侷限於以下實施例及範例之說明。

本發明之訊號處理電路於其分類包括積體電路，諸如包括微處理器、影像處理電路、數位訊號處理器（DSP）、或微控制器之大型積體電路（LSI）。

（實施例 1）

根據本發明之一實施例之訊號處理電路包括至少控制單元、一或複數算術單元、及一或複數緩衝記憶體裝置。圖 1A 描繪根據本發明之一實施例之訊號處理電路 100 之一範例。圖 1A 中所描繪之訊號處理電路 100 包括控制單元 101、算術單元 102、緩衝記憶體裝置 103、及主記憶體裝置 104。

控制單元 101 為一種電路，其控制訊號處理電路 100 中所包括之算術單元 102、緩衝記憶體裝置 103、及主記憶體裝置 104 之作業。算術單元 102 為一種邏輯電路，其執行諸如邏輯作業之算術作業、四算術作業等。緩衝記憶

體裝置 103 具有於算術單元 102 中算術作業時暫時儲存資料之功能，及／或暫時儲存藉由控制單元 101 實施之指令之功能。

主記憶體裝置 104 可儲存藉由控制單元 101 實施之指令，及／或可儲存從算術單元 102 輸出之資料。請注意，在圖 1A 中，描繪主記憶體裝置 104 配置於訊號處理電路 100 中作為其一部分之結構，但主記憶體裝置 104 可配置於訊號處理電路 100 外部。

緩衝記憶體裝置 103 係配置於算術單元 102 與主記憶體裝置 104 之間或控制單元 101 與主記憶體裝置 104 之間，使得可減少針對主記憶體裝置 104 之低速存取，且諸如算術處理之訊號處理的速度可更高。

複數記憶格係配置於緩衝記憶體裝置 103 中，且每一記憶格包括記憶體元件，及其關閉狀態電流或洩漏電流極低並用於控制記憶體元件中電荷保留之電晶體。

圖 1B 為電路圖，描繪緩衝記憶體裝置 103 中所包括之記憶格結構，作為範例。在圖 1B 中所示之電路圖中，記憶格 105 包括記憶體元件 106 及充當切換元件之電晶體 107。諸如電容器或電晶體之半導體元件可用於記憶體元件 106。在記憶體元件 106 中，電荷係累積於電容器中，或閘極電容係形成於電晶體之閘極電極與作用層之間，藉此儲存資料。

充當切換元件之電晶體 107 控制電荷供應至記憶體元件 106、電荷從記憶體元件 106 釋放、及電荷保留於記憶

體元件 106 中。

請注意，記憶格 105 可視需要而進一步包括另一電路元件，諸如電晶體、二極體、電阻器、或電感器。

在本發明之一實施例中，充當切換元件之電晶體 107 的通道形成區域包括半導體材料，其帶隙寬於矽半導體及其本質載子密度低於矽。當通道形成區域中包括具有該等特性之半導體材料時，可達成具極低關閉狀態電流或極低洩漏電流之電晶體 107。

資料保留時間之長度取決於經由電晶體 107 而累積於記憶體元件 106 中之電荷的洩漏量。因此，使用具有以上結構作為切換元件以保留記憶體元件 106 中所累積之電荷的電晶體 107，使其可避免電荷從記憶體元件 106 洩漏，並確保長資料保留時間。

除非另有說明，在 n 通道電晶體之狀況下，本說明書中關閉狀態電流為當汲極電極之電位高於源極電極及閘極電極之電位，同時當參考電位為源極電極之電位，閘極電極之電位小於或等於零時，於源極電極與汲極電極之間流動之電流。另一方面，在本說明書中，在 p 通道電晶體之狀況下，關閉狀態電流為當汲極電極之電位低於源極電極或閘極電極之電位，同時當參考電位為源極電極之電位，閘極電極之電位大於或等於零時，於源極電極與汲極電極之間流動之電流。此外，洩漏電流為於源極電極與閘極電極之間或於汲極電極與閘極電極之間流經絕緣膜之電流。

有關其帶隙寬於矽半導體及其本質載子密度低於矽之

半導體材料之一範例，可使用諸如碳化矽（SiC）或氮化鎵（GaN）之化合物半導體、以諸如氧化鋅（ZnO）之金屬氧化物形成之氧化物半導體等。在以上各項之中，因為氧化物半導體可藉由濺鍍法、濕法等形成，氧化物半導體具有高量產性之優點。此外，不同於碳化矽或氮化鎵，氧化物半導體可於室溫形成，因而氧化物半導體可於玻璃基板或使用半導體元件之積體電路上形成。此外，可使用更大基板。因此，在具寬帶隙之半導體之中，氧化物半導體尤其具有高量產性之優點。此外，若將獲得具高結晶性之氧化物半導體以改進電晶體之屬性（例如場效移動性），可藉由 250℃ 至 800℃ 之熱處理而輕易獲得具結晶性之氧化物半導體。

在下列說明中，提供具以上優點之氧化物半導體用作電晶體 107 之半導體膜的範例。

請注意，在圖 1B 中，電晶體 107 於作用層之一側具有閘極電極。當電晶體 107 具有其間配置作用層之閘極電極對時，用於控制切換之訊號供應至閘極電極之一，且閘極電極之另一者可處於浮動狀態（即電絕緣）或電位可供應至閘極電極之另一者。在後者之狀況下，具相同位準之電位可施加於電極對，或諸如接地電位之固定電位可僅施加於閘極電極之另一者。藉由控制施加於閘極電極之另一者的電位位準，可控制電晶體 107 之閾值電壓。

儘管圖 1B 描繪記憶格 105 包括充當切換元件之一電晶體 107 的結構之一實施例，本發明不侷限於此結構。在

本發明之一實施例中，只要充當切換元件之一電晶體配置於每一記憶格中便可接受，且該電晶體之數量可為二或更多。若記憶格 105 包括充當切換元件之複數電晶體，複數電晶體可相互並聯、串聯連接，或並聯連接及串聯連接之組合。

請注意，在本說明書中，電晶體相互串聯連接之狀態表示，例如僅第一電晶體之第一端子及第二端子之一連接至僅第二電晶體之第一端子及第二端子之一的狀態。此外，電晶體相互並聯連接之狀態表示，第一電晶體之第一端子連接至第二電晶體之第一端子，且第一電晶體之第二端子連接至第二電晶體之第二端子的狀態。

其次，圖 1C 中描繪圖 1B 中所描繪之電晶體 107 之截面圖範例。

圖 1C 中電晶體 107 於具有絕緣表面之基板 110 之上包括閘極電極 111；閘極電極 111 上之絕緣膜 112；氧化物半導體膜 113，其充當作用層並與閘極電極 111 重疊且絕緣膜 112 配置於其間；及氧化物半導體膜 113 上之源極電極 114 及汲極電極 115。在圖 1C 中，絕緣膜 116 係形成於氧化物半導體膜 113、源極電極 114、及汲極電極 115 之上。可包括絕緣膜 116 作為電晶體 107 之組件。

請注意，儘管圖 1C 描繪電晶體 107 具有單閘極結構之狀況，電晶體 107 可具有多閘極結構，其中包括複數電連接之閘極電極，使得包括複數通道形成區域。

甚至當供應至緩衝記憶體裝置 103 之電源電壓停止時

，包括上述記憶格之緩衝記憶體裝置 103 可保留資料。因此，可停止供應至整個訊號處理電路 100 之電源電壓，以抑制電力消耗。另一方面，可停止供應至緩衝記憶體裝置 103 之電源電壓，以抑制電力消耗。

此外，如同停止供應至緩衝記憶體裝置 103 之電源電壓，亦可停止供應至與緩衝記憶體裝置 103 交換資料之控制單元 101 或算術單元 102 之電源電壓。例如，當算術單元 102 及緩衝記憶體裝置 103 未操作時，可停止供應至算術單元 102 及緩衝記憶體裝置 103 之電源電壓。

圖 2A 至 2C 及圖 3A 至 3D 描繪記憶格 105 之結構的特定範例。

請注意，本說明書中「連接」用詞係指電連接，並相應於可供應或傳輸電流、電位、或電壓之狀態。因此，連接狀態不僅為直接連接之狀態，亦為經由諸如佈線、電阻器、二極體、或電晶體之電路元件而可供應或傳輸電流、電位、或電壓之間接連接之狀態。

此外，甚至當電路圖中不同組件相互連接時，實際上存在一種狀況其中一導電膜具有複數組件之功能，諸如部分佈線充當電極之狀況。「連接」用詞亦表示一導電膜具有複數組件之功能之狀況。

電晶體中所包括之「源極電極」及「汲極電極」之名稱依據電晶體之極性或施加於各電極之電位位準而相互交換。通常，在 n 通道電晶體中，被施加較低電位之電極稱為源極電極，及被施加較高電位之電極稱為汲極電極。此

外，在 p 通道電晶體中，被施加較低電位之電極稱為汲極電極，及被施加較高電位之電極稱為源極電極。以下，源極電極及汲極電極之一將稱為第一端子，及另一者稱為第二端子。

圖 2A 中所描繪之記憶格 105 包括充當切換元件之電晶體 107 及充當記憶體元件之電容器 120。電晶體 107 之閘極電極連接至字線 WL。電晶體 107 之第一端子連接至資料線 DL 及其第二端子連接至電容器 120 之一電極。電容器 120 之另一電極連接至被供應諸如接地電位之固定電位的節點。

在圖 2A 中所描繪之記憶格 105 中，電晶體 107 於資料寫入時開啓，使得包括資料之訊號的電位從資料線 DL 經由電晶體 107 而供應至電容器 120 之一電極。根據訊號之電位而控制電容器 120 中所累積之電荷量，使得資料寫入至電容器 120。

接著，電晶體 107 於資料保留時關閉，使得電荷保留於電容器 120 中。如以上說明，電晶體 107 具有極低關閉狀態電流或極低洩漏電流之特性。因此，電容器 120 中所累積之電荷難以洩漏，因而，相較於諸如矽之半導體材料用於電晶體 107 之狀況，資料可長時間保留。

在資料讀取時，電晶體 107 開啓，使得電容器 120 中所累積之電荷經由資料線 DL 而被取出。讀取電荷量差異，藉此可讀取資料。

圖 2B 中所描繪之記憶格 105 包括充當切換元件之電

晶體 107、及充當記憶體元件之電晶體 121 及電容器 122。電晶體 107 之閘極電極連接至第一字線 WLa。電晶體 107 之第一端子連接至第一資料線 DL_a 及其第二端子連接至電晶體 121 之閘極電極。電晶體 121 之第一端子連接至第二資料線 DL_b，及其第二端子連接至被施加預定電位之節點。電容器 122 包括一對電極，其一電極連接至電晶體 121 之閘極電極，及其另一者連接至第二字線 WL_b。

在圖 2B 中所描繪之記憶格 105 中，電晶體 107 於資料寫入時開啓，使得包括資料之訊號的電位從第一資料線 DL_a 經由電晶體 107 而供應至電晶體 121 之閘極電極。根據訊號之電位控制電晶體 121 之閘極電容及電容器 122 中所累積之電荷量，使得資料被寫入至電晶體 121 及電容器 122。

當資料保留時，電晶體 107 關閉，使得電晶體 121 及電容器 122 之閘極電容中所累積之電荷保留。如以上說明，電晶體 107 具有極低關閉狀態電流或極低洩漏電流之特性。因此，累積之電荷難以洩漏，因而，相較於諸如矽之半導體材料用於電晶體 107 之狀況，資料可長時間保留。

在資料讀取時，第二字線 WL_b 之電位改變。根據電荷守恆之原理，電容器 122 中所包括之電極對之間之電位差異保持，因而，第二字線 WL_b 之電位中的改變被供應於電晶體 121 之閘極電極。電晶體 121 之閾值電壓依據電晶體 121 之閘極電容中所累積之電荷量而改變。因此，從電晶體 121 之汲極電流量，其係經由改變電晶體 121 之閘

極電極之電位而予獲得，讀取累積之電荷量中差異，使得可讀取資料。

請注意，氧化物半導體膜可用於充當記憶體元件之電晶體 121 的作用層。另一方面，對電晶體 121 之作用層而言，除了半導體以外，可使用任何下列半導體：非結晶矽、微晶矽、多晶矽、單晶矽、非結晶鍺、微晶鍺、多晶鍺、單晶鍺等。將氧化物半導體膜用於記憶格 105 中所有電晶體之作用層，使其可簡化製造程序。此外，例如使用諸如多晶矽或單晶矽之半導體材料，其提供較氧化物半導體更高移動性，形成充當記憶體元件之電晶體 121 的作用層，藉此可以高速從記憶格 105 讀取資料。

圖 2C 中所描繪之記憶格 105 與圖 2B 中所描繪之記憶格 105 不同，其中一資料線 DL 具有第一資料線 DL_a 及第二資料線 DL_b 之功能。具體地，圖 2C 中所描繪之記憶格 105 包括充當切換元件之電晶體 107，及充當記憶體元件之電晶體 123 及電容器 124。電晶體 107 之閘極電極連接至第一字線 WL_a。電晶體 107 之第一端子連接至資料線 DL，及其第二端子連接至電晶體 123 之閘極電極。電晶體 123 之第一端子連接至資料線 DL，及其第二端子連接至被施加預定電位之節點。電容器 124 包括電極對，其中一電極連接至電晶體 123 之閘極電極，及其另一者連接至第二字線 WL_b。

諸如資料寫入、保留、及讀取之作業可於圖 2C 中所描繪之記憶格 105 中以類似於圖 2B 中所描繪之記憶格

105 中之方式執行。

此外，氧化物半導體膜可用於充當記憶體元件之電晶體 123 的作用層。另一方面，對於電晶體 123 之作用層而言，除了氧化物半導體以外，可使用任何下列半導體：非結晶矽、微晶矽、多晶矽、單晶矽、非結晶鍺、微晶鍺、多晶鍺、單晶鍺等。將氧化物半導體膜用於記憶格 105 中所有電晶體之作用層，使其可簡化製造程序。此外，例如使用諸如多晶矽或單晶矽之半導體材料，其提供較氧化物半導體更高移動性，形成充當記憶體元件之電晶體 123 的作用層，藉此可以高速從記憶格 105 讀取資料。

圖 3A 中所描繪之記憶格 105 包括充當切換元件之電晶體 107 及充當記憶體元件之電晶體 125。電晶體 125 包括其間配置作用層之一對閘極電極。閘極電極對之一充當第一閘極電極及其另一者充當第二閘極電極。

電晶體 107 之閘極電極連接至第一字線 WL_a。電晶體 107 之第一端子連接至第一資料線 DL_a 及其第二端子連接至電晶體 125 之第一閘極電極。電晶體 125 之第二閘極電極連接至第二字線 WL_b。電晶體 125 之第一端子連接至第二資料線 DL_b，及其第二端子連接至被施加預定電位之節點。

在圖 3A 中所描繪之記憶格 105 中，電晶體 107 於資料寫入時開啓，使得包括資料之訊號之電位從第一資料線 DL_a 經由電晶體 107 而供應於電晶體 125 之第一閘極電極。根據訊號之電位控制電晶體 125 之閘極電容中所累積之

電荷量，使得資料被寫入至電晶體 125。

當資料保留時，電晶體 107 關閉，使得電晶體 125 之閘極電容中所累積之電荷保留。如以上說明，電晶體 107 具有極低關閉狀態電流或極低洩漏電流之特性。因此，累積之電荷難以洩漏，因而，相較於諸如矽之半導體材料用於電晶體 107 之狀況，資料可長時間保留。

於資料讀取時，第二字線 WLb 之電位改變以改變電晶體 125 之第二閘極電極之電位。依據電晶體 125 之閘極電容中所累積之電荷量而改變電晶體 125 之閾值電壓。因此，從電晶體 125 之汲極電流量，其係經由改變電晶體 125 之第二閘極電極之電位而予獲得，讀取累積之電荷量中的差異，結果可讀取資料。

請注意，氧化物半導體膜可用於充當記憶體元件之電晶體 125 的作用層。另一方面，對於電晶體 125 之作用層而言，除了氧化物半導體以外，可使用任何下列半導體：非結晶矽、微晶矽、多晶矽、單晶矽、非結晶鍺、微晶鍺、多晶鍺、單晶鍺等。將氧化物半導體膜用於記憶格 105 中所有電晶體之作用層，使其可簡化製造程序。此外，例如使用諸如多晶矽或單晶矽之半導體材料，其提供較氧化物半導體更高移動性，形成充當記憶體元件之電晶體 125 的作用層，藉此可以高速從記憶格 105 讀取資料。

圖 3B 中所描繪之記憶格 105 包括充當切換元件之電晶體 107、充當記憶體元件之電晶體 126、及充當切換元件用於控制資料讀取之電晶體 127。電晶體 107 之閘極電

極連接至第一字線 WLa。電晶體 107 之第一端子連接至第一資料線 DL_a 及其第二端子連接至電晶體 126 之閘極電極。電晶體 126 之第一端子連接至電晶體 127 之第二端子，及電晶體 126 之第二端子連接至被施加預定電位之節點。電晶體 127 之第一端子連接至第二資料線 DL_b。電晶體 127 之閘極電極連接至第二字線 WL_b。

在圖 3B 中所描繪之記憶格 105 中，電晶體 107 於資料寫入時開啓，使得包括資料之訊號之電位從第一資料線 DL_a 經由電晶體 107 而供應至電晶體 126 之閘極電極。根據訊號之電位控制電晶體 126 之閘極電容中所累積之電荷量，使得資料被寫入至電晶體 126。

當資料保留時，電晶體 107 關閉，使得電晶體 126 之閘極電容中所累積之電荷保留。如以上說明，電晶體 107 具有極低關閉狀態電流或極低洩漏電流之特性。因此，累積之電荷難以洩漏，因而，相較於使用諸如矽之半導體材料之狀況，資料可長時間保留。

於資料讀取時，第二字線 WL_b 之電位改變，使得電晶體 127 開啓。當電晶體 127 開啓時，具有相應於其閘極電容中所累積之電荷量的汲極電流量流經電晶體 126。因此，從電晶體 126 之汲極電流量讀取累積之電荷量中的差異，使得可讀取資料。

請注意，氧化物半導體膜可用於電晶體 126 或電晶體 127 之作用層。另一方面，對於電晶體 126 或電晶體 127 之作用層而言，除了氧化物半導體以外，可使用任何下列

半導體：非結晶矽、微晶矽、多晶矽、單晶矽、非結晶鍺、微晶鍺、多晶鍺、單晶鍺等。將氧化物半導體膜用於記憶格 105 中所有電晶體之作用層，使其可簡化製造程序。此外，例如使用諸如多晶矽或單晶矽之半導體材料，其提供較氧化物半導體更高移動性，形成電晶體 126 或電晶體 127 之作用層，使得可以高速從記憶格 105 讀取資料。

圖 3C 中所描繪之記憶格 105 與圖 3B 中所描繪之記憶格 105 不同，其中一字線 WL 具有第一字線 WL_a 及第二字線 WL_b 之功能。具體地，圖 3C 中所描繪之記憶格 105 包括充當切換元件之電晶體 107、充當記憶體元件之電晶體 128、及充當切換元件用於控制資料讀取之電晶體 129。電晶體 129 具有與電晶體 128 不同極性。電晶體 107 之閘極電極連接至字線 WL。電晶體 107 之第一端子連接至第一資料線 DL_a，及其第二端子連接至電晶體 128 之閘極電極。電晶體 128 之第一端子連接至電晶體 129 之第二端子，及其第二端子連接至被施加預定電位之節點。電晶體 129 之第一端子連接至第二資料線 DL_b。電晶體 129 之閘極電極連接至字線 WL。

諸如資料寫入、保留、及讀取之作業可於圖 3C 中所描繪之記憶格 105 中以類似於圖 3B 中所描繪之記憶格 105 中之方式執行。

請注意，氧化物半導體膜可用於電晶體 128 之作用層。另一方面，對於電晶體 128 之作用層而言，除了氧化物半導體以外，可使用任何下列半導體：非結晶矽、微晶矽

、多晶矽、單晶矽、非結晶銻、微晶銻、多晶銻、單晶銻等。此外，例如使用諸如多晶矽或單晶矽之半導體材料，其提供較氧化物半導體更高移動性，形成電晶體 128 之作用層，使得可以高速從記憶格 105 讀取資料。

圖 3D 中所描繪之記憶格 105 包括充當切換元件之電晶體 107、充當記憶體元件之電晶體 130、及用於控制資料讀取之二極體 131。電晶體 107 之閘極電極連接至字線 WL。電晶體 107 之第一端子連接至第一資料線 DL_a 及其第二端子連接至電晶體 130 之閘極電極。電晶體 130 之第一端子連接至二極體 131 之陰極，及其第二端子連接至被施加預定電位之節點。二極體 131 之陽極連接至第二資料線 DL_b。

在圖 3D 中所描繪之記憶格 105 中，電晶體 107 於資料寫入時開啓，使得包括資料之訊號之電位從第一資料線 DL_a 經由電晶體 107 供應至電晶體 130 之閘極電極。根據訊號之電位控制電晶體 130 之閘極電容中所累積之電荷量，使得資料被寫入至電晶體 130。請注意，於資料寫入時，第二資料線 DL_b 之電位保持為等於或低於預定電位。

接著，於資料保留時，電晶體 107 關閉。第二資料線 DL_b 之電位於資料保留時亦保持為等於或低於預定電位。因而，電晶體 130 之閘極電容中所累積之電荷保留。如以上說明，電晶體 107 具有極低關閉狀態電流或極低洩漏電流之特性。因此，累積之電荷難以洩漏，因而，相較於諸如矽之半導體材料用於電晶體 107 之狀況，資料可長時間

保留。

於資料讀取時，第二資料線 DLb 之電位設定為高於預定電位。依據電晶體 130 之閘極電容中所累積之電荷量而改變電晶體 130 之閾值電壓。因此，從電晶體 130 之汲極電流量讀取累積之電荷量中的差異，其係經由改變電晶體 130 之閘極電極之電位而予獲得，使得可讀取資料。

請注意，氧化物半導體膜可用於充當記憶體元件之電晶體 130 之作用層。另一方面，對電晶體 130 之作用層而言，除了氧化物半導體以外，可使用任何下列半導體：非結晶矽、微晶矽、多晶矽、單晶矽、非結晶鍺、微晶鍺、多晶鍺、單晶鍺等。將氧化物半導體膜用於記憶格 105 中所有電晶體之作用層，使其可簡化製造程序。此外，例如使用諸如多晶矽或單晶矽之半導體材料，其提供較氧化物半導體更高移動性，形成充當記憶體元件之電晶體 130 之作用層，使得可以高速從記憶格 105 讀取資料。

接著，說明包括複數記憶格之記憶體裝置的結構及用於驅動記憶體裝置之方法範例。

圖 4 為包括圖 2C 中所描繪之複數記憶格 105 之格陣列 200 的電路圖範例。不同於圖 2C，圖 4 描繪電晶體 123 為 p 通道電晶體的電路圖範例。

在圖 4 中所描繪之格陣列 200 中，配置各種佈線，諸如複數第一字線 WL_a、複數資料線 DL、複數第二字線 WL_b、及複數源極線 SL，且來自驅動器電路之訊號或電位經由佈線而供應至每一記憶格 105。源極線 SL 連接至

電晶體 123 之第二端子。

請注意，藉由記憶格 105 之數量及記憶格 105 之配置，可決定佈線之數量。具體地，在圖 4 中所描繪之格陣列 200 的狀況下，記憶格 105 係以 y 列及 x 行矩陣配置，且第一字線 $WLa1$ 至 $WLay$ 、第二字線 $WLb1$ 至 $WLby$ 、源極線 $SL1$ 至 SLy 、及資料線 $DL1$ 至 DLx 係以格陣列 200 配置。

其次，參照圖 5 中時序圖說明圖 4 中所描繪之格陣列 200 的作業。請注意，圖 5 描繪於第一列及第一行中記憶格 105、第一列及第 x 行中記憶格 105、第 y 列及第一行中記憶格 105、及第 y 列及第 x 行中記憶格 105 上執行資料寫入、保留、及讀取。圖 5 描繪電晶體 123 為 p 通道電晶體之狀況。

請注意，圖 5 中時序圖之陰影區表示電位為高位準電位或低位準電位之期間。

首先，說明資料寫入時期 Ta 中格陣列 200 之作業。

資料係一列一列寫入。在圖 5 中，資料寫入至第一列及第一行中記憶格及第一列及第 x 行中記憶格，接著，資料寫入至第 y 列及第一行中記憶格及第 y 列及第 x 行中記憶格。

首先，選擇寫入資料之第一列中記憶格 105 中之第一字線 $WLa1$ 及第二字線 $WLb1$ 。具體地，在圖 5 中，高位準電位 VH 施加於第一字線 $WLa1$ ，及接地電位 GND 施加於第一字線 $WLa2$ 至 $WLay$ 。因而，僅閘極電極連接至第

一字線 $WLa1$ 之電晶體 107 選擇性開啓。此外，接地電位 GND 施加於第二字線 $WLb1$ ，及高位準電位 VDD 施加於另一第二字線 $WLb2$ 至 $WLby$ 。

在選擇第一字線 $WLa1$ 及第二字線 $WLb1$ 期間，包括資料之訊號的電位施加於資料線 $DL1$ 及 DLx 。不用說，供應至資料線 $DL1$ 及 DLx 之電位位準依據資料之內容而改變。圖 5 描繪高位準電位 VDD 施加於資料線 $DL1$ 及接地電位 GND 施加於資料線 DLx 之狀況。施加於資料線 $DL1$ 及 DLx 之電位經由開啓之電晶體 107 而施加於電容器 124 之一電極及電晶體 123 之閘極電極。當電容器 124 之一電極及電晶體 123 之閘極電極相互連接之節點稱為節點 FG 時，根據訊號之電位控制節點 FG 中所累積之電荷量，使得資料被寫入至第一列及第一行中記憶格 105 及第一列及第 x 行中記憶格 105。

接著，接地電位 GND 施加於第一字線 $WLa1$ ，及閘極電極連接至第一字線 $WLa1$ 之電晶體 107 關閉。

接著，選擇寫入資料之第 y 列中記憶格 105 中之第一字線 $WLay$ 及第二字線 $WLby$ 。具體地，在圖 5 中，高位準電位 VH 施加於第一字線 $WLay$ ，及接地電位 GND 施加於第一字線 $WLa1$ 至 $WLa(y-1)$ 。因而，僅閘極電極連接至第一字線 $WLay$ 之電晶體 107 選擇性開啓。接地電位 GND 施加於第二字線 $WLby$ ，及高位準電位 VDD 施加於第二字線 $WLb1$ 至 $WLb(y-1)$ 。

在選擇第一字線 $WLay$ 及第二字線 $WLby$ 期間，包括

資料之訊號的電位施加於資料線 DL1 及 DLx。圖 5 描繪接地電位 GND 施加於資料線 DL1 及高位準電位 VDD 施加於資料線 DLx 之狀況。施加於資料線 DL1 及 DLx 之電位經由開啓之電晶體 107 而施加於電容器 124 之一電極及電晶體 123 之閘極電極。根據訊號之電位控制節點 FG 中所累積之電荷量，使得資料被寫入至第 y 列及第一行中記憶格 105 及第 y 列及第 x 行中記憶格 105。

請注意，在寫入時期 Ta 中，接地電位 GND 施加於所有源極線 SL。基於以上結構，若接地電位 GND 施加於節點 FG，可抑制資料線 DL 及源極線 SL 中電流之產生。

為避免錯誤資料寫入至記憶格 105，較佳地於第一字線 WLa 及第二字線 WLb 之選擇時期終止之後，終止包括資料之訊號的電位輸入至資料線 DL 之時期。

接著，說明資料保留時期 Ts 中格陣列 200 之作業。

在保留時期 Ts 中，電晶體 107 關閉之電位，具體地接地電位 GND 施加於所有第一字線 WLa。在本發明之一實施例中，如以上說明，電晶體 107 具有極低關閉狀態電流。當電晶體 107 之關閉狀態電流低時，節點 FG 中所累積之電荷不太可能洩漏；因而，資料可長時間保留。

接著，說明資料讀取時期 Tr 中格陣列 200 之作業。

首先，選擇執行讀取之第一列中記憶格 105 中的第二字線 WLb1。具體地，在圖 5 中，接地電位 GND 施加於第二字線 WLb1，及高位準電位 VDD 施加於第二字線 WLb2 至 WLby。在讀取時期 Tr 中，藉由接地電位 GND 之應用

而未選擇所有第一字線 WL_a 。在選擇第二字線 WL_{b1} 之時期中，高位準電位 VR 施加於所有源極線 SL 。請注意，電位 VR 為等於電位 VDD ，或低於電位 VDD 及高於接地電位 GND 。

電晶體 123 之源極電極與汲極電極之間電阻取決於節點 FG 中所累積之電荷量。因而，依據節點 FG 中所累積之電荷量的電位施加於資料線 $DL1$ 及 DL_x 。接著，藉由從電位讀取電荷量中差異，可從第一列及第一行中記憶格 105 及第一列及第 x 行中記憶格 105 讀取資料。

接著，選擇讀取資料之第 y 列中記憶格 105 中的第二字線 WL_{by} 。具體地，在圖 5 中，接地電位 GND 施加於第二字線 WL_{by} ，及高位準電位 VDD 施加於第二字線 WL_{b1} 至 $WL_b(y-1)$ 。如以上說明，在讀取時期 T_r 中，藉由接地電位 GND 之應用而未選擇所有第一字線 WL_a 。在選擇第二字線 WL_{by} 期間，高位準電位 VR 施加於所有源極線 SL 。

電晶體 123 之源極電極與汲極電極之間電阻取決於節點 FG 中所累積之電荷量。因而，依據節點 FG 中所累積之電荷量的電位施加於資料線 $DL1$ 及 DL_x 。接著，藉由從電位讀取電荷量中差異，可從第 y 列及第一行中記憶格 105 及第 y 列及第 x 行中記憶格 105 讀取資料。

請注意，讀取電路連接至每一資料線 DL 之末端，及從讀取電路輸出之訊號包括實際上從格陣列 200 讀取之資料。

接著，說明包括複數記憶格之記憶體裝置之結構及用於驅動記憶體裝置之方法的不同範例。

圖 6 為包括圖 2A 中所描繪之複數記憶格 105 之格陣列 300 的電路圖範例。

在圖 6 中所描繪之格陣列 300 中，配置各種佈線，諸如複數字線 WL、複數資料線 DL、及複數源極線 SL，且來自驅動器電路之訊號或電位經由佈線而供應至每一記憶格 105。源極線 SL 連接至電容器 120 之另一電極並供應予接地電位。

請注意，藉由記憶格 105 之數量及記憶格 105 之配置，可決定佈線之數量。具體地，在圖 6 中所描繪之格陣列 300 的狀況下，記憶格係以 y 列及 x 行矩陣配置，且字線 WL1 至 WLy、資料線 DL1 至 DLx、源極線 SL1 至 SLy 係以格陣列 300 配置。

其次，說明圖 6 中所描繪之格陣列 300 的作業。

首先，說明資料寫入時期中格陣列 300 之作業。在寫入時期中，當具脈衝之訊號輸入至字線 WL1 時，脈衝之電位，具體地高位準電位，施加於連接至字線 WL1 之電晶體 107 之閘極電極。因而，閘極電極連接至字線 WL1 之所有電晶體 107 開啓。

接著，包括資料之訊號輸入至資料線 DL1 至 DLx。不用說，輸入至資料線 DL1 至 DLx 之訊號的電位位準依據資料之內容而改變。輸入至資料線 DL1 至 DLx 之電位經由開啓之電晶體 107 而各施加至電容器 120 之一電極。

根據訊號之電位控制電容器 120 中所累積之量，使得資料被寫入電容器 120。

當具脈衝之訊號輸入至寫入字線 WL1 結束時，閘極電極連接至寫入字線 WL1 之所有電晶體 107 關閉。具脈衝之訊號連續輸入至字線 WL2 至 WL_y，且在包括字線 WL2 至 WL_y 之記憶格 105 中重複以上作業。

接著，說明資料保留時期中格陣列 300 之作業。在保留時期中，具電晶體 107 關閉之位準的電位，具體地低位準電位，施加於所有字線 WL1 至 WL_y。在本發明之一實施例中，如以上說明，電晶體 107 之關閉狀態電流極低。當電晶體 107 之關閉狀態電流為低時，電容器 120 中所累積之電荷不太可能洩漏；因而，資料可長時間保留。

接著，說明資料讀取時期中格陣列 300 之作業。在資料讀取時期中，具脈衝之訊號以類似於資料寫入時期之方式相繼輸入至字線 WL1 至 WL_y。當脈衝之電位，具體地高位準電位，施加於連接至字線 WL1 之電晶體 107 之閘極電極時，連接至字線 WL1 之電晶體 107 開啓。

當電晶體 107 開啓時，電容器 120 中所累積之電荷經由資料線 DL 而被取出。藉由從資料線 DL 之電位讀取電荷量中之差異，可讀取資料。

請注意，讀取電路連接至每一資料線 DL 之末端，且從讀取電路輸出之訊號包括實際上從記憶體部讀取之資料。

儘管在本實施例中，說明於複數記憶格 105 中相繼執

行資料寫入、保留、及讀取之驅動方法，本發明不侷限於本結構。僅具指定位址之記憶格 105 可執行以上作業。

請注意，根據本發明之一實施例之訊號處理電路中所包括之記憶體裝置不侷限於圖 4 及圖 6 中所描繪之記憶格 105 之結構。

請注意，在根據本發明之一實施例之訊號處理電路中所包括之記憶體裝置中，可寫入不同資料，使得已寫入之資料被複寫。因而，不同於習知快閃記憶體，在重寫資料時不需抹除已寫入之資料，此為優點之一。

在一般快閃記憶體之狀況下，電荷累積之浮動閘極被絕緣膜覆蓋並處於絕緣狀態。因此，約 20 V 之高電壓需施加於記憶體元件以便電荷可使用隧道效應而累積於浮動閘極中。此外，花費長時間執行資料寫入。然而，在根據本發明之一實施例之訊號處理電路中所包括之記憶體裝置中，藉由包括高度純化氧化物半導體膜作為作用層之電晶體，可寫入及讀取資料。因此，記憶體裝置作業需要若干伏特電壓，使得電力消耗可顯著減少。此外，可以較快閃記憶體之狀況更高速度執行資料寫入。

此外，在包括一般快閃記憶體之訊號處理電路中，由於快閃記憶體之作業所需電壓高，通常使用步升電路等提昇施加於快閃記憶體之電壓。然而，由於在根據本發明之一實施例之訊號處理電路中記憶體裝置之作業電壓可降低，可減少電力消耗。因此，訊號處理電路中可減少用於記憶體裝置作業之外部電路的負荷，諸如步升直流-直流轉

換器，使得外部電路之功能擴展，並可體現訊號處理電路之較高性能。此外，可降低記憶體裝置之作業電壓，使得不需要掩蓋由高作業電壓造成之失敗所需之冗餘電路設計；因此，用於訊號處理電路之積體電路的整合程度可增加，並可形成更高性能訊號處理電路。

此外，在本實施例中，儘管說明當使用二進制數位資料時之驅動方法，根據本發明之一實施例之訊號處理電路中所包括之記憶體裝置亦可使用具有三或更多值之多值資料。請注意，在具有三或更多值之多值資料的狀況下，隨著值之數量增加至例如四、五、及六，電荷量之間差異變成更小。因而，若存在微量關閉狀態電流，便難以維持資料之準確度，且保留時期傾向於變短。然而，在根據本發明之一實施例之訊號處理電路中所包括之記憶體裝置中，由於關閉狀態電流顯著減少之電晶體用作切換元件，可抑制因值多工之保留時期的變短。

（實施例 2）

將說明記憶體裝置中驅動器電路之特定結構範例。

圖 7 為記憶體裝置之特定結構的方塊圖範例。請注意，在圖 7 之方塊圖中，記憶體裝置中電路係根據其功能而分類，並描繪各方塊。然而，其難以根據其功能而完全分類實際電路，且一電路可具有複數功能。

圖 7 中所描繪之記憶體裝置 800 包括格陣列 801 及驅動器電路 802。驅動器電路 802 包括：讀取電路 803，其

產生包括從格陣列 801 讀取之資料的訊號；字線驅動器電路 804，其控制第一字線或第二字線之電位；及資料線驅動器電路 805，其控制格陣列 801 中所選擇之記憶格中資料寫入。驅動器電路 802 額外包括控制讀取電路 803 之作業的控制電路 806、字線驅動器電路 804、及資料線驅動器電路 805。

在圖 7 中所描繪之記憶體裝置 800 中，字線驅動器電路 804 包括解碼器 807、位準移位器 808、及緩衝器 809。資料線驅動器電路 805 包括解碼器 810、位準移位器 811、及選擇器 812。

請注意，可使用一基板形成格陣列 801、讀取電路 803、字線驅動器電路 804、資料線驅動器電路 805、及控制電路 806；其中任何一項可使用與針對其他項之基板不同的基板形成；或所有各項均使用不同基板形成。

若使用不同基板，可使用軟性印刷電路（FPC）等確保以上電路之間之電連接。在此狀況下，部分驅動器電路 802 可藉由薄膜覆晶（COF）法而連接至 FPC。此外，藉由玻璃覆晶（COG）法可確保電連接。

當包括格陣列 801 之位址（ A_x ， A_y ）的訊號 AD 作為資料輸入至記憶體裝置 800 時，控制電路 806 分別傳輸有關位址中行方向之資料的 A_x 及有關位址中列方向之資料的 A_y 至資料線驅動器電路 805 及字線驅動器電路 804。此外，控制電路 806 將包括輸入至記憶體裝置 800 之資料的訊號資料傳輸至資料線驅動器電路 805。

根據供應至控制電路 806 之訊號 RE（讀取啓動）、訊號 WE（寫入啓動）等選擇格陣列 801 中寫入資料之作業及讀取資料之作業。此外，若配置複數格陣列 801，用於選擇格陣列 801 之訊號 CE（晶片啓動）可輸入至控制電路 806。在此狀況下，於根據訊號 CE 選擇之格陣列 801 中執行根據訊號 RE 或訊號 WE 選擇之作業。

在格陣列 801 中，當根據訊號 WE 而選擇寫入作業時，回應於來自控制電路 806 之指令，字線驅動器電路 804 中所包括之解碼器 807 中產生用於選擇相應於位址 A_y 之記憶格的訊號。藉由位準移位器 808 調整訊號之振幅，接著於緩衝器 809 中處理訊號之波形，且處理之訊號輸入至格陣列 801。在資料線驅動器電路 805 中，回應於來自控制電路 806 之指令，於解碼器 810 中所選擇之記憶格之中產生用於選擇相應於位址 A_x 之記憶格的訊號。藉由位準移位器 811 調整訊號之振幅，接著處理之訊號輸入至選擇器 812。在選擇器 812 中，根據輸入訊號取樣訊號資料，且取樣之訊號輸入至記憶格相應於位址（ A_x ， A_y ）。

在格陣列 801 中，當根據訊號 RE 而選擇讀取作業時，回應於來自控制電路 806 之指令，字線驅動器電路 804 中所包括之解碼器 807 中產生用於選擇相應於位址 A_y 之記憶格的訊號。藉由位準移位器 808 調整訊號之振幅，接著於緩衝器 809 中處理訊號之波形，且處理之訊號輸入至格陣列 801。在讀取電路 803 中，回應於來自控制電路 806 之指令，於解碼器 807 中所選擇之記憶格之中產生用

於選擇相應於位址 A_x 之記憶格的訊號。讀取儲存於相應於位址 (A_x, A_y) 之記憶格中之資料，並產生包括資料之訊號。

本實施例可藉由與任何以上實施例適當組合而予實施。

(實施例 3)

在本實施例中，將說明讀取電路之特定結構範例。

根據寫入至記憶格之資料而決定從格陣列讀取之電位位準。因此，在理想視圖中，當具相同數位值之資料儲存於複數記憶格中時，應從複數記憶格讀取具有相同位準之電位。然而，實際上，充當記憶體元件之電晶體或充當切換元件之電晶體的特性於讀取資料時可於記憶格之中改變。在此狀況下，即使所有將讀取之資料具有相同數位值，實際上讀取之電位改變，使得電位位準可廣泛地分佈。因而，較佳地於驅動器電路中提供讀取電路，其中甚至當從格陣列讀取之電位略為改變，可產生包括更準確資料及具有根據所欲規格處理之振幅及波形的訊號。

圖 8 描繪讀取電路之電路圖範例。圖 8 中所描繪之讀取電路包括充當切換元件之電晶體 260，用於控制從格陣列讀取之電位 V_{data} 輸入至讀取電路，以及充當電阻器之電晶體 261。此外，圖 8 中讀取電路包括運算放大器 262。

具體地，電晶體 261 之閘極電極連接至電晶體 261 之

各汲極電極（或汲極區域）。此外，高位準電源電位 V_{dd} 施加於閘極電極及汲極電極。此外，電晶體 261 之源極電極連接至運算放大器 262 之非反相輸入端子（+）。因此，電晶體 261 充當連接於施加電源電位 V_{dd} 之節點與運算放大器 262 之非反相輸入端子（+）之間之電阻器。請注意，儘管在圖 8 中，閘極電極連接至汲極電極之電晶體用作電阻器，本發明之實施例不侷限於此。另一方面，可使用充當電阻器之元件。

充當切換元件之電晶體 260 根據施加於電晶體 260 之閘極電極之訊號 Sig 的電位，而控制電位 V_{data} 供應至電晶體 260 之源極電極。

例如，當電晶體 260 開啓時，藉由使用電晶體 260 及電晶體 261 之電位 V_{data} 及電源電位 V_{dd} 之電阻劃分所獲得之電位，施加於運算放大器 262 之非反相輸入端子（+）。電源電位 V_{dd} 之位準固定；因而，藉由電阻器劃分所獲得之電位位準反映電位 V_{data} 之位準，即讀取資料之數位值。

相比之下，參考電位 V_{ref} 施加於運算放大器 262 之反相輸入端子（-）。輸出端子之電位 V_{out} 之位準可依據相對於參考電位 V_{ref} 而施加於非反相輸入端子（+）之電位位準而改變。因而，可獲得間接包括資料之訊號。

請注意，即使具相同值之資料儲存於記憶格中，因記憶格之特性變化而發生讀取電位 V_{data} 之位準波動，使得電位之位準有時可廣泛地分佈。考量節點之電位 V_{data} 的

波動而決定參考電位 V_{ref} 之位準，以便準確地讀取資料值。

由於圖 8 描繪使用二進制數位值之狀況下讀取電路之範例，用於讀取資料之一運算放大器用於被施加電位 V_{data} 之每一節點。然而，運算放大器之數量不侷限於此。當使用 n 值資料（ n 為 2 或更大之自然數）時，用於被施加電位 V_{data} 之每一節點的運算放大器數量為 $(n-1)$ 。

本實施例可藉由與任何以上實施例適當組合而予實施。

（實施例 4）

在本實施例中，將說明根據本發明之訊號處理電路之特定實施例。圖 9 中方塊圖描繪訊號處理電路之結構範例。

訊號處理電路 600 包括控制單元 601、相應於算術單元之算術邏輯單元（ALU）602、資料快取記憶體 603、指令快取記憶體 604、程式計數器 605、指令暫存器 606、主記憶體裝置 607、及暫存器檔案 608。

控制單元 601 具有解碼及實施輸入指令之功能。ALU 602 具有執行各種算術作業之功能，諸如四算術作業及邏輯作業。資料快取記憶體 603 為緩衝記憶體裝置，其暫時儲存頻繁使用之資料。指令快取記憶體 604 為緩衝記憶體裝置，其暫時儲存發送至控制單元 601 之指令（程式）的

頻繁使用之指令。程式計數器 605 為暫存器，其儲存接著將實施之指令的位址。指令暫存器 606 為暫存器，其儲存接著將實施之指令。ALU 602 中用於算術作業之資料及控制單元 601 中實施之指令係儲存於主記憶體裝置 607 中。暫存器檔案 608 包括通用暫存器之複數暫存器，並可儲存從主記憶體裝置 607 讀出之資料、於 ALU 602 中算術作業期間獲得之資料、ALU 602 中算術作業獲得結果之資料等。

其次，說明訊號處理電路 600 之作業。

控制單元 601 從相應於儲存於程式計數器 605 中接著將實施之指令之位址的指令快取記憶體 604 之位址讀取指令，並使指令暫存器 606 儲存指令。當指令未儲存於指令快取記憶體 604 之相應位址時，控制單元 601 存取主記憶體裝置 607 之相應位址，從主記憶體裝置 607 讀取指令，並使指令暫存器 606 儲存指令。在此狀況下，指令亦儲存於指令快取記憶體 604 中。

控制單元 601 解碼指令暫存器 606 中所儲存之指令，並實施該指令。具體地，控制單元 601 根據指令而產生各種訊號以控制 ALU 602 之作業。

當將實施之指令為算術指令時，控制單元 601 使 ALU 602 使用儲存於暫存器檔案 608 中之資料執行算術作業，並將算術作業之結果儲存於暫存器檔案 608 中。

當將實施之指令為載入指令時，控制單元 601 首先存取資料快取記憶體 603 之相應位址，並檢查相應資料是否

存在於資料快取記憶體 603 中。當資料存在於資料快取記憶體 603 中時，相應資料從資料快取記憶體 603 之相應位址複製至暫存器檔案 608。當資料不存在於資料快取記憶體 603 中時，資料從主記憶體裝置 607 之相應位址複製至資料快取記憶體 603 之相應位址，接著資料從資料快取記憶體 603 之相應位址複製至暫存器檔案 608。

當將實施之指令為儲存指令時，控制單元 601 將暫存器檔案 608 之資料儲存於資料快取記憶體 603 之相應位址中。在此狀況下，首先控制單元 601 存取資料快取記憶體 603 之相應位址，並檢查相應資料是否可儲存於資料快取記憶體 603 中。當資料可儲存於資料快取記憶體 603 中時，資料從暫存器檔案 608 複製至資料快取記憶體 603 之相應位址。當資料無法儲存時，便於部分資料快取記憶體 603 中指配新相應位址，且資料從暫存器檔案 608 複製至資料快取記憶體 603 之相應位址。請注意，於資料複製至資料快取記憶體 603 之後，可立即複製資料至主記憶體裝置 607。另一方面，若干項資料可複製至資料快取記憶體 603，接著資料項可統合複製至主記憶體裝置 607。

接著，在控制單元 601 實施指令之後，控制單元 601 再次存取程式計數器 605，並重複以上作業其中解碼及實施從指令暫存器 606 讀出之指令。

在本發明一實施例中，以上實施例中所說明之記憶體裝置施加於資料快取記憶體 603 及指令快取記憶體 604，藉此可避免甚至當電源停止時之資料抹除。因此，於整個

訊號處理電路 600 中，或於諸如控制單元 601 或訊號處理電路 600 中所包括之 ALU 602 的邏輯電路中，電源甚至可短時間停止。因此，可減少訊號處理電路 600 之電力消耗。

本實施例可藉由與任何以上實施例適當組合而予實施。

(實施例 5)

緩衝記憶體裝置包括各儲存預定資訊量之複數快取行。每一快取行包括稱為資料欄位之記憶體區域、稱為標籤之記憶體區域、及稱為有效位元之記憶體區域。

快取資料為從主記憶體裝置或算術單元發送之資料，儲存於資料欄位中。位址資料為相應於快取資料之位址的資料，儲存於標籤中。有效資料為表示資料欄位中所儲存之快取資料是否有效之資料，儲存於有效位元中。

圖 10 描繪緩衝記憶體裝置之結構範例。圖 10 中所描繪之緩衝記憶體裝置包括 n 快取行，即快取行 0 至 $n-1$ 。每一快取行包括標籤、有效位元、及資料欄位。

例如，若供應至訊號處理電路之電源電壓長時間停止，當緩衝記憶體裝置包括揮發性記憶體時，快取行中所儲存之資料具有未定義值。因此，在電源電壓開始供應至訊號處理電路之後，所有快取行之有效位元需為失效。然而，於使有效位元失效之處理期間，控制單元及算術單元需處於備用狀態。因此，在電源電壓開始供應之後，直至訊

號處理電路實際上開始處理訊號之前係耗費時間。

在根據本發明之一實施例之訊號處理電路中，可於記憶體裝置之所有記憶格中同時執行資料寫入。換言之，不需將有效位元之資料寫入每一快取行中，且所有快取行中所包括之有效位元的資料可同時寫入。具體地，基於該結構其中可同時控制記憶格之所有字線 WL 之電位或所有第一字線 WL_a 之電位，充當切換元件之電晶體開啓同時，及表示失效之數位值的資料寫入至所有記憶格。此外，當充當切換元件之電晶體包括其間配置作用層之一對閘極電極，且一閘極電極連接至字線 WL 或第一字線 WL_a 時，表示失效之數位值的資料可藉由控制另一閘極電極之電位而同時寫入所有記憶格。

因此，相較於包括資料需寫入每一快取行之記憶體裝置的一般處理電路，於根據本發明之一實施例之訊號處理電路中可縮短用於失效有效位元所需時間。因此，可縮短開始供應電源電壓之後直至訊號處理電路實際上開始處理訊號之開始時間。

尤其，當快取行之數量隨著緩衝記憶體裝置之容量增加而變大時，相較於一般訊號處理電路，根據本發明之一實施例之訊號處理電路使其可相當縮短開始時間。

例如，於訊號處理電路之指令集中準備使緩衝記憶體裝置中所有有效位元失效之指令。指令係儲存於主記憶體裝置中控制單元首先存取之位址中。此外，緩衝記憶體裝置於電源電壓開始供應之後不久置於備用狀態，並於有效

位元之失效完成之後開始其作業。具體地，準備表示緩衝記憶體裝置之狀態的暫存器，並於電源電壓開始供應至訊號處理電路之後不久，暫存器具有表示緩衝記憶體裝置之備用狀態的資料。

由於緩衝記憶體裝置於電源電壓開始供應至訊號處理電路之後處於備用狀態，控制單元存取主記憶體裝置。控制單元從主記憶體裝置讀取使所有有效位元失效之指令。控制單元解碼讀取指令並予實施。

本實施例可藉由與任何以上實施例適當組合而予實施。

（實施例 6）

在本實施例中，將藉由提供一範例其中氧化物半導體用於電晶體 107 之作用層及矽用於圖 2C 中所描繪之記憶格 105 中電晶體 123 之作用層，而說明記憶體裝置之製造方法。

在矽之外，諸如鍺、矽鍺、或單晶碳化矽之半導體材料可用於電晶體 123。例如，可使用諸如矽晶圓之單晶半導體基板、藉由 SOI 法形成之矽薄膜、藉由蒸氣沉積法形成之矽薄膜等，形成包括矽之電晶體 123。另一方面，在本發明之一實施例中，記憶格中所包括之所有電晶體可包括氧化物半導體。

在本實施例中，首先如圖 11A 中所描繪，從單晶半導體基板分離之絕緣膜 701 及半導體膜 702 係形成於基板

700 之上。

儘管對於可用作基板 700 之材料無特別限制，需要的是材料具有至少夠高耐熱性以耐受之後將執行之熱處理。例如，藉由熔化處理器浮動處理形成之玻璃基板、石英基板、半導體基板、陶瓷基板等可用作基板 700。若之後將執行之熱處理的溫度高，其應變點大於或等於 730°C 之玻璃基板較佳地用作玻璃基板。

在本實施例中，提供一範例其中使用單晶矽形成半導體膜 702，作為形成電晶體 123 之方法。請注意，簡要說明用於形成單晶半導體膜 702 之方法的特定範例。首先，包括藉由電場加速之離子的離子束進入接合基板，因為局部失序之結晶結構係形成於從接合基板之表面之某深度的區域中，其為單晶半導體基板及易碎之脆化層。藉由離子束之加速能量及離子束進入角度，可調整形成脆化層之深度。接著，接合基板及配置絕緣膜 701 之基板 700 相互連接，使得絕緣膜 701 配置於其間。在接合基板及基板 700 相互重疊之後，約 1 N/cm^2 至 500 N/cm^2 之壓力，較佳地為 11 N/cm^2 至 20 N/cm^2 ，施加於部分接合基板及部分基板 700，使得基板相互連接。當施加壓力時，接合基板與絕緣膜 701 之間接合係從導致接合基板及絕緣膜 701 相互緊密接觸之整個表面的接合之部分開始。隨後，執行熱處理，藉此存在於脆化層中之微孔擴展，且微孔相互組合，使得可獲得大體積之孔。因此，部分接合基板之單晶半導體膜沿脆化層而從接合基板分離。熱處理係以未超過基板

700 之應變點的溫度執行。接著，單結晶半導體膜藉由蝕刻等而被處理為所欲形狀，使得可形成半導體膜 702。

為控制閾值電壓，傳遞 p 型導電之雜質元素，諸如硼、鋁、或銻，或傳遞 n 型導電之雜質元素，諸如磷或砷，可添加至半導體膜 702。用於控制閾值電壓之雜質元素可添加至未定形之半導體膜，或可添加至定形之半導體膜 702。另一方面，用於控制閾值電壓之雜質元素可添加至接合基板。另一方面，雜質元素可添加至接合基板，以粗略控制閾值電壓，且雜質元素可額外添加至半導體膜，其為未定形或定形半導體膜 702，以微控閾值電壓。

請注意，儘管本實施例中說明使用單晶半導體膜之範例，本發明不侷限於此結構。例如，可使用多晶、微晶、或非結晶半導體膜，其係藉由蒸氣沉積法形成於絕緣膜 701 之上。另一方面，可藉由已知技術而結晶半導體膜。有關結晶之已知技術，提供使用雷射束之雷射結晶法及使用催化元素之結晶法。另一方面，可組合使用催化元素之結晶法及雷射結晶法。當使用諸如石英基板之耐熱基板時，可使用與使用電熱爐之熱結晶法組合之結晶法、使用紅外光之燈退火結晶法、使用催化元素之結晶法、或約 950℃ 之高溫退火法。

其次，如圖 11B 中所描繪，閘極絕緣膜 703 係形成於半導體膜 702 之上。接著，遮罩 705 係形成於閘極絕緣膜 703 之上，且傳遞導電之雜質元素添加至部分半導體膜 702，使得形成雜質區 704。

藉由高密度電漿處理、熱處理等氧化或氮化半導體膜 702 之表面可形成閘極絕緣膜 703。執行高密度電漿處理，例如藉由使用諸如 He、Ar、Kr、或 Xe 之惰性氣體及氧、氧化氮、氨、氮、氫等之混合氣體。在此狀況下，藉由導入微波而激發電漿，可產生具低電子溫度及高密度之電漿。藉由具該等高密度電漿產生之氧基（有時包括 OH 基）或氮基（有時包括 NH 基）之半導體膜表面的氧化或氮化，可形成具 1 nm 至 20 nm 厚度之絕緣膜，較佳地為 5 nm 至 10 nm，以便接觸半導體膜。例如，半導體膜 702 之表面使用藉由以 10 Pa 至 30 Pa 壓力應用 3 kW 至 5 kW 之微波（2.45 GHz）電力而以 1 倍至 3 倍（流率）之 Ar 稀釋的氧化亞氮（ N_2O ）氧化或氮化。藉由本處理，形成具有 1 nm 至 10 nm（較佳地 2 nm 至 6 nm）厚度之絕緣膜。此外，導入氧化亞氮（ N_2O ）及矽烷（ SiH_4 ）並以 10 Pa 至 30 Pa 之壓力施加 3 kW 至 5 kW 之微波（2.45 GHz）電力，使得藉由蒸氣沉積法形成氧氮化矽膜，藉此形成閘極絕緣膜。基於固相反應及藉由蒸氣沉積法之反應的組合，可形成具低介面狀態密度及卓越耐受電壓之閘極絕緣膜。

藉由固相反應而繼續藉由高密度電漿處理之半導體膜的氧化或氮化。因而，閘極絕緣膜 703 與半導體膜 702 之間之介面狀態密度可極低。此外，藉由高密度電漿處理之半導體膜 702 的直接氧化或氮化，可抑制將形成之絕緣膜的厚度變化。再者，若半導體膜具有結晶性，藉由高密度

電漿處理而以固相反應氧化半導體膜之表面，以抑制僅晶粒邊界之快速氧化；因此，可形成具均勻及低介面狀態密度之閘極絕緣膜。可抑制其閘極絕緣膜局部或完全包括藉由高密度電漿處理形成之絕緣膜的電晶體之特性變化。

可藉由電漿 CVD 法、濺鍍法等使用單層或使用包括氧化矽、氮氧化矽、氧氮化矽、氮化矽、氧化鈺、氧化鋁、氧化鉬、氧化釷、矽酸鈺 (HfSi_xO_y , ($x>0$, $y>0$))、添加氮之矽酸鈺 (HfSi_xO_y , ($x>0$, $y>0$))、添加氮之鋁酸鈺 (HfAl_xO_y , ($x>0$, $y>0$)) 等之膜的堆疊層，形成閘極絕緣膜 703。

請注意，在本說明書中，氧氮化物係指包含較氮更大量之氧的材料，及氮氧化物係指包含較氧更大量之氮的材料。

閘極絕緣膜 703 之厚度可為例如下大於或等於 1 nm 及小於或等於 100 nm，較佳地為大於或等於 10 nm 及小於或等於 50 nm。在本實施例中，藉由電漿 CVD 法之包含氧化矽之單層絕緣膜用作閘極絕緣膜 703。

接著，在藉由蝕刻等移除遮罩 705 之後，如圖 11C 中所描繪，部分閘極絕緣膜 703 被移除，並於與雜質區 704 重疊之區域中形成開口 706。之後，形成閘極電極 707 及導電膜 708。

形成導電膜以便覆蓋開口 706，接著被處理（定形）為預定形狀，使得可形成閘極電極 707 及導電膜 708。導電膜 708 於開口 706 中接觸雜質區 704。可藉由 CVD 法

、濺鍍法、蒸氣沉積法、旋塗法等形成導電膜。對於導電膜而言，可使用鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、鈮（Nb）等。可使用包含上述金屬作為主成分之合金或包含上述金屬之化合物。另一方面，可使用諸如摻雜磷之雜質元素的多晶矽的半導體形成導電膜，該雜質元素傳遞導電至半導體膜。

請注意，儘管本實施例中使用單層導電膜形成閘極電極 707 及導電膜 708，本實施例不侷限於此結構。閘極電極 707 及導電膜 708 可以複數堆疊導電膜形成。

有關二導電膜之組合，氮化鉭或鉭可用於第一導電膜及鎢可用於第二導電膜。此外，提供下列組合：氮化鎢及鎢、氮化鉬及鉬、鋁及鉭、鋁及鈦等。由於鎢及氮化鉭具有高耐熱性，在形成二導電膜之後的後續步驟中可執行旨在熱激活之熱處理。另一方面，有關二導電膜之組合，例如可使用矽化鎳及摻雜傳遞 n 型導電之雜質元素的矽、矽化鎢及摻雜傳遞 n 型導電之雜質元素的矽等。

若使用具三以上導電膜之堆疊的三層結構，鉬膜、鋁膜、及鉬膜之堆疊結構較佳。

可使用氧化銦之透光氧化物導電膜、氧化銦及氧化錫之混合物、氧化銦及氧化鋅之混合物、氧化鋅氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎳等，作為閘極電極 707 及導電膜 708。

另一方面，可藉由液滴釋放法選擇性形成閘極電極 707 及導電膜 708 而未使用遮罩。液滴釋放法係指藉由從

孔口釋放或噴射包含預定組成之液滴以形成預定圖案之方法，且於其分類包括噴墨法。

此外，藉由形成導電膜可形成閘極電極 707 及導電膜 708，且在適當控制狀況（例如，施加於盤繞電極層之電量、施加於基板側電極層之電量、及基板側之電極溫度）藉由電感耦合電漿（ICP）蝕刻，導電膜經蝕刻而具有所欲錐形。此外，亦可藉由遮罩形狀而控制錐形之角度等。請注意，有關蝕刻氣體，可適當使用氯基氣體，諸如氯、氯化硼、氯化矽、或四氯化碳；氟基氣體，諸如四氟化碳、氟化硫、或氟化氮；或氧。

其次，如圖 11D 中所描繪，當傳遞一導電之雜質元素添加至半導體膜 702 且閘極電極 707 及導電膜 708 用作遮罩時，半導體膜 702 中形成與閘極電極 707 重疊之通道形成區域 710、其間配置通道形成區域 710 之一對雜質區 709、及藉由額外添加雜質元素至部分雜質區 704 所獲得之雜質區 711。

在本實施例中，說明傳遞 p 型導電之雜質元素（例如硼）添加至半導體膜 702 之狀況。

請注意，圖 14A 為當以上步驟結束時記憶格之俯視圖。沿圖 14A 中虛線 A1-A2 之截面圖相應於圖 11D。

其次，如圖 12A 中所描繪，形成絕緣膜 712 及 713 以便覆蓋閘極絕緣膜 703、閘極電極 707、及導電膜 708。具體地，氧化矽、氮化矽、氮氧化矽、氧氮化矽、氮化鋁、氮氧化鋁等無機絕緣膜可用作絕緣膜 712 及 713。尤

其，因為可充分減少因電極或佈線重疊之電容，較佳地使用低介電常數（低 k）材料形成絕緣膜 712 及 713。請注意，可採用包括該等材料之多孔絕緣膜作為絕緣膜 712 及 713。由於多孔絕緣膜具有較密集絕緣層更低介電常數，可額外減少因電極或佈線之寄生電容。

在本實施例中，說明一範例其中氮化矽用於絕緣膜 712 及氮氧化矽用於絕緣膜 713。此外，在本實施例中，儘管一範例其中絕緣膜 712 及 713 係形成於閘極電極 707 及導電膜 708 之上，在本發明之一實施例中僅一絕緣膜可形成於閘極電極 707 及導電膜 708 之上，或可堆疊三或更多層之複數絕緣膜。

其次，如圖 12B 中所描繪，絕緣膜 712 及 713 歷經 CMP（化學機械拋光）或蝕刻，使得閘極電極 707 及導電膜 708 之表面暴露。請注意，為改進之後形成之電晶體 107 的特性，較佳地盡可能使絕緣膜 712 及 713 之表面平坦。

藉由以上處理，可形成電晶體 123。

其次，說明電晶體 107 之製造方法。首先，如圖 12C 中所描繪，氧化物半導體膜 716 係形成於絕緣膜 712 或絕緣膜 713 之上。

藉由將絕緣膜 712 及 713 上形成之氧化物半導體膜處理為所欲形狀，可形成氧化物半導體膜 716。氧化物半導體膜之厚度為大於或等於 2 nm 及小於或等於 200 nm，較佳地為大於或等於 3 nm 及小於或等於 50 nm，更佳地為

大於或等於 3 nm 及小於或等於 20 nm。藉由濺鍍法使用氧化物半導體靶材而沉積氧化物半導體膜。再者，可於稀有氣體（例如氬）、氧氣、或稀有氣體（例如氬）及氧之混合氣體中藉由濺鍍法而形成氧化物半導體膜。

請注意，在藉由濺鍍法沉積氧化物半導體膜之前，藉由其中導入氬氣並產生電漿之反向濺鍍，較佳地移除附著至絕緣膜 712 及 713 表面之灰塵。反向濺鍍係指一方法其中靶材側未施用電壓，射頻（RF）電源於氬氣中施用電壓於基板側以於基板附近產生電漿而修改表面。請注意，除了氬氣以外，可使用氮氣、氦氣等。另一方面，可使用添加氧、氧化亞氮等之氬氣。另一方面，可使用添加氯、四氟化碳等之氬氣。

有關氧化物半導體，可使用例如氧化銦、氧化錫、氧化鋅、二成分金屬氧化物諸如 In-Zn 基氧化物、Sn-Zn 基氧化物、Al-Zn 基氧化物、Zn-Mg 基氧化物、Sn-Mg 基氧化物、In-Mg 基氧化物、或 In-Ga 基氧化物、三成分金屬氧化物諸如 In-Ga-Zn 基氧化物（亦稱為 IGZO）、In-Al-Zn 基氧化物、In-Sn-Zn 基氧化物、Sn-Ga-Zn 基氧化物、Al-Ga-Zn 基氧化物、Sn-Al-Zn 基氧化物、In-Hf-Zn 基氧化物、In-La-Zn 基氧化物、In-Ce-Zn 基氧化物、In-Pr-Zn 基氧化物、In-Nd-Zn 基氧化物、In-Sm-Zn 基氧化物、In-Eu-Zn 基氧化物、In-Gd-Zn 基氧化物、In-Tb-Zn 基氧化物、In-Dy-Zn 基氧化物、In-Ho-Zn 基氧化物、In-Er-Zn 基氧化物、In-Tm-Zn 基氧化物、In-Yb-Zn 基氧化物、或 In-

Lu-Zn 基氧化物、四成分金屬氧化物諸如 In-Sn-Ga-Zn 基氧化物、In-Hf-Ga-Zn 基氧化物、In-Al-Ga-Zn 基氧化物、In-Sn-Al-Zn 基氧化物、In-Sn-Hf-Zn 基氧化物、或 In-Hf-Al-Zn 基氧化物。以上氧化物半導體可包括矽。

可使用例如具 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$) 或 $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$) 之原子比的 In-Ga-Zn 基氧化物，或具接近以上原子比之原子比的氧化物。另一方面，可使用具 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$)、或 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$) 之原子比的 In-Sn-Zn 基氧化物，或具接近以上原子比之原子比的氧化物。

然而，不侷限於以上提供之材料，依據所需半導體特性（例如，移動性、閾值電壓、及變化）可使用具適當組成之材料。為獲得所需半導體特性，較佳的是可將載子密度、雜質濃度、缺點密度、金屬元素與氧之間之原子比、原子間距離、密度等設定為適當值。

例如，若使用 In-Sn-Zn 氧化物可相當輕易地獲得高移動性。然而，亦在使用 In-Ga-Zn 基氧化物之狀況下，藉由減少若干缺點密度可增加移動性。

請注意，例如「具 $\text{In} : \text{Ga} : \text{Zn} = a : b : c$ ($a + b + c = 1$) 之原子比的氧化物組成爲接近 $\text{In} : \text{Ga} : \text{Zn} = A : B : C$ ($A + B + C = 1$) 之原子比的氧化物組成」之表達，表示 a 、 b 、及 c 滿足下列關係： $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq$

r^2 。變數 r 可為例如 0.05。相同論述可應用於其他氧化物。

在本實施例中，有關氧化物半導體膜，使用藉由濺鍍法使用包括銦（In）、鎵（Ga）、及鋅（Zn）之靶材而獲得具 30 nm 厚度之 In-Ga-Zn-O 基氧化物半導體薄膜。有關以上靶材，使用具有例如 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [莫耳比]之組成比的靶材。另一方面，可使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [莫耳比]之組成比的靶材，或具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ [莫耳比]之組成比的靶材。包括 In、Ga、及 Zn 之靶材的填充率為高於或等於 90% 及低於或等於 100%，及較佳地為高於或等於 95% 及低於 100%。基於使用具高填充率之靶材，沉積密集氧化物半導體膜。

在本實施例中，氧化物半導體膜係以下列方式沉積：基板保持於減壓狀態之處理室中，移除處理室中留下之濕氣，導入氬及濕氣移除之濺鍍氣體，並使用靶材。沉積時基板溫度可為高於或等於 100℃ 及低於或等於 600℃，較佳地為高於或等於 200℃ 及低於或等於 400℃。藉由於基板加熱之狀態下沉積氧化物半導體膜，可減少沉積之氧化物半導體膜中所包括之雜質濃度。此外，藉由濺鍍之損害可減少。為移除處理室中剩餘濕氣，較佳地使用截留真空泵。例如，較佳地使用低溫泵、離子泵、或鈦昇華泵。排空單元可為配置冷阱之渦輪泵。在以低溫泵排空之處理室中，移除例如氬原子、諸如水（ H_2O ）之包含氬原子之化

合物（更佳地，連同包含碳原子之化合物）等，藉此可減少沉積於處理室中氧化物半導體膜之雜質濃度。

有關沉積狀況之一範例，基板與靶材之間距離為 100 mm，壓力為 0.6 Pa，直流（DC）電源為 0.5 kW，及氣體為氧氣（氧流率之比例為 100%）。請注意，脈衝直流（DC）電源較佳，因為沉積中所產生之灰塵可減少，且膜厚度可均勻。

再者，當濺鍍設備之處理室的洩漏率設定為低於或等於 1×10^{-10} Pa • m³/秒時，可減少諸如鹼金屬或氫化物之雜質進入藉由濺鍍法形成之氧化物半導體膜。此外，基於使用截留真空泵作為排空系統，可減少諸如鹼金屬、氫原子、氫分子、水、羥基、或氫化物之雜質從排空系統逆流。

當靶材之純度設定為 99.99%或更高時，可減少混合至氧化物半導體膜之鹼金屬、氫原子、氫分子、水、羥基、氫化物等。此外，當使用靶材時，可減少氧化物半導體膜中諸如鋰、鈉、或鉀之鹼金屬的濃度。

請注意，為使氧化物半導體膜中盡可能少包含氫、羥基、及濕氣，較佳的是藉由於濺鍍設備之預熱室中預熱其上形成絕緣膜 712 及 713 之基板 700，以排除及排空吸附於基板 700 上之諸如氫或濕氣之雜質，作為沉積之預先處理。用於預熱之溫度為高於或等於 100℃ 及低於或等於 400℃，較佳地為高於或等於 150℃ 及低於或等於 300℃。有關排空裝置，預熱室中較佳地配置低溫泵。請注意，此預熱處理可省略。在閘極絕緣膜 721 沉積之前，可類似地

於其上形成導電膜 719 及 720 之基板 700 上執行此預熱。

請注意，用於形成氧化物半導體膜 716 之蝕刻可為乾式蝕刻、濕式蝕刻、或乾式蝕刻及濕式蝕刻二者。有關用於乾式蝕刻之蝕刻氣體，較佳地使用包含氯之氣體（氯基氣體，諸如氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ））。另一方面，可使用包含氟之氣體（氟基氣體，諸如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、或三氟甲烷（ CHF_3 ））、溴化氫（ HBr ）、氧（ O_2 ）、添加諸如氦（ He ）或氬（ Ar ）稀有氣體之的任何該些氣體等。

有關乾式蝕刻法，可使用平行板（反應離子蝕刻）RIE 法或電感耦合電漿（ICP）蝕刻法。為將膜蝕刻而具有所欲形狀，適當調整蝕刻狀況（例如，施加於盤繞電極之電量、施加於基板側電極之電量、及基板側之電極溫度）。

有關用於濕式蝕刻之蝕刻劑，可使用磷酸、乙酸、及硝酸之混合溶液，或諸如檸檬酸或草酸之有機酸。在本實施例中，使用 ITO-07N（藉由 KANTO CHEMICAL CO., INC. 製造）。

可藉由噴墨法形成用於形成氧化物半導體膜 716 之抗蝕罩。藉由噴墨法形成抗蝕罩不需光罩；因而，可減少製造成本。

請注意，較佳的是於後續步驟中形成導電膜之前執行反向濺鍍，使得移除吸附於氧化物半導體膜 716 及絕緣膜

712 及 713 表面之殘留抗蝕劑等。

請注意，藉由濺鍍等沉積之氧化物半導體膜有時包含大量濕氣或氫（包括羥基）作為雜質。濕氣或氫輕易形成供體位準，因而充當氧化物半導體中之雜質。在本發明之一實施例中，為減少氧化物半導體膜中諸如濕氣或氫之雜質（脫水或脫氫），氧化物半導體膜 716 較佳地於減壓力空氣、氮、稀有氣體等之惰性氣體、氧氣、或極乾燥空氣（以腔體震盪吸收光譜（CRDS）法藉由露點儀執行測量，濕氣量為 20 ppm（-55℃ 轉換為露點）或更少，較佳地為 1 ppm 或更少，更佳地為 10 ppb 或更少）中歷經熱處理。

藉由使島形氧化物半導體膜 716 歷經熱處理，可排除氧化物半導體膜 716 中濕氣或氫。具體地，可以高於或等於 250℃ 及低於或等於 750℃ 之溫度，較佳地為高於或等於 400℃ 及低於基板之應變點之溫度執行熱處理。例如，可以 500℃ 執行熱處理達約三分鐘至六分鐘。當 RTA 用於熱處理時，可以短時間執行脫水或脫氫；因而，甚至可以高於玻璃基板之應變點的溫度執行處理。

在本實施例中，使用熱處理設備之一之電熔爐。

請注意，熱處理設備不侷限於電熔爐，而是可具有一種裝置用於藉由來自諸如電阻加熱元件之加熱元件的熱傳導或熱輻射而加熱目標。例如，可使用快速熱退火（RTA）設備，諸如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備。LRTA 設備為一種設備用於藉由自諸

如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓水銀燈之燈所發射光的輻射（電磁波）而加熱將處理之目標。GRTA 設備為用於使用高溫氣體而熱處理之設備。有關該氣體，係使用未藉由熱處理而與將處理之目標反應之惰性氣體，例如氮或諸如氬之稀有氣體。

在熱處理中，較佳的是氮或諸如氮、氬或氬之稀有氣體中未包含濕氣、氫等。另一方面，被導入熱處理設備之氮或諸如氮、氬或氬之稀有氣體的純度較佳地為大於或等於 6 N (99.9999%)，更佳地為大於或等於 7 N (99.99999%)（即，雜質之濃度為小於或等於 1 ppm，較佳地為小於或等於 0.1 ppm）。

請注意，已指出氧化物半導體對於雜質不敏感，當膜中包含相當的金屬雜質量時不成問題，因此，亦可使用並不昂貴之包含大量諸如鈉之鹼金屬的鈉鈣玻璃（Kamiya、Nomura、及 Hosono「固態物理之工程應用：載子運輸屬性 & 非結晶氧化物半導體之電子結構：目前狀態」（“Engineering application of solid state physics: Carrier transport properties and electronic structures of amorphous oxide semiconductors: the present status”），KOTAI BUTSURI (SOLID STATE PHYSICS)，2009，Vol. 44，pp. 621-633）。但該等考量並不適當。鹼金屬並非氧化物半導體中所包括之元素，因此為雜質。而且，在氧化物半導體中未包括鹼土金屬之狀況下，鹼土金屬為雜質。當絕緣膜接觸氧化物半導體膜時，鹼金屬為氧化物

，尤其，Na 變成 Na^+ ，且 Na 擴散進入絕緣層。此外，在氧化物半導體膜中，Na 切斷或進入金屬與氧化物半導體中所包括之氧之間之鍵。結果，發生例如電晶體之特性惡化，諸如因閾值電壓沿負方向偏移之電晶體的正常開狀態，或移動性減少。此外，亦發生特性變化。當氧化物半導體膜中氫濃度極低時，該等電晶體特性惡化及因雜質之特性變化顯著出現。因此，當氧化物半導體膜中氫濃度為小於或等於 $1 \times 10^{18}/\text{cm}^3$ 時，較佳地為小於或等於 $1 \times 10^{17}/\text{cm}^3$ ，以上雜質之濃度較佳地減少。具體地，藉由二次離子質譜之 Na 濃度的測量值較佳地為小於或等於 $5 \times 10^{16}/\text{cm}^3$ ，更佳地為小於或等於 $1 \times 10^{16}/\text{cm}^3$ ，仍更佳地為小於或等於 $1 \times 10^{15}/\text{cm}^3$ 。以類似方式，Li 濃度之測量值較佳地為小於或等於 $5 \times 10^{15}/\text{cm}^3$ ，更佳地為小於或等於 $1 \times 10^{15}/\text{cm}^3$ 。以類似方式，K 濃度之測量值較佳地為小於或等於 $5 \times 10^{15}/\text{cm}^3$ ，更佳地為小於或等於 $1 \times 10^{15}/\text{cm}^3$ 。

經由以上步驟，可降低氧化物半導體膜 716 中氫濃度。因而，氧化物半導體膜可為穩定。此外，於低於或等於玻璃轉換溫度之溫度的熱處理使其可形成具寬帶矽之氧化物半導體膜及因氫之低載子密度。因此，可使用大型基板製造電晶體，使得產量可增加。在氧化物半導體膜形成之後，可於任何時間執行以上熱處理。

請注意，氧化物半導體膜可為非結晶或可具有結晶性。有關具有結晶性之氧化物半導體膜，因為可獲得電晶體之可靠性的改進效果，包括具 c 軸校準之結晶（亦稱為

CAAC：c 軸校準結晶）的氧化物亦較佳。

可執行濺鍍以形成包括 CAAC 之氧化物半導體膜。為藉由濺鍍法獲得 CAAC，重要的是於氧化物半導體膜之沉積的最初階段形成六角形結晶，以造成從作為核心之六角形結晶的結晶生長。為達成此目的，較佳的是將靶材與基板之間之距離做大（例如，150 mm 至 200 mm），且基板加熱溫度為 100℃ 至 500℃，更佳地為 200℃ 至 400℃，仍較佳地為 250℃ 至 300℃。此外，沉積之氧化物半導體膜歷經高於沉積中基板加熱溫度之溫度的熱處理。因此，可補償膜中微缺點及堆疊層之界面的缺點。

具體地，CAAC 為非單晶，當從垂直於 a-b 平面之方向觀看時，具有以三角形、六角形、等邊三角形、或正六角形形狀配置之原子，並具有金屬原子配置於 c 軸方向之層的相位，或金屬原子及氧原子配置於 c 軸方向之層的相位。

在 CAAC 中，相較於非結晶氧化物半導體，金屬原子及氧原子係以有秩序的方式鍵結。意即，若氧化物半導體為非結晶，各種金屬原子之間配位數量可能改變，但金屬原子之配位數量如同 CAAC 中幾乎相同。因此，可減少氧之微觀缺點，並可減少因氫原子（包括氫離子）或鹼金屬原子之附著及分離的不穩定及電荷移動。

因此，使用包括 CAAC 之氧化物半導體膜形成電晶體，藉此可減少於電晶體上執行光照及偏壓-溫度（BT）應力試驗之後發生之電晶體之閾值電壓的偏移量。因此，可

形成具有穩定電特性之電晶體。

接著，如圖 13A 中所描繪，形成接觸閘極電極 707 及氧化物半導體膜 716 之導電膜 719，及接觸導電膜 708 及氧化物半導體膜 716 之導電膜 720。導電膜 719 及 720 充當源極及汲極電極。

具體地，可以該等方式形成導電膜 719 及 720，即藉由濺鍍法或真空蒸氣沉積法形成導電膜及接著被處理（定形）為預定形狀以便覆蓋閘極電極 707 及導電膜 708。

有關充當導電膜 719 及 720 之導電膜，可使用任何下列材料：選自鋁、鉻、銅、鉭、鈦、鉬、或鎢之元素；包括任何該些元素之合金；包括以上元素組合之合金膜等。另一方面，可採用一結構其中諸如鉻、鉭、鈦、鉬、或鎢之耐火金屬膜係堆疊於鋁或銅之金屬膜之上或以下。鋁或銅較佳地與耐火金屬材料組合使用，以避免耐熱及腐蝕問題。有關耐火金屬材料，可使用鉬、鈦、鉻、鉭、鎢、鈹、釷、釷等。

此外，充當導電膜 719 及 720 之導電膜可具有單層結構或二或更多層之層級結構。例如，可提供包含矽之鋁膜的單層結構；鈦膜堆疊於鋁膜上之二層結構；鈦膜、鋁膜、及鈦膜依序堆疊之三層結構。Cu-Mg-Al 合金、Mo-Ti 合金、Ti、及 Mo 具有與氧化物膜之高黏著性。因此，對導電膜 719 及 720 而言，採用層級結構，其中包括 Cu-Mg-Al 合金、Mo-Ti 合金、Ti、或 Mo 之導電膜用於下層及包括 Cu 之導電膜用於上層；因而，氧化物膜之絕緣膜

與導電膜 719 及 720 之間之黏著性可增加。

對充當導電膜 719 及 720 之導電膜而言，可使用導電金屬氧化物。有關導電金屬氧化物，可使用氧化銦、氧化錫、氧化鋅、氧化銦及氧化錫之混合物、氧化銦及氧化鋅之混合物、或包含矽或氧化矽之導電金屬氧化物材料。

若於導電膜形成之後執行熱處理，導電膜較佳地具有足以耐受熱處理之耐熱性。

請注意，適當調整每一材料及蝕刻狀況使得在蝕刻導電膜時盡可能不移除氧化物半導體膜 716。依據蝕刻狀況，局部蝕刻氧化物半導體膜 716 之暴露部分，使得有時形成槽（凹部）。

在本實施例中，鈦膜用於導電膜。因此，可使用包含氨及過氧化氫水之溶液（過氧化氫氨混合物）於導電膜上選擇性執行濕式蝕刻。有關過氧化氫氨混合物，具體地，使用 31 重量%過氧化氫水、28 重量%氨水、及水以 5：2：2 體積比混合之溶液。另一方面，可使用包含氯（ Cl_2 ）、氯化硼（ BCl_3 ）等氣體於導電膜上執行乾式蝕刻。

為減少光刻步驟中光罩及步驟之數量，可使用多色調遮罩形成之抗蝕罩執行蝕刻，此係經此而透光之曝光遮罩，以便具有複數強度。使用多色調遮罩形成之抗蝕罩具有複數厚度，並可藉由蝕刻改變形狀；因而，抗蝕罩可用於將膜處理將為不同圖案之複數蝕刻處理中。因此，可藉由一多色調遮罩形成相應於至少二種或更多不同圖案之抗蝕罩。因而，可減少曝光遮罩之數量，亦可減少相應光刻步

驟之數量，藉此可體現處理簡化。

此外，氧化物半導體膜 716 與充當源極及汲極電極之導電膜 719 及 720 之間可配置充當源極區域及汲極區域之氧化物導電膜。氧化物導電膜之材料較佳地包含氧化鋅作為成分，及較佳地不包含氧化銦。對該等氧化物導電膜而言，可使用氧化鋅、氧化鋅鋁、氧氮化鋅鋁、氧化鎳鋅等。

例如，若形成氧化物導電膜，可同時執行用於形成氧化物導電膜之定形及用於形成導電膜 719 及 720 之定形。

基於提供充當源極區域及汲極區域之氧化物導電膜，可降低氧化物半導體膜 716 與導電膜 719 及 720 之間之電阻，使得電晶體可以高速操作。此外，基於提供充當源極區域及汲極區域之氧化物導電膜，可增加電晶體之耐受電壓。

其次，可使用諸如 N_2O 、 N_2 、或 Ar 之氣體執行電漿處理。藉由本電漿處理，移除黏附於氧化物半導體膜之暴露表面的水等。亦可使用氧及氫之混合物氣體執行電漿處理。

請注意，圖 14B 為當以上步驟結束於記憶格之俯視圖。沿圖 14B 中虛線 A1-A2 之截面圖相應於圖 13A。

如圖 13B 中所描繪，在電漿處理之後，形成閘極絕緣膜 721 以便覆蓋導電膜 719 及 720 及氧化物半導體膜 716。接著，於閘極絕緣膜 721 之上形成閘極電極 722，以便與氧化物半導體膜 716 重疊，並於導電膜 719 之上形成導

電膜 723，以便與導電膜 719 重疊。

可使用類似於閘極絕緣膜 703 之材料及層級結構形成閘極絕緣膜 721。請注意，閘極絕緣膜 721 較佳地盡可能少包括諸如濕氣或氫之雜質，並可使用單層絕緣膜或複數絕緣膜堆疊而形成閘極絕緣膜 721。當閘極絕緣膜 721 中包含氫時，氫進入氧化物半導體膜 716 或藉由氫提取氧化物半導體膜 716 中之氧，藉此氧化物半導體膜 716 具有較低電阻（n 型導電）；因而，可形成寄生通道。因而，重要的是採用未使用氫之沉積法，以便形成盡可能包含少量之氫的閘極絕緣膜 721。具有高障壁屬性之材料較佳地用於閘極絕緣膜 721。有關具有高障壁屬性之絕緣膜，可使用例如氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等。當使用複數絕緣膜堆疊時，具有低比例氮之絕緣膜，諸如氧化矽膜或氧氮化矽膜，係形成於較具有高障壁屬性之絕緣膜更接近氧化物半導體膜 716 之側。接著，形成具有高障壁屬性之絕緣膜以便與導電膜 719 及 720 及氧化物半導體膜 716 重疊，且具有低比例氮之絕緣膜夾於其間。當使用具有高障壁屬性之絕緣膜時，可避免諸如濕氣或氫之雜質進入氧化物半導體膜 716、閘極絕緣膜 721、或氧化物半導體膜 716 與另一絕緣膜之間之介面及其附近。此外，形成具有低比例氮之絕緣膜，諸如氧化矽膜或氧氮化矽膜，以便接觸氧化物半導體膜 716，使得可避免具有高障壁屬性之絕緣膜與氧化物半導體膜 716 直接接觸。

在本實施例中，形成具下列結構之閘極絕緣膜 721，

其中藉由濺鍍形成之 100 nm 厚度之氮化矽膜係堆疊於藉由濺鍍法形成之 200 nm 厚度之氧化矽膜。沉積中基板溫度可為高於或等於室溫及低於或等於 300℃，且在本實施例中為 100℃。

在閘極絕緣膜 721 形成之後，可執行熱處理。熱處理係在氮氣、極乾燥空氣、或稀有氣體（例如，氬或氦）中，較佳地以高於或等於 200℃ 及低於或等於 400℃，例如高於或等於 250℃ 及低於或等於 350℃ 之溫度執行。較佳的是氣體中之水含量為 20 ppm 或更少，較佳地為 1 ppm 或更少，進一步較佳地為 10 ppb 或更少。在本實施例中，例如，於氮氣中以 250℃ 執行熱處理達一小時。另一方面，在以類似於在氧化物半導體膜上執行熱處理的方式形成導電膜 719 及 720 之前，可以高溫度短時間執行 RTA 處理以減少濕氣或氬。甚至當藉由於氧化物半導體膜 716 上執行熱處理而於氧化物半導體膜 716 中產生氧缺陷時，藉由於提供包含氧之閘極絕緣膜 721 之後執行熱處理，氧便從閘極絕緣膜 721 供應至氧化物半導體膜 716。藉由供應氧至氧化物半導體膜 716，可減少氧化物半導體膜 716 中充當供體之氧缺陷，並可滿足化學計量組成。氧化物半導體膜 716 較佳地包含氧，其組成超過化學計量組成。結果，氧化物半導體膜 716 可為實質上本質，並可減少因氧缺陷的電晶體之電特性變化；因而，可改進電特性。此熱處理之時序並未特別限制，只要是在閘極絕緣膜 721 形成之後即可。當本熱處理充當另一步驟之熱處理（例如，形

成樹脂膜時之熱處理或用於降低透明導電膜電阻之熱處理)時，可使氧化物半導體膜 716 為實質上本質，而未增加步驟數量。

另一方面，藉由使氧化物半導體膜 716 於氧氣中歷經熱處理使得氧添加至氧化物半導體，可減少氧化物半導體膜 716 中充當供體之氧缺陷。熱處理係以例如高於或等於 100℃ 及低於 350℃，較佳地為高於或等於 150℃ 及低於 250℃ 之溫度執行。較佳的是在氧氣下用於熱處理之氧氣未包括水、氫等。另一方面，導入熱處理設備之氧氣的純度較佳地為大於或等於 6N (99.9999%) 或更多，進一步較佳地為大於或等於 7N (99.99999%) (即，氧氣中雜質濃度為小於或等於 1 ppm，較佳地為小於或等於 0.1 ppm)。

另一方面，氧可藉由離子注入法、離子摻雜法等添加至氧化物半導體膜 716，使得充當供體之氧缺陷減少。例如，以 2.45 GHz 微波製成電漿之氧可添加至氧化物半導體膜 716。

可以該等方式形成閘極電極 722 及導電膜 723，即於閘極絕緣膜 721 之上形成導電膜並接著定形。可使用類似於閘極電極 707 及導電膜 719 及 720 之材料及層級結構形成閘極電極 722 及導電膜 723。

每一閘極電極 722 及導電膜 723 之厚度為 10 nm 至 400 nm，較佳地為 100 nm 至 200 nm。在本實施例中，在藉由濺鍍法使用鎢靶材針對閘極電極形成 150 nm 厚度之

導電膜之後，導電膜藉由蝕刻而被處理（定形）為所欲形狀，藉此形成閘極電極 722 及導電膜 723。請注意，可藉由噴墨法形成抗蝕罩。藉由噴墨法形成抗蝕罩不需光罩；因而，可減少製造成本。

經由以上步驟，形成電晶體 107。

請注意，導電膜 719 及導電膜 723 相互重疊且閘極絕緣膜 721 配置於其間之部分相應於電容器 120。

請注意，圖 14C 為以上步驟結束時記憶格之俯視圖。沿圖 14C 中虛線 A1-A2 之截面圖相應於圖 13B。

儘管電晶體 107 經說明為單閘極電晶體，當需要時包括電連接之複數閘極電極可形成包括複數通道形成區域之多閘極電晶體。

請注意，可使用包含屬於 13 族之元素之絕緣材料及氧形成與氧化物半導體膜 716 接觸之絕緣膜（在本實施例中，相應於閘極絕緣膜 721）。藉由使用包含 13 族元素之該等絕緣材料用於與氧化物半導體膜接觸之絕緣膜，具氧化物半導體膜之介面可保持有利狀態。

包含 13 族元素之絕緣材料係指包含一或更多屬於 13 族之元素的絕緣材料。有關包含 13 族元素之絕緣材料，提供氧化鎵、氧化鋁、氧化鋁鎵、氧化鎵鋁等。此處，氧化鋁鎵係指原子百分比中鋁量大於鎵量之材料，及氧化鎵鋁係指原子百分比中鎵量大於鋁量之材料。

例如，若形成絕緣膜接觸包含鎵之氧化物半導體膜，可使用包括氧化鎵之材料作為絕緣膜，使得氧化物半導體

膜與絕緣膜之間之介面可保持有利特性。當氧化物半導體膜及包含氧化鎵之絕緣膜經配置而相互接觸時，例如可減少氧化物半導體膜與絕緣膜之間之介面之氫的堆積。請注意，若與氧化物半導體之組成元素相同族之元素用於絕緣膜中，可獲得類似效果。例如，使用包括氧化鋁之材料而有效地形成絕緣膜。請注意，氧化鋁具有不易傳輸水之屬性。因而，較佳地使用包括氧化鋁之材料以避免水進入氧化物半導體膜。

接觸氧化物半導體膜 716 之絕緣膜藉由於氧氣或氧摻雜中熱處理，而較佳地包含高於化學計量組成之比例的氧。「氧摻雜」係指於若干量中添加氧。請注意，使用「若干量」用詞以澄清氧不僅添加至薄膜表面亦添加至薄膜內部。此外，「氧摻雜」包括「氧電漿摻雜」其中被製成電漿之氧被添加至若干量中。氧摻雜可藉由離子注入或離子摻雜執行。

例如，若使用氧化鎵形成接觸氧化物半導體膜 716 之絕緣膜，藉由於氧氣或氧摻雜中熱處理，氧化鎵之組成可設定為 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$)。

若使用氧化鋁形成接觸氧化物半導體膜 716 之絕緣膜，藉由於氧氣或氧摻雜中熱處理，氧化鋁之組成可設定為 Al_2O_x ($X=3+\alpha$, $0<\alpha<1$)。

若使用氧化鎵鋁（氧化鋁鎵）形成接觸氧化物半導體膜 716 之絕緣膜，藉由於氧氣或氧摻雜中熱處理，氧化鎵鋁（氧化鋁鎵）之組成可設定為 $Ga_xAl_{2-x}O_{3+\alpha}$ ($0<X<2$,

$0 < \alpha < 1$) 。

藉由氧摻雜，可形成包括氧之比例高於化學計量組成之區域的絕緣膜。當包括該等區域之絕緣膜接觸氧化物半導體膜時，絕緣膜中過度存在之氧供應至氧化物半導體膜，且氧化物半導體膜中或氧化物半導體膜與絕緣膜之間之介面的缺氧減少。因而，可形成氧化物半導體膜為本質或實質上本質氧化物半導體。

包括氧之比例高於化學計量組成之區域的絕緣膜可應用於置於接觸氧化物半導體膜 716 之絕緣膜的氧化物半導體膜上側之絕緣膜或置於該氧化物半導體膜下側之絕緣膜；然而，較佳地將該等絕緣膜應用於接觸氧化物半導體膜 716 之二絕緣膜。以上效果可以氧化物半導體膜 716 配置於各包括氧之比例高於化學計量組成之區域的絕緣膜之間的結構予以增強，其係用作接觸氧化物半導體膜 716 並設於氧化物半導體膜 716 之上側及下側之絕緣膜。

氧化物半導體膜 716 之上側及下側之絕緣膜可包含相同組成元素或不同組成元素。例如，上側及下側之絕緣膜可均以 Ga_2O_x ($X=3+\alpha$, $0 < \alpha < 1$) 之組成的氧化鎵形成。另一方面，上側及下側之絕緣膜之一可以 Ga_2O_x ($X=3+\alpha$, $0 < \alpha < 1$) 之組成形成，及另一者可以 Al_2O_x ($X=3+\alpha$, $0 < \alpha < 1$) 之組成的氧化鋁形成。

接觸氧化物半導體膜 716 之絕緣膜可藉由各包括氧之比例高於化學計量組成之區域的絕緣膜之堆疊形成。例如，氧化物半導體膜 716 上側之絕緣膜可形成如下：形成

Ga_2O_x ($x=3+\alpha$, $0<\alpha<1$) 之組成的氧化鎵，並於其上形成 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0<x<2$, $0<\alpha<1$) 之組成的氧化鎵鋁（氧化鋁鎵）。請注意，氧化物半導體膜 716 下側之絕緣膜可藉由各包括氧之比例高於化學計量組成之區域的絕緣膜之堆疊形成。另一方面，氧化物半導體膜 716 上側及下側之二者絕緣膜可藉由各包括氧之比例高於化學計量組成之區域的絕緣膜之堆疊形成。

其次，如圖 13C 中所描繪，形成絕緣膜 724 以便覆蓋閘極絕緣膜 721、導電膜 723、及閘極電極 722。可藉由 PVD、CVD 等形成絕緣膜 724。可使用包括無機絕緣材料之材料形成絕緣膜 724，諸如氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鎵、或氧化鋁。請注意，對絕緣膜 724 而言，較佳地使用具低介電常數或具低介電常數之結構（例如多孔結構）的材料。當絕緣膜 724 之介電常數降低時，佈線或電極之間產生之寄生電容可減少，此導致較高速作業。請注意，儘管在本實施例中絕緣膜 724 具有單層結構，本發明之一實施例不侷限於此結構。絕緣膜 724 可具有二或更多層之層級結構。

其次，閘極絕緣膜 721 及絕緣膜 724 中形成開口 725，使得部分導電膜 720 暴露。之後，接觸導電膜 720 之佈線 726 經由開口 725 而形成於絕緣膜 724 之上。

藉由 PVD 或 CVD 形成導電膜並接著定形，使得形成佈線 726。有關導電膜之材料，可使用選自鋁、鉻、銅、鈮、鈦、鉬、或鎢之元素；包含任何該些元件作為成分之

合金等。可使用包括錳、鎂、鋅、鈹、釹、及鈦之一或任何些元素之組合的材料。

具體地，例如可採用一方法，其中藉由 PVD 法於包括絕緣膜 724 之開口之區域中形成薄鈦膜（具約 5 nm 厚度），接著形成鋁膜以便嵌入開口 725 中。此處，藉由 PVD 法形成之鈦膜具有氧化物膜（例如固有氧化物膜）減少之功能，係形成於其上形成鈦膜之表面上，以減少與低電極等（此處為導電膜 720）之接觸電阻。此外，可避免鋁膜之凸出。在鈦、氮化鈦等之障壁膜形成之後，可藉由電鍍法形成銅膜。

形成於絕緣膜 724 中之開口 725 較佳地形成於與導電膜 708 重疊之區域中。基於於該等區域中提供開口 725，可避免因接觸區域之元件面積增加。

此處，說明雜質區 704 及導電膜 720 之連接位置及導電膜 720 及佈線 726 之連接位置相互重疊而未使用導電膜 708 之狀況。在此狀況下，開口（亦稱為下部中開口）係形成於形成於雜質區 704 上之絕緣膜 712 及 713 中，並形成導電膜 720 以便覆蓋下部中開口。之後，開口（亦稱為上部中開口）係形成於與下部中開口重疊之區域中之閘極絕緣膜 721 及絕緣膜 724 中，並形成佈線 726。當於與下部中開口重疊之區域中形成上部中開口時，形成於下部之開口中之導電膜 720 可藉由蝕刻而脫離。為避免脫離，形成下部及上部中之開口以便相互不重疊，使得發生元件面積增加之問題。

如本實施例中所說明，基於使用導電膜 708，可形成上部中開口而未脫離導電膜 720。因而，可形成下部及上部中之開口以便相互重疊，使得可抑制因開口之元件面積增加。簡而言之，訊號處理電路之整合程度可增加。

其次，形成絕緣膜 727 以便覆蓋佈線 726。經由串聯步驟，可製造記憶體裝置。

請注意，在製造方法中，於氧化物半導體膜 716 形成之後形成充當源極及汲極電極之導電膜 719 及 720。因而，如圖 13B 中所描繪，在藉由製造方法獲得之電晶體 107 中，於氧化物半導體膜 716 之上形成導電膜 719 及 720。然而，在電晶體 107 中，可於氧化物半導體膜 716 以下，即氧化物半導體膜 716 與絕緣膜 712 及 713 之間，形成充當源極及汲極電極之導電膜。

圖 15 描繪當充當源極及汲極電極之導電膜 719 及 720 配置於氧化物半導體膜 716 與絕緣膜 712 及 713 之間時，記憶格之截面圖。以該等方式可獲得圖 15 中所描繪之電晶體 107，即於絕緣膜 713 形成之後形成導電膜 719 及 720，接著形成氧化物半導體膜 716。

本實施例可藉由與任何以上實施例適當組合而予實施。

（實施例 7）

在本實施例中，將說明包括具有與實施例 6 中不同結構之氧化物半導體膜之電晶體。

圖 16A 中所描繪之電晶體 901 包括：氧化物半導體膜 903，其係形成於絕緣膜 902 之上並充當作用層；源極電極 904 及汲極電極 905，其係形成於氧化物半導體膜 903 之上；氧化物半導體膜 903、源極電極 904、及汲極電極 905 上之閘極絕緣膜 906；及閘極絕緣膜 906 上之閘極電極 907，其係配置於與氧化物半導體膜 903 重疊之位置。

圖 16A 中所描繪之電晶體 901 為頂閘電晶體，其中閘極電極 907 係形成於氧化物半導體膜 903 之上，亦為頂部接觸電晶體，其中源極電極 904 及汲極電極 905 係形成於氧化物半導體膜 903 之上。源極電極 904 及汲極電極 905 於電晶體 901 中未與閘極電極 907 重疊。即，源極電極 904 與閘極電極 907 之間之距離及汲極電極 905 與閘極電極 907 之間之距離各大於閘極絕緣膜 906 之厚度。因此，源極電極 904 與閘極電極 907 之間及汲極電極 905 與閘極電極 907 之間之寄生電容可減少，因而電晶體 901 中可達成高速作業。

氧化物半導體膜 903 包括一對高濃度區域 908，其係藉由於閘極電極 907 形成之後添加傳遞 n 型導電之摻雜物至氧化物半導體膜 903 而予獲得。此外，在氧化物半導體膜 903 中，與閘極電極 907 重疊且閘極絕緣膜 906 配置於其間之區域為通道形成區域 909。在氧化物半導體膜 903 中，通道形成區域 909 係配置於該對高濃度區域 908 之間。可藉由離子注入法添加用於形成高濃度區域 908 之摻雜

物。諸如氮、氬、及氙之稀有氣體；諸如氮、磷、砷、及銻之屬於 5 族之原子等可用作摻雜物。

例如，當氮用作摻雜物時，較佳的是高濃度區域 908 具有高於或等於 $5 \times 10^{19}/\text{cm}^3$ 及低於或等於 $1 \times 10^{22}/\text{cm}^3$ 之氮原子濃度。

添加傳遞 n 型導電之摻雜物的高濃度區域 908 具有較氧化物半導體膜 903 中其他區域更高導電。因而，高濃度區域 908 係配置於氧化物半導體膜 903 中，藉此源極電極 904 與汲極電極 905 之間之電阻可減少。

當 In-Ga-Zn 基氧化物半導體用於氧化物半導體膜 903 時，在添加氮之後以高於或等於 300°C 及低於或等於 600°C 之溫度執行熱處理達約一小時，使得高濃度區域 908 中氧化物半導體具有纖維鋅礦結晶結構。當高濃度區域 908 中氧化物半導體具有纖維鋅礦結晶結構時，可額外增加高濃度區域 908 之導電，及可額外減少源極電極 904 與汲極電極 905 之間之電阻。請注意，為有效減少藉由形成具有纖維鋅礦結晶結構之氧化物半導體之源極電極 904 與汲極電極 905 之間之電阻，當氮用作摻雜物時，高濃度區域 908 中氮原子濃度較佳地為高於或等於 $1 \times 10^{20}/\text{cm}^3$ 及低於或等於 7 原子%。然而，甚至當氮原子濃度低於以上範圍時，有時可獲得具有纖維鋅礦結晶結構之氧化物半導體。

此外，氧化物半導體膜 903 可包括 CAAC。當氧化物半導體膜 903 包括 CAAC 時，相較於非結晶半導體之狀況，氧化物半導體膜 903 之導電可為高；因此，源極電極

904 與汲極電極 905 之間之電阻可減少。

源極電極 904 與汲極電極 905 之間電阻減少確保甚至當電晶體 901 小型化時之高開啓狀態電流及高速作業。此外，電晶體 901 之小型化使其可減少藉由記憶格佔據之面積，及增加格陣列之每單位面積記憶體容量。

圖 16B 中所描繪之電晶體 911 包括：形成於絕緣膜 912 上之源極電極 914 及汲極電極 915；形成於源極電極 914 及汲極電極 915 上並充當作用層之氧化物半導體膜 913；氧化物半導體膜 913、源極電極 914、及汲極電極 915 上之閘極絕緣膜 916；及閘極絕緣膜 916 上之閘極電極 917，其配置於與氧化物半導體膜 913 重疊之位置。

圖 16B 中所描繪之電晶體 911 為頂開電晶體，其中閘極電極 917 係形成於氧化物半導體膜 913 之上，為底部接觸電晶體，其中源極電極 914 及汲極電極 915 係形成於氧化物半導體膜 913 以下。以類似於電晶體 901 之方式，源極電極 914 及汲極電極 915 於電晶體 911 中未與閘極電極 917 重疊。因而，源極電極 914 與閘極電極 917 之間及汲極電極 915 與閘極電極 917 之間形成之寄生電容可減少，並可達成高速作業。

此外，氧化物半導體膜 913 包括一對高濃度區域 918，其係藉由於閘極電極 917 形成之後添加傳遞 n 型導電之摻雜物至氧化物半導體膜 913 而予獲得。此外，在氧化物半導體膜 913 中，與閘極電極 917 重疊且閘極絕緣膜 916 配置於其間之區域為通道形成區域 919。在氧化物半導體

膜 913 中，通道形成區域 919 係配置於該對高濃度區域 918 之間。

以類似於電晶體 901 中所包括之高濃度區域 908 的狀況之方式，可藉由離子注入法形成高濃度區域 918。用於形成高濃度區域 918 之摻雜物種類可參照高濃度區域 908 之狀況。

例如，當氮用作摻雜物時，較佳的是高濃度區域 918 具有高於或等於 $5 \times 10^{19}/\text{cm}^3$ 及低於或等於 $1 \times 10^{22}/\text{cm}^3$ 之氮原子濃度。

添加傳遞 n 型導電之摻雜物的高濃度區域 918 具有較氧化物半導體膜 913 中其他區域更高導電。因而，高濃度區域 918 係包括於氧化物半導體膜 913 中，此導致源極電極 914 與汲極電極 915 之間之電阻減少。

當 In-Ga-Zn 基氧化物半導體用於氧化物半導體膜 913 時，在添加氮之後以高於或等於 300°C 及低於或等於 600°C 之溫度執行熱處理達約一小時，使得高濃度區域 918 中氧化物半導體具有纖維鋅礦結晶結構。當高濃度區域 918 中氧化物半導體具有纖維鋅礦結晶結構時，可額外增加高濃度區域 918 之導電，及可額外減少源極電極 914 與汲極電極 915 之間之電阻。請注意，為有效減少藉由形成具有纖維鋅礦結晶結構之氧化物半導體之源極電極 914 與汲極電極 915 之間之電阻，當氮用作摻雜物時，高濃度區域 918 中氮原子濃度較佳地為高於或等於 $1 \times 10^{20}/\text{cm}^3$ 及低於或等於 7 原子%。然而，甚至當氮原子濃度低於以上範圍

時，有時可獲得具有纖維鋅礦結晶結構之氧化物半導體。

此外，氧化物半導體膜 913 可包括 CAAC。當氧化物半導體膜 913 包括 CAAC 時，相較於非結晶半導體之狀況，氧化物半導體膜 913 之導電可為高，因而，源極電極 914 與汲極電極 915 之間之電阻可減少。

源極電極 914 與汲極電極 915 之間電阻減少確保甚至當電晶體 911 小型化時之高開啓狀態電流及高速作業。此外，電晶體 911 之小型化使其可減少藉由記憶格佔據之面積，及增加格陣列之每單位面積記憶體容量。

圖 16C 中所描繪之電晶體 921 包括：形成於絕緣膜 922 上並充當作用層之氧化物半導體膜 923；形成於氧化物半導體膜 923 上之源極電極 924 及汲極電極 925；氧化物半導體膜 923、源極電極 924、及汲極電極 925 上之閘極絕緣膜 926；及閘極絕緣膜 926 上之閘極電極 927，其配置於與氧化物半導體膜 923 重疊之位置。電晶體 921 額外包括配置於閘極電極 927 側並使用絕緣膜形成之側壁 930。

圖 16C 中所描繪之電晶體 921 為頂閘電晶體，其中閘極電極 927 係形成於氧化物半導體膜 923 之上，亦為頂部接觸電晶體，其中源極電極 924 及汲極電極 925 係形成於氧化物半導體膜 923 之上。由於源極電極 924 及汲極電極 925 於電晶體 921 中未與閘極電極 927 重疊，以類似於電晶體 901 之方式，源極電極 924 與閘極電極 927 之間及汲極電極 925 與閘極電極 927 之間之寄生電容可減少，並可

達成高速作業。

此外，氧化物半導體膜 923 包括一對高濃度區域 928 及一對低濃度區域 929，其可藉由於閘極電極 927 形成之後添加傳遞 n 型導電之摻雜物至氧化物半導體膜 923 而予獲得。此外，在氧化物半導體膜 923 中，與閘極電極 927 重疊且閘極絕緣膜 926 配置於其間之區域為通道形成區域 931。在氧化物半導體膜 923 中，該對低濃度區域 929 係配置於該對高濃度區域 928 之間，且通道形成區域 931 係配置於該對低濃度區域 929 之間。該對低濃度區域 929 係配置於氧化物半導體膜 923 中所包括之區域中，並與側壁 930 重疊，且閘極絕緣膜 926 配置於其間。

以類似於電晶體 901 中所包括之高濃度區域 908 的狀況之方式，可藉由離子注入法形成高濃度區域 928 及低濃度區域 929。用於形成高濃度區域 928 之摻雜物種類可參照高濃度區域 908 之狀況。

例如，當氮用作摻雜物時，較佳的是高濃度區域 928 具有高於或等於 $5 \times 10^{19}/\text{cm}^3$ 及低於或等於 $1 \times 10^{22}/\text{cm}^3$ 之氮原子濃度。此外，當氮用作摻雜物時，例如較佳的是低濃度區域 929 具有高於或等於 $5 \times 10^{18}/\text{cm}^3$ 及低於 $5 \times 10^{19}/\text{cm}^3$ 之氮原子濃度。

添加傳遞 n 型導電之摻雜物的高濃度區域 928 具有較氧化物半導體膜 923 中其他區域更高導電。因而，高濃度區域 928 係配置於氧化物半導體膜 923 中，此導致源極電極 924 與汲極電極 925 之間之電阻減少。此外，低濃度區

域 929 係配置於通道形成區域 931 與高濃度區域 928 之間，此導致因短通道效應之閾值電壓的負偏移減少。

當 In-Ga-Zn 基氧化物半導體用於氧化物半導體膜 923 時，在添加氮之後以高於或等於 300℃ 及低於或等於 600℃ 之溫度執行熱處理達約一小時，使得高濃度區域 928 中氧化物半導體具有纖維鋅礦結晶結構。此外，低濃度區域 929 可依據氮之濃度藉由熱處理而具有纖維鋅礦結晶結構。當高濃度區域 928 中氧化物半導體具有纖維鋅礦結晶結構時，可額外增加高濃度區域 928 之導電，及可額外減少源極電極 924 與汲極電極 925 之間之電阻。請注意，為有效減少藉由形成具有纖維鋅礦結晶結構之氧化物半導體之源極電極 924 與汲極電極 925 之間之電阻，當氮用作摻雜物時，高濃度區域 928 中氮原子濃度較佳地為高於或等於 $1 \times 10^{20} / \text{cm}^3$ 及低於或等於 7 原子%。然而，甚至當氮原子濃度低於以上範圍時，有時可獲得具有纖維鋅礦結晶結構之氧化物半導體。

此外，氧化物半導體膜 923 可包括 CAAC。當氧化物半導體膜 923 包括 CAAC 時，相較於非結晶半導體之狀況，氧化物半導體膜 923 之導電可為高，因而，源極電極 924 與汲極電極 925 之間之電阻可減少。

源極電極 924 與汲極電極 925 之間電阻減少確保甚至當電晶體 921 小型化時之高開啓狀態電流及高速作業。此外，電晶體 921 之小型化使其可減少藉由記憶格佔據之面積，及增加格陣列之每單位面積記憶體容量。

圖 16D 中所描繪之電晶體 941 包括：形成於絕緣膜 942 上之源極電極 944 及汲極電極 945；形成於源極電極 944 及汲極電極 945 之上並充當作用層之氧化物半導體膜 943；氧化物半導體膜 943、源極電極 944、及汲極電極 945 上之閘極絕緣膜 946；及閘極絕緣膜 946 上之閘極電極 947，其配置於與氧化物半導體膜 943 重疊之位置。電晶體 941 額外包括配置於閘極電極 947 側並使用絕緣膜形成之側壁 950。

圖 16D 中所描繪之電晶體 941 為頂閘電晶體，其中閘極電極 947 係形成於氧化物半導體膜 943 之上，為底部接觸電晶體，其中源極電極 944 及汲極電極 945 係形成於氧化物半導體膜 943 以下。由於源極電極 944 及汲極電極 945 於電晶體 941 中未與閘極電極 947 重疊，以類似於電晶體 901 之方式，源極電極 944 與閘極電極 947 之間及汲極電極 945 與閘極電極 947 之間之寄生電容可減少，並可達成高速作業。

此外，氧化物半導體膜 943 包括一對高濃度區域 948 及一對低濃度區域 949，其可藉由於閘極電極 947 形成之後添加傳遞 n 型導電之摻雜物至氧化物半導體膜 943 而予獲得。此外，在氧化物半導體膜 943 中，與閘極電極 947 重疊且閘極絕緣膜 946 配置於其間之區域為通道形成區域 951。在氧化物半導體膜 943 中，該對低濃度區域 949 係配置於該對高濃度區域 948 之間，且通道形成區域 951 係配置於該對低濃度區域 949 之間。該對低濃度區域 949 係

配置於氧化物半導體膜 943 中所包括之區域中，並與側壁 950 重疊，且閘極絕緣膜 946 配置於其間。

以類似於電晶體 901 中所包括之高濃度區域 908 的狀況之方式，可藉由離子注入法形成高濃度區域 948 及低濃度區域 949。用於形成高濃度區域 948 之摻雜物種類可參照高濃度區域 908 之狀況。

例如，當氮用作摻雜物時，較佳的是高濃度區域 948 具有高於或等於 $5 \times 10^{19}/\text{cm}^3$ 及低於或等於 $1 \times 10^{22}/\text{cm}^3$ 之氮原子濃度。此外，當氮用作摻雜物時，例如較佳的是低濃度區域 949 具有高於或等於 $5 \times 10^{18}/\text{cm}^3$ 及低於 $5 \times 10^{19}/\text{cm}^3$ 之氮原子濃度。

添加傳遞 n 型導電之摻雜物的高濃度區域 948 具有較氧化物半導體膜 943 中其他區域更高導電。因而，高濃度區域 948 係包括於氧化物半導體膜 943 中，此導致源極電極 944 與汲極電極 945 之間之電阻減少。此外，低濃度區域 949 係配置於通道形成區域 951 與高濃度區域 948 之間，此導致因短通道效應之閾值電壓的負偏移減少。

當 In-Ga-Zn 基氧化物半導體用於氧化物半導體膜 943 時，在添加氮之後以高於或等於 300°C 及低於或等於 600°C 之溫度執行熱處理達約一小時，使得高濃度區域 948 中氧化物半導體包括纖維鋅礦結晶結構。此外，低濃度區域 949 可依據氮之濃度藉由熱處理而包括纖維鋅礦結晶結構。當高濃度區域 948 中氧化物半導體包括纖維鋅礦結晶結構時，可額外增加高濃度區域 948 之導電，及可額外減少

源極電極 944 與汲極電極 945 之間之電阻。請注意，為有效減少藉由形成具有纖維鋅礦結晶結構之氧化物半導體之源極電極 944 與汲極電極 945 之間之電阻，當氮用作摻雜物時，高濃度區域 948 中氮原子濃度較佳地為高於或等於 $1 \times 10^{20} / \text{cm}^3$ 及低於或等於 7 原子%。然而，甚至當氮原子濃度低於以上範圍時，有時可獲得具有纖維鋅礦結晶結構之氧化物半導體。

此外，氧化物半導體膜 943 可包括 CAAC。當氧化物半導體膜 943 包括 CAAC 時，相較於非結晶半導體之狀況，氧化物半導體膜 943 之導電可為高，因而，源極電極 944 與汲極電極 945 之間之電阻可減少。

源極電極 944 與汲極電極 945 之間電阻減少確保甚至當電晶體 941 小型化時之高開啓狀態電流及高速作業。此外，電晶體 941 之小型化使其可減少藉由記憶格佔據之面積，及增加格陣列之每單位面積記憶體容量。

請注意，有關藉由自我校正處理而製造包括氧化物半導體之電晶體中充當源極區域及汲極區域之高濃度區域的方法之一，揭露一種方法其中氧化物半導體膜之表面暴露，並執行氬電漿處理以減少暴露於電漿之氧化物半導體膜之區域中之電阻（S. Jeon 等人，「高密度影像感測器應用之 180nm 閘極長度非結晶 InGaZnO 薄膜電晶體」（“180nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Application”），IEDM Tech. Dig.，p.504，2010）。

然而，在該製造方法中，在閘極絕緣膜形成之後需局部移除閘極絕緣膜，使得充當源極區域及汲極區域之部分暴露。在局部移除閘極絕緣膜時，閘極絕緣膜以下之部分氧化物半導體膜將過度蝕刻，使得充當源極區域及汲極區域之部分的厚度減少。結果，源極區域及汲極區域之電阻增加，且極可能發生因過度蝕刻之特性缺陷。

為使電晶體小型化，需採用具高處理精確度之乾式蝕刻法。然而，當乾式蝕刻法未充分確保氧化物半導體膜與閘極絕緣膜之間之選擇性時，更可能發生以上過度蝕刻。

例如，當氧化物半導體膜具有充分厚度時便未造成問題，但若通道長度為 200 nm 或更少時，充當通道形成區域之部分氧化物半導體膜需為 20 nm 或更少，較佳地為 10 nm 或更少，以避免短通道效應。當使用該等薄氧化物半導體膜時，氧化物半導體膜之過度蝕刻便不好，因為如以上說明，過度蝕刻造成源極區域及汲極區域之電阻及電晶體之特性缺陷增加。

然而，如本發明之一實施例中所說明，當在氧化物半導體膜未暴露且閘極絕緣膜保留之狀況下，摻雜物添加至氧化物半導體時，可避免氧化物半導體膜之過度蝕刻，並可減少氧化物半導體膜之過度損害。此外，氧化物半導體膜與閘極絕緣膜之間之介面保持清潔。結果，可改進電晶體之特性及可靠性。

本實施例可藉由與任何以上實施例適當組合而予實施。

(實施例 8)

本實施例說明根據本發明之一實施例之訊號處理電路施加於行動電子裝置的狀況，諸如行動電話、智慧型電話、及電子書閱讀器。若暫時儲存影像資料，SRAM 或 DRAM 用於例如一般行動電子裝置。使用 SRAM 或 DRAM 因為其反應速度於寫入、讀取等時高於快閃記憶體等，因而適用於影像資料之處理。

另一方面，當 SRAM 或 DRAM 用於暫時儲存影像資料時存在下列缺點。在一般 SRAM 中，如圖 18A 中所描繪，一記憶格包括六電晶體 401 至 406，並藉由 X 解碼器 407 及 Y 解碼器 408 驅動。記憶格包括包括電晶體 403 及電晶體 405 之反向器及包括電晶體 404 及電晶體 406 之反向器。儘管 SRAM 具有高反應速度之優點，一記憶格包括六電晶體，導致記憶格之面積大的缺點。假設設計規則之最小特徵尺寸為 F ，SRAM 中記憶格面積一般為 $100F^2$ 至 $150F^2$ 。因此，在半導體記憶體裝置之中，SRAM 之每位元價格是最貴的。

相比之下，如圖 18B 中所描繪，DRAM 之記憶格包括電晶體 411 及電容器 412，並藉由 X 解碼器 413 及 Y 解碼器 414 驅動。一記憶格包括一電晶體及一電容器，且記憶格之面積小。DRAM 之記憶格面積一般為 $10F^2$ 或更少。然而，在 DRAM 之狀況下，恆定地需要刷新作業，且甚至當未執行重寫作業時亦消耗電力。

在應用於根據本發明之一實施例之訊號處理電路的記憶體裝置中，記憶格之面積為約 $10F^2$ 且不需頻繁刷新作業。不同於一般 SRAM 或 DRAM，以上記憶體裝置可達成記憶格面積減少及電力消耗減少之二目標。

圖 19 為行動電話之方塊圖。圖 19 中所示之行動電話包括 RF 電路 421、類比基帶電路 422、數位基帶電路 423、電池 424、電源電路 425、應用處理器 426、快閃記憶體 430、顯示控制器 431、記憶體電路 432、顯示器 433、觸碰感測器 439、音頻電路 437、鍵盤 438 等。顯示器 433 包括顯示部 434、源極驅動器 435、及閘極驅動器 436。應用處理器 426 包括 CPU 427、DSP 428、及介面（IF）429。記憶體電路 432 一般包括 SRAM 或 DRAM，但以上實施例中所說明之記憶體裝置應用於記憶體電路 432，使其可減少每位元價格並減少電力消耗。

圖 20 為記憶體電路 432 之結構方塊圖。記憶體電路 432 包括記憶體裝置 442、記憶體裝置 443、開關 444、開關 445、及記憶體控制器 441。

首先，影像資料係於行動電話中接收或藉由應用處理器 426 形成。影像資料經由開關 444 而儲存於記憶體裝置 442 中。影像資料經由開關 444 輸出並經由顯示控制器 431 而發送至顯示器 433。顯示器 433 顯示使用影像資料之影像。

若影像未改變，如同靜止影像之狀況，從記憶體裝置 442 讀出之影像資料通常以 30 Hz 至 60 Hz 之週期，持續

經由開關 445 而發送至顯示控制器 431。當使用者執行顯示於顯示器上之影像切換時，應用處理器 426 形成新影像資料，且影像資料經由開關 444 而儲存於記憶體裝置 443 中。甚至當新影像資料儲存於記憶體裝置 443 中時，經由開關 445 而定期從記憶體裝置 442 讀出影像資料。

當記憶體裝置 443 中新影像資料之儲存完成時，經由開關 445 及顯示控制器 431 而讀出記憶體裝置 443 中所儲存之新資料並發送至顯示器 433。顯示器 433 顯示使用已發送之新影像資料的影像。影像資料之讀取係連續執行，直至下一新影像資料儲存於記憶體裝置 442 中為止。以此方式，記憶體裝置 442 及記憶體裝置 443 交替地執行影像資料之寫入及讀取，且顯示器 433 顯示影像。

記憶體裝置 442 及記憶體裝置 443 不一定為不同記憶體裝置，並可劃分使用一記憶體裝置中所包括之記憶體區域。

圖 21 為電子書閱讀器之方塊圖。圖 21 之電子書閱讀器包括電池 451、電源電路 452、微處理器 453、快閃記憶體 454、音頻電路 455、鍵盤 456、記憶體電路 457、觸控面板 458、顯示器 459、及顯示控制器 460。微處理器 453 包括 CPU 467、DSP 468、及介面（IF）469。以上實施例中所說明之記憶體裝置可用於根據本發明之一實施例之訊號處理電路中之記憶體電路 457。

例如，當使用者利用澄清書資料中預定部分及其他部分之間差異的強調功能時，例如於預定部分中藉由改變顯

示顏色、劃底線、以粗體字顯示、及改變字型，書資料中藉由使用者指定之部分的資料需予儲存。記憶體電路 457 具有暫時儲存資料之功能。請注意，當長時間保持資料時，資料可複製於快閃記憶體 454 中。

本實施例可藉由與任何以上實施例適當組合而予實施。

(實施例 9)

本實施例中將說明記憶體裝置之結構之一模式。

圖 22 及圖 23 各為記憶體裝置之截面圖。在圖 22 及圖 23 之每一記憶體裝置中，以多層形成之複數記憶格係配置於上部，且邏輯電路 3004 係包括於下部中。描繪複數記憶格中所包括之記憶格 3170a 及記憶格 3170b 作為典型範例。

請注意，描繪記憶格 3170a 中所包括之電晶體 3171a 作為典型範例。描繪記憶格 3170b 中所包括之電晶體 3171b 作為典型範例。每一電晶體 3171a 及電晶體 3171b 包括包括通道形成區域之氧化物半導體膜。通道形成區域形成於氧化物半導體膜中之電晶體結構與任何其他實施例中所說明之結構相同，因而結構之說明省略。

以與電晶體 3171a 之源極電極及汲極電極之相同層形成的電極 3501a 經由電極 3502a 而電連接至電極 3003a。以與電晶體 3171b 之源極電極及汲極電極之相同層形成的電極 3501c 經由電極 3502c 而電連接至電極 3003c。

邏輯電路 3004 包括電晶體 3001，其中氧化物半導體以外之半導體材料用作通道形成區域。電晶體 3001 可為以該等方式獲得之電晶體，即元件分離絕緣膜 3106 係配置於包括半導體材料（例如矽）之基板 3000 之上，且充當通道形成區域之區域係形成於藉由元件分離絕緣膜 3106 環繞之區域中。請注意，電晶體 3001 可為以該等方式獲得之電晶體，即通道形成區域係形成於諸如形成於絕緣表面之矽膜的半導體膜中或 SOI 基板之矽膜中。因為可使用已知結構，電晶體 3001 之說明省略。

佈線 3100a 及佈線 3100b 係配置於電晶體 3171a 與電晶體 3001 之間。絕緣膜 3140a 係配置於佈線 3100a 與包括電晶體 3001 之層之間。絕緣膜 3141a 係配置於佈線 3100a 與佈線 3100b 之間。絕緣膜 3142a 係配置於佈線 3100b 與包括電晶體 3171a 之層之間。

類似地，佈線 3100c 及佈線 3100d 係配置於電晶體 3171b 與電晶體 3171a 之間。絕緣膜 3140b 係配置於佈線 3100c 與包括電晶體 3171a 之層之間。絕緣膜 3141b 係配置於佈線 3100c 與佈線 3100d 之間。絕緣膜 3142b 係配置於佈線 3100d 與包括電晶體 3171b 之層之間。

絕緣膜 3140a、3141a、3142a、3140b、3141b、及 3142b 各充當表面可平面化之層際絕緣膜。

佈線 3100a、3100b、3100c、及 3100d 啓動記憶格之間電連接、邏輯電路 3004 與記憶格之間電連接等。

邏輯電路 3004 中所包括之電極 3303 可電連接至配置

於上部中之電路。

例如，如圖 22 中所描繪，電極 3303 可經由電極 3505 而電連接至佈線 3100a。佈線 3100a 可經由電極 3503a 而電連接至電極 3501b。以此方式，佈線 3100a 及電極 3303 可電連接至電晶體 3171a 之源極或汲極。此外，電極 3501b 可經由電極 3502b 而電連接至電極 3003b。電極 3003b 可經由電極 3503b 而電連接至佈線 3100c。

儘管圖 22 中電極 3303 經由佈線 3100a 而電連接至電晶體 3171a，一實施例不侷限於此。電極 3303 可經由佈線 3100b 或佈線 3100a 及佈線 3100b 而電連接至電晶體 3171a。此外，如圖 23 中所描繪，電極 3303 電連接至電晶體 3171a，並未經由佈線 3100a 或佈線 3100b。在圖 23 中，電極 3303 經由電極 3503 而電連接至電極 3003b。電極 3003b 電連接至電晶體 3171a 之源極或汲極。以此方式，電極 3303 可電連接至電晶體 3171a。

儘管圖 22 及圖 23 各描繪二記憶格（記憶格 3170a 及記憶格 3170b）堆疊之範例，將堆疊之記憶格數量不侷限於本結構。

此外，儘管圖 22 及圖 23 各描繪二佈線層，即包括佈線 3100a 之佈線層及包括佈線 3100b 之佈線層，配置於包括電晶體 3171a 之層及包括電晶體 3001 之層之間之結構，一實施例不侷限於此結構。一佈線層或三或更多佈線層可配置於包括電晶體 3171a 之層及包括電晶體 3001 之層之間。

此外，圖 22 及圖 23 各描繪二佈線層，即包括佈線 3100c 之佈線層及包括佈線 3100d 之佈線層，配置於包括電晶體 3171b 之層及包括電晶體 3171a 之層之間之結構，一實施例不侷限於此結構。一佈線層或三或更多佈線層可配置於包括電晶體 3171b 之層及包括電晶體 3171a 之層之間。

本實施例可藉由與任何以上實施例適當組合而予實施。

[範例 1]

使用根據本發明之一實施例之訊號處理電路，使得可提供具低電力消耗之電子裝置。尤其，在連續接收電力方面具有困難之可攜式電子裝置的狀況下，當附加根據本發明之一實施例之具低電力消耗的訊號處理電路作為裝置之組件時，可獲得增加連續作業時間之優點。此外，基於使用具小關閉狀態電流之電晶體，不需要掩飾藉由大關閉狀態電流造成之失敗所需的冗餘電路設計；因此，可增加訊號處理電路之整合程度，且訊號處理電路可具有較高功能性。

根據本發明之一實施例之訊號處理電路可用於配置記錄媒體之顯示裝置、個人電腦、或影像再生裝置（典型地，再生諸如數位影音光碟（DVD）之記錄媒體之內容的裝置，及具有顯示器以顯示再生之影像的裝置）。除了以上物件以外，有關可採用根據本發明之一實施例之訊號處理

電路的電子裝置，可提供行動電話、可攜式遊戲機、可攜式資訊終端機、電子書閱讀器、諸如攝影機及數位相機之攝像機、眼罩型顯示器（頭戴型顯示器）、導航系統、音頻再生裝置（例如，汽車音頻系統及數位音頻播放器）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）、自動販賣機等。圖 17A 至 17F 中描繪該些電子裝置之特定範例。

圖 17A 描繪電子書閱讀器，其包括外殼 7001、顯示部 7002 等。根據本發明之一實施例之訊號處理電路可用於積體電路，以控制電子書閱讀器之驅動。基於將根據本發明之一實施例之訊號處理電路用於積體電路，以控制電子書閱讀器之驅動，電子書閱讀器可減少電力消耗。當使用軟性基板時，訊號處理電路可具有彈性，藉此可提供軟性及輕量之容易使用之電子書閱讀器。

圖 17B 描繪顯示裝置，其包括外殼 7011、顯示部 7012、支撐基底 7013 等。根據本發明之一實施例之訊號處理電路可用於積體電路，以控制顯示裝置之驅動。基於將根據本發明之一實施例之訊號處理電路用於顯示裝置，以控制顯示裝置之驅動，顯示裝置可減少電力消耗。請注意，顯示裝置於其分類包括用於顯示資訊之所有顯示裝置，諸如個人電腦之顯示裝置，用於接收 TV 廣播，及用於顯示廣告。

圖 17C 描繪顯示裝置，其包括外殼 7021、顯示部 7022 等。根據本發明之一實施例之訊號處理電路可用於

積體電路，以控制顯示裝置之驅動。基於將根據本發明之一實施例之訊號處理電路用於積體電路，以控制顯示裝置之驅動，顯示裝置可減少電力消耗。再者，基於使用軟性基板，訊號處理電路可具有彈性。因而，可提供軟性及輕量之容易使用之顯示裝置。因此，如圖 17C 中所描繪，可使用顯示裝置同時固定至布料等，且顯示裝置之應用範圍顯著變寬。

圖 17D 描繪可攜式遊戲機，其包括外殼 7031、外殼 7032、顯示部 7033、顯示部 7034、麥克風 7035、揚聲器 7036、操作鍵 7037、觸控筆 7038 等。根據本發明之一實施例之訊號處理電路可用於積體電路，以控制可攜式遊戲機之驅動。基於將根據本發明之一實施例之訊號處理電路用於積體電路，以控制可攜式遊戲機之驅動，可攜式遊戲機可減少電力消耗。請注意，儘管圖 17D 中所描繪之可攜式遊戲機包括二顯示部 7033 及 7034，可攜式遊戲機中所包括之顯示部的數量不侷限於二。

圖 17E 描繪行動電話，其包括外殼 7041、顯示部 7042、音頻輸入部 7043、音頻輸出部 7044、操作鍵 7045、光接收部 7046 等。光接收部 7046 中所接收之光轉換為電訊號，藉此可載入外部影像。根據本發明之一實施例之訊號處理電路可用於積體電路，以控制行動電話之驅動。基於將根據本發明之一實施例之訊號處理電路用於積體電路，以控制行動電話之驅動，行動電話可減少電力消耗。

圖 17F 描繪可攜式資訊終端機，其包括外殼 7051、

顯示部 7052、操作鍵 7053 等。可將數據機併入圖 17F 中所描繪之可攜式資訊終端機的外殼 7051。根據本發明之一實施例之訊號處理電路可用於積體電路，以控制可攜式資訊終端機之驅動。基於將根據本發明之一實施例之訊號處理電路用於積體電路，以控制可攜式資訊終端機之驅動，可攜式資訊終端機可減少電力消耗。

本實施例可藉由與任何以上實施例適當組合而予實施。

本申請案係依據 2010 年 12 月 28 日向日本專利處提出申請之序號 2010-291835 日本專利申請案，其整個內容係以提及方式併入本文。

【圖式簡單說明】

在附圖中：

圖 1A 至 1C 分別為訊號處理電路之方塊圖、描繪記憶格之結構圖及電晶體之截面圖；

圖 2A 至 2C 為記憶格之電路圖；

圖 3A 至 3D 為記憶格之電路圖；

圖 4 為格陣列之電路圖；

圖 5 為時序圖，顯示記憶體裝置之作業；

圖 6 為格陣列之電路圖；

圖 7 為方塊圖，描繪記憶體裝置之結構；

圖 8 描繪讀取電路之結構；

圖 9 為方塊圖，描繪訊號處理電路之結構；

圖 10 描繪緩衝記憶體裝置之結構；

圖 11A 至 11D 描繪記憶體裝置之製造方法；

圖 12A 至 12C 描繪記憶體裝置之製造方法；

圖 13A 至 13C 描繪記憶體裝置之製造方法；

圖 14A 至 14C 描繪記憶體裝置之製造方法；

圖 15 為記憶體裝置之截面圖；

圖 16A 至 16D 為電晶體之截面圖；

圖 17A 至 17F 為電子裝置；

圖 18A 及 18B 分別描繪 SRAM 之結構及 DRAM 之結構；

圖 19 為行動電話之方塊圖；

圖 20 為記憶體電路之方塊圖；

圖 21 為行動電子書閱讀器之方塊圖；

圖 22 為記憶體裝置之截面圖；及

圖 23 為記憶體裝置之截面圖。

【主要元件符號說明】

100、600：訊號處理電路

101、601：控制單元

102：算術單元

103：緩衝記憶體裝置

104、607：主記憶體裝置

105、3170a、3170b：記憶格

106：記憶體元件

107、121、123、125-130、260、261、401-406、411
 、901、911、921、941、3001、3171a、3171b：電晶體

110、700、3000：基板

111、707、722、907、917、927、947：閘極電極

112、116、701、712、713、724、727、902、912、
 922、942、3140a、3140b、3141a、3141b、3142a、3142b
 ：絕緣膜

113、716、903、913、923、943：氧化物半導體膜

114、904、914、924、944：源極電極

115、905、915、925、945：汲極電極

120、122、124、412：電容器

131：二極體

200、300、801：格陣列

262：運算放大器

407、413：X解碼器

408、414：Y解碼器

421：射頻電路

422：類比基帶電路

423：數位基帶電路

424、451：電池

425、452：電源電路

426：應用處理器

427、467：中央處理單元

428、468：數位訊號處理器

429、469：介面

430、454：快閃記憶體

431、460：顯示控制器

432、457：記憶體電路

433、459：顯示器

434、7012、7022、7033、7034、7042、7052：顯示

部

435：源極驅動器

436：閘極驅動器

437、455：音頻電路

438、456：鍵盤

439：觸碰感測器

441：記憶體控制器

442、443：記憶體裝置

444、445：開關

453：微處理器

458：觸控面板

602：算術邏輯單元

603：資料快取記憶體

604：指令快取記憶體

605：程式計數器

606：指令暫存器

608：暫存器檔案

702：半導體膜

703、721、906、916、926、946：閘極絕緣膜

704、709、711：雜質區

705：遮罩

706、725：開口

708、719、720、723：導電膜

710、909、919、931、951：通道形成區域

726、3100a、3100b、3100c、3100d：佈線

800：記憶體裝置

802：驅動器電路

803：讀取電路

804：字線驅動器電路

805：資料線驅動器電路

806：控制電路

807：解碼器

808、811：位準移位器

809：緩衝器

810：解碼器

812：選擇器

908、918、928、948：高濃度區域

929、949：低濃度區域

930、950：側壁

3003a、3003b、3003c、3303、3501a、3501b、3501c

、3502a、3502b、3502c、3503、3503a、3503b、3505：

電極

3004：邏輯電路

3106：元件分離絕緣膜

7011、7021、7031、7032、7041、7051：外殼

7013：支撐基底

7035：麥克風

7036：揚聲器

7037、7045、7053：操作鍵

7038：觸控筆

7043：音頻輸入部

7044：音頻輸出部

7046：光接收部

AD、CE、RE、Sig、WE：訊號

DL、DL1-DLx：資料線

DLa：第一資料線

DLb：第二資料線

FG：節點

GND：接地電位

SL、SL1-SLy：源極線

Ta：資料寫入時期

Tr：資料讀取時期

Ts：資料保留時期

VDD、VH、VR：高位準電位

Vdata、Vout：電位

Vref：參考電位

WL、WL1-WLy：字線

WL_a、WL_{a1}-WL_{ay}：第一字線

WL_b、WL_{b1}-WL_{by}：第二字線

七、申請專利範圍：

1. 一種訊號處理電路，包含：

控制單元；

算術單元；以及

緩衝記憶體裝置，

其中，該緩衝記憶體裝置根據來自該控制單元之指令而儲存從主記憶體裝置或該算術單元發送之資料，

其中，該緩衝記憶體裝置包含複數記憶格，以及

其中，該記憶格各包含：

第一字線及第二字線；

第一資料線和第二資料線；

第一電晶體，於通道形成區域中包含氧化物半導體；

第二電晶體；以及

記憶體元件，經由該第一電晶體向其供應電荷量取決於該資料值的電荷，

其中，該第一電晶體之閘極電連接至該第一字線，且該第一電晶體之源極和汲極之其中一者電連接至該第一資料線，以及

其中，該第二電晶體之閘極電連接至該第二字線，該第二電晶體之源極和汲極之其中一者電連接至該第二資料線，且該第二電晶體之源極和汲極之其中另一者電連接至該記憶體元件。

2. 一種訊號處理電路，包含：

控制單元；

算術單元；

緩衝記憶體裝置；以及

主記憶體裝置，

其中，該緩衝記憶體裝置根據來自該控制單元之指令而儲存從該主記憶體裝置或該算術單元發送之資料，

其中，該緩衝記憶體裝置包含複數記憶格，以及

其中，該記憶格各包含：

第一字線及第二字線；

第一資料線和第二資料線；

第一電晶體，於通道形成區域中包含氧化物半導體；

第二電晶體；以及

記憶體元件，經由該第一電晶體向其供應電荷量取決於該資料值的電荷，

其中，該第一電晶體之閘極電連接至該第一字線，且該第一電晶體之源極和汲極之其中一者電連接至該第一資料線，以及

其中，該第二電晶體之閘極電連接至該第二字線，該第二電晶體之源極和汲極之其中一者電連接至該第二資料線，且該第二電晶體之源極和汲極之其中另一者電連接至該記憶體元件。

3. 一種訊號處理電路，包含：

控制單元；

算術單元；以及

緩衝記憶體裝置，

其中，該緩衝記憶體裝置儲存包括從主記憶體裝置發送之指令的資料，

其中，該控制單元讀取來自該緩衝記憶體裝置之該資料並根據該指令控制該算術單元及該緩衝記憶體裝置之作業，

其中，該緩衝記憶體裝置包含複數記憶格，以及

其中，該記憶格各包含：

第一字線及第二字線；

第一資料線和第二資料線；

第一電晶體，於通道形成區域中包含氧化物半導體；

第二電晶體；以及

記憶體元件，經由該第一電晶體向其供應電荷量取決於該資料值的電荷，

其中，該第一電晶體之閘極電連接至該第一字線，且該第一電晶體之源極和汲極之其中一者電連接至該第一資料線，以及

其中，該第二電晶體之閘極電連接至該第二字線，該第二電晶體之源極和汲極之其中一者電連接至該第二資料線，且該第二電晶體之源極和汲極之其中另一者電連接至該記憶體元件。

4. 一種訊號處理電路，包含複數記憶格，該記憶格

各 包 含：

第一字線和第二字線；

第一資料線和第二資料線；

第一電晶體，於通道形成區域中包含氧化物半導體；

第二電晶體；以及

記憶體元件，經由該第一電晶體向其供應電荷量取決於資料值的電荷，

其中，該第一電晶體之閘極電連接至該第一字線，且該第一電晶體之源極和汲極之其中一者電連接至該第一資料線，以及

其中，該第二電晶體之閘極電連接至該第二字線，該第二電晶體之源極和汲極之其中一者電連接至該第二資料線，且該第二電晶體之源極和汲極之其中另一者電連接至該記憶體元件。

5. 如申請專利範圍第 1 至 3 項任一項之訊號處理電路，其中，該第一電晶體之關閉狀態電流密度低於或等於 $100 \text{ zA}/\mu\text{m}$ 。

6. 如申請專利範圍第 1 至 4 項任一項之訊號處理電路，其中，該記憶體元件為電晶體或電容器。

7. 如申請專利範圍第 1 至 4 項任一項之訊號處理電路，其中，該氧化物半導體包含 In、Ga、及 Zn。

8. 如申請專利範圍第 1 至 4 項任一項之訊號處理電路，其中，該通道形成區域之氫濃度為低於 $5 \times 10^{18}/\text{cm}^3$ 。

9. 如申請專利範圍第 1 至 4 項任一項之訊號處理電

路，其中，該訊號處理電路為包含 CPU、DSP、或微電腦之 LSI。

圖 1A

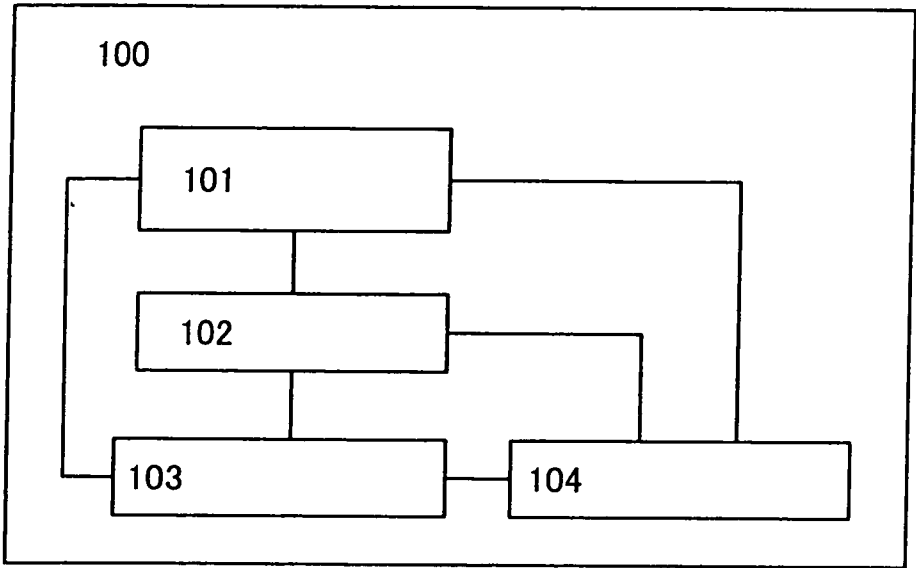


圖 1B

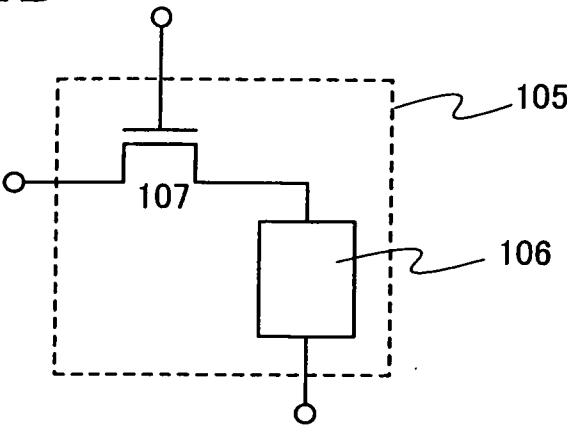


圖 1C

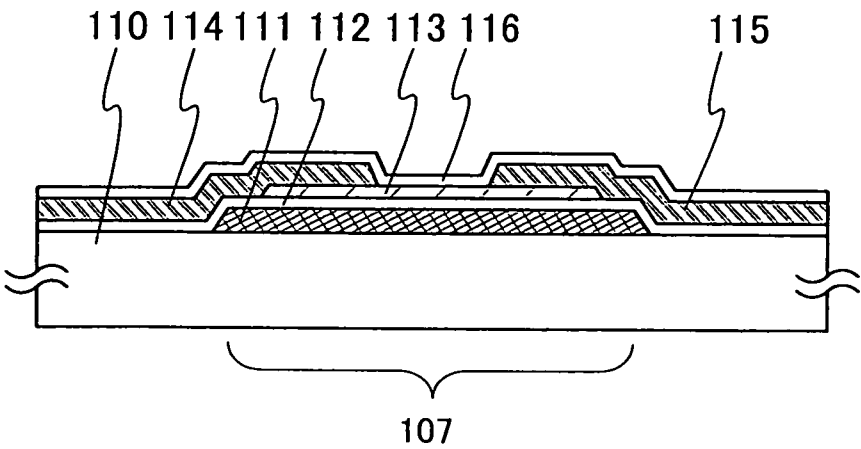


圖 2A

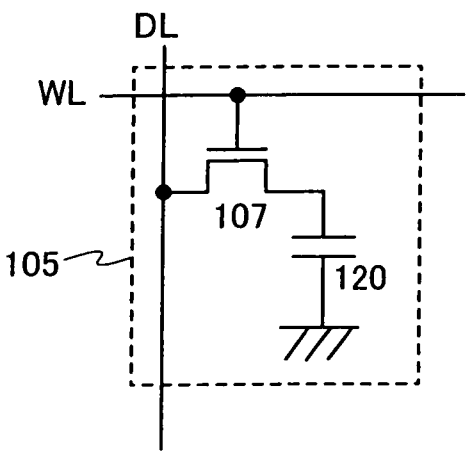


圖 2B

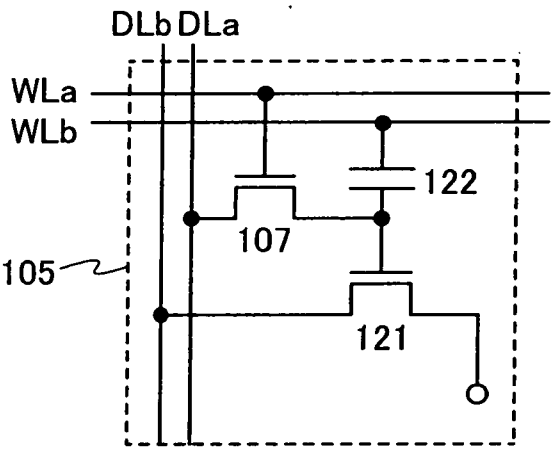


圖 2C

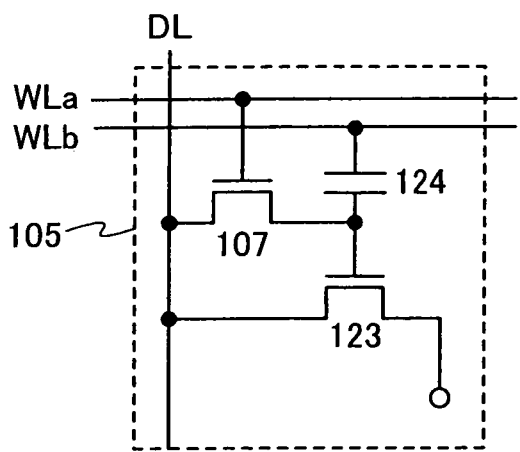


圖 3A

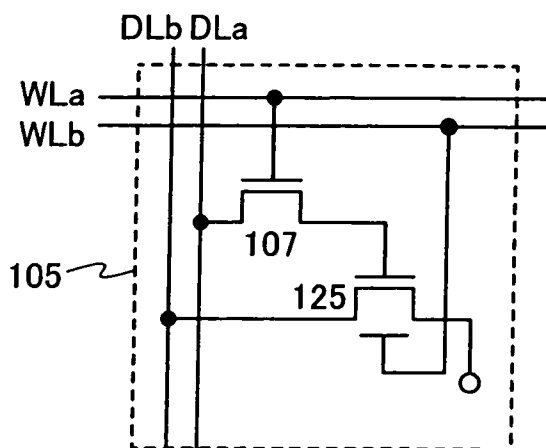


圖 3B

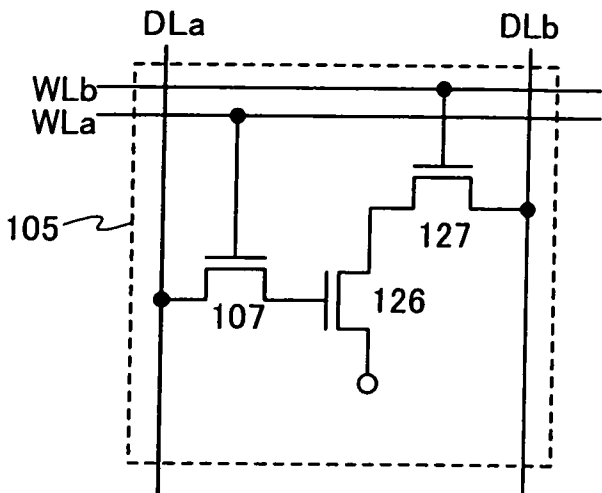


圖 3C

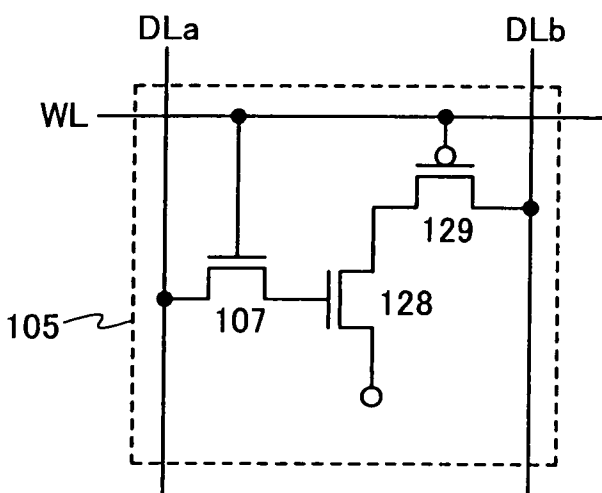


圖 3D

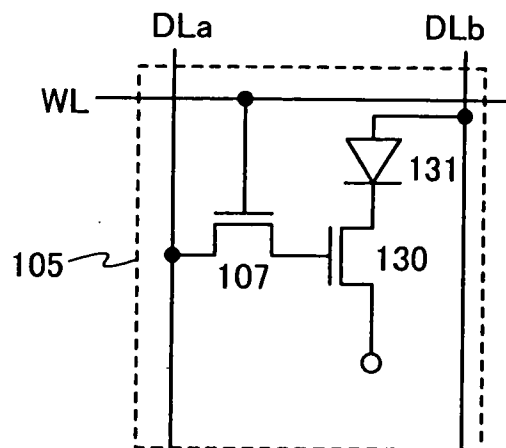


圖4

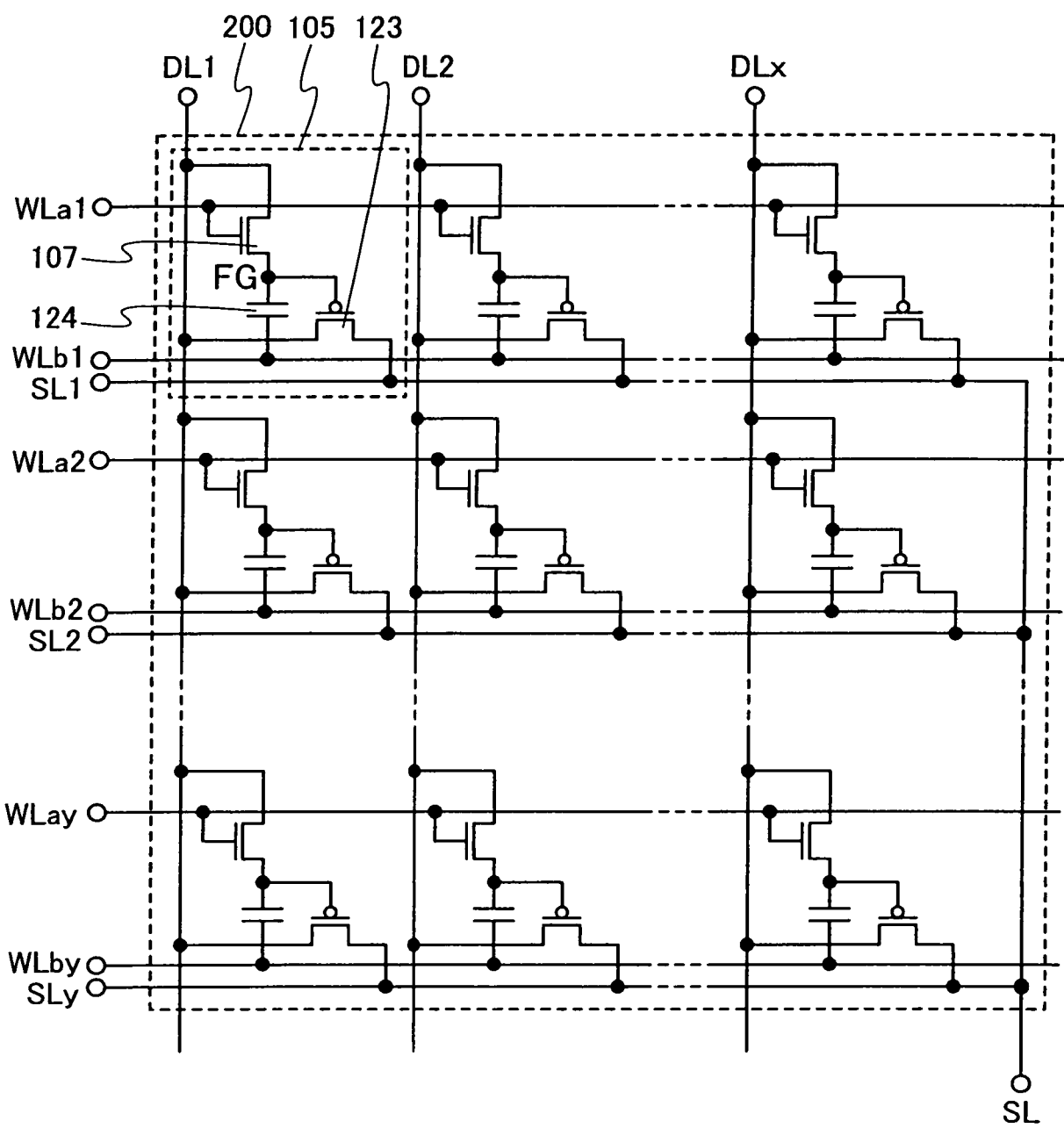


圖5

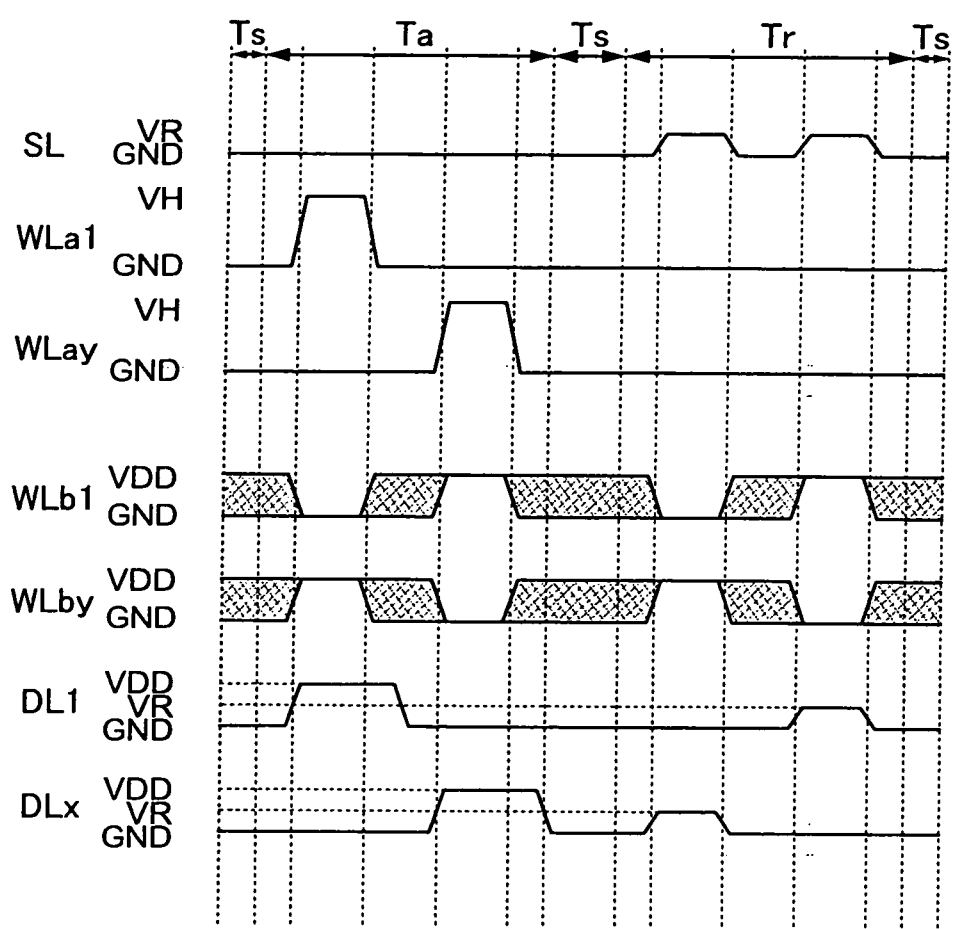


圖 6

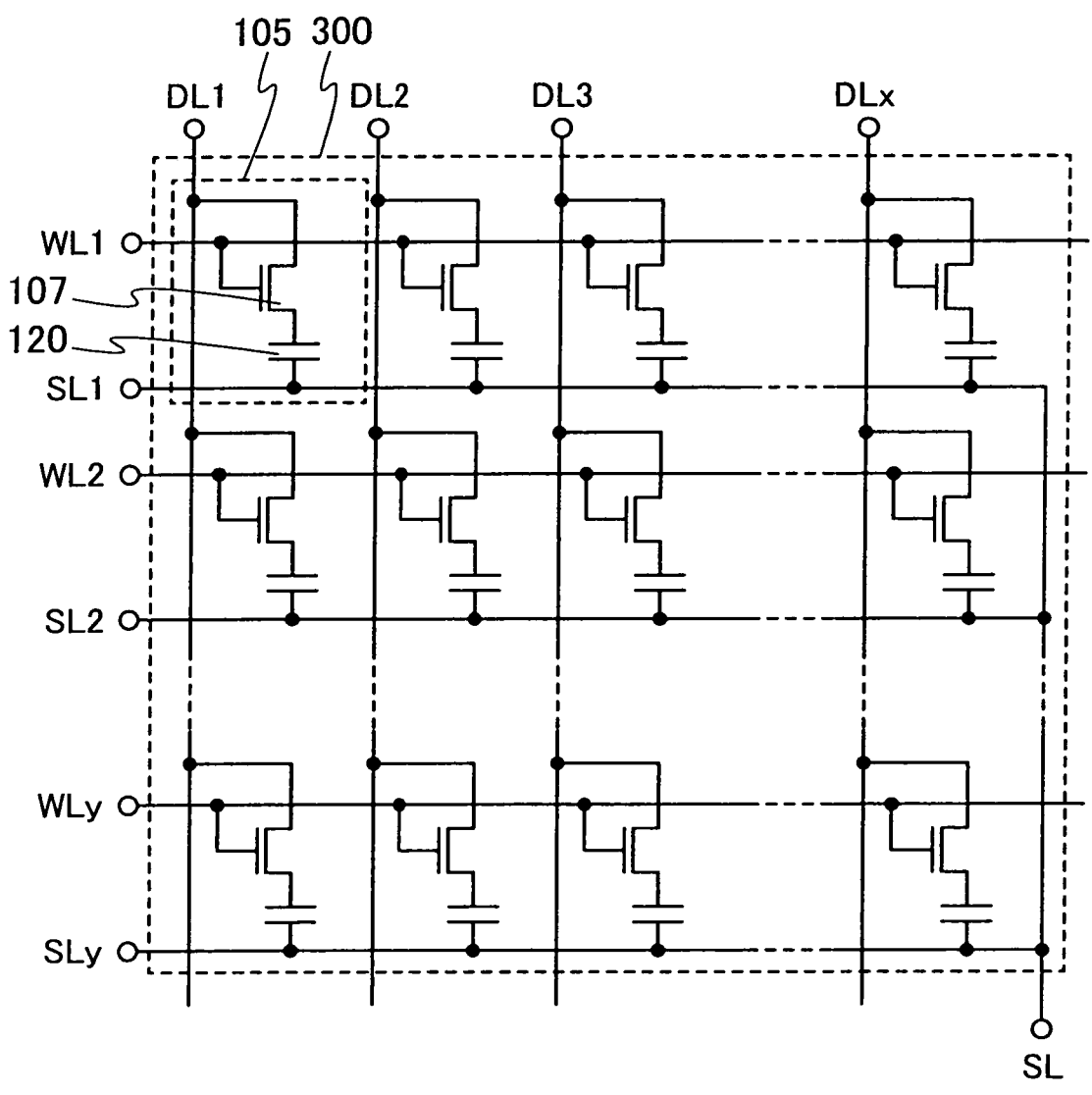


圖 7

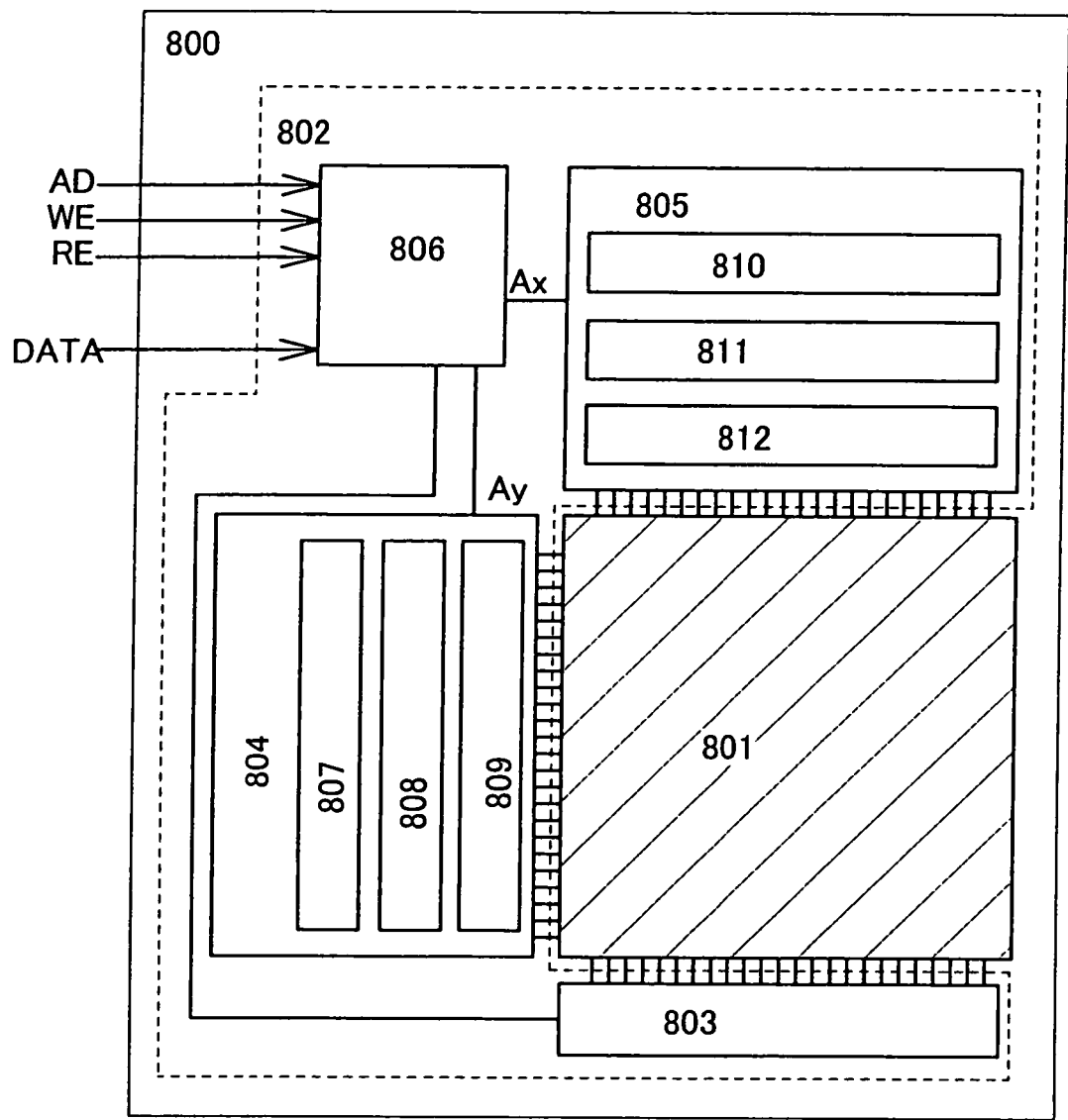


圖 8

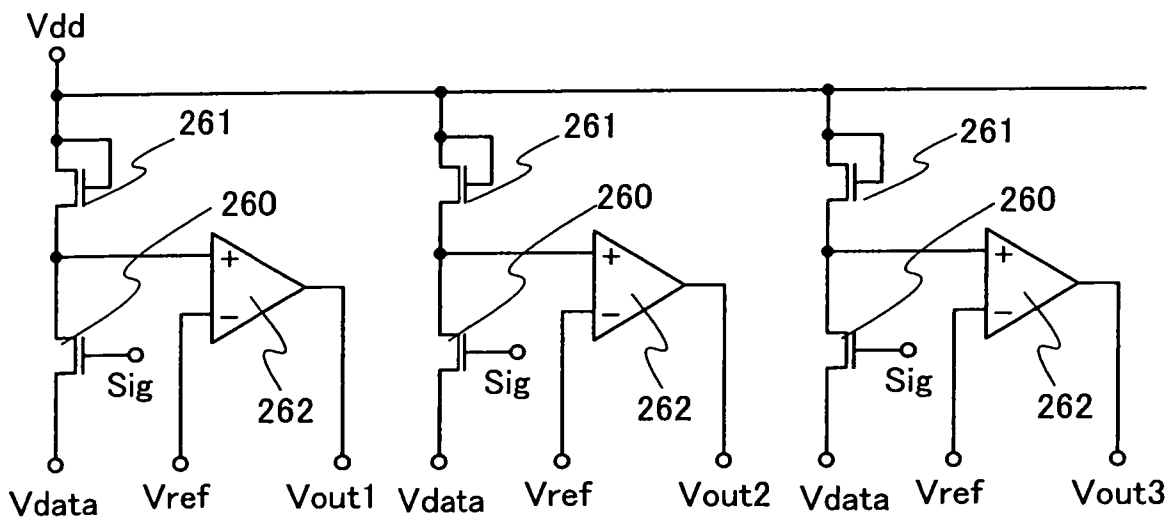


圖9

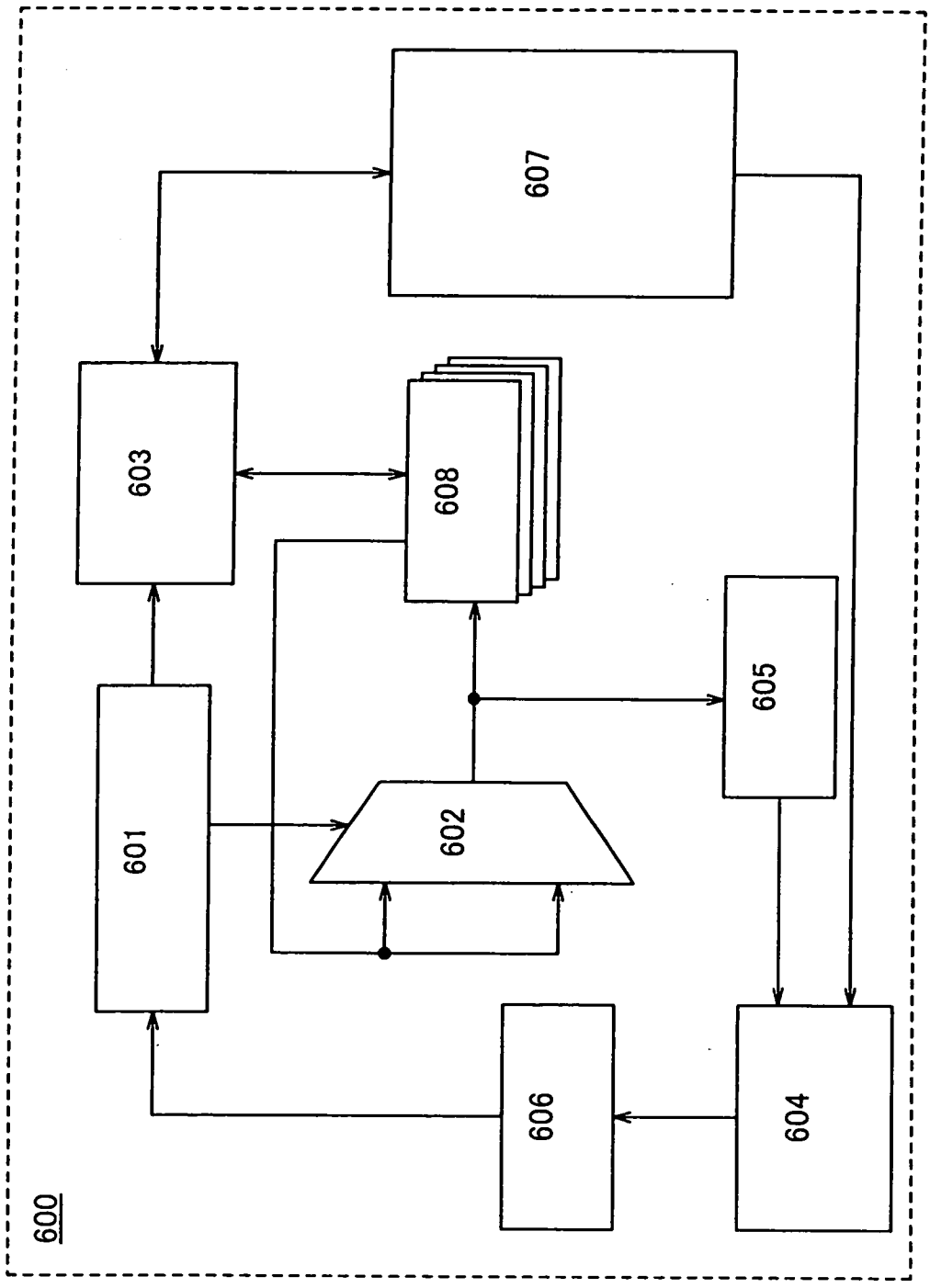


圖 10

快取行 0	標籤 0	有效位元 0	資料欄位 0
快取行 1	標籤 1	有效位元 1	資料欄位 1
快取行 2	標籤 2	有效位元 2	資料欄位 2
快取行 3	標籤 3	有效位元 3	資料欄位 3
快取行 n-1	標籤 n-1	有效位元 n-1	資料欄位 n-1

圖 11A

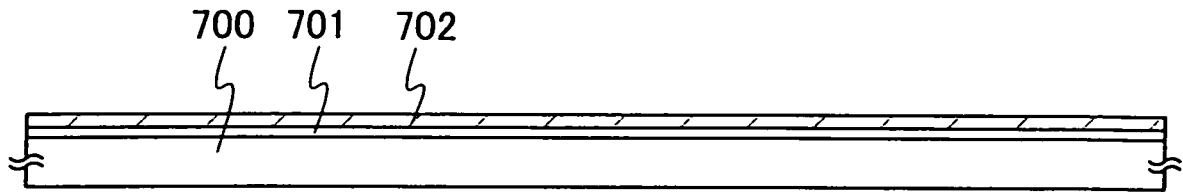


圖 11B

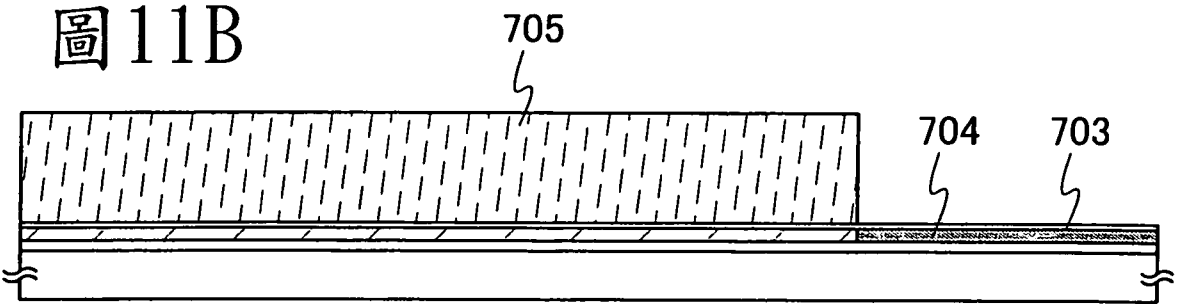


圖 11C

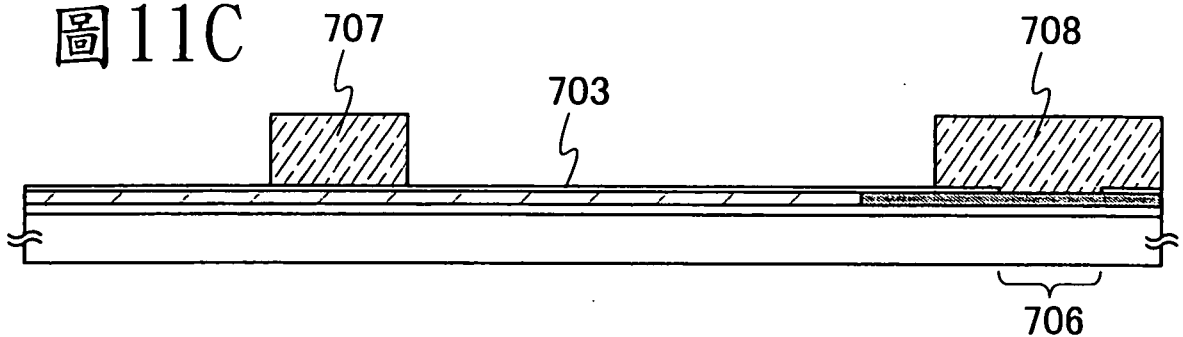


圖 11D

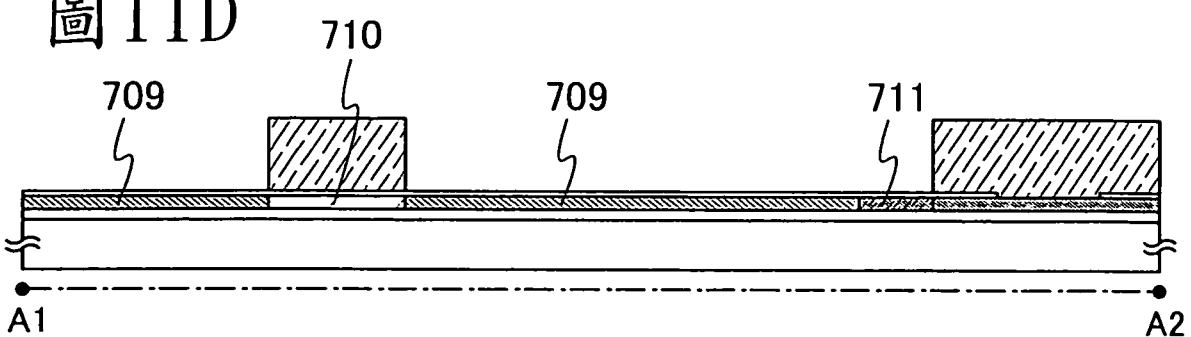


圖 12A

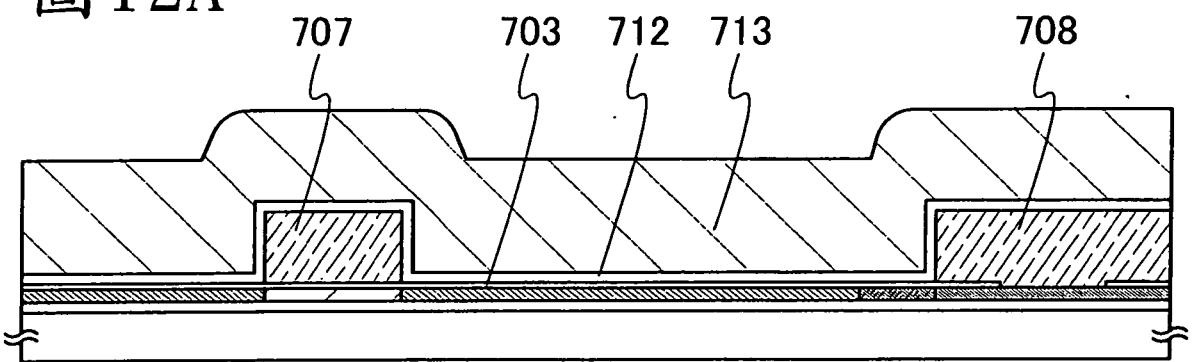


圖 12B

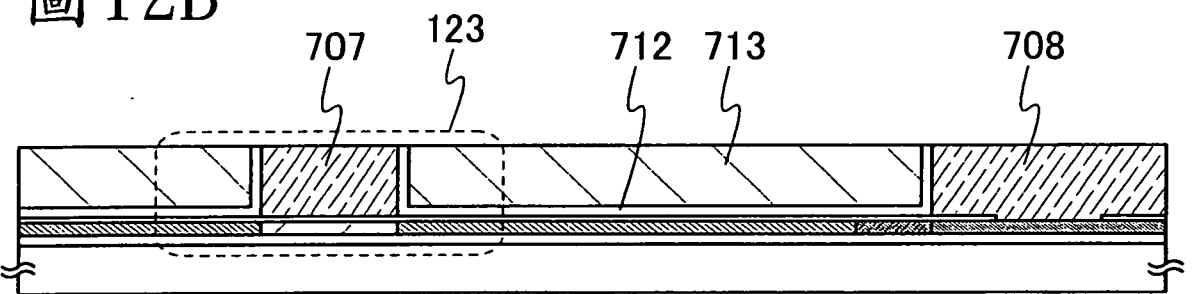


圖 12C

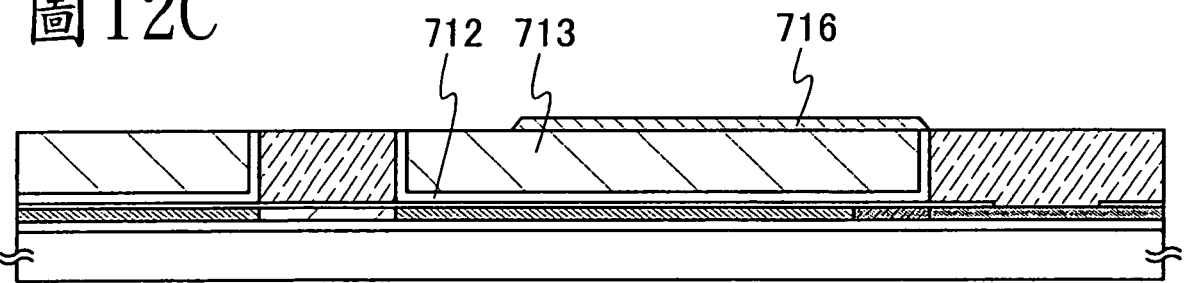


圖13A

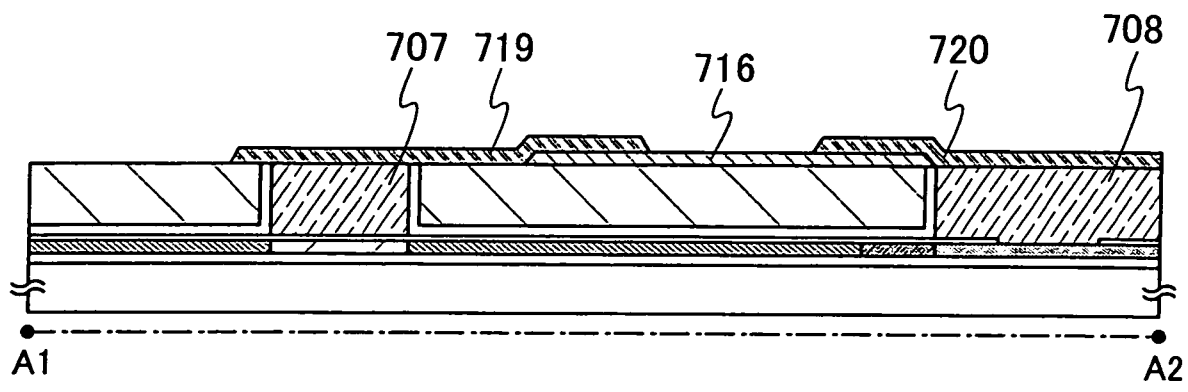


圖13B

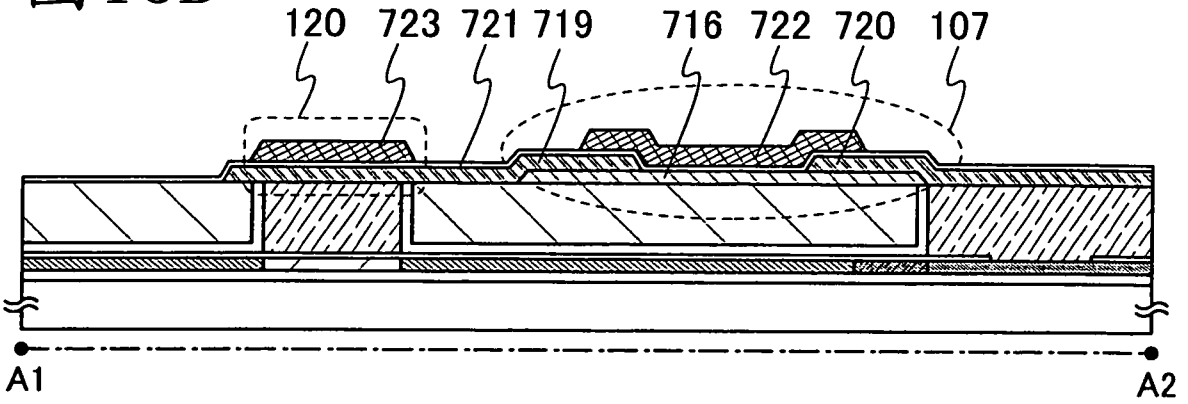


圖13C

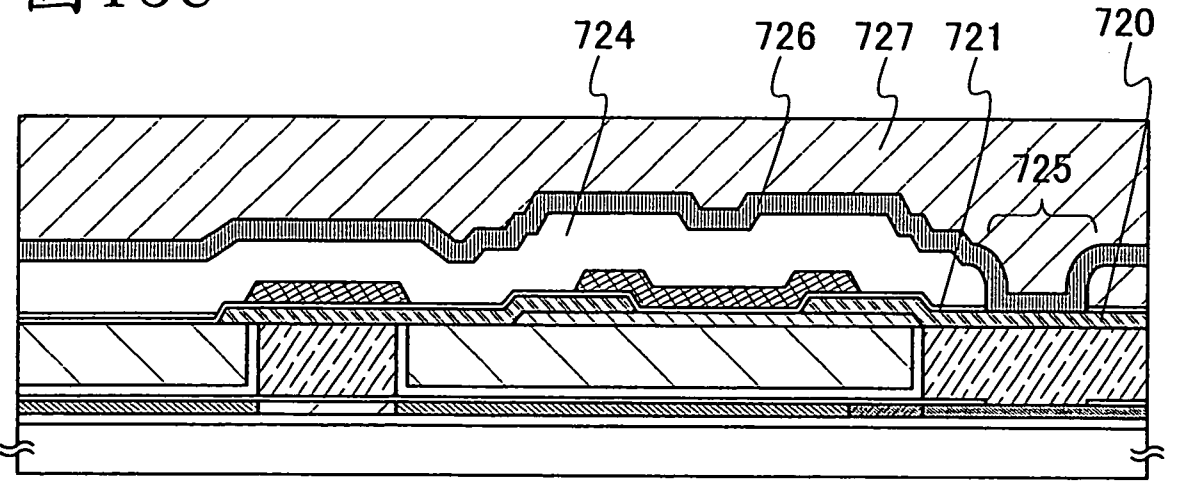


圖 14A

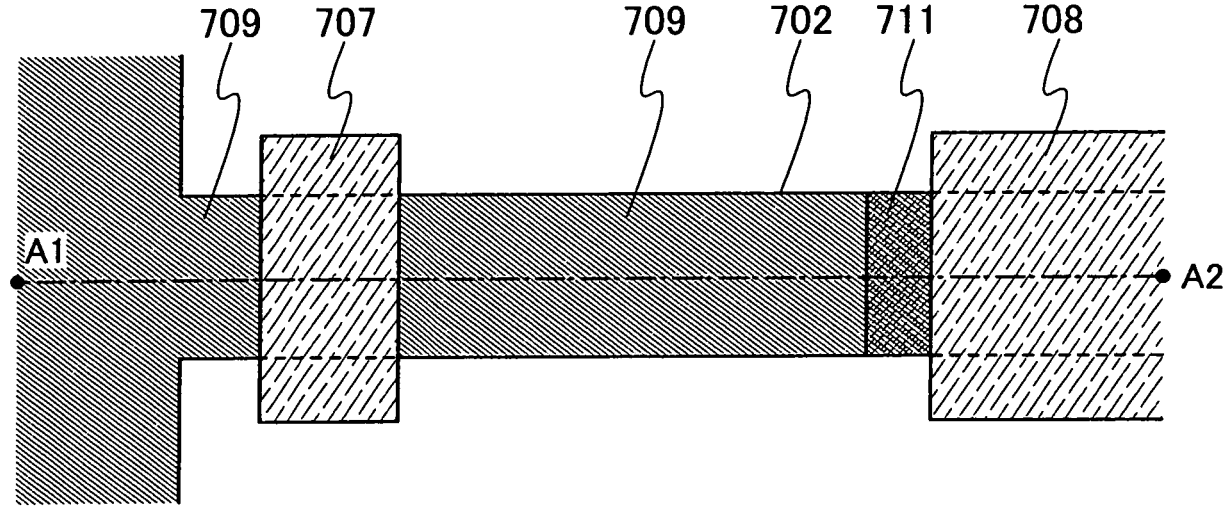


圖 14B

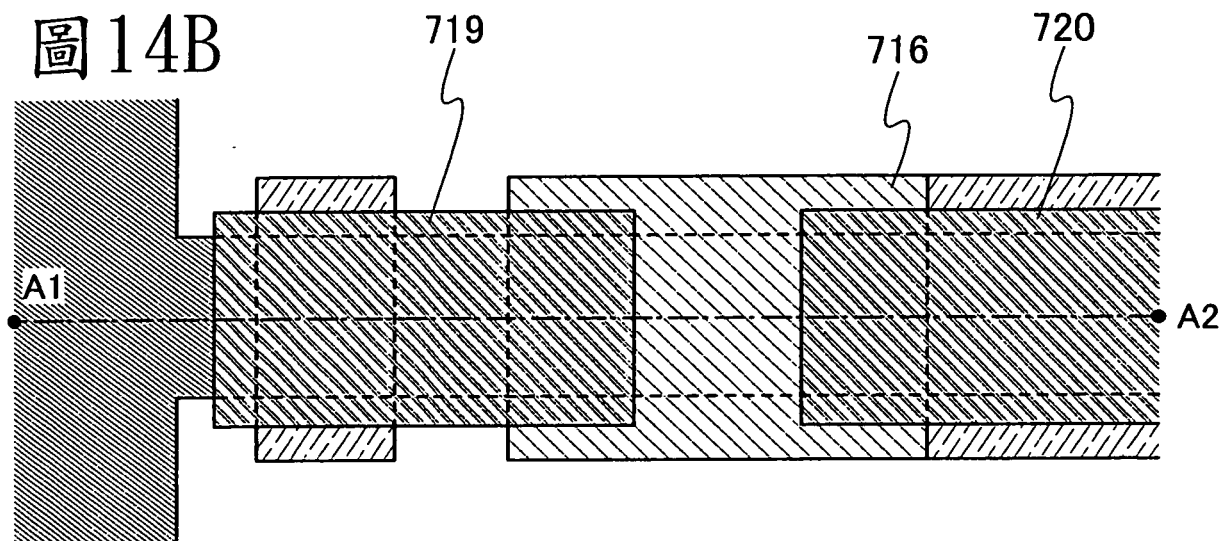


圖 14C

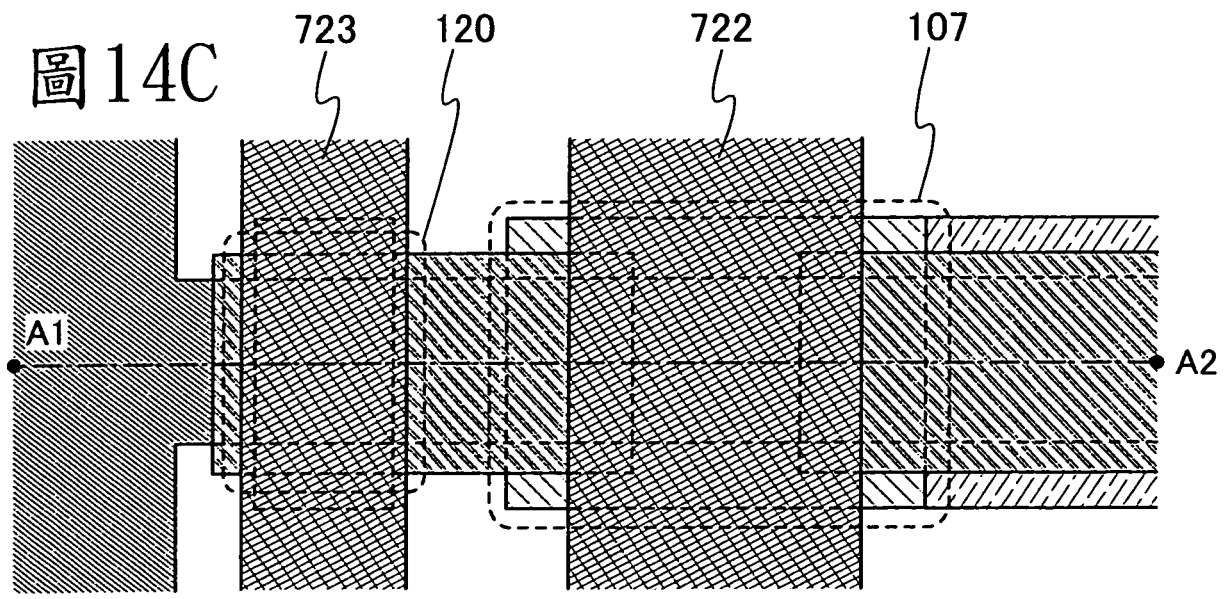


圖 15

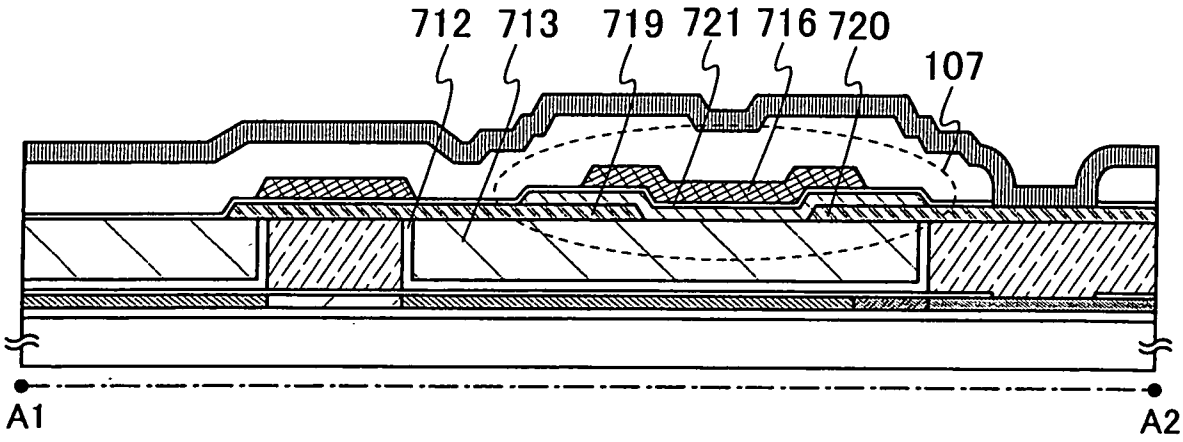


圖 16A

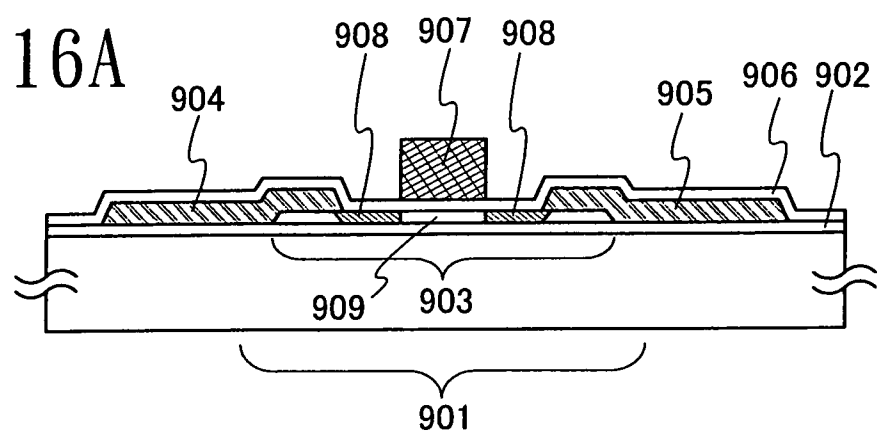


圖 16B

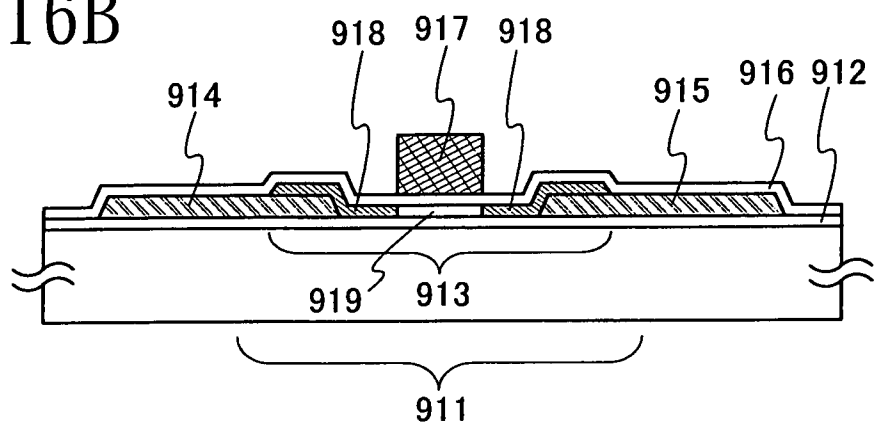


圖 16C

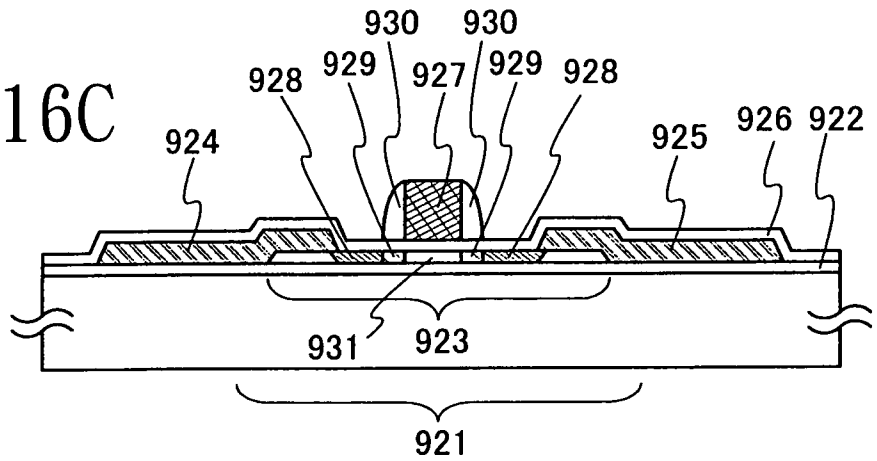


圖 16D

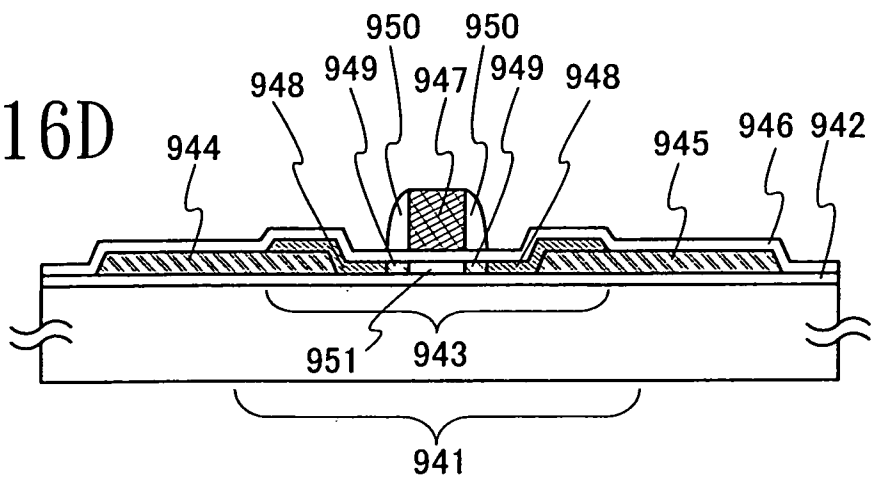


圖 17A

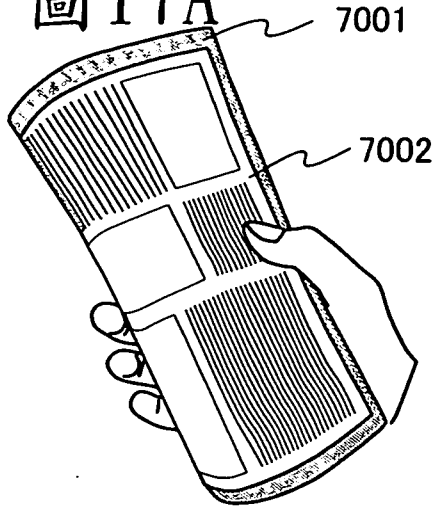


圖 17B

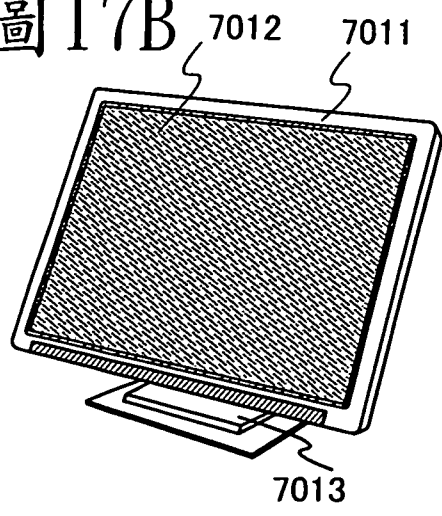


圖 17C

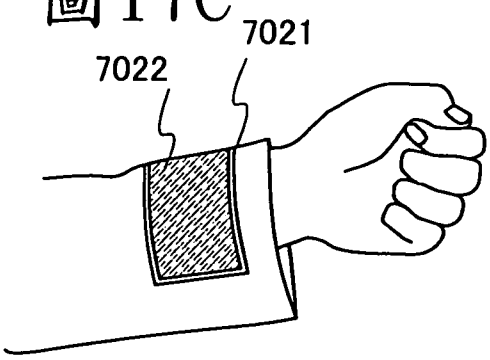


圖 17D

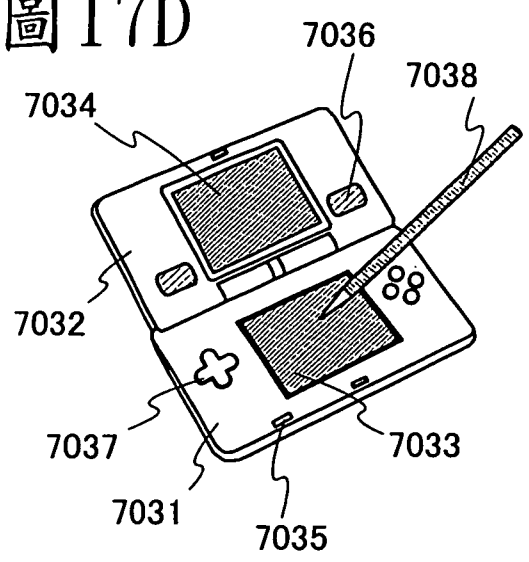


圖 17E

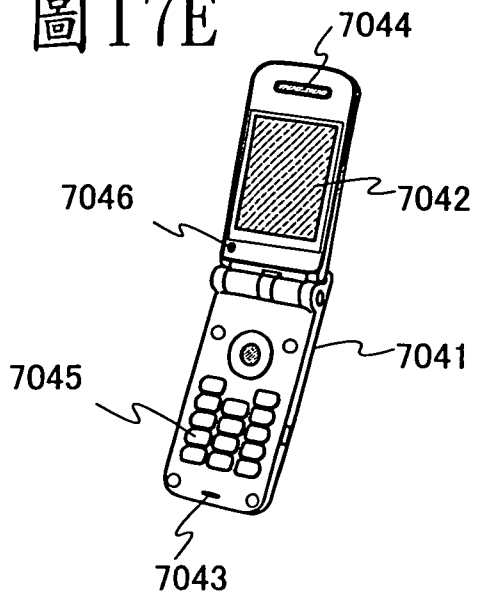


圖 17F

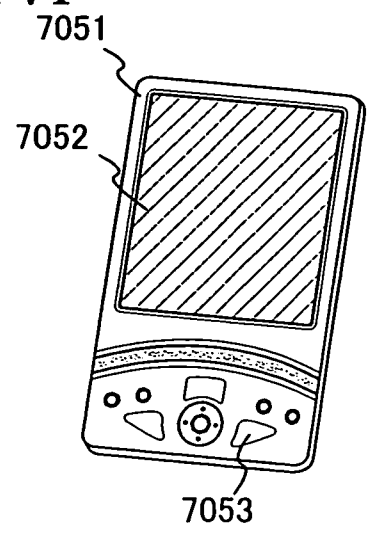


圖 18A

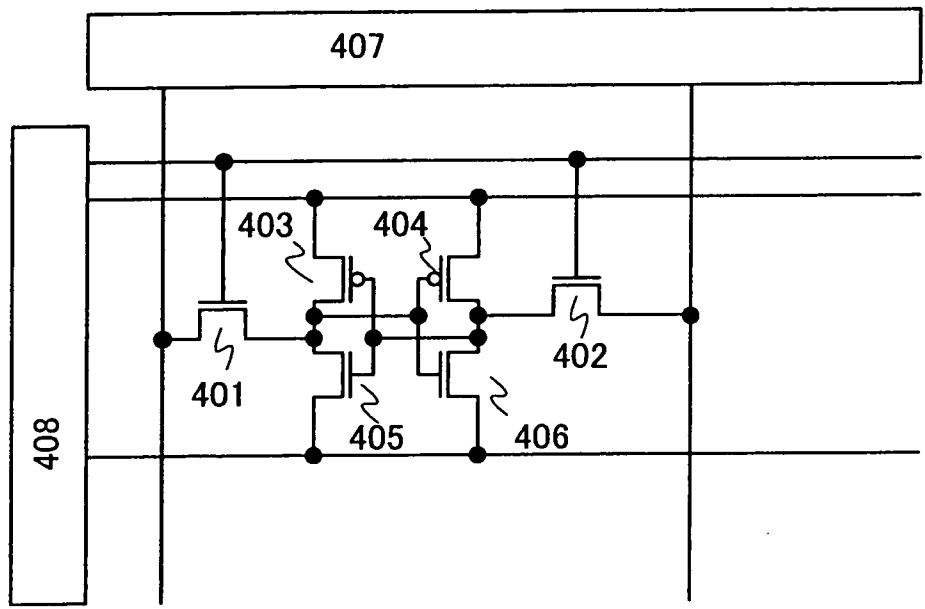


圖 18B

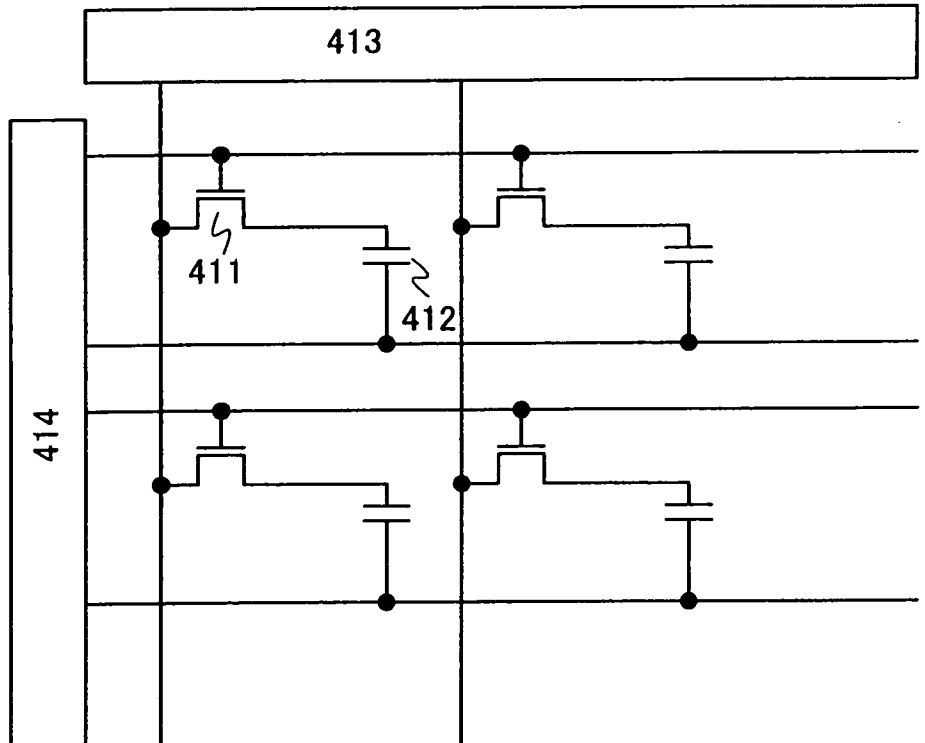


圖 19

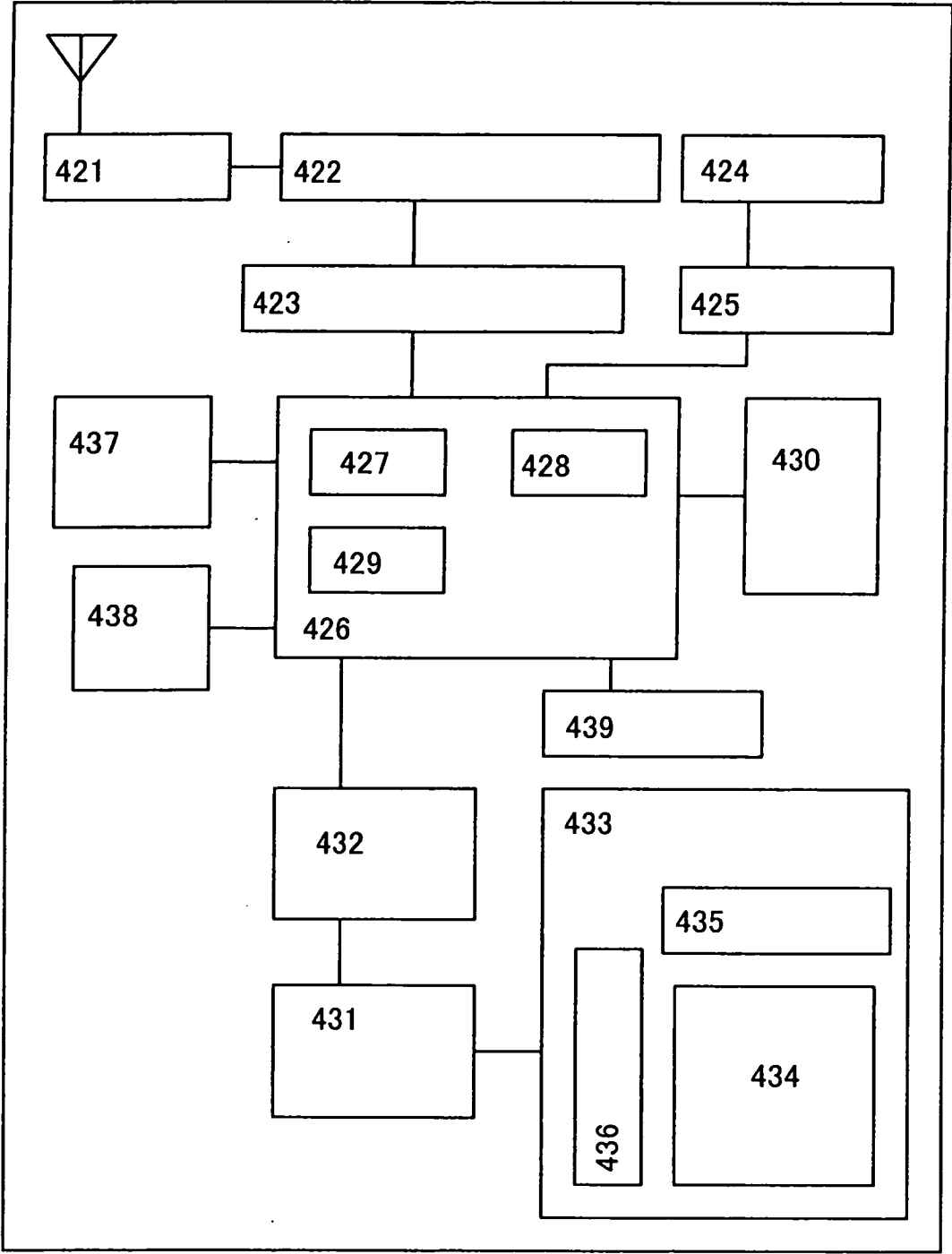


圖 20

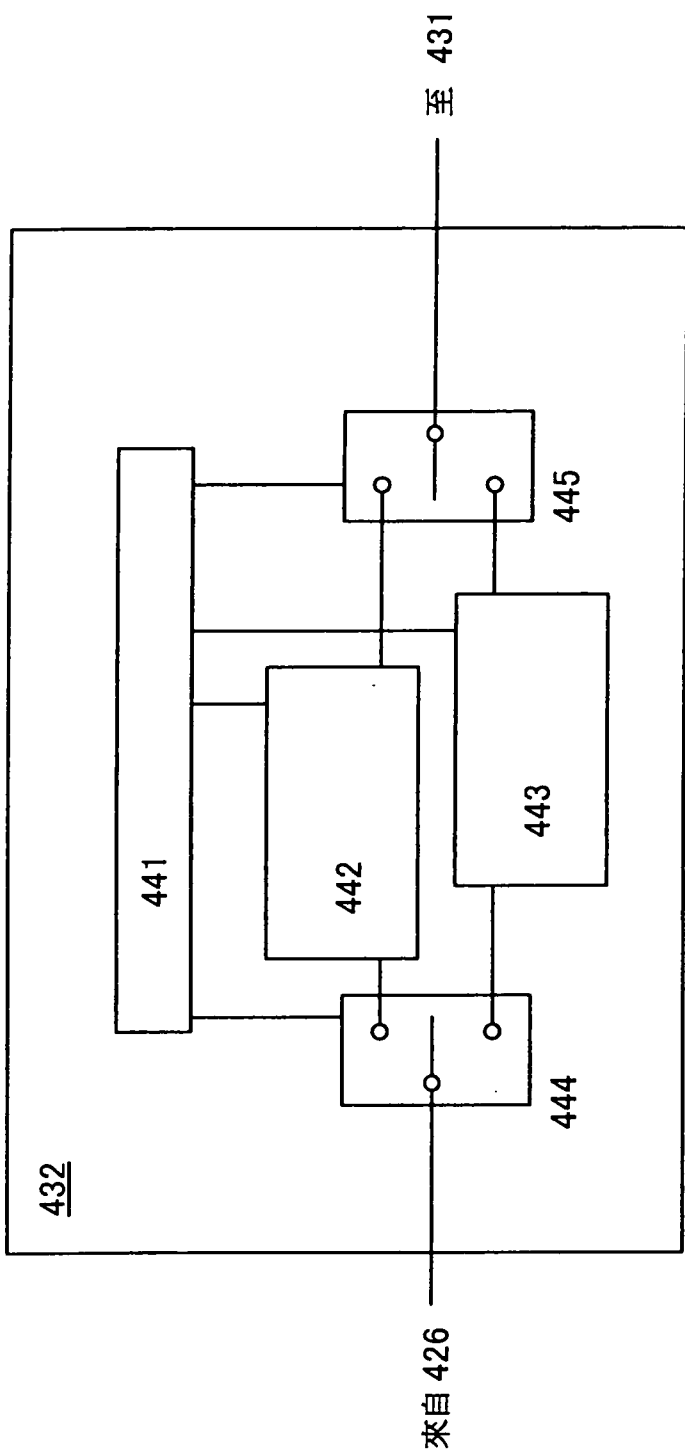


圖 21

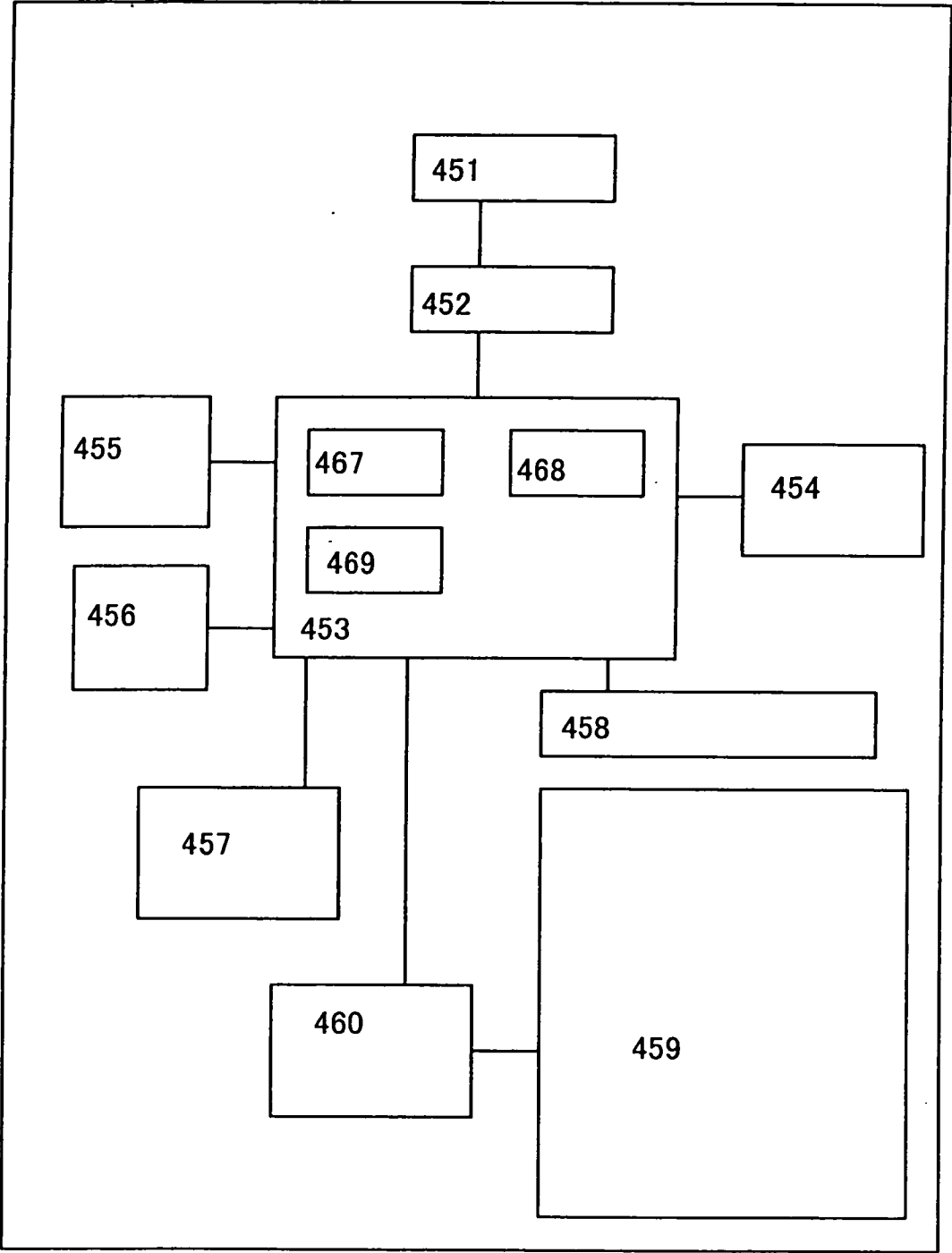


圖 22

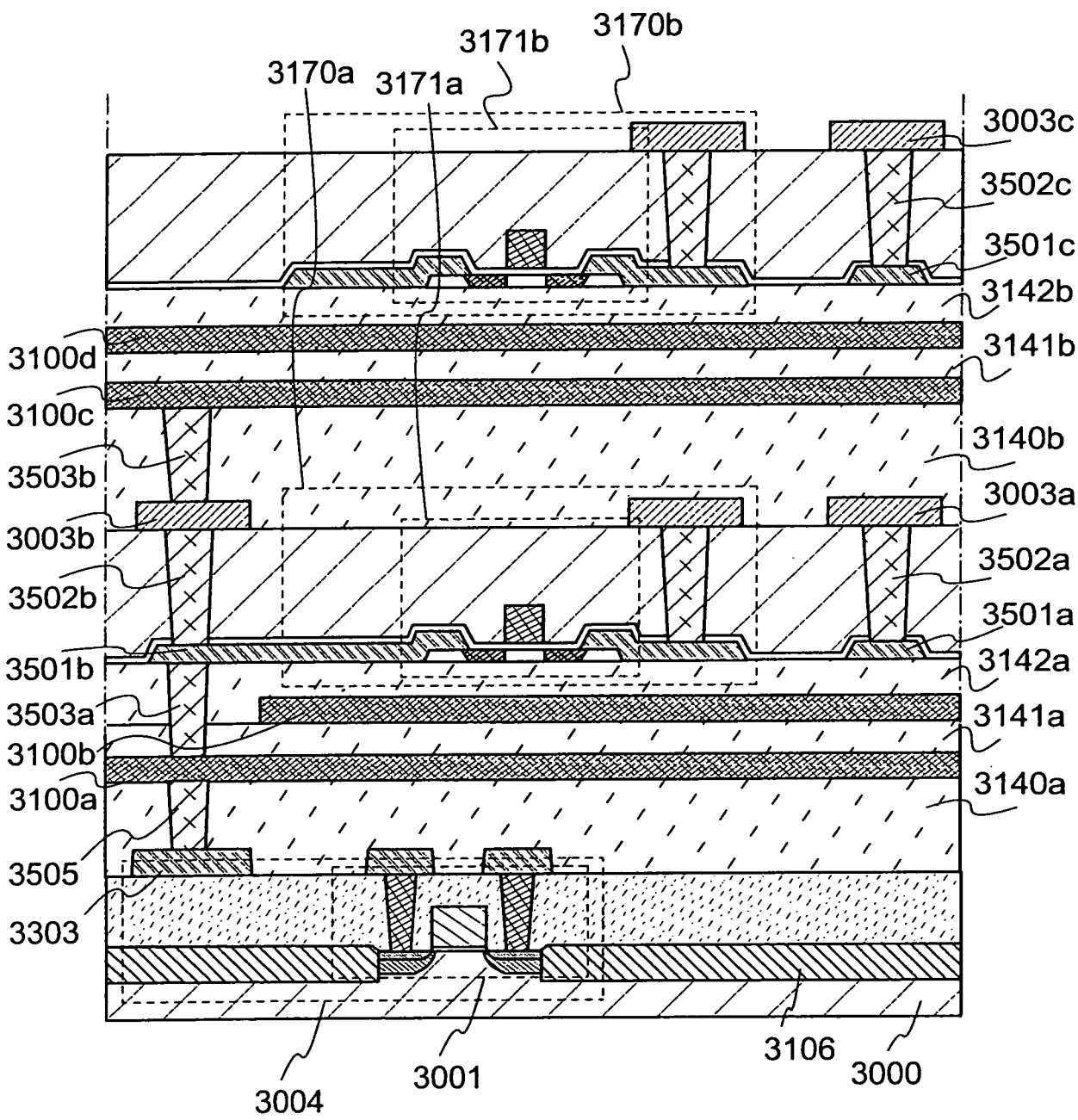


圖 23

