

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 20 日(20.12.2012)



(10) 国際公開番号
WO 2012/172825 A1

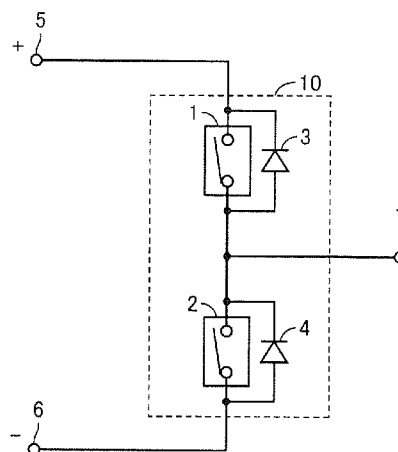
- (51) 国際特許分類:
H02M 7/48 (2007.01) *H01L 29/78* (2006.01)
H01L 21/338 (2006.01) *H01L 29/80* (2006.01)
H01L 29/12 (2006.01) *H01L 29/812* (2006.01)
H01L 29/47 (2006.01) *H01L 29/872* (2006.01)
H01L 29/778 (2006.01)
- (21) 国際出願番号: PCT/JP2012/051622
- (22) 国際出願日: 2012 年 1 月 26 日(26.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-132012 2011 年 6 月 14 日(14.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 林 秀樹 (HAYASHI, Hideki) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka (JP).
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: POWER MODULE AND POWER CONVERSION CIRCUIT

(54) 発明の名称: パワーモジュールおよび電力変換回路

[図1]



(57) Abstract: A unit (10) is provided with semiconductor switch elements (1, 2), and diodes (3, 4). The diode (3) is reversely biased when the semiconductor switch element (2) is in the on-state, and a current is carried to the diode when the semiconductor switch element (1) is in the on-state, and a current is carried to the diode when the semiconductor switch element (1) is in the off-state. The diodes (3, 4) are gallium nitride (GaN) diodes or diamond diodes. A power module provided with the unit (10) is applied to power conversion circuits, such as converters and inverters. Consequently, performances of the power conversion circuits are improved.

(57) 要約:

[続葉有]

WO 2012/172825 A1



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

ユニット（10）は、半導体スイッチ素子（1，2）と、ダイオード（3，4）とを備える。ダイオード（3）は、半導体スイッチ素子（2）がオン状態である時に逆バイアスされ、半導体スイッチ素子（2）がオフ状態である時に導通する。ダイオード（4）は、半導体スイッチ素子（1）がオン状態である時に逆バイアスされ、半導体スイッチ素子（1）がオフ状態である時に導通する。ダイオード（3，4）は、窒化ガリウム（GaN）ダイオードまたはダイヤモンドダイオードである。ユニット（10）を備えるパワーモジュールは、コンバータ、インバータ等の電力変換回路に適用される。これにより電力変換回路の性能が高められる。

明 細 書

発明の名称：パワーモジュールおよび電力変換回路

技術分野

[0001] 本発明はパワーモジュールおよび電力変換回路に関し、特に、半導体スイッチ素子とダイオードとを備えたパワーモジュール、およびそのパワーモジュールを備える電力変換回路に関する。

背景技術

[0002] 一般に、インバータおよびコンバータ等の電力変換回路は、トランジスタとダイオードとを備える。従来、これらの半導体パワーデバイスは、シリコン（Si）により形成されてきた。しかしながらSiパワーデバイスの性能（例えば、低損失、高い動作速度など）は、理論上の限界に近付きつつある。したがって、今後は、Siパワーデバイスの性能の大幅な改善を期待することが難しい。

[0003] 炭化珪素（SiC）パワーデバイスは、Siパワーデバイスよりも優れた性能を有する半導体パワーデバイスとして注目されている。たとえば4H-SiCは、シリコンの約3倍のバンドギャップ、シリコンの約10倍の絶縁破壊電圧、およびシリコンの約3倍の熱伝導度を有する。したがって、SiCパワーデバイスによって、現在のSiパワーデバイスに比べて、高耐圧、低損失、高速動作、高温環境での安定動作を実現できることが期待される。

[0004] たとえば、米国特許第5661644号明細書（特許文献1）は、少なくとも1つのスイッチング素子と、SiCダイオードとを含む変換回路を開示する。SiCダイオードは、スイッチング素子がオフしたときに導通して、スイッチング素子がオンしたときに逆バイアスされる。

先行技術文献

特許文献

[0005] 特許文献1：米国特許第5661644号明細書

発明の概要

発明が解決しようとする課題

[0006] 低損失、動作速度、動作の安定性などといった性能を改善することが電力変換回路には常に要求される。本発明の目的は、電力変換回路の性能を高めることである。

課題を解決するための手段

[0007] 1つの局面において、本発明に係るパワーモジュールは、半導体スイッチ素子と、ダイオードとを備える。ダイオードは、半導体スイッチ素子がオン状態である時に逆バイアスされ、半導体スイッチ素子がオフ状態である時に導通するように配置される。ダイオードは、窒化ガリウムダイオードおよびダイヤモンドダイオードのいずれかである。

[0008] 好ましくは、半導体スイッチ素子は、炭化珪素トランジスタ、窒化ガリウムトランジスタ、およびダイヤモンドトランジスタのいずれかである。

[0009] 別の局面において、本発明に係る電力変換回路は、半導体スイッチ素子と、ダイオードとを備える。ダイオードは、半導体スイッチ素子がオン状態である時に逆バイアスされ、半導体スイッチ素子がオフ状態である時に導通するように配置される。ダイオードは、窒化ガリウムダイオードおよびダイヤモンドダイオードのいずれかである。

発明の効果

[0010] 本発明によれば、電力変換回路の低損失化等の性能を高めることができる。

図面の簡単な説明

[0011] [図1]本発明の一実施形態に係るパワーモジュールを構成する基本ユニットの回路図である。

[図2]図1に示したパワーモジュールを含む電力変換回路の1つの例を示した図である。

[図3]図2に示した電力変換回路（単相インバータ）の動作を説明するための図である。

[図4]図1に示した基本ユニットにより構成されたパワーモジュールを含む電力変換回路の別の例を示した図である。

[図5]図1に示した基本ユニットにより構成されたパワーモジュールを含む電力変換回路の別の例を示した図である。

[図6]本発明の実施の形態に従うパワーモジュールに適用されうるGaNショットキーバリアダイオードの1つの例の断面図である。

[図7]図6に示すGaNショットキーバリアダイオードの斜視図である。

[図8]本発明の実施の形態に従うパワーモジュールに適用されうるダイヤモンドショットキーバリアダイオードの1つの例の断面図である。

[図9]本発明の実施の形態に従うパワーモジュールに適用されうるダイヤモンドショットキーバリアダイオードの他の例の断面図である。

[図10]本発明の実施の形態に従うパワーモジュールに適用されうるSiCトランジスタの1つの例の断面図である。

[図11]本発明の実施の形態に従うパワーモジュールに適用されうるGaNトランジスタの1つの例の断面図である。

[図12]図11に示すGaNトランジスタの平面図である。

発明を実施するための形態

[0012] 以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

[0013] 本明細書では、「電力変換回路」との用語は、電力の少なくとも1つの形態を変化させる回路を含む。「電力の形態」とは、たとえば、周波数（直流を含む）、相数、電圧、電流を含む。

[0014] 図1は、本発明の一実施形態に係るパワーモジュールを構成する基本ユニットの回路図である。図1を参照して、ユニット10は、半導体スイッチ素子1、2と、ダイオード3、4とを備える。

[0015] 半導体スイッチ素子1、2は、端子5、6の間に直列接続される。端子5は正の極性を有し、端子6は負の極性を有する。半導体スイッチ素子1、2

の接続点は端子 7 に接続される。

[0016] ダイオード 3, 4 は半導体スイッチ素子 1, 2 にそれぞれ逆並列接続される。すなわち、ダイオード 3, 4 の順方向は、半導体スイッチ素子 1, 2 に流れる電流の方向とは逆である。

[0017] 図 2 は、図 1 に示したパワーモジュールを含む電力変換回路の 1 つの例を示した図である。図 2 を参照して、電力変換回路は単相インバータであり、直流を単相交流に変換する。単相負荷 9 A は、誘導性負荷であり、たとえば単相モータである。ただし単相負荷 9 A の種類は特に限定されるものではない。

[0018] 電力変換回路は、パワーモジュール 101 を含む。パワーモジュール 101 は、ユニット 10 A, 10 B を含む。ユニット 10 A, 10 B は、端子 5, 6 の間に並列に設けられる。端子 5, 6 は直流電源 8 の正極および負極にそれぞれ接続される。ユニット 10 A の端子 7 A およびユニット 10 B の端子 7 B は単相負荷 9 A に接続される。

[0019] ユニット 10 A, 10 B の各々は、図 1 に示した構成を有する。具体的には、ユニット 10 A は、半導体スイッチ素子 1 A, 2 A と、ダイオード 3 A, 4 A とを含む。ダイオード 3 A, 4 A は、半導体スイッチ素子 1 A, 2 A にそれぞれ逆並列接続される。ユニット 10 B は、半導体スイッチ素子 1 B, 2 B と、ダイオード 3 B, 4 B とを含む。ダイオード 3 B, 4 B は、半導体スイッチ素子 1 B, 2 B にそれぞれ逆並列接続される。

[0020] 図 3 は、図 2 に示した電力変換回路（単相インバータ）の動作を説明するための図である。図 2 および図 3 を参照して、位相 π (rad) ごとに、半導体スイッチ素子 1 A, 2 B の組と、半導体スイッチ素子 2 A, 1 B の組とが交互にオン／オフする。単相負荷 9 A の電圧 V および電流 i は、図 3 に示される。単相負荷 9 A が誘導性負荷であるため、電圧 V の変化に対する電流 i の応答が遅れる。

[0021] 0 (rad) において、半導体スイッチ素子 2 A, 1 B がオフする。その一方で、0 ~ θ (rad) の期間には、負の電流 i が、ダイオード 3 A, 4

Bを流れて直流電源8に戻される。ダイオード3 A, 4 Bが導通することにより、半導体スイッチ素子1 A, 2 Bがオンするとともに、電圧Vが負から正へと切り換わる。

[0022] 同様に、 π (rad) において、半導体スイッチ素子1 A, 2 Bがオフする。その一方で、 $\pi \sim \pi + \theta$ (rad) の期間には、正の電流iが、ダイオード3 B, 4 Aを流れて直流電源8に戻される。ダイオード3 B, 4 Aが導通することにより、半導体スイッチ素子1 B, 2 Aがオンするとともに、電圧Vが正から負へと切り換わる。

[0023] ダイオード3 A, 4 A, 3 B, 4 Bは、電圧Vの変化に遅れて変化する電流iの経路を確保する。このようなダイオードは、一般に、帰還ダイオード (freewheeling diode) と呼ばれる。

[0024] ユニット10 Aでは、半導体スイッチ素子1 Aのオフ時 ($\pi \sim \pi + \theta$) にダイオード4 Aが導通する。半導体スイッチ素子2 Aのオフ時 ($0 \sim \theta$) にダイオード3 Aが導通する。一方、半導体スイッチ素子1 Aのオン時 ($\theta \sim \pi$) にダイオード4 Aが逆バイアスされる。半導体スイッチ素子2 Aのオン時 ($\pi + \theta \sim 2\pi$) にダイオード3 Aが逆バイアスされる。ユニット10 Bに含まれる各半導体スイッチ素子および各ダイオードも上記と同じ方式で動作する。

[0025] 図4は、図1に示した基本ユニットにより構成されたパワーモジュールを含む電力変換回路の別の例を示した図である。図4を参照して、電力変換回路は三相インバータであり、直流を三相交流に変換する。三相負荷9 Bは、誘導性負荷であり、たとえば三相交流モータである。

[0026] 電力変換回路は、パワーモジュール102を含む。パワーモジュール102は、ユニット10 A, 10 B, 10 Cを含む。ユニット10 A~10 Cは、端子5, 6の間に並列に設けられる。端子5, 6は直流電源8の正極および負極にそれぞれ接続される。一方、ユニット10 A~10 Cの各々の端子 (7 A~7 C) は、三相負荷9 Bに接続される。ユニット10 A~10 Cの各々は、図1に示した構成を有する。したがって、ユニット10 A~10 C

の各々の構成の説明は以後繰り返さない。

[0027] 図2および図4は、インバータ、すなわち直流電力を交流電力に変換するための電力変換回路を示す。しかしながら、図2および図4に示されたパワーモジュールを、交流電力を直流電力に変換するための電力変換回路に適用することも可能である。この場合には、交流負荷に代えて交流電源がパワーモジュールに接続される。さらに、直流電源に代えて直流負荷（抵抗性負荷）がパワーモジュールに接続される。

[0028] さらに、本発明の一実施形態に係るパワーモジュールは、直流と交流との間で電力を変換する回路に用いられるものと限定されない。

[0029] 図5は、図1に示した基本ユニットにより構成されたパワーモジュールを含む電力変換回路の別の例を示した図である。図5を参照して、電力変換回路はDC/DCコンバータであり、直流電圧を昇圧または降圧する。電力変換回路は、パワーモジュール103を含む。パワーモジュール103は、図1に示したユニット10を含む。端子7は、誘導性要素9（たとえばリアクトル）の一方端に接続される。誘導性要素9の他方端は、端子5Aに接続される。端子5Bは、端子6に接続される。

[0030] この例では、電力変換回路は、端子5、6間の直流電圧 V_1 を直流電圧 V_2 に変換して、端子5A、5B間に直流電圧 V_2 を出力する。たとえば $V_2 > V_1$ である。さらに、電力変換回路は、端子5A、5B間の直流電圧 V_2 を直流電圧 V_1 に変換して、端子5、6間に直流電圧 V_1 を出力してもよい。

[0031] 図4および図5に示されたユニットに含まれる半導体スイッチ素子は、図3に示された方式に従って動作する。さらに、上述した半導体スイッチ素子をオン/オフするための制御方式は特に限定されるものではない。たとえばパルス幅変調（PWM）方式を本発明の実施の形態に適用することができる。

[0032] これらの電力変換回路の効率を高めるためには、スイッチング速度の高速化および損失の低減が要求される。電力変換回路の損失として代表的なもの

は、１）ダイオードおよび半導体スイッチ素子の各々のオン抵抗に起因する損失、２）スイッチング損失（ターンオン損失およびターンオフ損失）および、３）ダイオードの逆回復損失である。

[0033] 本発明の実施の形態に係るパワーモジュールは、窒化ガリウム（GaN）ダイオードまたはダイヤモンドダイオードを備える。本発明の実施の形態では、これらのダイオードは、ショットキーバリアダイオードである。ショットキーバリアダイオードは、GaN基板あるいはダイヤモンド基板を用いて形成される。

[0034] SiCと同様に、GaNおよびダイヤモンドは、Siのバンドギャップより大きなバンドギャップを有するワイドギャップ半導体である。したがって、GaNショットキーバリアダイオードあるいはダイヤモンドショットキーバリアダイオードをパワーモジュールに適用することによって、低損失、高耐圧、高速動作、および高温環境での安定動作を実現できる。

[0035] 特に、GaNショットキーバリアダイオードおよびダイヤモンドショットキーバリアダイオードは、SiCショットキーバリアダイオードに比べて低いオン抵抗値を有する。したがって本発明の実施の形態によれば、電力変換回路の損失の低減をより一層促進できる。

[0036] ダイオード３，４は同種のショットキーバリアダイオードにより実現可能である。したがって以下では、ダイオード３の構造の例を代表的に説明し、ダイオード４の構造については詳細な説明を繰り返さない。

[0037] （GaNショットキーバリアダイオード）

図６は、本発明の実施の形態に従うパワーモジュールに適用されうるGaNショットキーバリアダイオードの１つの例の断面図である。図７は、図６に示すGaNショットキーバリアダイオードの斜視図である。図６および図７に示すように、ショットキーバリアダイオード（SBD）３－１は、窒化ガリウム基板としてのGaN自立基板２２と、エピタキシャル層としてのGaNエピタキシャル層２３とを備える。GaNエピタキシャル層２３は、主表面としてのGaN自立基板２２の表面２２a上に形成されている。SBD

3-1はまた、絶縁層24を備える。絶縁層24は、GaNエピタキシャル層23の表面23a上に形成されている。

[0038] SBD3-1はさらに、GaNエピタキシャル層23の表面23aに接触するとともに絶縁層24に重なるように形成されている電極25と、GaN自立基板22の裏面22b側に形成されている電極26とを備える。絶縁層24には開口部が形成されており、電極25は絶縁層24の開口部の内部に形成されている。電極25は、たとえば平面形状が円形となるように、形成されている。

[0039] 電極25は、絶縁層24の開口部の内部においてGaNエピタキシャル層23の表面23aに接触する部分であるショットキー電極と、絶縁層24に重なる部分であるフィールドプレート（以下、「FP」と称する）電極とを含む。FP電極と、絶縁層24とは、FP構造を形成する。また、上記ショットキー電極は、GaNエピタキシャル層23とショットキー接合を形成する。一方、電極26は、GaN自立基板22とオーミック接合を形成する、オーミック電極である。

[0040] GaN自立基板22中の転位密度は、 $1 \times 10^8 \text{ cm}^{-2}$ 以下である。また電極25の材質（すなわち、ショットキー電極の材質）は、金、プラチナ、ニッケル、パラジウム、コバルト、銅、銀、タングステン、およびチタンからなる群より選ばれた少なくとも一種の物質を含む。 $1 \times 10^8 \text{ cm}^{-2}$ 以下という低転位密度を有するGaN自立基板22を用いることで、GaNエピタキシャル層23中の転位密度もGaN自立基板22と同等の $1 \times 10^8 \text{ cm}^{-2}$ 以下となる。このため、FP構造を有するSBD3-1において、逆方向リーク電流が減少しているという条件下で、かつ、低リーク電流を実現できる金などのショットキー電極を用いるという条件下で、FP構造による電界緩和が顕著に起こる。その結果、逆方向リーク電流がさらに減少し、逆方向耐電圧を上昇させることができる。なお、転位密度は、たとえば溶融KOH中のエッチングによりできるピットの個数を数えて、単位面積で割るという方法によって測定することができる。

[0041] またSBD3-1は、ショットキー電極およびオーミック電極の一方から他方へと電流が流れる、縦型構造を有する。一般にパワーデバイスでは、横型構造に比べて縦型構造はより大きな電流を流すことができるので、縦型構造はパワーデバイスにより適した構造である。SBD3-1ではGaN自立基板22、GaNエピタキシャル層23が導電性であるため、オーミック電極を裏面側に形成した縦型構造が可能となる。

[0042] 絶縁層24は、シリコン窒化膜(SiN_x)によって形成することができる。また絶縁層24中の水素濃度は、 $3.8 \times 10^{22} \text{ cm}^{-3}$ 未満、より好ましくは $2.0 \times 10^{22} \text{ cm}^{-3}$ 未満とすることができる。このように、膜中水素濃度の低いSiN_xを、FP構造を形成する絶縁膜として適用することができる。この場合、水素濃度の高い絶縁層を用いる場合と比べて、FP構造によるショットキー電極端への電界集中の緩和に基づく逆方向耐電圧上昇の効果が抑制されることはない。つまり、SBD3-1では大きな電界緩和効果が得られ、逆方向耐電圧を上昇させることができる。

[0043] 図6に、絶縁層24の厚みを膜厚tとして示す。絶縁層24の膜厚tは、10nm以上5μm以下であることが望ましい。絶縁層24の膜厚tが10nm未満であれば、絶縁層24の耐圧が低く、絶縁層24が先に破壊されてFP構造の効果は得られない。また、絶縁層24の厚みが5μm超であれば、FP構造による電界緩和自体が得られない。

[0044] また、図6に示す寸法Lは、FP長を示す。FP長とは、FP電極が絶縁層24と重なる長さである。本実施の形態の場合、FP長とは、図6に示すような、SBD3-1の、平面形状が円形の電極25の中心を通る断面において、FP電極が絶縁層24と重なっている長さである。つまり、絶縁層24の開口部の平面形状が円形状であって、電極25の一部であるショットキー電極の平面形状が円形である場合、FP長とは、ショットキー電極の半径方向における、FP電極が絶縁層24と重なる長さである。

[0045] 換言すると、FP長とは、ショットキー電極の平面形状に対する重心と、当該平面形状の外周部上のある一点と、を結ぶような直線の方において、

F P電極が絶縁層と重なっている長さをいう。このようなF P長は、 $1\ \mu\text{m}$ 以上 $1\ \text{mm}$ 以下であることが望ましい。F P長が $1\ \mu\text{m}$ 未満であれば、制御が困難となり、安定してF P構造の効果が得られない。また、F P長が $1\ \text{mm}$ 超であれば、F P構造による電界緩和自体が得られない。

[0046] さらに、図6に示すように、絶縁層24は、電極25がGaNエピタキシャル層23に接触する部分である開口部に面する、端面24aを含む。端面24aは、GaNエピタキシャル層23の表面23aに対し、角度 θ を形成するように傾斜している。電極25において絶縁層24に重なる部分であるF P電極は、端面24aに接着するように、絶縁層24に重ねられている。

[0047] 端面24aが表面23aに対し傾斜しているために、F P構造による電界緩和の効果を増大させることができる。その結果、SBD3-1の逆方向耐電圧を一層向上させることができる。このような絶縁層24の端面24aの傾斜は、ウェットエッチングやドライエッチングなどによって形成することができる。端面24aは、角度 θ が 0.1° 以上 60° 以下の範囲であるように形成される。傾斜の角度が 0.1° 未満であれば、角度の再現性が得にくくなり、また余計に原料が必要となり、製造上問題となる場合があるためである。一方、傾斜の角度が 60° 超であれば、電界緩和の効果が小さくなるためである。

[0048] なお、上記のGaNダイオードの構成およびその製造方法は、米国特許出願公開第2010/0059761号明細書に開示されており、参照による引用によって、その開示の全体を本明細書に取り入れることができる。

[0049] (ダイヤモンドショットキーダイオード)

図8は、本発明の実施の形態に従うパワーモジュールに適用されうるダイヤモンドショットキーバリアダイオードの1つの例の断面図である。図8に示されるように、SBD3-2は、ダイヤモンド基板30と、第1の金属層31と、第2の金属層32とを備える。

[0050] ダイヤモンド基板30は、バルク単結晶、気相合成法による薄膜多結晶、気相成長法による薄膜単結晶（エピタキシャル膜）のいずれであってもよい

。ダイヤモンド基板は、*n*型または*p*型のいずれであってもよい。さらに、ダイヤモンド基板は、天然または人工（高圧合成）のバルク単結晶であってもよい。

[0051] ダイヤモンドの抵抗率は、 $1 \times 10^5 \Omega \cdot \text{cm}$ 以下であることが好ましく、より好ましくは $1000 \Omega \cdot \text{cm}$ 以下、さらに好ましくは、 $100 \Omega \cdot \text{cm}$ 以下である。

[0052] 第1の金属層31としては、仕事関数が5 eV以下の金属を用いる。「仕事関数 (work function)」とは、フェルミ準位にある電子を真空中に取り出すために必要な最小エネルギーをいう。このような仕事関数としては、例えば、S. M. Sze 著「Physics of Semiconductor Devices」(第2版) John Wiley & Sons (1981年) 第251頁に記載されている仕事関数の値を好適に使用することができる。このような、仕事関数が5 eV以下の金属としては、例えば、アルミニウム (Al)、マグネシウム (Mg)、亜鉛 (Zn) 等が好適に使用可能である。

[0053] 多層構造あるいは形成の容易さの点から、第1の金属層31の仕事関数は、2.5 eV～4.5 eVであることがより好ましい。第1の金属層31の融点は、700℃以下であることが好ましい。

[0054] 第2の金属層32には、融点が1000℃以上の高融点金属が用いられる。このような金属としては、例えば、タングステン (W)、ジルコニウム (Zr)、タンタル (Ta)、モリブデン (Mo)、ニオブ (Nb) 等が好適に使用可能である。

[0055] ダイヤモンド基板30に接している第1の金属層31の厚さ t_1 は、0.5 nm以上であり、好ましくは、5 nm以上である。さらに、第1の金属層31の厚さ t_1 は、100 nm以下であり、好ましくは、50 nm以下である。

[0056] 第2の金属層32は、第1の金属層31と接触する。第2の金属層32の厚さ t_2 は、第1の金属層31の厚さ t_1 よりも大きいことが好ましい ($t_2 > t_1$)。具体的には、第2の金属層32の厚みは10 nm以上であるこ

とが好ましく、30～200 nmであることがより好ましい。第1の金属層の厚さ t_1 に対する第2の金属層の厚さ t_2 の比(t_2/t_1)は、4以上であることが好ましく、10～50であることがより好ましい。

[0057] 図9は、本発明の実施の形態に従うパワーモジュールに適用されうるダイヤモンドショットキーバリアダイオードの他の例の断面図である。図9に示されるように、SBD3-3は、ダイヤモンド基板30と、第1のp型ダイヤモンド層35と、第2のp型ダイヤモンド層36と、ショットキー電極37と、オーミック電極38とを備える。

[0058] 第1のp型ダイヤモンド層35は、ダイヤモンド基板30の表面に形成されている。第2のp型ダイヤモンド層36は、第1のp型ダイヤモンド層35の上に形成されている。第1のp型ダイヤモンド層35および第2のp型ダイヤモンド層36は、ボロンがドーピングされたダイヤモンド層である。第1のp型ダイヤモンド層35のボロン濃度は、第2のp型ダイヤモンド層36のボロン濃度よりも大きい。第2のp型ダイヤモンド層36は、フォトリソグラフィおよびエッチングによって、図9に示されるように加工される。

[0059] ショットキー電極37は、第2のp型ダイヤモンド層36上に形成されている。ショットキー電極37は、たとえばアルミニウム(Al)膜およびタングステン(W)膜をこの順に積層することによって形成される。

[0060] オーミック電極38は、第1のp型ダイヤモンド層35上に形成されている。オーミック電極38は、たとえばチタン(Ti)、モリブデン(Mo)および金(Au)をこの順に積層することによって形成される。

[0061] なお、上記のダイヤモンドショットキーダイオードの構成および製造方法は米国特許第5757032号公報に開示されており、参照による引用によって、その開示の全体を本明細書に取り入れることができる。

[0062] 本発明の一実施の形態では、半導体スイッチ素子は、トランジスタである。好ましくは、トランジスタは、SiCトランジスタまたはGaNトランジスタである。SiCトランジスタまたはGaNトランジスタは、横型トランジスタであっても縦型トランジスタであってもよいが、より好ましくは、縦

型トランジスタである。つまり、好ましくは、半導体スイッチ素子は、半導体スイッチ素子の深さ方向に電流が流れる縦型構造を有する。SiCトランジスタまたはGaNトランジスタをパワーモジュールに用いることによって、Siトランジスタを用いたパワーモジュールよりも低損失、高速動作、高温環境での安定動作を実現できる。

[0063] パワーデバイスでは、SiCトランジスタまたはGaNトランジスタを縦型構造とした場合には、横型構造に比べて、より大きな電流を流すことができる。縦型トランジスタを採用することにより、電力変換回路の損失をより一層低減できる。

[0064] 半導体スイッチ素子1, 2は同種のトランジスタにより実現可能である。したがって以下では、半導体スイッチ素子1の構造の例を代表的に説明し、半導体スイッチ素子2の構造については詳細な説明を繰り返さない。

[0065] (SiCトランジスタ)

図10は、本発明の実施の形態に従うパワーモジュールに適用されうるSiCトランジスタの1つの例の断面図である。図10を参照して、SiCトランジスタ1-1は、縦型DMOSFET (Double Implanted Metal Oxide Semiconductor Field Effect Transistor) であって、基板40と、バッファ層41と、耐圧保持層42と、p領域43と、n⁺領域44と、p⁺領域45と、酸化膜46と、ソース電極47aと、上部ソース電極47bと、ゲート電極48と、ドレイン電極49とを備える。

[0066] 基板40は、n型のSiC基板である。バッファ層41はn型のSiCからなり、基板40の表面に形成されている。バッファ層41の厚さは、たとえば0.5 μmである。また、バッファ層41におけるn型の導電性不純物の濃度は、たとえば $5 \times 10^{17} \text{ cm}^{-3}$ とすることができる。

[0067] 耐圧保持層42は、バッファ層41上に形成されている。耐圧保持層42は、n型のSiCからなる。耐圧保持層42の厚さは、たとえば10 μmである。耐圧保持層42におけるn型の導電性不純物の濃度として、たとえば $5 \times 10^{15} \text{ cm}^{-3}$ といった値を用いることができる。

[0068] p領域43は、耐圧保持層42の表面に、互いに間隔を隔てて形成されており、その導電型はp型である。n⁺領域44は、p領域43の表面層に形成されており、その導電型はn型である。n⁺領域44に隣接する位置に、p⁺領域45が形成されている。酸化膜46は、2つのn⁺領域44と、それら2つのn⁺領域44の間に露出した、耐圧保持層42の一部分および2つのp領域43を覆うように形成されている。ゲート電極48は、酸化膜46上に形成されている。ソース電極47aは、n⁺領域44およびp⁺領域45上に形成されている。ソース電極47a上に上部ソース電極47bが形成されている。ドレイン電極49は基板40の裏面に形成されている。基板40の裏面とは、バッファ層41が形成された表面とは反対側の表面である。

[0069] このように、図10に示したSiCトランジスタ1-1は、SiC基板と、SiC基板の表面に形成された半導体層と、SiC基板の裏面に形成された電極とを含む。図10に示した構成によれば、「半導体層」は、バッファ層41および耐圧保持層42（p領域43、n⁺領域44、p⁺領域45を含む）を含む。つまり、好ましくは、半導体スイッチ素子は、炭化珪素トランジスタである。

[0070] なお、上記のSiCトランジスタの構成は、国際出願番号PCT/JP2011/079348号明細書に開示されており、この文献の開示の全体は、参照による援用によって本明細書に取り入れられる。

[0071] また、上記のSiCトランジスタの横型の接合型電界効果トランジスタ（JFET: Junction Field Effect Transistor）の構成は、日本国特許出願公開2003-68762号公報に開示されており、この文献の開示の全体は、参照による援用によって本明細書に取り入れられる。

[0072] （GaNトランジスタ）

図11は、本発明の実施の形態に従うパワーモジュールに適用されうるGaNトランジスタの1つの例の断面図である。

[0073] 図11を参照して、GaNトランジスタ1-2は、FETであり、導電性のGaN基板51と、n⁻型GaNドリフト層52と、p型GaN層53と、

n^+ 型キャップ層54とを備える。 n^- 型GaNDrift層52と、 p 型Ga N層53と、 n^+ 型キャップ層54とは、Ga N基板51の表面にエピタキシャル成長によって形成され、Ga N系積層体55を構成する。

[0074] なお、Ga N基板51の種類に依存して、Ga N基板51と n^- 型Ga Nドリフト層52との間に、Al Ga N層またはGa N層からなるバッファ層が挿入されてもよい。また、 p 型Ga N層53に代えて p 型Al Ga N層を用いることもできる。

[0075] Ga N系積層体55には、 n^+ 型キャップ層54および p 型Ga N層53を貫通して n^- 型Ga Nドリフト層52に至る開口部61が形成される。再成長層62は、開口部61の壁面およびGa N系積層体55の表面を被覆するように、エピタキシャル成長によって形成される。再成長層62は、 i (intrinsic) Ga N電子走行層63およびAl Ga N電子供給層64を含む。 i Ga N電子走行層63とAl Ga N電子供給層64との間にAl N等の中間層が挿入されてもよい。

[0076] ゲート電極56は再成長層62と重なりあうように位置する。ドレイン電極58はGa N基板51の裏面に位置する。ソース電極57は、Ga N系積層体55の上方において、再成長層62にオーミック接触する。図11に示された構成では、ソース電極57は、再成長層62に接触した状態で再成長層62上に位置する。しかしながらソース電極57は、 n^+ 型キャップ層54に接触した状態で n^+ 型キャップ層54上に位置し、かつ、再成長層62の端面にオーミック接触してもよい。

[0077] Ga Nトランジスタ1-2において、電子は、ソース電極57から電子走行層63を通り、 n^- 型Ga Nドリフト層52を経てドレイン電極58へと流れる。この電子の経路において、 p 型Ga N層53は、 n^- 型Ga Nドリフト層52と、 n^+ 型キャップ層54とに挟まれている。電子は、 p 型Ga N層53を流れるわけではないが、 p 型Ga N層53は、電子のバンドエネルギーを持ち上げ、かつ耐圧特性を向上するなどのバックゲート効果を発揮する。

[0078] 本実施の形態では、ソース電極57の下に埋め込まれる形態で p 型Ga N

層 5 3 が配置され、さらに、p 型 GaN 層 5 3 とソース電極 5 7 とにオーミック接触する導電部 5 9 が配置される。導電部 5 9 は、n⁺型キャップ層 5 4 を貫通して p 型 GaN 層 5 3 内に届くとともに、p 型 GaN 層 5 3 とオーミック接触している。導電部 5 9 によって、p 型 GaN 層 5 3 とソース電極 5 7 とは共通の電位を有する。p 型 GaN 層 5 3 はたとえば接地電位に固定される。

[0079] p 型 GaN 層 5 3 は、上記したように、次の作用を発揮する：

- (1) バンドの正方向へのシフトによるピンチオフ特性の向上；
- (2) 縦方向耐圧性能の向上；
- (3) キンク (kink) 現象の防止。

[0080] 上記の (1) および (2) は、上記の導電部 5 9 がなくても、上述のバックゲート効果により、その作用を得ることができる。しかし、p 型 GaN 層 5 3 にオーミック接触する導電部 5 9 が設けられることで、ドレイン電圧を高くした場合にチャネルからドレイン電極までの間において生成される正孔を外部に引き抜くことができ、(3) の作用を得ることができる。以下、(3) について詳細に説明する。

[0081] 導電部 5 9 がない場合には、p 型 GaN 層 5 3 が配置されていても、ドレイン電圧を高めたときにチャネルのドレイン側に高電界領域ができる。この場合、高エネルギーの電子によってアバランシェ破壊が起き、高濃度の正孔が発生する。GaN 系半導体はワイドバンドギャップ半導体であるため、再結合時定数が長い。したがって GaN 系積層体 5 5、とくに n⁻型 GaN ドリフト層 5 2 に正孔が高濃度に蓄積されてゆく。その結果、ドレイン電流ードレイン電圧の飽和領域においてドレイン電流の増大などの暴走を招く。p 型 GaN 層 5 3 に導電部 5 9 を設けることによって、アバランシェ破壊により正孔が多数形成されても、その正孔を、導電部 5 9 を通じて外部に引き抜くことができる。これにより、キンク現象を防止することができる。

[0082] 導電部 5 9 を設けることにより、p 型 GaN 層 5 3 は上記 (1) ~ (3) に示す作用を得ることができる。この結果、キンク現象、縦型耐圧等の制約

を克服して、自由度を拡大して、開口部に形成される2DEG（2次元電子ガス）を縦に通して大電流を操作することが可能となる。

[0083] 図12は、図11に示すGaNトランジスタの平面図である。図12を参照して、GaNトランジスタ1-2は六角形の形状を有する。したがって、GaNトランジスタ1-2を平面的に稠密に配置することができる。さらに、導電部59およびソース電極57は、環状六角形の形状を有する。導電部59は、ソース電極57に完全に覆われている。したがって、面積を増加させることなく、p型GaN層53をソース電極57に電氣的に接続できる。

[0084] n⁻型GaNドリフト層52の厚さは1 μm～25 μmとすることができる。n⁻型GaNドリフト層52のキャリア濃度は、 $0.2 \times 10^{16} \text{ cm}^{-3}$ ～ $2.0 \times 10^{16} \text{ cm}^{-3}$ とすることができる。p型GaN層53の厚さは、0.1 μm～10 μmとすることができる。p型GaN層53のキャリア濃度は、 $0.5 \times 10^{16} \text{ cm}^{-3}$ ～ $50 \times 10^{16} \text{ cm}^{-3}$ とすることができる。p型GaN層53のバックゲート効果の機能を重視する場合には、キャリア濃度を、上記の値より高くして、たとえば $1 \times 10^{17} \text{ cm}^{-3}$ ～ $1 \times 10^{19} \text{ cm}^{-3}$ とすることができる。n⁺型キャップ層54の厚さは、0.1 μm～3 μmとすることができる。n⁺型キャップ層54のキャリア濃度は、 $1.0 \times 10^{17} \text{ cm}^{-3}$ ～ $30.0 \times 10^{17} \text{ cm}^{-3}$ とすることができる。

[0085] 再成長層62において、電子走行層63の厚さは、5 nm～100 nm程度とすることができる。電子供給層64の厚さは、1 nm～100 nm程度とすることができる。電子走行層63の厚さが5 nmより薄いと、2DEGと電子供給層64／電子走行層63との界面が近接しすぎて2DEGの移動度を低下させる。電子走行層63の厚さが100 nmを超えると、p型GaN層53の効果が薄れ、ピンチオフ特性が劣化する。したがって電子走行層63の厚さを、100 nm以下とするのが好ましい。

[0086] このように、図11および図12に示したSiCトランジスタ1-1は、GaN基板と、GaN基板の表面に形成された半導体層と、GaN基板の裏面に形成された電極とを含む。図11および図12に示した構成によれば、

「半導体層」は、GaN系積層体55（n⁻型GaNドリフト層52、p型GaN層53、n⁺型キャップ層54）である。

[0087] 以上の説明したように、好ましくは、半導体スイッチ素子は、窒化ガリウムトランジスタである。窒化ガリウムトランジスタは、第1の主表面と、第1の主表面に対して反対側に位置する第2の主表面とを有する窒化ガリウム基板と、窒化ガリウム基板の第1の主表面に形成された窒化ガリウム層と、窒化ガリウム基板の第2の主表面に形成された電極とを備える。

[0088] なお、上記のGaNトランジスタの構成は、日本国特許出願公開2011-82397号公報および国際公開WO2011/043110パンフレットに開示されており、これらの文献の開示の全体は、参照による援用によって本明細書に取り入れられる。

[0089] 以上説明したように、本実施の形態では、GaNダイオードあるいはダイヤモンドダイオードがパワーモジュールに使用される。すなわち、好ましくは、ダイオードは、窒化ガリウムダイオードである。または、好ましくは、ダイオードは、ダイヤモンドダイオードである。これにより、電力変換回路の損失の低減、動作速度の高速化、高耐圧化、高温での動作安定性などを図ることができる。したがって、電力変換回路の性能をより一層高めることができる。

[0090] さらに、本実施の形態では、GaNトランジスタあるいはSiCトランジスタがパワーモジュールに使用される。すなわち、本実施の形態では、（SiCトランジスタ、GaNショットキーダイオード）、（SiCトランジスタ、ダイヤモンドショットキーダイオード）、（GaNトランジスタ、GaNショットキーダイオード）、（GaNトランジスタ、ダイヤモンドショットキーダイオード）のいずれかの組み合わせがパワーモジュールに採用される。GaNトランジスタおよびSiCトランジスタのいずれも、Siトランジスタに比較して、損失の低減、動作速度の高速化、高耐圧化、高温での動作安定性などを図ることができる。したがって、電力変換回路の性能をより一層高めることができる。

- [0091] なお、上記実施形態では、半導体スイッチ素子として、S i CトランジスタおよびG a Nトランジスタを具体的に示したが、S i CトランジスタあるいはG a Nトランジスタに代えてダイヤモンドトランジスタをパワーモジュールに適用してもよい。すなわち、好ましくは、半導体スイッチ素子は、ダイヤモンドトランジスタである。
- [0092] さらに、上記実施形態では、S i CトランジスタおよびG a Nトランジスタの構造例を示した。しかしS i CトランジスタおよびG a Nトランジスタの構造は上記のように限定されるものではない。
- [0093] さらに、上記実施形態では、半導体スイッチ素子としてトランジスタを示したが、S i C、G a Nあるいはダイヤモンドで形成された半導体スイッチ素子であれば、トランジスタに限定されず、本実施の形態に係るパワーモジュールに適用することができる。
- [0094] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

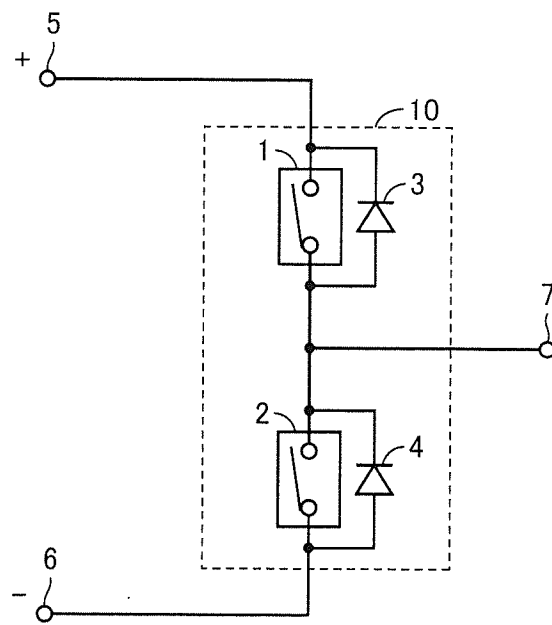
- [0095] 1, 2, 1 A, 2 A, 1 B, 2 B 半導体スイッチ素子、1-1 S i Cトランジスタ、1-2 G a Nトランジスタ、3, 4, 3 A, 4 A, 3 B, 4 B ダイオード、3-1, 3-2 ショットキーバリアダイオード、5, 6, 5 A, 5 B, 6, 7, 7 A, 7 B 端子、8 直流電源、9 誘導性要素、9 A 単相負荷、9 B 三相負荷、10, 10 A~10 C ユニット、22 G a N自立基板、22 a 表面 (G a N自立基板)、22 b 裏面 (G a N自立基板)、23 エピタキシャル層、23 a 表面 (G a Nエピタキシャル層)、24 絶縁層、24 a 端面 (絶縁層)、25, 26 電極、30 ダイヤモンド基板、31 第1の金属層、32 第2の金属層、35 第1のp型ダイヤモンド層、36 第2のp型ダイヤモンド層、37 ショットキー電極、38 オーミック電極、40 基板 (S i C)、41

バッファ層、42 耐圧保持層、43 p領域、44 n⁺領域、45 p⁺領域、46 酸化膜、47a, 57 ソース電極、47b 上部ソース電極、48, 56 ゲート電極、49, 58 ドレイン電極、51 GaN基板、52 n⁻型GaNドリフト層、53 p型GaN層、54 n⁺型キャップ層、55 GaN系積層体、59 導電部、61 開口部、62 再成長層、63 iGaN電子走行層、64 AlGaN電子供給層、101~103 パワーモジュール。

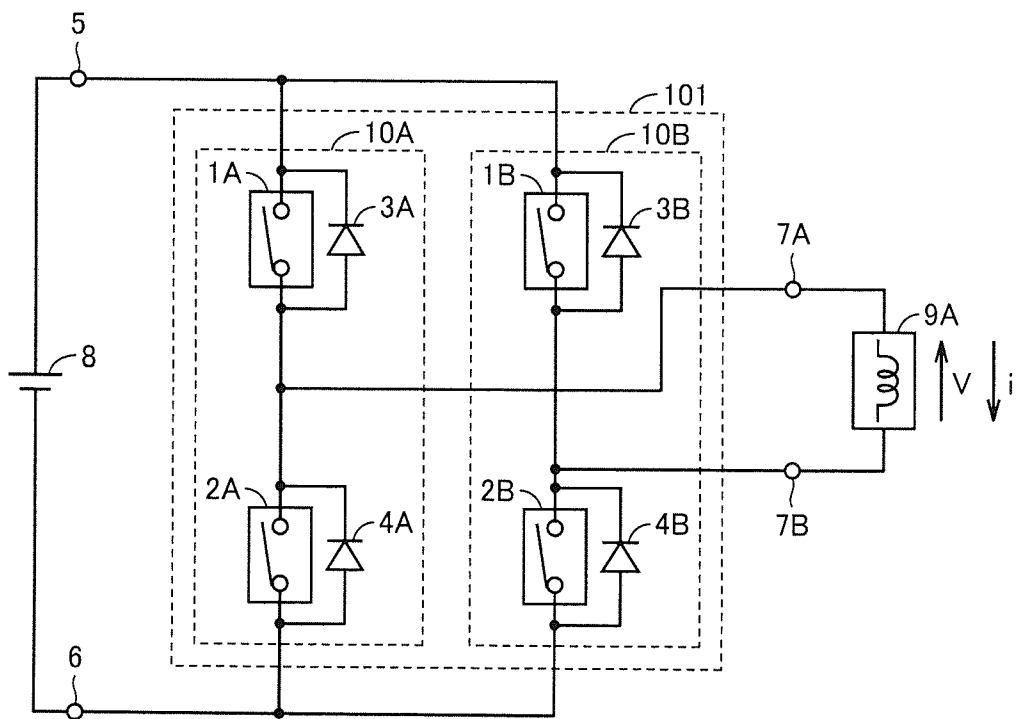
請求の範囲

- [請求項1] 半導体スイッチ素子（１，２）と、
 前記半導体スイッチ素子がオン状態である時に逆バイアスされ、前記半導体スイッチ素子がオフ状態である時に導通するように配置されたダイオード（３，４）とを備え、
 前記ダイオードは、窒化ガリウムダイオードおよびダイヤモンドダイオードのいずれかである、パワーモジュール。
- [請求項2] 前記半導体スイッチ素子（１，２）は、炭化珪素トランジスタ、窒化ガリウムトランジスタ、およびダイヤモンドトランジスタのいずれかである、請求項１に記載のパワーモジュール。
- [請求項3] 半導体スイッチ素子（１，２）と、
 前記半導体スイッチ素子（１，２）がオン状態である時に逆バイアスされ、前記半導体スイッチ素子（１，２）がオフ状態である時に導通するように配置されたダイオード（３，４）とを備え、
 前記ダイオード（３，４）は、窒化ガリウムダイオードおよびダイヤモンドダイオードのいずれかである、電力変換回路。

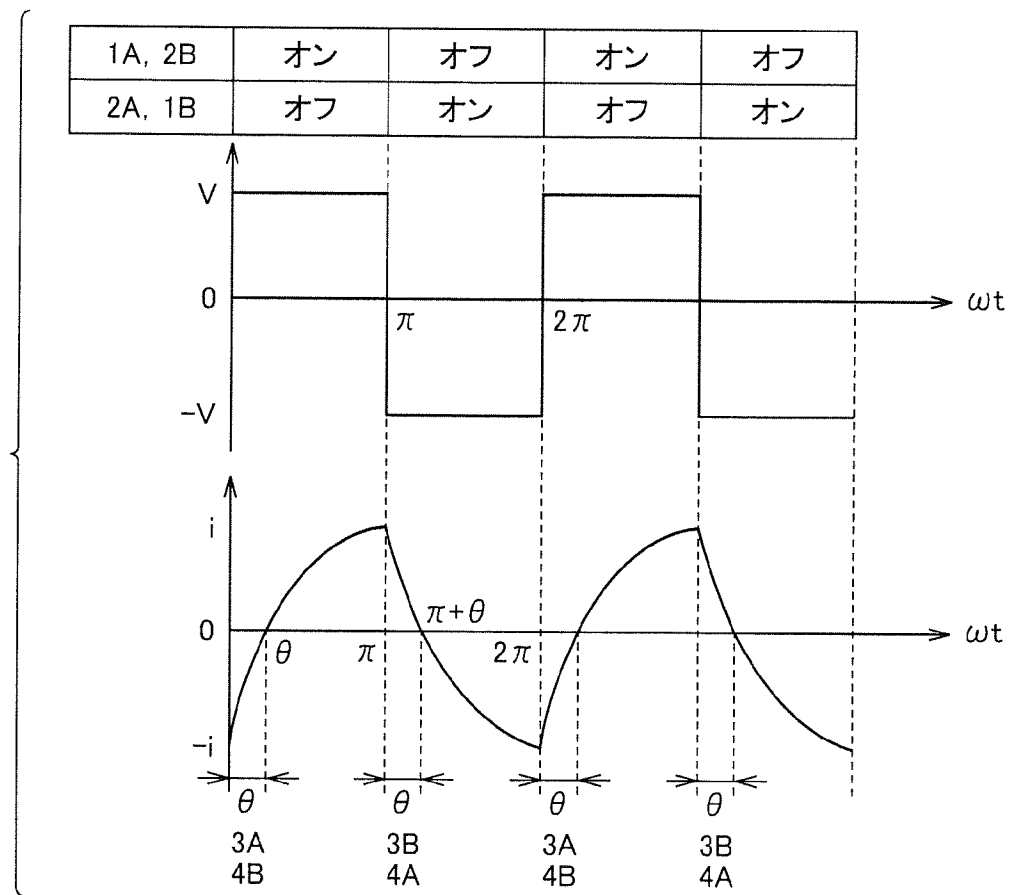
[図1]



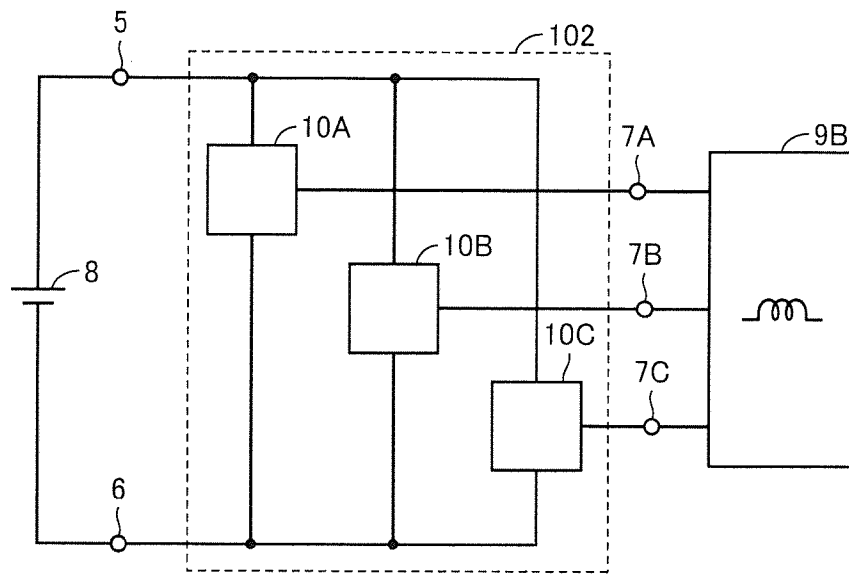
[図2]



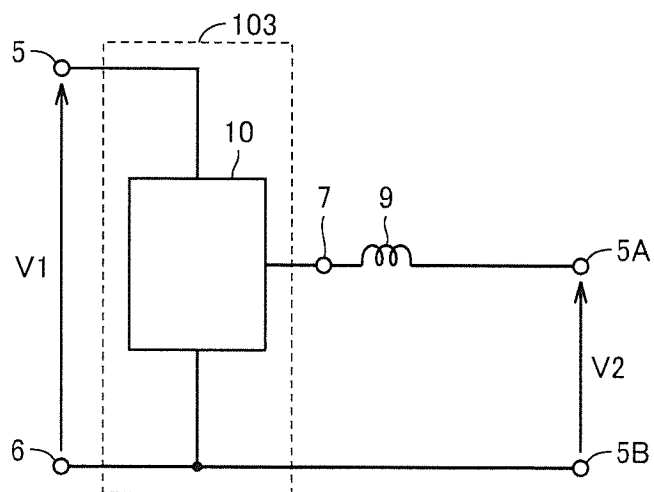
[図3]



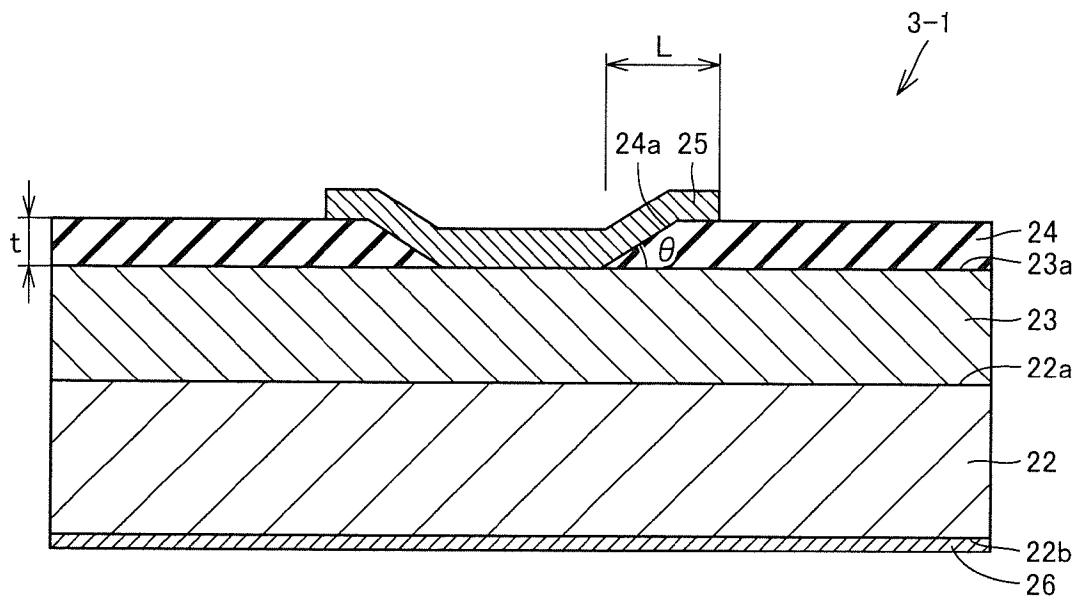
[図4]



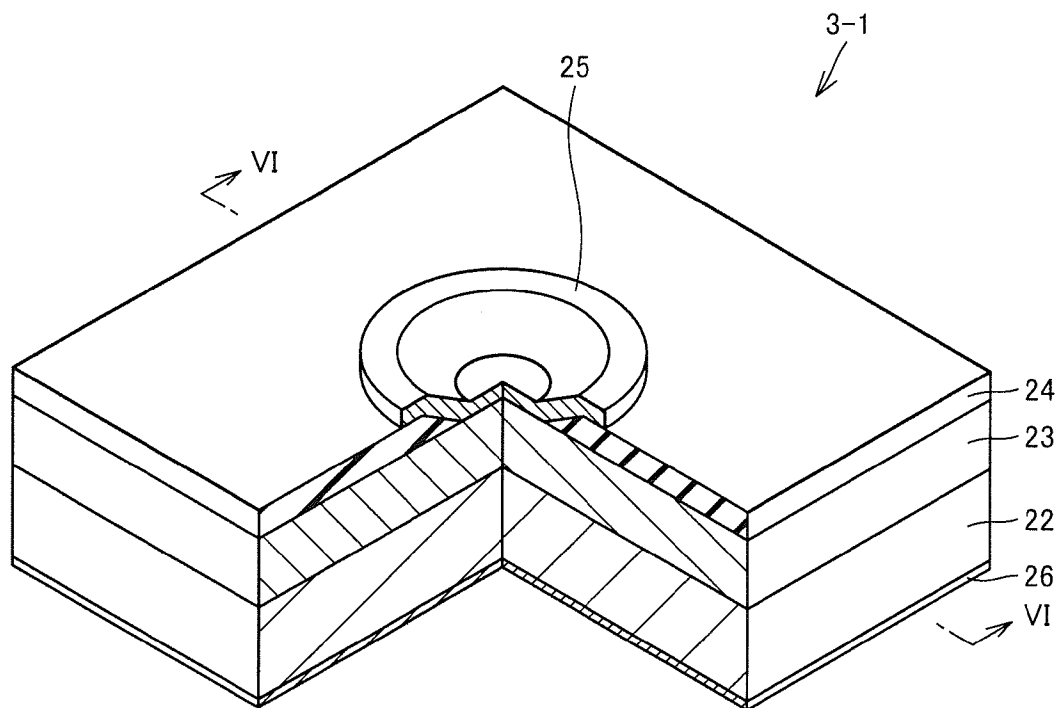
[図5]



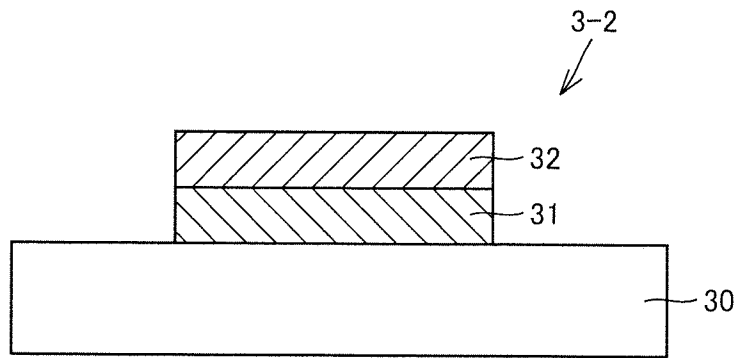
[図6]



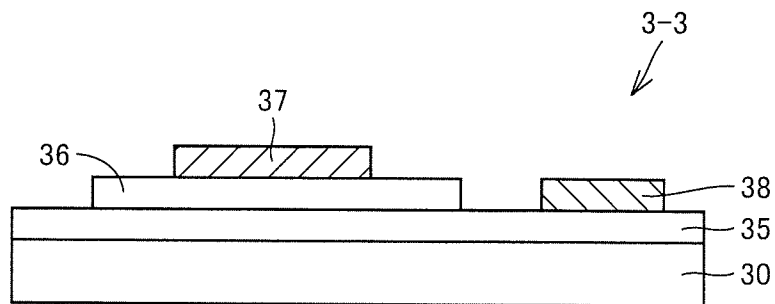
[図7]



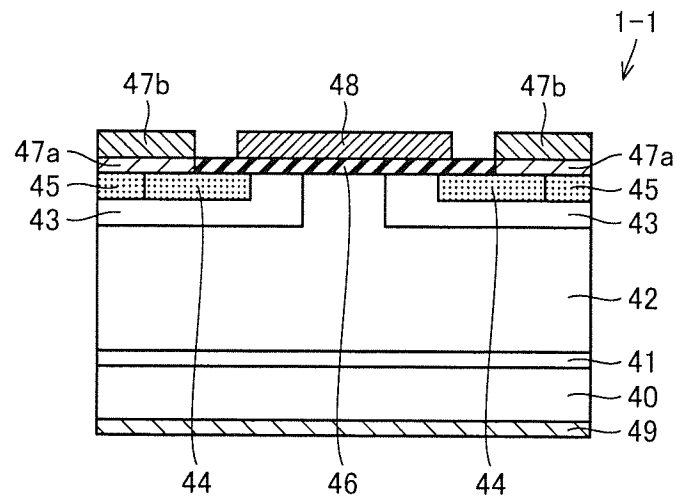
[図8]



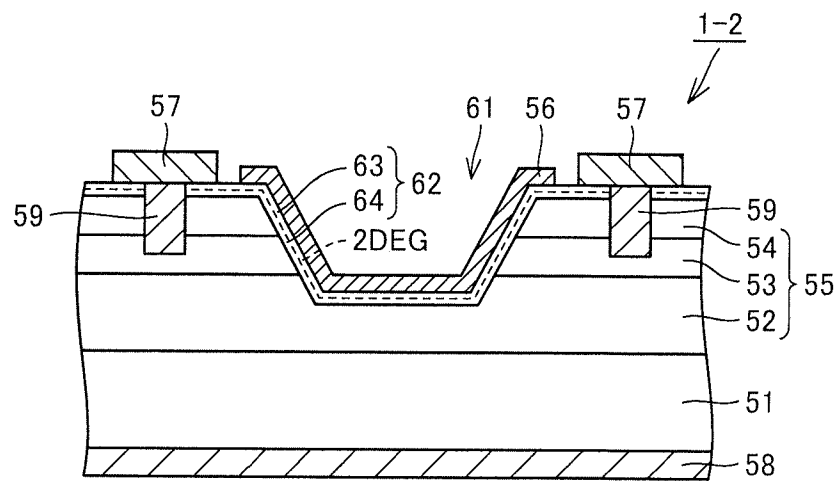
[図9]



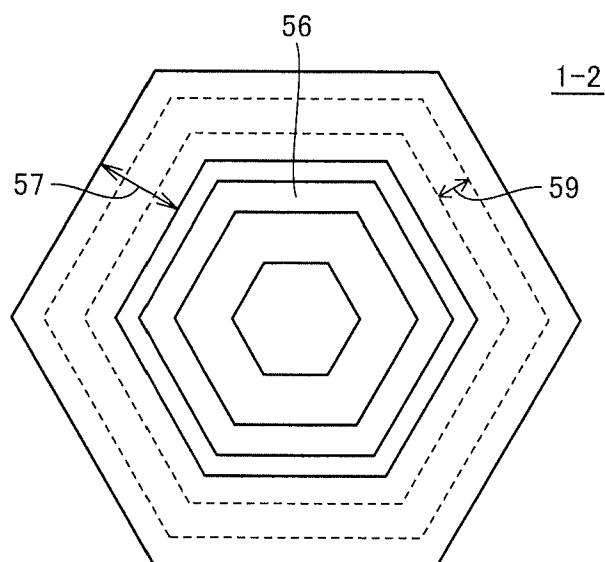
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051622

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/48(2007.01)i, H01L21/338(2006.01)i, H01L29/12(2006.01)i, H01L29/47(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/80(2006.01)i, H01L29/812(2006.01)i, H01L29/872(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/48, H01L21/338, H01L29/12, H01L29/47, H01L29/778, H01L29/78, H01L29/80, H01L29/812, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2010/150549 A1 (Toshiba Corp.), 29 December 2010 (29.12.2010), paragraphs [0105] to [0109]; fig. 1 to 4 & JP 2011-10487 A	1-3
X	WO 2008/149523 A1 (Panasonic Corp.), 11 December 2008 (11.12.2008), paragraph [0059]; fig. 1 & JP 4445036 B & US 2010/0171473 A1 & EP 2151915 A1	1-3
X Y	JP 2011-10404 A (Hitachi, Ltd.), 13 January 2011 (13.01.2011), paragraphs [0028], [0039] to [0040]; fig. 1, 5 & US 2010/0327837 A1 & EP 2267876 A1	1, 3 2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 April, 2012 (17.04.12)

Date of mailing of the international search report
24 April, 2012 (24.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/051622

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2008/041685 A1 (Hitachi, Ltd.), 10 April 2008 (10.04.2008), paragraph [0038]; fig. 2, 4, 8, 10 & JP 2008-92663 A & US 2008/0122497 A1	1, 3 2
Y	WO 2011/052214 A1 (Panasonic Corp.), 05 May 2011 (05.05.2011), paragraphs [0019], [0026] to [0028]; fig. 1 (Family: none)	2
A	JP 2010-252568 A (Hitachi, Ltd.), 04 November 2010 (04.11.2010), paragraphs [0012], [0023]; fig. 1 to 11 & US 2010/0265746 A1 & EP 2242179 A1	1-3

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H02M7/48(2007.01)i, H01L21/338(2006.01)i, H01L29/12(2006.01)i, H01L29/47(2006.01)i,
H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/80(2006.01)i, H01L29/812(2006.01)i,
H01L29/872(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H02M7/48, H01L21/338, H01L29/12, H01L29/47, H01L29/778, H01L29/78, H01L29/80, H01L29/812, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2010/150549 A1 (株式会社 東芝) 2010.12.29, 段落 0105-0109, 第 1-4 図 & JP 2011-10487 A	1-3
X	WO 2008/149523 A1 (パナソニック株式会社) 2008.12.11, 段落 0059, 第 1 図 & JP 4445036 B & US 2010/0171473 A1 & EP 2151915 A1	1-3
X Y	JP 2011-10404 A (株式会社日立製作所) 2011.01.13, 段落 0028,0039-0040,第 1,5 図 & US 2010/0327837 A1 & EP 2267876 A1	1,3 2

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 0 4 . 2 0 1 2

国際調査報告の発送日

2 4 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

河村 勝也

3 V

3 9 2 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2008/041685 A1 (株式会社日立製作所) 2008.04.10, 段落 0038, 第 2,4,8,10 図 & JP 2008-92663 A & US 2008/0122497 A1	1,3 2
Y	WO 2011/052214 A1 (パナソニック株式会社) 2011.05.05, 段落 0019,0026-0028,第 1 図 (ファミリーなし)	2
A	JP 2010-252568 A (株式会社日立製作所) 2010.11.04, 段落 0012,0023, 第 1-11 図 & US 2010/0265746 A1 & EP 2242179 A1	1-3