



## (19) 대한민국특허청(KR)

## (12) 등록특허공보(B1)

(45) 공고일자 2014년11월20일

(11) 등록번호 10-1463152

(24) 등록일자 2014년11월12일

(51) 국제특허분류(Int. Cl.)

H01L 21/78 (2006.01) H01L 21/301 (2006.01)

(21) 출원번호 10-2014-7001125

(22) 출원일자(국제) 2012년05월23일

심사청구일자 2014년05월19일

(85) 번역문제출일자 2014년01월15일

(65) 공개번호 10-2014-0041751

(43) 공개일자 2014년04월04일

(86) 국제출원번호 PCT/US2012/039207

(87) 국제공개번호 WO 2012/173759

국제공개일자 2012년12월20일

(30) 우선권주장

13/160,973 2011년06월15일 미국(US)

(56) 선행기술조사문헌

KR1020070036128 A\*

KR1020110000637 A\*

US20090176375 A1

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

어플라이드 머티어리얼스, 임코포레이티드

미국 95054 캘리포니아 산타 클라라 바우어스 애브뉴 3050

(72) 발명자

알라만칠리, 매드하바, 라오

미국 95037 캘리포니아 모건 힐 아베니다 데 로스파드레스 1660

레이, 웨이-셍

미국 95130 캘리포니아 새너제이 듀발 드라이브 1786

(뒷면에 계속)

(74) 대리인

특허법인 남엔드남

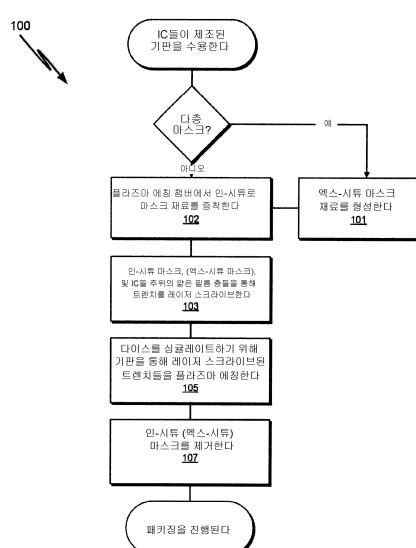
전체 청구항 수 : 총 29 항

심사관 : 정성용

(54) 발명의 명칭 레이저 스크라이빙 및 플라즈마 에칭에 의한 디바이스 싱글레이션을 위한 인-시튜 증착된 마스크 총

**(57) 요약**

레이저 스크라이빙과 플라즈마 에칭 양자 모두에 의해 기판들을 다이싱하는 방법들이 개시된다. 방법은, 후속적인 플라즈마 에칭으로부터 IC 범프 표면들을 보호하기 위해, 플라즈마 증착된 폴리머의 두께를 축적함으로써, 플라즈마 에칭 챔버에서 인-시튜 마스크를 형성하는 단계를 포함한다. 수용성 마스크 재료와 같은 제 2 마스크 재료들이 플라즈마 증착된 폴리머와 함께 활용될 수 있다. 트렌치들을 갖는 패터닝된 마스크를 제공하기 위해, 펨토초 레이저 스크라이빙 프로세스로 마스크의 적어도 일부 부분이 패터닝된다. 패터닝은, IC들을 싱글레이팅하기 위해 기판이 플라즈마 에칭되는 IC를 사이의 기판의 구역들을 노출시키고, 수용성 재료 층이 세척제거된다.

**대 표 도** - 도1a

(72) 발명자

**이튼, 브래드**

미국 94025 캘리포니아 멘로 파크 8 애비뉴 563

**싱흐, 사라브지트**

미국 95051 캘리포니아 산타 클라라 키엘리 블러바  
드 1000 #74

**쿠마르, 아제이**

미국 95014 캘리포니아 쿠퍼티노 만자나타 코트  
10457

**우, 반기우**

미국 94087 캘리포니아 써니베일 알버타 애비뉴  
657

---

## 특허청구의 범위

### 청구항 1

복수의 IC들을 포함하는 기판을 다이싱(dicing)하는 방법으로서,

상기 기판 위에 상기 IC들을 덮고 보호하는 마스크를 형성하는 단계;

상기 IC들 사이의 상기 기판의 구역들을 노출시키는 트렌치들을 갖는 패터닝된 마스크를 제공하기 위해 레이저 스크라이빙(laser scribing) 프로세스로 마스크 두께의 적어도 일부를 패터닝하는 단계; 및

상기 IC들을 싱글레이팅(singulate)하기 위해, 상기 패터닝된 마스크에서의 상기 트렌치들을 통해 상기 기판을 플라즈마 에칭하는 단계

를 포함하며,

상기 마스크를 형성하는 단계는, 상기 기판 위에 폴리머를 플라즈마 증착하는 단계를 더 포함하고, 상기 마스크를 형성하는 단계는, 상기 폴리머의 층을 플라즈마 증착하기 전에, 제 2 마스크 재료를 스픈 코팅함으로써, 제 2 마스크 재료 층을 도포(applying)하는 단계를 더 포함하고, 상기 제 2 마스크 재료 층의 스픈 코팅은, IC 상의 구리 범프(bump)의 상단 표면에, 상기 플라즈마 에칭의 전체 지속기간에 걸쳐 상기 범프를 보호하기에 불충분한 마스크 두께를 남기고, 상기 제 2 마스크 재료 층은 상기 폴리머와 상이한 수용성 폴리머이고, 상기 레이저 스크라이빙 프로세스로 상기 마스크의 적어도 일부를 패터닝하는 것은, 상기 트렌치들을 형성하기 위해 상기 제 2 마스크 재료를 어블레이팅(ablating)하는 것을 더 포함하며, 반도체 기판을 에칭하는 것은 에칭 프로세스로 상기 트렌치들을 에칭하는 것을 포함하고, 상기 에칭 프로세스로 상기 트렌치들을 에칭하는 동안에, 수용성 폴리머 마스크 재료 층은 100 °C 아래로 유지되는,

기판을 다이싱하는 방법.

### 청구항 2

제 1 항에 있어서,

상기 플라즈마 에칭하는 단계는, 복수의 연속적인 에칭 및 증착 사이클들을 포함하는 딥 트렌치 에칭 프로세스(deep trench etch process)를 더 포함하며, 각각의 증착 사이클은 상기 폴리머의 부가적인 양을 증착하는,

기판을 다이싱하는 방법.

### 청구항 3

제 2 항에 있어서,

상기 기판을 플라즈마 에칭하는 단계 및 마스크 층을 플라즈마 증착하는 것은 동일한 플라즈마 챔버에 의해 수행되는,

기판을 다이싱하는 방법.

### 청구항 4

제 1 항에 있어서,

마스크 층을 플라즈마 증착하는 것은, 상기 IC 상의 구리 범프의 상단 표면 위에 상기 폴리머의 층을 구축하는 것(building up)을 더 포함하는,

기판을 다이싱하는 방법.

### 청구항 5

제 4 항에 있어서,

상기 폴리머의 층을 플라즈마 증착하는 것은, C<sub>4</sub>F<sub>8</sub>, C<sub>4</sub>F<sub>6</sub>, 또는 CH<sub>2</sub>F<sub>2</sub> 중 적어도 하나를 포함하는 소스 가스의 플

라즈마에 상기 기판을 노출시키는 것을 더 포함하는,  
기판을 다이싱하는 방법.

#### 청구항 6

제 5 항에 있어서,

상기 폴리머의 층을 플라즈마 증착하는 것은, 상기 층을 적어도 1 미크론(micron)의 두께로 증착하는 것을 더 포함하는,

기판을 다이싱하는 방법.

#### 청구항 7

제 1 항에 있어서,

제 2 마스크 재료를 형성하는 것은, 상기 IC들의 패시베이션 층의 상단 표면과 접촉하는, 폴리(비닐 알코올), 폴리(아크릴산), 폴리(메타크릴산), 폴리(아크릴아미드), 또는 폴리(에틸렌 산화물) 중 적어도 하나를 형성하는 것을 더 포함하는,

기판을 다이싱하는 방법.

#### 청구항 8

제 1 항에 있어서,

상기 레이저 스크라이빙 프로세스로 상기 마스크의 적어도 일부를 패터닝하는 것은 상기 제 2 마스크 재료 내로 트렌치를 어블레이팅하는 것을 포함하며, 상기 폴리머의 층의 플라즈마 증착은 상기 제 2 마스크 재료 내로 상기 트렌치를 어블레이팅한 후에 수행되는,

기판을 다이싱하는 방법.

#### 청구항 9

제 8 항에 있어서,

상기 플라즈마 에칭하는 단계는, 상기 제 2 마스크 재료 내로 어블레이팅된 트렌치 내에 형성된 플라즈마 증착된 폴리머의 층을 클리어링(clear)하기에 충분한 브레이크스루(breakthrough) 에칭을 더 포함하며, 상기 브레이크스루 에칭은 상기 트렌치 외부에 형성된 플라즈마 증착된 폴리머의 층을 클리어링하기에 불충분한,

기판을 다이싱하는 방법.

#### 청구항 10

제 1 항에 있어서,

펩토초 레이저 스크라이빙 프로세스로 상기 마스크를 패터닝하는 것은, 400 펩토초와 동등한 또는 그 미만의 레이저 펄스 폭, 및 540 나노미터와 동등한 또는 그 미만의 파장을 갖는 레이저를 사용하는 것을 포함하는,

기판을 다이싱하는 방법.

#### 청구항 11

제 1 항에 있어서,

상기 기판을 플라즈마 에칭한 후에, 상기 마스크를 수용액으로 제거하는 단계를 더 포함하는,

기판을 다이싱하는 방법.

#### 청구항 12

복수의 IC들을 포함하는 반도체 기판을 다이싱하는 방법으로서,

상기 다이싱에 의해 제거되지 않을 실리콘 기판의 구역 위에 구리 범프를 형성하는 단계 – 상기 구리 범프는

IC에 포함됨 —;

상기 실리콘 기판 위에 그리고 상기 구리 범프의 측면에 수용성 재료 층을 형성하는 단계 — 상기 수용성 재료 층은 상기 다이싱에 의해 제거될 상기 기판의 구역을 덮음 —;

상기 수용성 재료 층과 상기 구리 범프 위에, 상기 수용성 재료 층과 상이한 폴리머를 플라즈마 증착하는 단계;

상기 IC들 사이의 상기 실리콘 기판의 구역들을 노출시키기 위해, 펜토초 레이저로 상기 수용성 재료 층의 두께를 패터닝하는 단계; 및

상기 IC들을 싱글레이팅하기 위해, 상기 실리콘 기판의 노출된 구역들을 에칭하는 단계  
를 포함하는,

반도체 기판을 다이싱하는 방법.

### 청구항 13

제 12 항에 있어서,

폴리머 층을 플라즈마 증착하는 것은,  $C_4F_8$ ,  $C_4F_6$ , 또는  $CH_2F_2$  중 적어도 하나를 포함하는 소스 가스의 플라즈마에 상기 기판을 노출시키는 것을 포함하고, 상기 실리콘 기판을 에칭하는 것은, 복수의 연속적인 에칭 및 증착 사이클들에 상기 기판을 노출시키는 것을 포함하며, 각각의 증착 사이클은  $C_4F_8$ ,  $C_4F_6$ , 또는  $CH_2F_2$  중 적어도 하나를 포함하는 소스 가스의 플라즈마에 상기 기판을 노출시키는,

반도체 기판을 다이싱하는 방법.

### 청구항 14

복수의 IC들을 포함하는 기판을 다이싱하는 방법으로서,

상기 기판 위에 상기 IC들을 덮고 보호하는 마스크를 형성하는 단계;

상기 IC들 사이의 상기 기판의 구역들을 노출시키는 트렌치들을 갖는 패터닝된 마스크를 제공하기 위해 레이저 스크라이빙 프로세스로 마스크 두께의 적어도 일부를 패터닝하는 단계; 및

상기 IC들을 싱글레이팅하기 위해, 상기 패터닝된 마스크에서의 상기 트렌치들을 통해 상기 기판을 플라즈마 에칭하는 단계

를 포함하며,

상기 마스크를 형성하는 단계는, 상기 기판 위에 폴리머를 플라즈마 증착하는 단계를 더 포함하고, 상기 마스크를 형성하는 단계는, 상기 폴리머의 층을 플라즈마 증착한 후에, 제 2 마스크 재료를 스핀 코팅함으로써, 제 2 마스크 재료 층을 도포하는 단계를 더 포함하고, 상기 제 2 마스크 재료 층의 스핀 코팅은, 폴리머의 플라즈마 증착된 층 없이는 상기 플라즈마 에칭의 전체 지속기간에 걸쳐 폴리머의 아래놓인 증착된 층을 보호하기에 불충분한, IC 상의 구리 범프의 상단 표면 위에 배치된 제 2 마스크 재료 층 두께를 제공하고, 상기 제 2 마스크 재료 층은 상기 폴리머와 상이한 수용성 폴리머이고, 상기 레이저 스크라이빙 프로세스로 상기 마스크의 적어도 일부를 패터닝하는 것은, 상기 트렌치들을 형성하기 위해 상기 제 2 마스크 재료를 어블레이팅하는 것을 더 포함하며, 반도체 기판을 에칭하는 것은, 에칭 프로세스로 상기 트렌치들을 에칭하는 것을 포함하고, 상기 에칭 프로세스로 상기 트렌치들을 에칭하는 동안에, 수용성 폴리머 마스크 재료 층은 100 °C 아래로 유지되는,

기판을 다이싱하는 방법.

### 청구항 15

제 14 항에 있어서,

상기 플라즈마 에칭하는 단계는, 복수의 연속적인 에칭 및 증착 사이클들을 포함하는 딥 트렌치 에칭 프로세스를 더 포함하며, 각각의 증착 사이클은 상기 폴리머의 부가적인 양을 증착하는,

기판을 다이싱하는 방법.

### 청구항 16

제 15 항에 있어서,

상기 기판을 플라즈마 애칭하는 단계 및 마스크 층을 플라즈마 증착하는 것은 동일한 플라즈마 챔버에 의해 수행되는,

기판을 다이싱하는 방법.

### 청구항 17

제 14 항에 있어서,

마스크 층을 플라즈마 증착하는 것은, 상기 IC 상의 구리 범프의 상단 표면 위에 상기 폴리머의 층을 구축하는 것을 더 포함하는,

기판을 다이싱하는 방법.

### 청구항 18

제 17 항에 있어서,

상기 폴리머의 층을 플라즈마 증착하는 것은,  $C_8F_8$ ,  $C_4F_6$ , 또는  $CH_2F_2$  중 적어도 하나를 포함하는 소스 가스의 플라즈마에 상기 기판을 노출시키는 것을 더 포함하는,

기판을 다이싱하는 방법.

### 청구항 19

제 18 항에 있어서,

상기 폴리머의 층을 플라즈마 증착하는 것은, 상기 층을 적어도 1 미크론의 두께로 증착하는 것을 더 포함하는,

기판을 다이싱하는 방법.

### 청구항 20

제 14 항에 있어서,

제 2 마스크 재료를 형성하는 것은, 폴리(비닐 알코올), 폴리(아크릴산), 폴리(메타크릴산), 폴리(아크릴아미드), 또는 폴리(에틸렌 산화물) 중 적어도 하나를 형성하는 것을 더 포함하는,

기판을 다이싱하는 방법.

### 청구항 21

제 14 항에 있어서,

상기 스판 코팅 및 상기 플라즈마 증착 양자 모두는, 상기 레이저 스크라이빙 프로세스를 이용한 상기 마스크의 적어도 일부의 패터닝 전에 이루어지는,

기판을 다이싱하는 방법.

### 청구항 22

제 14 항에 있어서,

펩토초 레이저 스크라이빙 프로세스로 상기 마스크를 패터닝하는 것은, 400 펩토초와 동등한 또는 그 미만의 레이저 펄스 폭, 및 540 나노미터와 동등한 또는 그 미만의 파장을 갖는 레이저를 사용하는 것을 포함하는,

기판을 다이싱하는 방법.

### 청구항 23

제 14 항에 있어서,

상기 기판을 플라즈마 애칭한 후에, 상기 마스크를 수용액으로 제거하는 단계를 더 포함하는,  
기판을 다이싱하는 방법.

#### 청구항 24

복수의 IC들을 포함하는 기판을 다이싱하는 방법으로서,  
상기 기판 위에 상기 IC들을 덮고 보호하는 마스크를 형성하는 단계;  
상기 IC들 사이의 상기 기판의 구역들을 노출시키는 트렌치들을 갖는 패터닝된 마스크를 제공하기 위해 레이저  
스크라이빙 프로세스로 마스크 두께의 적어도 일부를 패터닝하는 단계; 및  
상기 IC들을 싱글레이팅하기 위해, 상기 패터닝된 마스크에서의 상기 트렌치들을 통해 상기 기판을 플라즈마 애  
칭하는 단계  
를 포함하며,  
상기 마스크를 형성하는 단계는, 제 1 마스크 재료를 스픬 코팅하는 단계, 및, 후속하여, 제 2 마스크 재료로서  
폴리머의 층을 플라즈마 증착하는 단계를 포함하고, 제 1 마스크 재료 층의 스픬 코팅은, IC 상의 구리 범프의  
상단 표면에, 상기 플라즈마 애칭의 전체 지속기간에 걸쳐 상기 범프를 보호하기에 불충분한 마스크 두께를 남  
기는,  
기판을 다이싱하는 방법.

#### 청구항 25

제 24 항에 있어서,  
상기 플라즈마 애칭하는 단계는, 복수의 연속적인 애칭 및 증착 사이클들을 포함하는 딥 트렌치 애칭 프로세스  
를 더 포함하며, 각각의 증착 사이클은 상기 폴리머의 부가적인 양을 증착하는,  
기판을 다이싱하는 방법.

#### 청구항 26

제 24 항에 있어서,  
상기 폴리머의 층을 플라즈마 증착하는 단계는,  $C_4F_8$ ,  $C_4F_6$ , 또는  $CH_2F_2$  중 적어도 하나를 포함하는 소스 가스의  
플라즈마에 상기 기판을 노출시키는 단계를 포함하는,  
기판을 다이싱하는 방법.

#### 청구항 27

제 24 항에 있어서,  
상기 폴리머의 층을 플라즈마 증착하는 단계는, 상기 층을 적어도 1 미크론의 두께로 증착하는 단계를  
포함하는,  
기판을 다이싱하는 방법.

#### 청구항 28

제 24 항에 있어서,  
제 1 마스크 재료를 형성하는 것은, 상기 IC들의 패시베이션 층의 상단 표면과 접촉하는, 폴리(비닐 알코올),  
폴리(아크릴산), 폴리(메타크릴산), 폴리(아크릴아미드), 또는 폴리(에틸렌 산화물) 중 적어도 하나를 형성하는  
것을 포함하는,  
기판을 다이싱하는 방법.

#### 청구항 29

제 24 항에 있어서,

상기 기판을 플라즈마 에칭한 후에, 상기 마스크를 수용액으로 제거하는 단계를 더 포함하는,  
기판을 다이싱하는 방법.

## 명세서

### 기술분야

[0001] 본 발명의 실시예들은 반도체 프로세싱의 분야에 관한 것이고, 특히, 각각의 기판이 그 위에 집적 회로(IC)를 갖는 기판들을 다이싱(dicing)하기 위한 마스킹(masking) 방법들에 관한 것이다.

### 배경기술

[0002] 반도체 기판 프로세싱에서, 전형적으로 실리콘 또는 다른 반도체 재료로 구성된 기판(또한, 웨이퍼라고 지칭됨) 상에 IC들이 형성된다. 일반적으로, IC들을 형성하기 위해, 반전도성, 전도성, 또는 절연성이 다양한 재료들의 얇은 필름 층들이 활용된다. 동일한 기판 상에, 병행하여, 메모리 디바이스들, 로직 디바이스들, 광발전(photovoltaic) 디바이스들 등과 같은 복수의 IC들을 동시에 형성하기 위해, 다양한 잘 알려진 프로세스들을 사용하여 이를 재료들이 도핑, 증착, 및 에칭된다.

[0003] 디바이스 형성 후에, 필름 프레임에 걸쳐 신장된(stretched) 접착성(adhesive) 필름과 같은 지지 부재 상에 기판이 탑재되고, 패키징 등을 위하여 각각의 개별적인 디바이스 또는 "다이(die)"를 서로로부터 분리시키기 위해 기판이 "다이싱된다(diced)". 현재, 2개의 가장 대중적인 다이싱 기법들은 스크라이빙(scribing) 및 소잉(sawing)이다. 스크라이빙에 있어서, 다이아몬드 팀형(tipped) 스크라이브가, 미리 형성된 스크라이브 라인들을 따라 기판 표면에 걸쳐 이동된다. 예컨대 롤러로 압력을 가할 시에, 기판은 스크라이브 라인들을 따라 분리된다. 소잉에 있어서, 다이아몬드 팀형 소우(saw)가 스트리트(street)들을 따라 기판을 커팅한다. 50-150  $\mu\text{m}$   $\text{s}(\mu\text{m})$  두께의 벌크 실리콘 싱글레이션(singulation)과 같은 얇은 기판 싱글레이션에 있어서, 통상적인(conventional) 접근법들은 빈약한 프로세스 품질만을 산출하여 왔다. 얇은 기판들로부터 다이를 싱글레이팅(singulating)하는 경우에 직면될 수 있는 난제들 중 몇몇은, 상이한 층들 사이의 박리(delamination) 또는 미세균열(microcrack) 형성, 무기 유전체 층들의 치핑(chipping), 엄격한 커프(kerf) 폭 제어의 유지, 또는 정밀한 어블레이션(ablation) 깊이 제어를 포함할 수 있다.

[0004] 또한 플라즈마 다이싱이 고려되어 왔지만, 레이저 스크라이빙과 플라즈마 에칭 양자 모두를 포함하는 하이브리드 다이싱 프로세스를 과중하게 만들 수 있다. 플라즈마 다이싱의 구현을 방해하는 것이 가능한 다른 제한은, 스트리트들을 따르는 다이싱에서 일반적으로 조우되는 금속들(예컨대, 구리)의 플라즈마 프로세싱이, 생산 문제들 또는 스루풋(throughput) 제한들을 생성할 수 있다는 것이다. 마지막으로, 플라즈마 다이싱 프로세스의 마스킹은, 특히, 기판의 상단 표면 토포그래피(topography) 및 두께, 플라즈마 에칭의 선택성(selectivity), 및 기판의 상단 표면 상에 존재하는 재료들에 따라 문제가 있을 수 있다.

### 발명의 내용

[0005] 본 발명의 실시예들은 레이저 스크라이빙과 플라즈마 에칭 양자 모두를 포함하는 하이브리드 다이싱 프로세스를 위해 반도체 기판들을 마스킹하는 방법들을 포함한다.

[0006] 실시예에서, 복수의 IC들을 갖는 반도체 기판을 다이싱하는 방법은 반도체 기판 위에 마스크를 형성하는 단계를 포함하며, 그 마스크는 IC들을 덮고 보호하는 플라즈마 증착된 재료를 포함한다. IC들 사이의 기판의 구역들을 노출시키는 갭(gap)들 또는 트렌치(trench)들을 갖는 패터닝된 마스크를 제공하기 위해, 레이저 스크라이빙 프로세스로 스트리트에서의 마스크 두께의 적어도 일부가 패터닝된다. 그 후에, IC들을 칩들로 싱글레이팅하기 위해, 패터닝된 마스크에서의 갭들을 통해 기판이 플라즈마 에칭된다.

[0007] 다른 실시예에서, 반도체 기판을 다이싱하기 위한 시스템은, 동일한 플랫폼에 커플링된, 펫토초(femtosecond) 레이저 및 플라즈마 에칭 챔버를 포함한다. 플라즈마 에칭 챔버는 기판의 플라즈마 에칭과 폴리머릭(polymeric) 마스킹 재료의 인-시튜(in-situ) 증착 양자 모두를 위해 활용된다.

[0008] 다른 실시예에서, 복수의 IC들을 갖는 기판을 다이싱하는 방법은 실리콘 기판의 전면(front side) 위에 수용성 마스크 층을 형성하는 단계를 포함한다. 수용성 마스크 층은 기판의 전면 상에 배치된 IC 표면들의 대부분을

덮고 보호한다. IC들은 폴리이미드(PI)와 같은 패시베이션 층에 의해 둘러싸인 범프(bump)들을 갖는 구리 범프 형(bumped) 상단 표면을 포함한다. 패시베이션 및 범프들 아래의 표면하(subsurface) 얇은 필름들은 로우-k(low-k) 층간 유전체(ILD) 층 및 구리 인터커넥트(interconnect)의 층을 포함한다. IC들 사이의 실리콘 기판의 구역들을 노출시키기 위해, 펌토초 레이저 스크라이빙 프로세스로, 수용성 재료, 패시베이션 층, 및 표면하 얇은 필름들이 패터닝된다. 수용성 재료 두께는, 기판 에칭을 수행하기 위한 것인 에칭 캠버에서 인-시튜로 플라즈마 에칭하기 전에 플라즈마 증착된 폴리머릭 마스크 재료로 증대된다. IC들을 싱귤레이팅하기 위해, 딥 실리콘 플라즈마 에칭 프로세스(deep silicon plasma etch process)로 실리콘 기판이 관통 에칭된다. 그 후에, 수용성 층 및 인-시튜 증착된 폴리머릭 마스크 재료들은 물 또는 에칭 폴리머 잔여물의 제거에 적합한 다른 용매로 세척제거된다(washed off).

### 도면의 간단한 설명

[0009]

본 발명의 실시예들은 첨부 도면들에서 제한이 아닌 예로서 예시된다.

도 1a는 본 발명의 실시예에 따른, 플라즈마 증착된 마스크 재료가 레이저 스크라이빙 전에 형성되는 하이브리드 레이저 어블레이션-플라즈마 에칭 싱귤레이션 방법을 예시하는 흐름도이다.

도 1b는 본 발명의 실시예에 따른, 플라즈마 증착된 마스크 재료가 레이저 스크라이빙 후에 형성되는 하이브리드 레이저 어블레이션-플라즈마 에칭 싱귤레이션 방법을 예시하는 흐름도이다.

도 1c는 본 발명의 실시예에 따른, 플라즈마 증착된 마스크 재료가 기판의 에칭과 함께 동적으로 형성되는 하이브리드 레이저 어블레이션-플라즈마 에칭 싱귤레이션 방법을 예시하는 흐름도이다.

도 2는 본 발명의 실시예에 따른, 엑스-시튜(ex-situ) 마스크로서 수용성 마스크 층을 도포하는 방법을 예시하는 흐름도이다.

도 3은 본 발명의 실시예에 따른, 웨이퍼 박형화 전에, 다이싱될 기판에 수용성 마스크 층을 도포하는 방법을 예시하는 흐름도이다.

도 4a는 본 발명의 실시예에 따른, 도 1a에 예시된 다이싱 방법의 동작(102)에 대응하는, 복수의 IC들을 포함하는 반도체 기판의 단면도를 예시한다.

도 4b는 본 발명의 실시예에 따른, 도 1a에 예시된 다이싱 방법의 동작(103)에 대응하는, 복수의 IC들을 포함하는 반도체 기판의 단면도를 예시한다.

도 4c는 본 발명의 실시예에 따른, 도 1a에 예시된 다이싱 방법의 동작(105)에 대응하는, 복수의 IC들을 포함하는 반도체 기판의 단면도를 예시한다.

도 4d는 본 발명의 실시예에 따른, 도 1a에 예시된 다이싱 방법의 동작(107)에 대응하는, 복수의 IC들을 포함하는 반도체 기판의 단면도를 예시한다.

도 5a는 본 발명의 실시예들에 따른, 레이저 스크라이빙 전에, 수용성 마스크 위에 도포되는 플라즈마 증착된 폴리머 마스크의 단면도를 예시한다.

도 5b는 본 발명의 실시예들에 따른, 레이저 스크라이빙 후에, 수용성 마스크 위에 도포되는 플라즈마 증착된 폴리머 마스크의 단면도를 예시한다.

도 6은 본 발명의 실시예에 따른, 마스크 제거를 위한 통합된 웨트 스테이션을 갖는, 기판들의 레이저 및 플라즈마 다이싱을 위한 통합된 플랫폼 레이아웃의 블록도를 예시한다.

도 7은 본 발명의 실시예에 따른, 여기에서 설명된, 마스킹, 레이저 스크라이빙, 플라즈마 다이싱 방법들에서의 하나 또는 그 초과의 동작의 자동화된 수행을 제어하는 예시적인 컴퓨터 시스템의 블록도를 예시한다.

### 발명을 실시하기 위한 구체적인 내용

[0010]

각각의 기판이 그 위에 복수의 IC들을 갖는 기판들을 다이싱하는 방법들이 설명된다. 다음의 설명에서, 본 발명의 예시적인 실시예들을 설명하기 위해, 펌토초 레이저 스크라이빙 및 딥 실리콘 플라즈마 에칭 조건들과 같은 다수의 특정 세부사항들이 설명된다. 그러나, 이들 특정 세부사항들 없이 본 발명의 실시예들이 실시될 수 있다는 것이 당업자에게는 명백할 것이다. 다른 경우들에서, 본 발명의 실시예들을 공연히 불명료하게 하는 것을 피하기 위해, IC 제조, 기판 박형화, 테이핑 등과 같은 잘 알려진 양태들은 상세히 설명되지 않는다. 본 명

세서 전반에 걸친 "실시예(an embodiment)"에 대한 언급은, 그 실시예와 관련하여 설명되는 특정한 피처(feature), 구조, 재료, 또는 특성이 본 발명의 적어도 하나의 실시예에 포함된다는 것을 의미한다. 따라서, 본 명세서 전반에 걸친 다양한 개소들에서의 "실시예에서(in an embodiment)"라는 문구의 출현들이 반드시 본 발명의 동일한 실시예를 지칭하는 것은 아니다. 게다가, 하나 또는 그 초과의 실시예들에서 임의의 적합한 방식으로 특정한 피처들, 구조들, 재료들, 또는 특성들이 조합될 수 있다. 또한, 도면들에 도시된 다양한 예시적인 실시예들은 단지 예시적인 표현들일 뿐이고 반드시 실체대로 도시된 것이 아니라는 것이 이해될 것이다.

[0011] "커플링된(coupled)" 및 "연결된(connected)"이라는 용어들은, 이들의 파생어들과 함께, 컴포넌트들 사이의 구조적인 관계들을 설명하기 위해 여기에서 사용될 수 있다. 이를 용어들이 서로에 대한 동의어들로서 의도되지 않는다는 것이 이해되어야 한다. 더 정확히는, 특정한 실시예들에서, "연결된"은 2개 또는 그 초과의 엘리먼트들이 서로 직접적으로 물리 또는 전기 접촉하는 것을 나타내기 위해 사용될 수 있다. "커플링된"은, 2개 또는 그 초과의 엘리먼트들이 서로 직접적으로 또는 간접적으로(이들 사이에 다른 개재하는 엘리먼트들이 존재하면서) 물리 또는 전기 접촉하는 것, 그리고/또는 2개 또는 그 초과의 엘리먼트들이 서로 협력 또는 상호 작용하는 것(예컨대, 인과 관계에서와 같음)을 나타내기 위해 사용될 수 있다.

[0012] 여기에서 사용되는 바와 같은 "위(over)", "아래(under)", "사이(between)", 및 "상(on)"이라는 용어들은 하나의 재료 층의 다른 재료 층들에 대한 상대적인 위치를 지칭한다. 따라서, 예컨대, 다른 층 위 또는 아래에 배치된 하나의 층이 다른 층과 직접적으로 접촉할 수 있거나, 또는 하나 또는 그 초과의 개재하는 층들을 가질 수 있다. 더욱이, 2개의 층들 사이에 배치된 하나의 층이 2개의 층들과 직접적으로 접촉할 수 있거나, 또는 하나 또는 그 초과의 개재하는 층들을 가질 수 있다. 반대로, 제 2 층 "상"의 제 1 층은 그 제 2 층과 접촉한다. 부가적으로, 하나의 층의 다른 층들에 대한 상대적인 위치는, 동작들이 기판의 절대적인 배향(orientation)을 고려하지 않고 기판에 관하여 수행된다고 상정하여 제공된다.

[0013] 일반적으로, 플라즈마 증착된 재료 층을 포함하는 에칭 마스크로 구현되는, 다이 싱글레이션을 위한 초기의 레이저 스크라이브 및 후속적인 플라즈마 에칭을 수반하는 하이브리드 기판 또는 기판 다이싱 프로세스가 여기에서 설명된다. 싱글레이션을 위한 기판의 플라즈마 에칭 및 마스크 층의 플라즈마 증착이 동일한 플라즈마 챔버에 의해 수행되는/동일한 플라즈마 챔버 내에서 발생하는 특정 실시예들에 있어서, 마스크 층의 플라즈마 증착은 여기에서 "인-시튜(in-situ)"라고 지칭되는 한편, 플라즈마 에칭 챔버에 의해 형성되지 않는 마스크 재료들은 여기에서 "엑스-시튜(ex-situ)"라고 지칭된다. 레이저 스크라이브 프로세스는 패터닝되지 않은(즉, 블랭킷(blanket)) 마스크 층, 패시베이션 층, 및 표면화 얇은 필름 디바이스 층들의 적어도 부분적인 두께를 깨끗하게(cleanly) 제거하기 위해 사용될 수 있다. 그 후에, 기판의 노출 또는 부분적인 어블레이션 시에, 레이저 에칭 프로세스가 종료될 수 있다. 그 후에, 칩들의 다이싱 또는 싱글레이션을 위하여, 기판의 벌크를 통해, 예컨대 벌크 단결정질 실리콘을 통해 에칭하기 위해, 하이브리드 다이싱 프로세스의 플라즈마 에칭 부분이 채용될 수 있다.

[0014] 본 발명의 실시예에 따르면, 펨토초 레이저 스크라이빙과 플라즈마 에칭의 조합이 반도체 기판을 개별화된 또는 싱글레이팅된 IC들로 다이싱하기 위해 사용된다. 일 실시예에서, 펨토초 레이저 스크라이빙은, 본질적으로, 그렇지 않다면 완전히, 비평형(non-equilibrium) 프로세스이다. 예컨대, 펨토초 기반 레이저 스크라이빙은 무시 가능한 열적 손상 구역으로 국한될 수 있다. 실시예에서, 레이저 스크라이빙은 울트라 로우-k 필름들(즉, 3.0 아래의 유전 상수를 가짐)을 갖는 IC들을 싱글레이팅하기 위해 사용된다. 일 실시예에서, 레이저를 이용하는 직접적인 라이팅(writing)은 리소그래피 패터닝 동작을 제거하여, 마스킹 재료가 비-감광성이 되게, 그리고 매우 적은 비용으로 구현되는 플라즈마 에칭 기반 다이싱 프로세싱이 기판을 분할하게 허용한다. 일 실시예에서, 스루 실리콘 비아(through silicon via; TSV)-타입 에칭이 플라즈마 에칭 챔버에서 다이싱 프로세스를 완료하기 위해 사용되며, 그 TSV-타입 에칭은 에칭 마스크로서 IC들의 상측에 플라즈마 증착된 것과 실질적으로 동일한 재료를 트렌치의 측벽들 상에 증착한다.

[0015] 도 1a는 본 발명의 실시예에 따른, 플라즈마 증착된 마스크 재료가 레이저 스크라이빙 전에 형성되는 하이브리드 레이저 어블레이션-플라즈마 에칭 싱글레이션 방법을 예시하는 흐름도이다. 도 4a 내지 도 4d는 본 발명의 실시예에 따른, 방법(100)에서의 동작들에 대응하는, 제 1 및 제 2 IC들(425, 426)을 포함하는 기판(406)의 단면도들을 예시한다.

[0016] 방법(100)은 IC들이 위에 형성된 기판의 수용과 함께 시작된다. 도 4a를 참조하면, 기판(406)은 그 위에 형성되는 얇은 필름 디바이스 층들의 제조 프로세스를 견디는데 적합한 임의의 재료로 구성된다. 예컨대, 일 실시예에서, 기판(406)은 단결정질 실리콘, 게르마늄, 또는 실리콘/게르마늄과 같은(그러나, 이에 제한되지 않는)

IV 층-계 재료이다. 다른 실시예에서, 기판(406)은, 예컨대 발광 다이오드들(LEDs)의 제조에서 사용되는 III-V 재료 기판과 같이 III-V 재료이다. 디바이스 제조 동안에, 기판(406)은 전형적으로 두께가 600  $\mu\text{m}$ -800  $\mu\text{m}$ 이지만, 도 4a에 예시된 바와 같이, 50  $\mu\text{m}$  내지 100  $\mu\text{m}$ 로 박형화되었고, 그 박형화된 기판은 지금은, 다이 부착 필름(DAF)(408)으로 기판의 배면에 접착되고 프레임(미도시)에 걸쳐 신장된 배킹 테이프(backing tape)(410)와 같은 캐리어(411)에 의해 지지되어 있다.

[0017] 실시예들에서, 제 1 및 제 2 IC들(425, 426)은, 실리콘 기판(406)에 제조되고 유전체 스택에 매립된(encased) 상보적 금속-산화물-반도체(CMOS) 트랜지스터들 또는 메모리 디바이스들을 포함한다. 복수의 금속 인터커넥트들이 디바이스들 또는 트랜지스터들 위에 그리고 둘러싸는 유전체 층들에 형성될 수 있고, IC들(425, 426)을 형성하기 위하여 디바이스들 또는 트랜지스터들을 전기적으로 커플링시키기 위해 사용될 수 있다. 스트리트(427)를 형성하는 재료들은 IC들(425, 426)을 형성하기 위해 사용되는 재료들과 동일할 수 있거나 또는 유사할 수 있다. 예컨대, 스트리트(427)는 유전체 재료들, 반도체 재료들, 및 메탈라이제이션(metallization)의 얇은 필름 층들을 포함할 수 있다. 일 실시예에서, 스트리트(427)는 IC들(425, 426)과 유사한 테스트 디바이스를 포함한다. 스트리트(427)의 폭은 10  $\mu\text{m}$  내지 100  $\mu\text{m}$ 일 수 있다.

[0018] 동작(102)에서, IC들(425, 426) 사이의 개재하는 스트리트(427)와 IC들(425, 426) 양자 모두를 덮는, 플라즈마 증착된 층을 포함하는 마스크(402)가 기판(406) 위에 형성된다. 실시예에서, 마스크(402)를 형성하는 것은 기판 위에 폴리머를 플라즈마 증착하는 것을 포함한다. 플라즈마 에칭이 복수의 연속적인 에칭 및 증착 사이클들을 갖는 딥 트렌치 에칭 프로세스가 되는 특정 인-시튜 실시예들에 있어서, 에칭 동작(105) 동안의 각각의 증착 사이클은 마스킹 동작(102) 동안에 형성되는 것과 실질적으로 동일한 폴리머의 부가적인 양을 증착한다. 그러나, 전형적인 딥 트렌치 에칭 프로세스가 리소그래피적으로(lithographically) 정의된 포토레지스트 마스크로 수행되고 에칭 동안에 비-수직한(예컨대, 수평한) 표면들 상에 폴리머를 동적으로 축적하지 않는 반면에, 동작(102)에서의 플라즈마 증착은 포토레지스트 마스크를 대체하기 위한 것이고, 따라서, IC들(425, 426)의 수평한 표면들(예컨대, 상단 표면들) 위에 폴리머 보호 층을 축적하기 위해 기판 에칭의 개시 전에 충분한 지속기간 동안 수행된다.

[0019] 실시예에 따르면, 마스크(402)는 동작(102)에서 형성된 플라즈마 증착된 폴리머 층으로만 구성되거나, 또는 도 4a에서 과선에 의해 예시된 바와 같이, 마스크(402)는 다수의 별개의 재료 층들(402A 및 402B)을 포함하며, 그 다수의 별개의 재료 층들(402A 및 402B) 중 적어도 하나는 동작(102)에서 형성된 플라즈마 증착된 폴리머 층인 한편, 다른 것은 동작(101)(도 1a)에서 형성된 엑스-시튜 마스크 재료이다. 그러한 다층화된 실시예들에 있어서, 플라즈마 증착된 폴리머 층은 IC들(425, 426)의 상단 표면과 접촉할 수 있거나(즉, 증착된 폴리머 층은 402A), 또는 아래놓인 마스크 재료 위에 배치될 수 있다(즉, 증착된 폴리머 층은 402B). 다른 더 통상적인 마스킹 재료들, 예컨대 포토레지스트, 무기 유전체 하드마스크들, 예컨대 실리콘 이산화물, 또는 실세스퀴옥산들(silsesquioxanes)과 달리, 플라즈마 증착된 폴리머를 포함하는 마스크는, 종종 폴리이미드(PI)인 아래놓인 패시베이션 층 및/또는 종종 구리인 범프들을 손상시키지 않고 용이하게 제거될 수 있다. 따라서, 마스크(402)는, 플라즈마 에칭 프로세스를 견뎌내어(마스크(402)가 거의 다 소모되지만), 심지어, 기판 에칭 플라즈마에 노출되는 경우에 손상, 산화, 또는 그렇지 않으면 오염될 수 있는 구리 범프들을 보호하기에 충분한 두께로 이루어져야 한다.

[0020] 방법(100)이 엑스-시튜 마스크 형성 동작(101)을 포함하는 일 다층화된 마스크 실시예에서, 마스크(402)는 IC들(425, 426) 위에 배치된 수용성 재료를 포함한다. 그러한 실시예들에 있어서, 수용성 재료는, 동작(102)에서 형성되는 플라즈마 증착된 폴리머 층 아래 또는 위에 배치되기 위해, 각각, 폴리머릭 재료의 플라즈마 증착 전에 또는 후에 도포될 수 있다. 따라서, 도 4a를 참조하면, 제 1 실시예에서, 마스크 층(402A)은 수용성 재료인 한편, 마스크 층(402B)은 인-시튜 플라즈마 증착된 폴리머릭 마스크 재료이다. 그러한 실시예들에 있어서, 수용성 층의 존재는, 마스크 제거 프로세스를 보조할 수 있고 그리고/또는 후속적인 레이저 스크라이빙 동안에 IC들(425, 426)의 상단 표면의 보호를 제공할 수 있다. 제 2 실시예에서, 마스크 층(402A)은 인-시튜 플라즈마 증착된 폴리머릭 마스크 재료인 한편, 마스크 층(402A)은 수용성 재료이다.

[0021] 실시예에서, 재료의 온도가 상승될 후속적인 플라즈마 에칭 프로세스 동안에 과도한 가교(crosslinking)를 피하기 위해, 수용성 마스크 층은, 적어도 60 °C에 대해 열적으로 안정적이고, 바람직하게는 100 °C에서 안정적이며, 이상적으로는 120 °C에 대해 안정적이다. 일반적으로, 과도한 가교는 재료의 용해성(solubility)에 악영향을 미쳐서, 에칭-후 제거를 더 어렵게 한다. 실시예에 따라, 수용성 층이 습식 도포될 수 있거나, 또는 드라이 필름 적층물로서 도포될 수 있다. 어느 모드의 도포에 있어서도, 예시적인 재료들은, 폴리(비닐 알코올), 폴리(아크릴산), 폴리(메타크릴산), 폴리(아크릴아미드), 또는 폴리(에틸렌 산화물) 중 적어도 하나를

포함하며, 다수의 다른 수용성 재료들이 또한 용이하게 이용가능하다. 적층을 위한 드라이 필름들은 수용성 재료만을 포함할 수 있거나, 또는, 또한 수용성일 수 있거나 그렇지 않을 수 있는 접착성 층을 더 포함할 수 있다. 특정한 실시예에서, 드라이 필름은, UV 노출 시에 감소되는 접착성 본딩 세기를 갖는 UV 감응성 접착성 층을 포함한다. 그러한 UV 노출은 후속적인 플라즈마 스트리트 에칭 동안에 발생할 수 있다.

[0022] 도 2는 본 발명의 실시예에 따른, 동작(101)에서 수행되는, 다이싱될 기판 상에 수용성 엑스-시튜 마스크 층을 스펀 코팅하기 위한 방법(200)을 예시하는 흐름도이다. 방법(200)은, 기판이 스펀 코트 시스템 상에 로딩되거나, 또는 통합된 플랫폼의 스펀 코트 모듈 내로 이송되면서 시작된다. 동작(204)에서, 수용성 폴리머의 수용액이 기판(406) 위에서 스피닝된다. 본 발명에 있어서, 수용액의 설계는 최대 필름 두께로 제약되고, 열적 안정성이 고려사항이다. 스트리트에서, 마스크(402) 그리고 특히 수용성 층의 최대 두께는 어블레이션에 의해 마스킹을 통해 패터닝하는 레이저의 능력에 의해 제한된다. 마스크(402)는 어블레이션에 의해 스트리트 패턴이 형성되지 않을 스트리트(427)의 에지를 및/또는 IC들(425, 426) 위에서 훨씬 더 두꺼울 수 있다.

[0023] 도 5a는 본 발명의 실시예들에 따른, 스트리트(427) 및 IC(426)의 상단 표면과 접촉하는 수용성 마스크 층(402A) 위에 도포된 플라즈마 증착된 폴리머 마스크 층(402B)의 확대된 단면도(500)를 예시한다. 도 5a에 도시된 바와 같이, 기판(406)은, DAF(408)(도 4a)와 인터페이스(interface)하는 저부 표면(502) 반대편에 있는 상단 표면(503)을 가지며, 그 상단 표면(503) 상에는 얇은 필름 디바이스 층들이 배치된다. 일반적으로, 얇은 필름 디바이스 층 재료들은 유기 재료들(예컨대, 폴리머들), 금속들, 또는 무기 유전체들, 예컨대 실리콘 이산화물 및 실리콘 질화물을 포함할 수 있다(그러나, 이에 제한되지 않는다). 도 5에 예시된 예시적인 얇은 필름 디바이스 층들은, 실리콘 이산화물 층(504), 실리콘 질화물 층(505), 구리 인터커넥트 층들(508)과, 이들 사이에 배치된 탄소 도핑된 산화물(CDO)과 같은 로우-k(예컨대, 3.5 미만) 또는 울트라 로우-k(예컨대, 3.0 미만) 층간 유전체 층들(ILD)을 포함한다. IC(426)의 상단 표면은, 전형적으로 폴리이미드(PI) 또는 유사한 폴리머인 패시베이션 층(511)에 의해 둘러싸인 전형적으로 구리인 범프(512)를 포함한다. 따라서, 범프(512) 및 패시베이션 층(511)이 IC의 상단 표면을 형성하며, 얇은 필름 디바이스 층들은 표면하 IC 층들을 형성한다. 범프(512)는 패시베이션 층(511)의 상단 표면으로부터 범프 높이( $H_B$ ) 만큼 연장되며, 범프 높이( $H_B$ )는 예시적인 실시예들에서 10  $\mu\text{m}$  내지 50  $\mu\text{m}$ 의 범위를 갖는다.

[0024] 스트리트에서의 마스크(402)의 최대 두께( $T_{\max}$ )는 일반적으로, 레이저 과정과 연관된 광학 변환 효율 및 레이저 전력과 상관된다.  $T_{\max}$ 가 스트리트(427)와 연관되기 때문에, 원하는  $T_{\max}$ 를 달성하도록, 스트리트 피처 토포그래피, 스트리트 폭, 및 수용성 층을 도포하는 방법이 설계될 수 있다. 특정한 실시예들에서, 마스크(402)는 30  $\mu\text{m}$  미만 그리고 유리하게는 20  $\mu\text{m}$  미만인 스트리트 두께  $T_{\max}$ 를 가지며, 더 두꺼운 예칭 마스크는 다수의 레이저 통과들(passes)을 요구한다.

[0025] 마스크(402)의 최소 두께는 후속적인 플라즈마 에칭(예컨대, 도 1에서의 동작(105))에 의해 달성되는 선택성과 상관된다. 스펀 코팅 동작(204)에 대한 스펀 및 디스펜스 파라미터들은, 스트리트에서의  $T_{\max}$ 가 20  $\mu\text{m}$  아래로 유지되는 한편 (실시예에서, 적어도 50  $\mu\text{m}$ 의  $H_B$ 를 갖는) 범프의 상단 표면이 수용성 마스크 재료 층에 대한 예칭 선택성과 상관되는 최소 마스크 두께( $T_{\min}$ )로 덮이는 작은 프로세스 윈도우만을 가질 수 있다. 예컨대, 폴리(비닐 알코올)(PVA)은, 대략 1:20 (PVA:실리콘)의 예칭 레이트 선택성에 대하여, 여기 다른 곳에서 설명되는 예시적인 실리콘 플라즈마 에칭 프로세스들에 대해 1  $\mu\text{m}/\text{min}$  내지 1.5  $\mu\text{m}/\text{min}$ 의 예칭 레이트를 제공하는 것으로 발견되었다. 따라서, IC의 상단 범프 표면 위의 최소 두께(예컨대, 도 5에서의  $T_{\min}$ )는 레이저 스크라이브 깊이 ( $D_L$ ) 및 기판의 두께( $T_{\text{Sub}}$ ) 양자 모두와 상관되는 플라즈마 에칭 깊이( $D_E$ )에 의해 결정될 수 있다. 예컨대,  $D_E$ 가 적어도 50  $\mu\text{m}$ 인 예시적인 실시예에서, 적어도 100  $\mu\text{m}$ 의  $D_E$ 에 대한 충분한 마진(margin)을 제공하기 위해,  $T_{\min}$ 이 적어도 3  $\mu\text{m}$ 이고, 유리하게는 적어도 6  $\mu\text{m}$ 일 것이다. 그러한  $T_{\min}$  값들은  $T_{\max}$  제약과 일치하지 않을 수 있다.

[0026]  $T_{\max}$  아래의 두께로의 수용성 층의 스펀 코팅(도 2, 동작(204))이, 후속적인 플라즈마 에칭의 전체 지속기간 동안 범프(512)를 보호하기에는 불충분한  $T_{\min}$  마스크 두께를 구리 범프(512)의 상단 표면에 남기는(또는, 도 5a에 예시되는 바와 같이, 심지어, 범프(512)를 전혀 덮지 못하는) 실시예들에 있어서, 인-시튜 플라즈마 증착된 폴리머 마스크 층(402B)은, 범프(512)를 보호하는데 필요한  $T_{\min}$ 을 달성하기에 충분한 두께로 증착된다.

[0027] 스펀 코팅 방법(200)을 계속하면, 동작(208)에서, 예컨대 핫 플레이트 상에서 수용액이 건조된다. 건조 온도

및 시간은 후속적인 마스크 제거를 어렵게 할 수 있는 과도한 가교를 피하도록 선택되어야 한다. 예시적인 건조 온도들은 재료에 따라 60 °C 내지 150 °C의 범위를 갖는다. 예컨대, PVA는 60 °C에서 용해가능하게 유지되지만, 온도가 범위의 150 °C 제한에 접근함에 따라 더 용해가능하지 않게 된다는 것이 발견되었다. 스판 코팅 방법(200)을 완료하면서, 기판은 제 2 마스크 재료의 인-시튜 플라즈마 증착을 위한 플라즈마 에칭 챔버로 또는 레이저 스크라이브 모듈로 진공 내에서 이송 또는 언로딩된다(각각, 도 1a에 예시된 방법(100) 또는 도 1b에 예시된 방법(150)으로 돌아간다). 수용성 층이 흡습성인 특정한 실시예들에서, 기판의 에칭 동안의 마스크 박리를 피하기 위해, 진공-내 이송이 특히 유리하다.

[0028] 도 1a로 돌아가면, 마스크(402)가 플라즈마 증착된 재료만을 포함할 것이거나(동작(101) 생략), 또는 제 2 마스크 재료(예컨대, 동작(101)에서 형성된 수용성 재료 층)를 포함할 것인 실시예들에 있어서, 폴리머릭 재료의 플라즈마 증착이 당업계에 알려져 있는 방식으로 진행될 수 있다. 일 인-시튜 증착 실시예에 있어서, 동작(102)에서의 플라즈마 증착 프로세스는, 후속적인 기판 에칭 프로세스 동안에 활용되는 증착 사이클 동안에 채용되는 것들과 실질적으로 동일한 소스 가스들 및 플라즈마 조건들로 진행된다. 예시적인 소스 가스들은 기판 표면들 위에  $C_xF_y$  폴리머를 증착하기 위해, 플루오로카본들, 예컨대  $C_4F_8$  및  $C_4F_6$ 를 포함한다(그러나, 이에 제한되지 않는다). 대안적으로, 소스 가스는 기판 표면들 위에  $C_xH_yF_z$  폴리머를 증착하기 위해, x 및 y가 변화하고 예시적인 실시예에서  $CH_2F_2$ 인 불화계 탄화수소(fluorinated hydrocarbon)( $CH_xF_y$ )일 수 있다. 프로세스 압력 및 플라즈마 전력 양자 모두는, 소스 가스에 따른 설계 선택의 문제로서 변화할 수 있으며, 더 높은 압력들은 증착 레이트들을 증가시킨다. 예시적인 프로세스 압력들은 20 mTorr 내지 200 mTorr의 범위를 갖는다. 플라즈마 전력은 2 kW 내지 6 kW의 소스(상단) 전력의 범위를 가질 수 있으며, 전형적으로 바이어스(저부) 전력은 인가되지 않는다.

[0029] 에칭 챔버 내에서 폴리머 증착이 수행되기 때문에, 기판 온도 그리고 더 구체적으로는 기판 상에 배치된 임의의 수용성 층이 수용성 재료의 수용성을 유지하기에 충분히 낮은 온도들로 유지될 수 있다. 예시적인 실시예에서, 플라즈마 증착 프로세스의 지속기간 전반에 걸쳐 수용성 마스크 재료 층을 100 °C 아래의, 그리고 바람직하게는 70 °C 내지 80 °C의 온도로 유지하기 위해, -10 °C 내지 -15 °C로 칠링된(chilled) 정전 척(ESC)을 통해, 동작(102)에서의 폴리머의 플라즈마 증착 동안에 냉각력이 가해진다.

[0030] 일반적으로, 플라즈마 증착된 폴리머는 1:20 내지 1:30(폴리머:기판)의 에칭 선택성을 제공할 것이다. 비교하면, 예컨대 포토레지스트로 유사한 내에칭성을 달성하기 위해, 150 °C 위의 온도에서의 하드 베이크가 필요할 수 있고, 그러한 높은 베이크 온도는 IC들(425, 426)과 접촉하는(예컨대, 과도한 가교를 야기하는) 수용성 층을 채용하는 실시예들에 대해 불리할 것이다. 따라서, IC의 상단 범프 표면 위의 최소 두께(예컨대, 도 5에서의  $T_{min}$ )는 레이저 스크라이브 깊이( $D_L$ ) 및 기판의 두께( $T_{sub}$ ) 양자 모두와 상관되는 플라즈마 에칭 깊이( $D_E$ )에 의해 결정될 수 있다.  $D_E$ 가 적어도 50  $\mu m$ 인 예시적인 실시예에서, 적어도 100  $\mu m$ 의  $D_E$ 에 대한 충분한 마진을 제공하기 위해,  $T_{min}$ 이 적어도 2  $\mu m$ 이고, 유리하게는 적어도 4  $\mu m$ 이다. 수행될 플라즈마 에칭의 지속기간(즉, 에칭 깊이  $D_E$ )에 따라, 마스킹 폴리머는 10  $\mu m$  또는 그 초과의 두께( $T_{min}$ )로 플라즈마 증착될 수 있다. 이상적으로, 플라즈마 증착된 폴리머의 두께는, 에칭-후 마스크 제거를 단순화하기 위해, 후속적인 기판 에칭 프로세스 동안에 플라즈마 증착된 폴리머의 두께가 거의 완전히 소모되도록 하는 정도이다.

[0031] 방법(100)에 있어서, 스트리트(427) 위에 배치된 마스크(402)(예컨대, 수용성 층(402A) 및 플라즈마 증착된 층(402B))의 부분들을 어블레이팅함으로써 스크라이브 라인들의 직접적인 라이팅을 수행하기 위해 레이저 스크라이브를 이용하는 레이저 스크라이빙 동작(103) 전에는, 플라즈마 증착된 층을 포함하는 마스크(402)가 패터닝되지 않는다. 방법(100)의 동작(103) 및 대응하는 도 4b에서, 레이저 스크라이빙 프로세스로 어블레이션에 의해 마스크(402)가 패터닝되어, 표면하 얇은 필름 디바이스 층들로 연장되고 IC들(425, 426) 사이의 기판(406)의 구역들을 노출시키는 트렌치들(412)이 형성된다. 따라서, 레이저 스크라이빙 프로세스는 IC들(425, 426) 사이에 원래 형성된 스트리트들(427)의 얇은 필름 재료를 어블레이팅하기 위해 사용된다. 본 발명의 실시예에 따르면, 레이저 기반 스크라이빙 프로세스로 마스크(402)를 패터닝하는 것은, 도 4b에 도시된 바와 같이, IC들(425, 426) 사이의 기판(406)의 구역들 내측으로 부분적으로만 트렌치들(414)을 형성하는 것을 포함한다.

[0032] 도 5에 예시된 예시적인 실시예에서, 표면하 얇은 필름 디바이스 층들과 패시베이션 층(511)의 두께( $T_F$ ), 및 플라즈마 증착된 폴리머 마스크 재료와 마스크(402)(예컨대, 수용성 층)의 부분으로서 포함된 임의의 부가적인 재료 층의 두께( $T_{max}$ )에 따라, 레이저 스크라이빙 깊이( $D_L$ )는 대략, 깊이가 5  $\mu m$  내지 50  $\mu m$ 의 범위 내에, 유리하

계는 깊이가 10  $\mu\text{m}$  내지 20  $\mu\text{m}$ 의 범위 내에 있다.

[0033] 실시예에서, 마스크(402)는 펨토초 범위(즉,  $10^{-15}$  초)에서의 펄스 폭(지속기간)을 갖는 레이저로 페터닝되며, 그 레이저는 여기에서 펨토초 레이저라고 지칭된다. 펄스 폭과 같은 레이저 파라미터들의 선택은, 깨끗한 레이저 스크라이브 커팅들을 달성하기 위해 치핑, 미세균열들, 및 박리를 최소화하는 성공적인 레이저 스크라이빙 및 다이싱 프로세스를 전개하는데 중요할 수 있다. 펨토초 범위에서의 레이저 펄스 폭은 유리하게, 더 긴 펄스 폭들(예컨대, 피코초 또는 나노초)에 관한 열 손상 문제들을 완화시킨다. 이론에 의해 구속되지 않지만, 현재 이해되는 바와 같이, 펨토초 에너지 소스는 피코초 소스들에 대해 존재하는 낮은 에너지 리커플링(recoupling) 메커니즘들을 피하고, 나노초 소스가 제공하는 것보다 더 큰 열적 비평형을 제공한다. 나노초 또는 피코초 레이저 소스들의 경우에, 스트리트(427)에 존재하는 다양한 얇은 필름 디바이스 층 재료들은 광학 흡수 및 어블레이션 메커니즘들에 관하여 상당히 상이하게 거동한다. 예컨대, 실리콘 이산화물과 같은 유전체 층들은 본질적으로, 정상적인(normal) 조건들 하에서 모든 상업적으로 이용가능한 레이저 파장들에 대해 투명하다. 반대로, 금속들, 유기물들(예컨대, 로우-k 재료들), 및 실리콘은, 특히 나노초 기반 또는 피코초 기반 레이저 조사(irradiation)에서, 광자들을 매우 쉽게 커플링시킬 수 있다. 비-최적의 레이저 파라미터들이 선택되는 경우에, 무기 유전체, 유기 유전체, 반도체, 또는 금속 중 2개 또는 그 초과를 수반하는 스택된 구조들에서, 스트리트(427)의 레이저 조사는 불리하게 박리를 야기할 수 있다. 예컨대, 측정가능한 정도의 흡수 없이 높은 밴드갭 에너지 유전체들(예컨대, 대략 9 eV 밴드갭을 갖는 실리콘 이산화물)을 관통하는 레이저는 아래놓인 금속 또는 실리콘 층에서 흡수될 수 있어서, 금속 또는 실리콘 층들의 상당한 기화(vaporization)가 야기될 수 있다. 기화는 심각한 층간 박리 및 미세균열을 야기할 가능성이 있는 높은 압력을 생성할 수 있다. 펨토초 기반 레이저 조사 프로세스들은 그러한 재료 스택들의 그러한 미세균열 또는 박리를 피하거나 또는 완화시키는 것으로 입증되었다.

[0034] 펨토초 레이저 기반 프로세스에 대한 파라미터들은, 무기 및 유기 유전체들, 금속들, 및 반도체들에 대해 실질적으로 동일한 어블레이션 특성들을 갖도록 선택될 수 있다. 예컨대, 실리콘 이산화물의 흡수성(absorptivity)/흡수율(absorptance)은 비선형이고, 유기 유전체들, 반도체들, 및 금속들의 흡수성/흡수율과 더 비슷하게 될 수 있다. 일 실시예에서, 유기 유전체, 반도체, 또는 금속 중 하나 또는 그 초과 및 실리콘 이산화물 층을 포함하는 얇은 필름 층들의 스택을 어블레이팅하기 위해, 높은 강도 및 얇은 펄스 폭의 펨토초 기반 레이저 프로세스가 사용된다. 본 발명의 실시예에 따르면, 적합한 펨토초 기반 레이저 프로세스들은, 일반적으로 다양한 재료들에서 비선형 상호작용들을 야기하는 높은 피크 강도(방사조도)를 특징으로 한다. 일 그러한 실시예에서, 펨토초 레이저 소스들은, 대략 50 펨토초 내지 500 펨토초의 범위에서의, 그러나 바람직하게는 100 펨토초 내지 400 펨토초의 범위에서의 펄스 폭을 갖는다.

[0035] 특정 실시예들에서, 레이저 방출은, 얇은 또는 좁은 밴드의 광학 방출 스펙트럼에 대해, 가시 스펙트럼, 자외선(UV), 및/또는 적외선(IR) 스펙트럼들의 임의의 조합을 포괄한다. 펨토초 레이저 어블레이션에 있어서도, 특정 파장들이 다른 파장들보다 더 우수한 성능을 제공할 수 있다. 예컨대, 일 실시예에서, UV 범위에서의 또는 UV 범위에 더 근접한 파장을 갖는 펨토초 기반 레이저 프로세스가 IR 범위에서의 또는 IR 범위에 더 근접한 파장을 갖는 펨토초 기반 레이저 프로세스보다 더 깨끗한 어블레이션 프로세스를 제공한다. 특정 실시예에서, 반도체 기판 또는 기판 스크라이빙에 적합한 펨토초 레이저는, 대략 1570 nm 내지 200 nm 미터의, 그러나 바람직하게는 540 nm 미터 내지 250 nm 미터의 범위에서의 파장을 갖는 레이저에 기초한다. 특정한 실시예에서, 펄스 폭들은 540 nm 미터와 동등한 또는 그 미만의 파장을 갖는 레이저에 대해 500 펨토초와 동등하거나 또는 그 미만이다. 그러나, 대안적인 실시예에서, 듀얼 레이저 파장들(예컨대, IR 레이저와 UV 레이저의 조합)이 사용된다.

[0036] 일 실시예에서, 레이저 및 연관된 광학 경로는, 대략 3  $\mu\text{m}$  내지 15  $\mu\text{m}$ 의 범위에서의, 그러나 유리하게는 5  $\mu\text{m}$  내지 10  $\mu\text{m}$ 의 범위에서의 작업 표면에서의 포컬 스폿(focal spot)을 제공한다. 작업 표면에서의 공간적인 빔 프로파일은 단일 모드(가우시안)일 수 있거나 또는 빔 성형된 톱-해트(top-hat) 프로파일을 가질 수 있다. 실시예에서, 레이저 소스는, 대략 200 kHz 내지 10 MHz의 범위에서의, 그러나 바람직하게는 대략 500 kHz 내지 5 MHz의 범위에서의 펄스 반복 레이트를 갖는다. 실시예에서, 레이저 소스는, 대략 0.5  $\mu\text{J}$  내지 100  $\mu\text{J}$ 의 범위에서의, 그러나 바람직하게는 대략 1  $\mu\text{J}$  내지 5  $\mu\text{J}$ 의 범위에서의 작업 표면에서의 펄스 에너지를 전달한다. 실시예에서, 레이저 스크라이빙 프로세스는, 대략 300  $\text{mm}/\text{sec}$  내지 5  $\text{m}/\text{sec}$ 의 범위에서의, 그러나 바람직하게는 대략 600  $\text{mm}/\text{sec}$  내지 2  $\text{m}/\text{sec}$ 의 범위에서의 속력으로 작업 피스 표면을 따라 진행한다.

[0037] 스크라이빙 프로세스는 단일의 통과만으로 또는 다수의 통과들로 진행될 수 있지만, 2회의 통과들을 초과하지 않는 것이 유리하다. 레이저는 주어진 펄스 반복 레이트로 단일의 펄스들의 트레인(train)으로 또는 펄스 버스

트(burst)들의 트레인으로 가해질 수 있다. 실시예에서, 생성된 레이저 빔의 커프 폭은, 디바이스/실리콘 인터페이스에서 측정하여, 실리콘 기판 스크라이빙/다이싱에서 바람직하게는 대략 6  $\mu\text{m}$  내지 10  $\mu\text{m}$ 의 범위에 있지만, 대략 2  $\mu\text{m}$  내지 15  $\mu\text{m}$ 의 범위에 있다.

[0038] 도 1 및 도 4c를 진행하면, 동작(105)에서, IC들(426)을 싱글레이팅하기 위하여, 마스크(402)에서의 트렌치들(412)을 통해 에칭하기 위해, 기판(406)이 플라즈마(416)에 노출된다. 예시적인 인-시튜 마스크 증착 실시예에서, 플라즈마 마스크 증착 동작(102)을 수행하였던 것과 동일한 챔버에서 기판이 에칭된다. 본 발명의 실시예에 따르면, 동작(105)에서 기판(406)을 에칭하는 것은, 도 4c에 도시된 바와 같이, 궁극적으로 기판(406)을 완전히 통하여 에칭하기 위해, 펜토초 기반 레이저 스크라이빙 프로세스로 형성된 트렌치들(412)을 에칭하는 것을 포함한다.

[0039] 일 실시예에서, 에칭 동작(105)은 스루 비아 에칭 프로세스를 수반한다. 예컨대, 특정 실시예에서, 기판(406)의 재료의 에칭 레이트는 분당 25  $\mu\text{m}$ 보다 더 크다. 높은 전력들에서 동작하는 고밀도 플라즈마 소스가 플라즈마 에칭 동작(105)에 대해 사용될 수 있다. 예시적인 전력들은 3 kW 내지 6 kW, 또는 그 초과의 범위를 갖는다.

[0040] 예시적인 실시예에서, 본질적으로 정밀한 프로파일 제어 및 사실상 스칼lop(scalloping)이 없는 측벽들을 유지하면서, 통상적인 실리콘 에칭 레이트들의 대략 40 %보다 더 큰 에칭 레이트로 단결정질 실리콘 기판 또는 기판(406)을 에칭하기 위해, 딥 실리콘 에칭(즉, 예컨대 스루 실리콘 비아(TSV) 에칭)이 사용된다. 플라즈마 에칭 프로세스의 지속기간 전반에 걸쳐 수용성 마스크 재료 층을 100 °C 아래의, 그리고 바람직하게는 70 °C 내지 80 °C의 온도로 유지하기 위해, -10 °C 내지 -15 °C로 칠링된(chilled) 정전 척(ESC)을 통해 냉각력을 가하는 것을 통하여, 마스크(402)에 존재하는 임의의 수용성 재료 층에 대한 높은 전력의 영향들이 제어된다. 그러한 온도들에서, 수용성이 유리하게 유지된다.

[0041] 특정 실시예에서, 플라즈마 에칭 동작(105)은 추가로, 복수의 에칭 사이클들이 시간에 걸쳐 인터리빙된(interleaved) 복수의 보호 폴리머 증착 사이클들을 수반한다. 증착 시간 대 에칭 시간 비율은 전형적으로 1:1 내지 1:1.4이다. 예컨대, 에칭 프로세스는 250 ms - 750 ms의 지속기간을 갖는 증착 사이클, 및 250 ms - 750 ms의 에칭 사이클을 가질 수 있다. 도 4c에 예시된 바와 같이, 그러한 증착 대 에칭 시간 비율의 경우에, 동작(102)에서 수평한 표면들 상에 증착된 폴리머 마스크 재료가 기판 에칭 동작(105) 동안에 소모 또는 부식되면서, 트렌치 측벽들과 같은 수직한 표면들 상에만 폴리머가 축적될 것이다. 증착 및 에칭 사이클들 사이에, 예컨대 예시적인 실리콘 에칭 실시예에 대해 SF<sub>6</sub>를 채용하는 에칭 프로세스 케미스트리(chemistry)가 C<sub>4</sub>F<sub>6</sub> 또는 C<sub>4</sub>F<sub>8</sub>와 같은(그러나, 이에 제한되지 않는) 중합(polymerizing) 플루오로카본(C<sub>x</sub>F<sub>y</sub>) 가스 또는 불화계 탄화수소(x > 1인 CH<sub>x</sub>F<sub>y</sub>)를 채용하는 증착 프로세스 케미스트리와 교번된다. 일 그러한 실시예에서, 동일한 중합 가스 케미스트리가 마스킹 동작(102)에 대한 것과 동일하다. 예컨대, 도 4c에 예시된 바와 같이, 동작(102)에서 IC 위의 상단 수평 표면들 상에 폴리머 마스크 층(402B)이 형성된 경우에, 에칭 동작(105)은 에칭된 트렌치의 측벽들 상에 동일한 폴리머 마스크 층(402B)을 형성하고, 또한, 폴리머 마스크 층(402B)(도 4a에서보다 더 얇은 것으로 예시됨)을 에칭한다. 당업계에 알려져 있는 바와 같이, 프로세스 압력들이 추가로 에칭 및 증착 사이클들 사이에서 교번될 수 있어서, 특정한 사이클에서 각각을 조력할 수 있다.

[0042] 동작(107)에서, 방법(300)은 인-시튜 증착된 층을 포함하는 마스크(402)의 제거와 함께 종료된다. 실시예에서, 수용성 마스크 층은, 물로, 예컨대 탈이온수의 가압된 분사로, 또는 분위기(ambient) 또는 가열된 워터 배스(water bath) 내의 침수(submergence)를 통해 세척제거된다. 대안적인 실시예들에서, 마스크(402)는 에칭 폴리머 제거에 대해 효과적인 것으로 당업계에 알려져 있는 수용매 용액들로 세척제거될 수 있다. 도 4d에서 추가로 예시된 바와 같이, 플라즈마 싱글레이션 동작(105) 또는 동작(107)에서의 마스크 제거 프로세스는 다이 부착 필름(908)을 추가로 패터닝할 수 있어서, 배킹 테이프(910)의 상단 부분을 노출시킬 수 있다.

[0043] 도 1b는 본 발명의 실시예에 따른, 레이저 스크라이빙 동작(103) 후에 동작(102)에서 플라즈마 증착된 마스크 재료가 형성되는 하이브리드 레이저 어블레이션-플라즈마 에칭 싱글레이션 방법(150)을 예시하는 흐름도이다. 도 5b는 본 발명의 실시예들에 따른, 레이저 스크라이빙 후에 수용성 마스크 위에 도포되는 플라즈마 증착된 폴리머 마스크의 단면도(550)를 예시한다. 방법(150)을 구현하는 실시예들에 있어서, 엑스-시튜 마스크 재료 층(예컨대, 도 5b에서의 층(402A))은, 오염 보호 층으로서, 그리고, 또한, 기판을 노출시키는 레이저 스크라이빙된 트렌치의 저부 표면과 IC의 상단 표면 사이에 플라즈마 증착된 폴리머의 두께에서의 상당한 차이가 존재하도록 충분히 높은 애스펙트(AR)의 어블레이팅된 트렌치에 대한 기반으로서 기능하기 위한 것이다. 그러면, 플라

즈마 증착된 폴리머에서의 이러한 차이는, IC들을 마스킹하기에 충분한 증착된 폴리머가 유지되면서, 트렌치 저부로부터 증착된 폴리머를 클리어링(clear)하기 위한 브레이크스루 에칭(break through etch)을 가능하게 한다.

[0044] 도 1b에 의해 예시된 예시적인 실시예에서, 동작(101)에서, 이전에 설명된 기법들 중 임의의 것에 의해, 엑스-시튜 마스크(예컨대, 여기 다른 곳에서 설명되는 재료들 중 임의의 것 또는 수용성 재료)가 형성된다. 특정한 실시예에서, PVA가 2  $\mu\text{m}$  내지 12  $\mu\text{m}$ 의 두께로 기판 위에 스핀 코팅된다. 동작(103)에서, 도 1a의 컨텍스트에서 이전에 설명된 바와 같이, 스트리트(427)에서의 얇은 필름 디바이스 층들(504, 505, 506, 507, 508, 및 511)과 함께, 엑스-시튜 마스크 층이 레이저에 의해 어블레이팅된다.

[0045] 스크라이빙된 트렌치의 애스펙트 비(AR)는 레이저 스크라이빙된 깊이( $D_L$ )를 트렌치(412)의 폭으로 제산한 것이다. 트렌치 폭들이 6  $\mu\text{m}$  내지 10  $\mu\text{m}$ 인 예시적인 실시예들에 있어서, AR은 1.5:1 내지 5:1일 수 있다. 도 1b를 진행하면, 동작(102)에서, 기판이 에칭 챔버 내로 로딩되고, 폴리머의 인-시튜 플라즈마 증착이 실질적으로 여기 다른 곳에서 설명된 바와 같이 수행된다. 도 5b를 참조하면, 스크라이빙된 트렌치의 AR은, 레이저 스크라이빙된 트렌치(412)의 저부 표면에서의 플라즈마 증착된 폴리머의 두께( $T_{\text{barrier}}$ )와 범프(512)의 상단 표면에서의 플라즈마 증착된 폴리머의 두께( $T_{\min}$ )에서 상당한 차이를 만든다. 그러면, 플라즈마 증착된 폴리머에서의 이러한 차이( $T_{\min} - T_{\text{barrier}}$ )는, IC들을 마스킹하기에 충분한 증착된 폴리머가 트렌치 외부에 유지되면서, 트렌치 저부로부터 증착된 폴리머를 클리어링하기 위한 브레이크스루 에칭을 가능하게 한다. 플라즈마 증착 동작(102)이 3  $\mu\text{m}$ 의  $T_{\min}$ 을 증착하는 예시적인 실시예에서,  $T_{\text{barrier}}$ 는 0.5  $\mu\text{m}$  미만이다.

[0046] 방법(150)을 진행하면, 동작(105)에서, 기판은, 첫번째로, (트렌치 외부에 증착된 더 두꺼운 폴리머 층을 클리어링하지 않으면서) 스크라이빙된 트렌치에 증착된 폴리머를 클리어링하기 위한 폴리머 브레이크스루로, 그리고 두번째로, 방법(100)에 대해 여기 다른 곳에서 설명되는 기법들 및 조건들 중 임의의 것을 채용하는 기판 에칭으로, (예컨대, 마스크 증착 동작(102)을 수행하였던 것과 동일한 챔버에서) 플라즈마 에칭된다. 실시예에서, 폴리머 브레이크스루 단계는, 메인 에칭/증착 순차적인 이방성 에칭 프로세스 동안에 활용되는 것보다 더 높은 바이어스 전력을 수반한다.

[0047] 도 1c는 본 발명의 실시예에 따른, 플라즈마 증착된 마스크 재료가 기판의 에칭과 함께 동적으로 형성되는 하이브리드 레이저 어블레이션-플라즈마 에칭 싱글레이션 방법(190)을 예시하는 흐름도이다. 동작(101)에서, 엑스-시튜 마스크(예컨대, 여기 다른 곳에서 설명되는 재료들 중 임의의 것 또는 수용성 재료)가 이전에 설명된 기법들 중 임의의 것에 의해 형성된다. 특정한 실시예에서, PVA가 2  $\mu\text{m}$  내지 12  $\mu\text{m}$ 의 두께로 기판 위에 스핀 코팅된다. 동작(103)에서, 도 1a의 컨텍스트에서 이전에 설명된 바와 같이, 스트리트(427)에서의 얇은 필름 디바이스 층들(504, 505, 506, 507, 508, 및 511)과 함께, 엑스-시튜 마스크가 레이저에 의해 어블레이팅된다.

[0048] 도 1c를 진행하면, 동작(105)에서, 기판이 에칭 챔버 내로 로딩되고, 기판이 플라즈마 에칭된다. 도 1a 및 도 1b에 예시된 에칭-전 폴리머 증착 기법들(예컨대, 레이저 스크라이브 마스크 증착들 전 및 후 양자 모두)에 대한 대안으로서, 동작(105) 동안에 기판 에칭이 진행됨에 따라, 폴리머 마스크(예컨대, 도 4c에서의 층(402B))가 동적으로 증착된다. 이러한 즉각적으로 인-시튜 증착된 마스크는, 기판 에칭 레이트에서의 약간의 감소를 대가로, 아래놓인 마스크 층(402A)(예컨대, 수용성 마스크 재료)에 대한 매우 높은 선택성으로 높은 애스펙트 트렌치 에칭을 달성할 수 있다. 그러나, 기판이 에칭 챔버 내외로 다수회 이동될 필요가 없기 때문에, 스루풋은 여전히 방법들(100 및 150)에 비하여 개선될 수 있다.

[0049] 기판 에칭 동작(105)은 일반적으로, 방법들(100 및 150)의 컨텍스트에서 설명된 것들과 유사한 반복적인 또는 순환적인 증착/에칭 프로세스(예컨대, 동일한 소스 가스들)를 채용한다. 그러나, 방법(190)의 일 실시예에서, 동작(105)은 (에칭 사이클보다는) 증착 사이클로 시작한다. 추가적인 실시예에서, 증착 시간 대 에칭 시간의 비율이 상대적으로 더 높다(예컨대, 증착 시간:에칭 시간 비율은 1:1보다 더 크고, 더 상세하게는 1.2:1 내지 2:1이다). 예컨대, 증착 시간이 400 ~ 500 ms이고 에칭 시간이 300 ms인 일 예시적인 실시예에서, 구리 범프(512) 위의 단지 2  $\mu\text{m}$   $T_{\min}$ 을 갖는 수용성 마스크가 100  $\mu\text{m}$ 의 깊이( $D_E$ )에 대한 에칭을 견뎌낼 수 있다(예컨대, 50:1 선택성). 또한, 순환적인 증착/에칭 프로세스에서, 각각의 에칭 단계는 전형적으로 2개의 하위-단계들로 분할되고, 제 1 하위 에칭 단계는 100 내지 200 W 바이어스 전력을 인가함으로써 트렌치 저부 상의 실리콘 및 증착된 폴리머를 에칭하기 위한 방향성 에칭이며, 제 2 하위 에칭 단계는 바이어스 전력이 인가되지 않으면서 등방성으로 폴리머 및 실리콘을 에칭하기 위한 등방성 에칭이다. 증착 대 에칭의 고정된 시간 비율에서, 제 1 하위 에칭 단계 시간 대 제 2 하위 에칭 단계 시간의 비율이 또한, 웨이퍼 표면의 상단 상의 마스크 층의 소모

를 더 양호하게 제어하기 위해 조정될 수 있다.

[0050] 또한, 수용성 층을 포함하는 마스크 실시예들에 있어서, 스픈 코팅 방법(200)이 배면 그라인드(BSG) 전에 또는 후에 수행될 수 있다는 것이 유의되어야 한다. 스픈 코팅이 일반적으로, 750  $\mu\text{m}$ 의 통상적인 두께를 갖는 기판들에 대한 기성의(accomplished) 기법이기 때문에, 스픈 코팅 방법(200)은 배면 그라인드 전에 유리하게 수행될 수 있다. 그러나, 대안으로, 예컨대 회전가능한 척 상에 얇은 기판 및 테이핑된 프레임 양자 모두가 지지됨으로써, 배면 그라인드 후에 스픈 코팅 방법(200)이 수행된다.

[0051] 도 3은 웨이퍼 박형화 전에, 다이싱될 기판에 수용성 층을 도포하기 위한 방법(300)을 예시하는 흐름도이다. 방법(300)은, 범프형 그리고 패시베이트된 기판을 수용하면서 시작된다. 동작(304)에서, 수용성 마스크 층(예컨대, 마스크 층(402A))이 형성된다. 따라서, 동작(304)은, 여기 다른 곳에서 설명되는 바와 같은 스픈 코팅 방법(200)을 수반할 수 있다. 동작(360)에서, 수용성 마스크 층 위에 전면 테이프가 형성된다. UV-테이프와 같은(그러나, 이에 제한되지 않는) 임의의 통상적인 전면 테이프가 수용성 마스크 층 위에 도포될 수 있다. 동작(370)에서, 예컨대 도 5에 예시된 기판(406)의 저부 표면(501)을 그라인딩함으로써, 기판이 배면으로부터 박형화된다. 동작(375)에서, 박형화된 기판에 배면 지지부(411)가 부가된다. 예컨대, 배면 테이프(410)가 도포될 수 있고, 그 후에, 수용성 마스크 층을 노출시키기 위해 전면 테이프가 제거된다. 그 후에, 방법(300)은 본 발명의 실시예에 따라, 방법(100)을 완료하기 위해 동작(103)(도 1)으로 돌아간다.

[0052] 단일 프로세스 툴(600)은 하이브리드 레이저 어블레이션-플라즈마 에칭 싱글레이션 프로세스(100)에서의 동작들 중 다수 또는 전부를 수행하도록 구성될 수 있다. 예컨대, 도 6은 본 발명의 실시예에 따른, 기판들의 레이저 및 플라즈마 다이싱을 위해 레이저 스크라이브 장치(610)와 커플링된 클러스터 툴(606)의 블록도를 예시한다. 도 6을 참조하면, 클러스터 툴(606)은 복수의 로드락들(604)을 갖는 팩토리 인터페이스(602)(FI)에 커플링된다. 팩토리 인터페이스(602)는 레이저 스크라이브 장치(610) 및 클러스터 툴(606)과 외부 제조 설비 사이에서 인터페이스하기 위한 적합한 대기 포트(atmospheric port)일 수 있다. 팩토리 인터페이스(602)는 (전면 개방 통합 포드(front opening unified pod)들과 같은) 저장 유닛들로부터 클러스터 툴(606) 또는 레이저 스크라이브 장치(610), 또는 양자 모두 내로 기판들(또는 그 기판들의 캐리어들)을 이송하기 위한 암(arm)들 또는 블레이드들을 갖는 로봇들을 포함할 수 있다.

[0053] 레이저 스크라이브 장치(610)가 또한 FI(602)에 커플링된다. 실시예에서, 레이저 스크라이브 장치(610)는 펨토초 레이저를 포함한다. 펨토초 레이저는 하이브리드 레이저 및 에칭 싱글레이션 프로세스(100)의 레이저 어블레이션 부분을 수행한다. 일 실시예에서, 이동가능한 스테이지가 또한 레이저 스크라이브 장치(610)에 포함되며, 그 이동가능한 스테이지는 펨토초 기반 레이저에 관하여 기판(또는 그 기판의 캐리어)을 이동시키도록 구성된다. 특정 실시예에서, 펨토초 레이저가 또한 이동가능하다.

[0054] 클러스터 툴(606)은 기판들의 진공-내 이송을 위한 로봇식 암을 하우징하는 로봇식 이송 챔버(650)에 의해 FI에 커플링된 하나 또는 그 초파의 플라즈마 에칭 챔버들(608)을 포함한다. 플라즈마 에칭 챔버들(608)은 기판 위에 폴리머 마스크를 증착하는 것과 하이브리드 레이저 및 에칭 싱글레이션 프로세스(100)의 플라즈마 에칭 부분 양자 모두에 적합하다. 일 예시적인 실시예에서, 플라즈마 에칭 챔버(608)는 추가로,  $\text{C}_4\text{F}_8$ ,  $\text{C}_4\text{F}_6$ , 또는  $\text{CH}_2\text{F}_2$  소스 중 적어도 하나 및  $\text{SF}_6$  가스 소스에 커플링된다. 특정 실시예에서, 하나 또는 그 초파의 플라즈마 에칭 챔버들(608)은 미국, 캘리포니아, 서니베일의 Applied Materials로부터 이용가능한 Applied Centura<sup>TM</sup> Silvia<sup>TM</sup> 에칭 시스템이지만, 다른 적합한 에칭 시스템들이 또한 상업적으로 이용가능하다. 실시예에서, 싱글레이션 또는 다이싱 프로세스의 높은 제조 스루풋을 가능하게 하기 위해, 통합된 플랫폼(600)의 클러스터 툴(606) 부분에 하나보다 더 많은 플라즈마 에칭 챔버(608)가 포함된다.

[0055] 클러스터 툴(606)은 하이브리드 레이저 어블레이션-플라즈마 에칭 싱글레이션 프로세스(100)에서의 기능들을 수행하기에 적합한 다른 챔버들을 포함할 수 있다. 도 6에 예시된 예시적인 실시예에서, 기판을 플라즈마 에칭한 후에 플라즈마 증착된 폴리머 및/또는 수용성 마스크의 나머지를 세척제거하기 위해, 웨트 프로세스 모듈(614)이 로봇식 이송 모듈(650)에 커플링된다. 웨트 프로세스 모듈(614)은 예컨대, 가압된 물 스프레이 분사 또는 다른 용매(solvent) 디스펜서를 포함할 수 있다.

[0056] 또 다른 실시예들에서, 증착 모듈(612)은 여기에서 설명되는 수용성 마스크 층의 도포를 위한 스픈 코팅 모듈이다. 스픈 코팅 모듈로서, 증착 모듈(612)은, 프레임 상에 탑재된 배킹 테이프와 같은 캐리어 상에 탑재된 박형화된 기판을 진공에 의해 또는 다른 방식으로 클램핑(clamp)하도록 적응된 회전가능한 척을 포함할 수 있다.

[0057] 도 7은 컴퓨터 시스템(700)을 예시하며, 그 컴퓨터 시스템(700) 내에서, 머신으로 하여금 여기에서 논의되는 스

크라이빙 방법들 중 하나 또는 그 초과를 실행하게 하기 위한 명령들의 세트가, 예컨대, 적어도 하나의 마이크로머신 아티팩트(artifact)를 식별하기 위해 태그로부터 반사되는 광을 분석하도록 실행될 수 있다. 예시적인 컴퓨터 시스템(700)은, 프로세서(702), 메인 메모리(704)(예컨대, 판독 전용 메모리(ROM), 플래시 메모리, 동적 랜덤 액세스 메모리(DRAM), 예컨대 동기식 DRAM(SDRAM) 또는 램버스 DRAM(RDRAM) 등), 정적 메모리(706)(예컨대, 플래시 메모리, 정적 랜덤 액세스 메모리(SRAM) 등), 및 이차 메모리(718)(예컨대, 데이터 저장 디바이스)를 포함하며, 이들은 버스(730)를 통해 서로 통신한다.

[0058] 프로세서(702)는 마이크로프로세서, 중앙 프로세싱 유닛 등과 같은 하나 또는 그 초과의 범용 프로세싱 디바이스들을 표현한다. 더 상세하게, 프로세서(702)는, 복잡 명령 세트 컴퓨팅(complex instruction set computing; CISC) 마이크로프로세서, 축약된 명령 세트 컴퓨팅(reduced instruction set computing; RISC) 마이크로프로세서, 매우 긴 명령어(very long instruction word; VLIW) 마이크로프로세서 등일 수 있다. 프로세서(702)는 또한, 주문형 집적 회로(application specific integrated circuit; ASIC), 필드 프로그래머블 게이트 어레이(FPGA), 디지털 신호 프로세서(DSP), 네트워크 프로세서 등과 같은 하나 또는 그 초과의 특수 목적 프로세싱 디바이스들일 수 있다. 프로세서(702)는 여기에서 논의되는 동작들 및 단계들을 수행하기 위한 프로세싱 로직(726)을 실행하도록 구성된다.

[0059] 컴퓨터 시스템(700)은 네트워크 인터페이스 디바이스(708)를 더 포함할 수 있다. 컴퓨터 시스템(700)은 또한, 비디오 디스플레이 유닛(710)(예컨대, 액정 디스플레이(LCD) 또는 음극선관(CRT)), 알파뉴메릭 입력 디바이스(712)(예컨대, 키보드), 커서 제어 디바이스(714)(예컨대, 마우스), 및 신호 생성 디바이스(716)(예컨대, 스피커)를 포함할 수 있다.

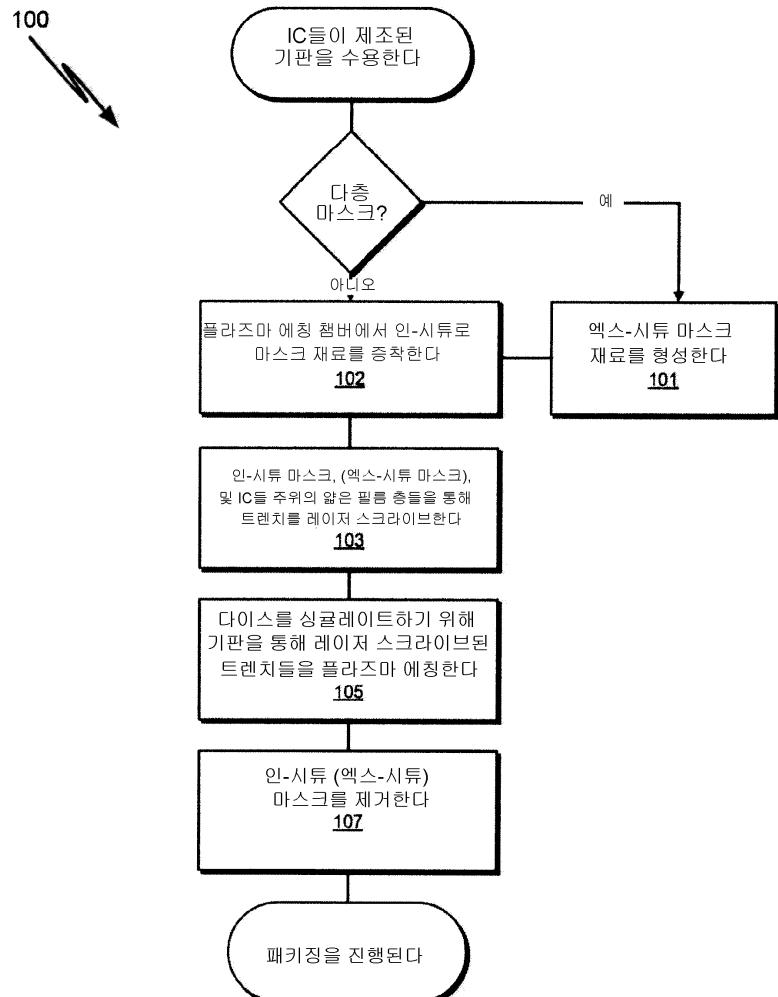
[0060] 이차 메모리(718)는 머신 액세스가능 저장 매체(또는 더 구체적으로, 컴퓨터 판독가능 저장 매체)(731)를 포함할 수 있으며, 그 머신 액세스가능 저장 매체(731) 상에는, 여기에서 설명되는 기능들 또는 방법들 중 임의의 하나 또는 그 초과를 구현하는 명령들의 하나 또는 그 초과의 세트들(예컨대, 소프트웨어(722))이 저장된다. 소프트웨어(722)는 또한, 컴퓨터 시스템(700)에 의한 그 소프트웨어(722)의 실행 동안에 프로세서(702) 내에 그리고/또는 메인 메모리(704) 내에, 완전히 또는 적어도 부분적으로 상주할 수 있으며, 메인 메모리(704) 및 프로세서(702)가 또한 머신 판독가능 저장 매체들을 구성한다. 소프트웨어(722)는 추가로, 네트워크 인터페이스 디바이스(708)를 통하여 네트워크(720)를 통해 송신 또는 수신될 수 있다.

[0061] 머신 액세스가능 저장 매체(731)는 또한, 패턴 인식 알고리즘들, 아티팩트 형상 데이터, 아티팩트 위치 데이터, 또는 입자 스파클(sparkle) 데이터를 저장하기 위해 사용될 수 있다. 예시적인 실시예에서 머신 액세스가능 저장 매체(731)가 단일 매체인 것으로 도시되지만, "머신 판독가능 저장 매체"라는 용어는 명령들의 하나 또는 그 초과의 세트들을 저장하는 다수의 매체들(예컨대, 중앙 집중식 또는 분산식 데이터베이스, 및/또는 연관된 캐시들 및 서버들) 또는 단일 매체를 포함하는 것으로 취해져야 한다. "머신-판독가능 저장 매체"라는 용어는 또한, 머신으로 하여금 본 발명의 방법들 중 임의의 하나 또는 그 초과를 수행하게 하는 그리고 머신에 의한 실행을 위한 명령들의 세트를 저장 또는 인코딩할 수 있는 임의의 매체를 포함하는 것으로 취해져야 한다. 따라서, "머신-판독가능 저장 매체"라는 용어는 솔리드-스테이트 메모리들 그리고 광학 및 자성 매체들을 포함하는 (그러나, 이에 제한되지 않는) 것으로 취해져야 한다.

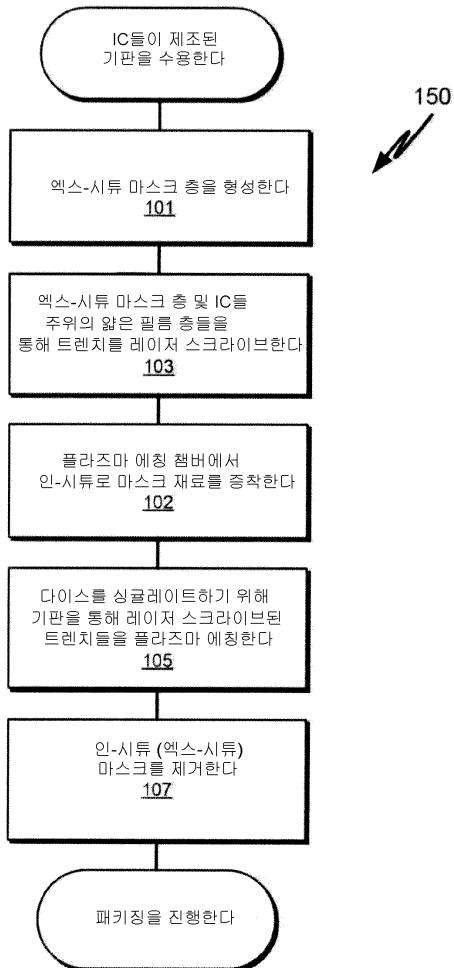
[0062] 따라서, 각각의 기판이 복수의 IC들을 갖는 반도체 기판들을 다이싱하는 방법들이 개시되었다. 요약서에서 설명된 것을 포함하는 본 발명의 예시적인 실시예들의 위의 설명은 포괄적이도록 의도되지 않거나, 또는 본 발명을 개시된 정밀한 형태들로 제한하도록 의도되지 않는다. 본 발명의 특정 구현들 그리고 본 발명에 대한 예들이 여기에서 예시적인 목적들을 위해 설명되지만, 당업자가 인식할 바와 같이, 본 발명의 범위 내에서 다양한 동등한 변형들이 가능하다. 따라서, 본 발명의 범위는 다음의 청구항들에 의해 전부 결정될 것이고, 그 청구항들은 청구항 해석의 확립된 원칙들에 따라 이해될 것이다.

## 도면

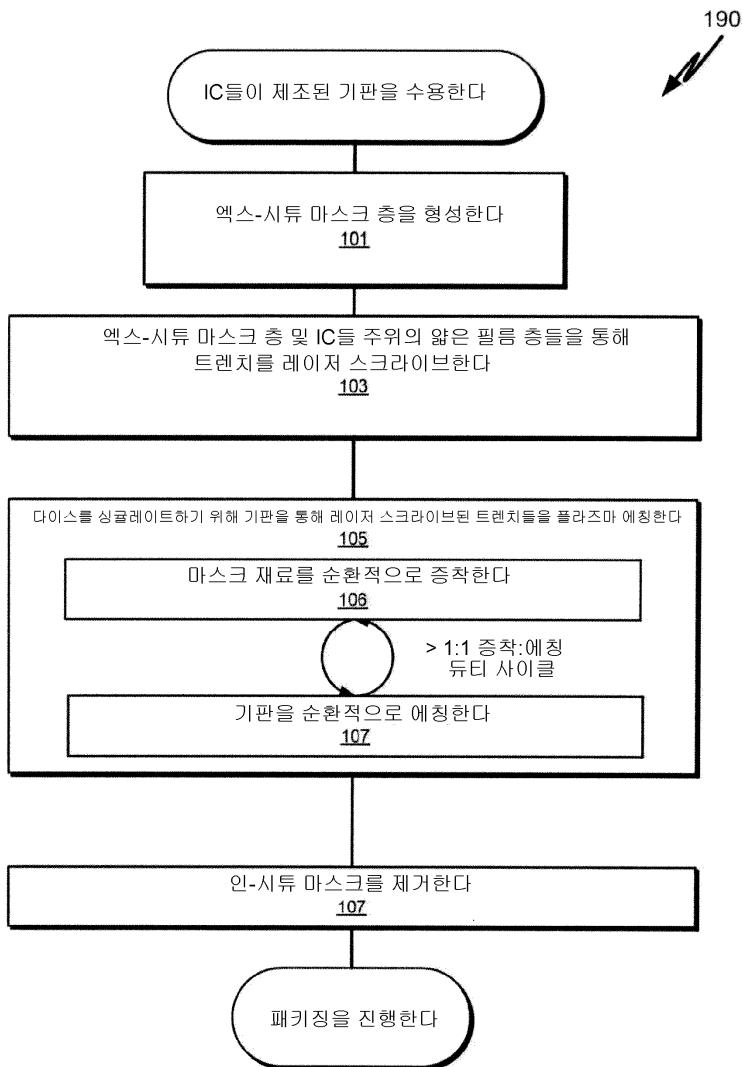
## 도면 1a



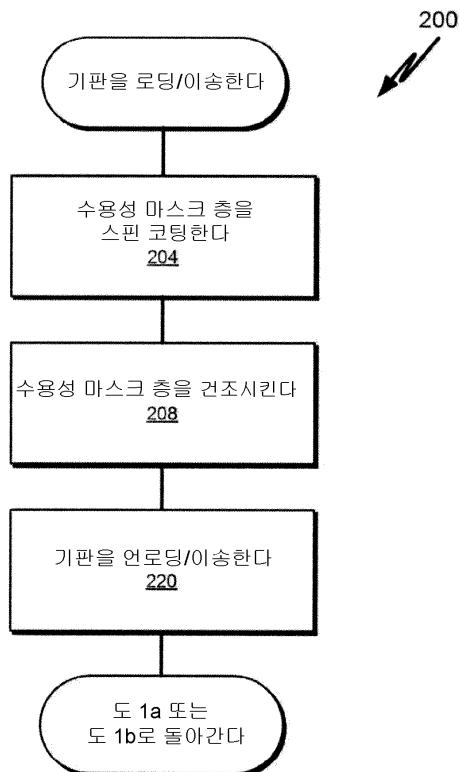
## 도면1b



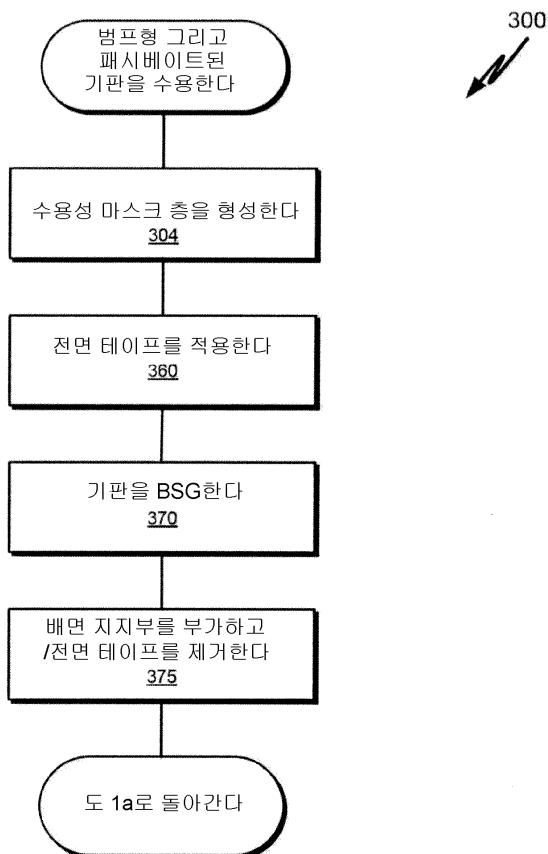
## 도면1c



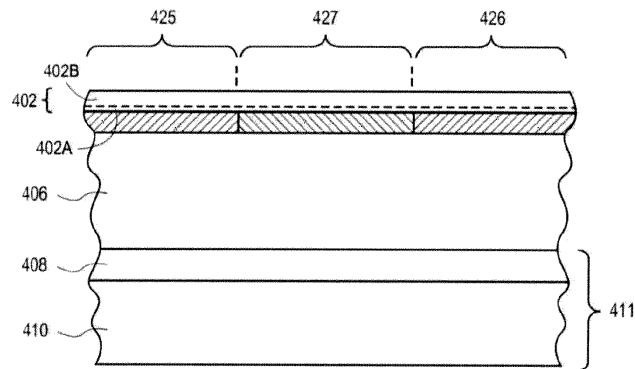
## 도면2



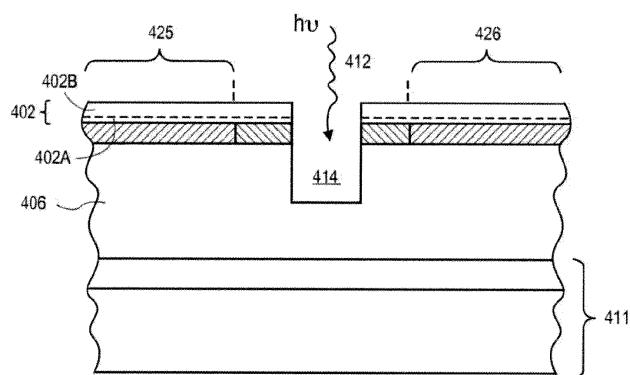
## 도면3



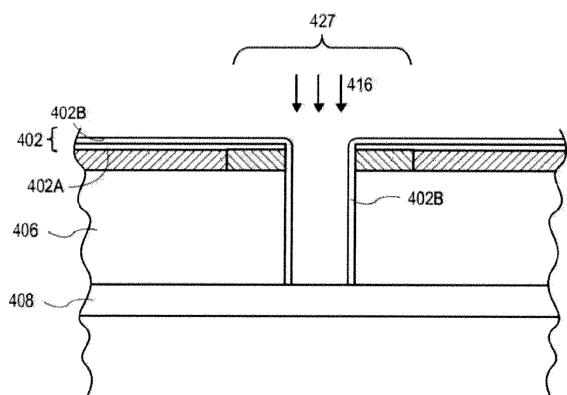
## 도면4a



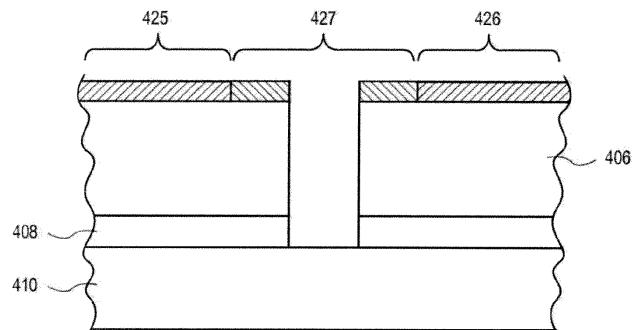
## 도면4b



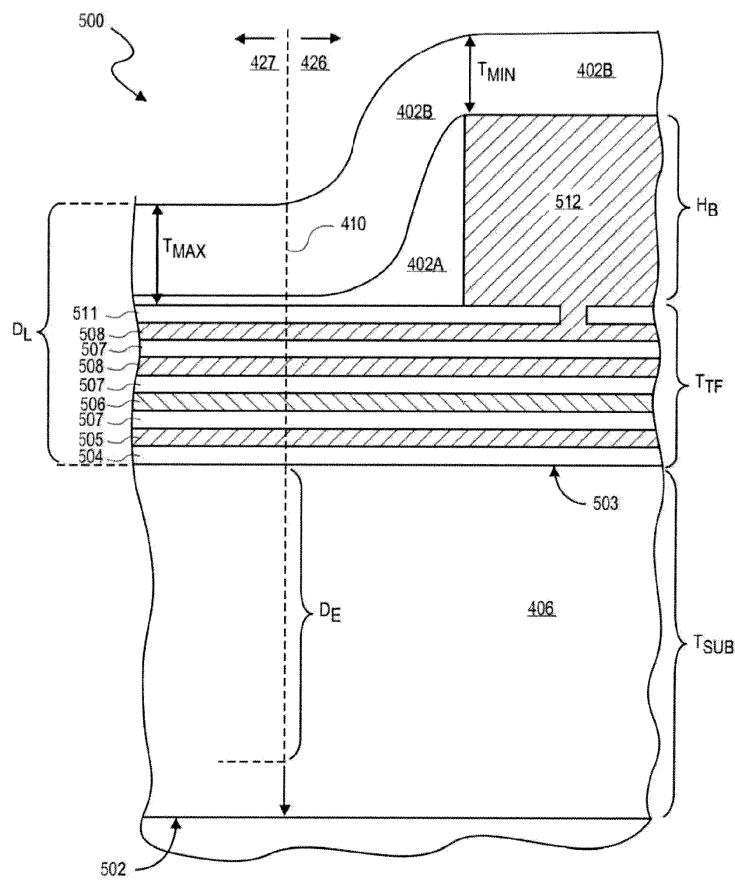
## 도면4c



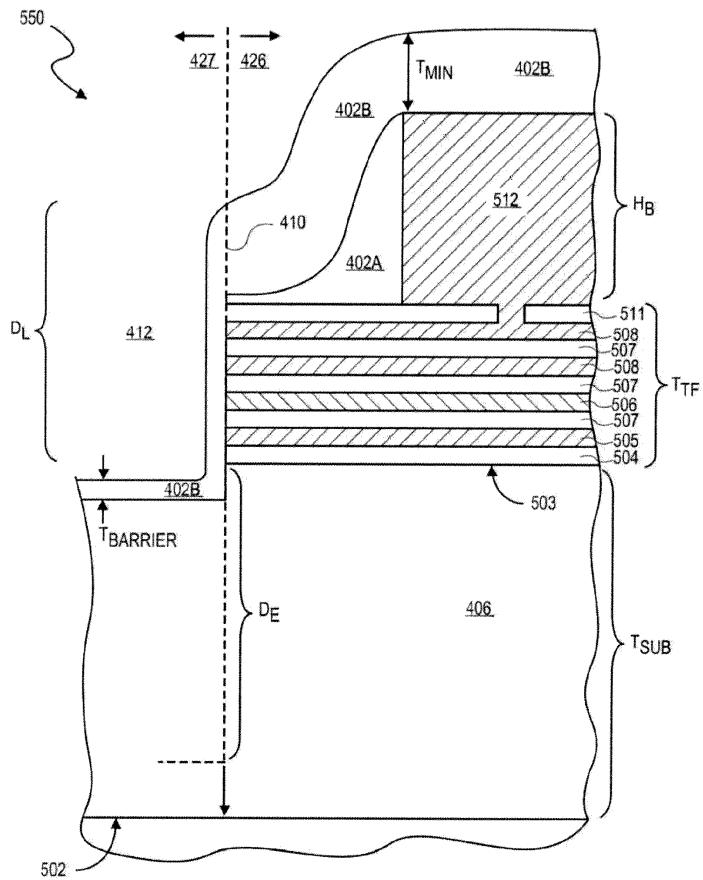
도면4d



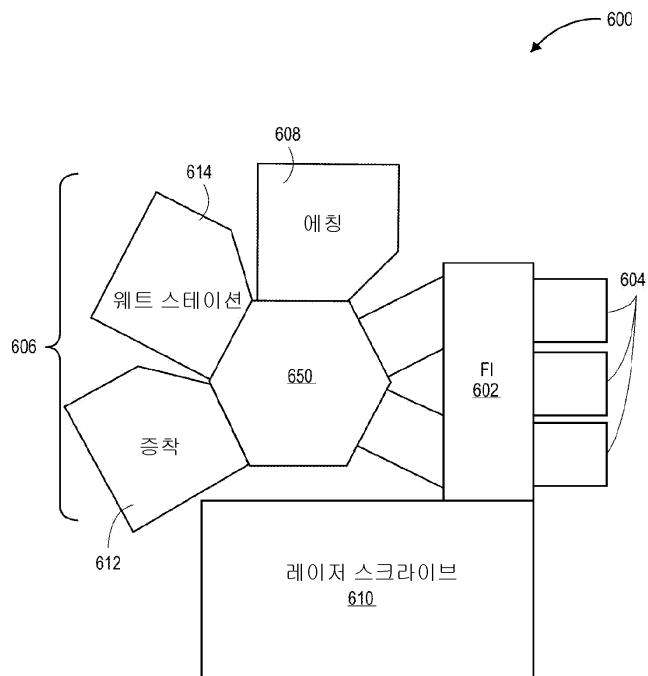
도면5a



## 도면5b



## 도면6



## 도면7

