



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년05월07일
 (11) 등록번호 10-1392455
 (24) 등록일자 2014년04월29일

(51) 국제특허분류(Int. Cl.)
 H01C 7/12 (2006.01) H01T 4/10 (2006.01)
 H01T 4/12 (2006.01)
 (21) 출원번호 10-2012-7007528
 (22) 출원일자(국제) 2010년09월29일
 심사청구일자 2012년03월23일
 (85) 번역문제출일자 2012년03월23일
 (65) 공개번호 10-2012-0062821
 (43) 공개일자 2012년06월14일
 (86) 국제출원번호 PCT/JP2010/066905
 (87) 국제공개번호 WO 2011/040437
 국제공개일자 2011년04월07일
 (30) 우선권주장
 JP-P-2009-227200 2009년09월30일 일본(JP)
 (56) 선행기술조사문헌
 JP4247581 B2*
 WO2009098944 A1*
 JP2008085284 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 가부시킴가이사 무라타 세이사쿠쇼
 일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고
 (72) 발명자
 히에하타 쿠미코
 일본국 교토후 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시킴가이사 무라타 세이사쿠쇼 내
 스미 타카히로
 일본국 교토후 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시킴가이사 무라타 세이사쿠쇼 내
 (뒷면에 계속)
 (74) 대리인
 윤동열

전체 청구항 수 : 총 3 항

심사관 : 손보인

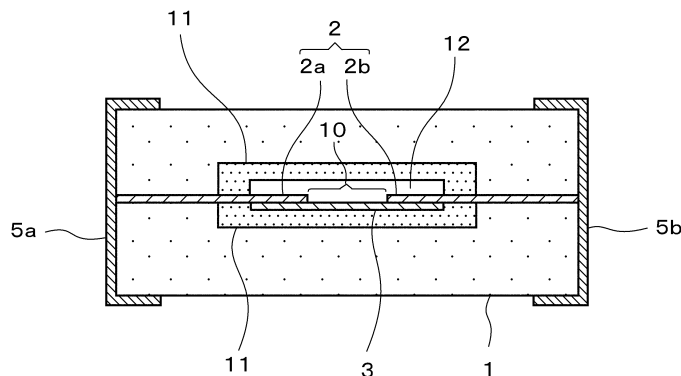
(54) 발명의 명칭 ESD 보호 디바이스 및 그 제조 방법

(57) 요약

반복하여 정전기를 인가하더라도 특성의 열화를 일으키지 않는 안정된 특성을 포함한 ESD 보호 디바이스 및 그 제조 방법을 제공한다.

세라믹 기재(1)의 내부에, 대향하도록 형성된 일방측 대향 전극(2a)와 타방측 대향 전극(2b)를 포함하여 이루어지는 대향 전극(2)과, 일방측 대향 전극과 타방측 대향 전극의 각각과 접하고, 일방측 대향 전극으로부터 타방측 대향 전극에 걸쳐도록 배치된 방전 보조 전극(3)을 포함하고, 방전 보조 전극은 금속 입자와 반도체 입자 및 유리질을 포함하고, 아울러 금속 입자 사이, 반도체 입자 사이, 및 금속 입자와 반도체 입자의 사이가, 유리질을 개재하여 결합되어 있음과 아울러, 금속 입자의 평균 입자 직경 X가 1.0 μm 이상이고, 방전 보조 전극의 두께 Y와 금속 입자의 평균 입자 직경 X의 관계가, 0.5 ≤ Y/X ≤ 3의 요건을 만족하는 구성으로 한다.

대표도 - 도1



(72) 발명자

아다치 준

일본국 교토후 나가오카쿄시 히가시코타리 1초메
10방 1고 가부시키키가이샤 무라타 세이사쿠쇼 내

우라카와 준

일본국 교토후 나가오카쿄시 히가시코타리 1초메
10방 1고 가부시키키가이샤 무라타 세이사쿠쇼 내

츠키자와 타카유키

일본국 교토후 나가오카쿄시 히가시코타리 1초메
10방 1고 가부시키키가이샤 무라타 세이사쿠쇼 내

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

제1 세라믹 그린 시트의 한쪽 주면 상에, 평균 입자 직경이 1.0 μ m 이상인 금속 입자와, 반도체 입자 및 유기 비히클을 포함함과 아울러, 상기 금속 입자와 상기 반도체 입자 중 적어도 하나의 표면에 유리의 망목 형성 성분을 가지며, 아울러 상기 금속 입자와 상기 반도체 입자를 혼합 것이 차지하는 비율이 7체적%~25체적%인 방전 보조 전극 페이스트를 인쇄함으로써, 미소성(未燒成)의 방전 보조 전극을 형성하는 공정과,

상기 제1 세라믹 그린 시트의 한쪽 주면 상에, 대향 전극 페이스트를 인쇄함으로써, 각각이, 상기 방전 보조 전극의 일부를 덮음과 아울러, 서로 간격을 두어 배치된 일방측 대향 전극과 타방측 대향 전극을 포함하는 미소성의 대향 전극을 형성하는 공정과,

상기 제1 세라믹 그린 시트의 한쪽 주면 상에, 제2 세라믹 그린 시트를 적층하여 미소성의 적층체를 형성하는 공정과,

상기 적층체를 소성하고, 상기 방전 보조 전극의 상기 금속 입자의 표면과 상기 반도체 입자의 표면을 반응시킴으로써 유리질을 생성시키는 공정을 포함하며,

상기 미소성(未燒成)의 방전 보조 전극을 형성하는 공정은,

상기 방전 보조 전극의 두께의 평균값 Y와 상기 금속 입자의 평균 입자 직경 X의 관계가, $0.5 \leq Y/X \leq 3$ 의 요건을 만족하도록 형성하는 것을 특징으로 하는 ESD 보호 디바이스의 제조 방법.

청구항 7

제6항에 있어서,

상기 방전 보조 전극에 포함되는 금속 입자가 알루미늄이나 코트 Cu 입자이고, 상기 반도체 입자가 탄화 규소 입자인 것을 특징으로 하는 ESD 보호 디바이스의 제조 방법.

청구항 8

세라믹 기재의 내부에, 선단부가 간격을 두어 대향하도록 형성된 일방측 대향 전극과 타방측 대향 전극을 포함하여 이루어지는 대향 전극과,

상기 대향 전극을 구성하는 상기 일방측 대향 전극과 상기 타방측 대향 전극의 각각과 접하고, 상기 일방측 대향 전극으로부터 상기 타방측 대향 전극에 걸치도록 배치된 방전 보조 전극을 포함하는 ESD 보호 디바이스로서, 상기 ESD 보호 디바이스는 제6항 또는 7항에 따른 방법으로 제조되는 것을 특징으로 하는 ESD 보호 디바이스.

명세서

기술분야

[0001] 본 발명은 반도체 장치 등을 정전기 파괴로부터 보호하는 ESD 보호 디바이스 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 근래, 민생 기기를 사용함에 있어서, 입출력 인터페이스인 케이블의 탈착 회수가 증가하는 경향이 있으며, 입출력 커넥터부에 정전기가 인가되기 쉬운 상황에 있다. 또한, 신호 주파수의 고주파화에 따라서, 설계 룰의 미세화로 인해 패스(path)를 만들기 어렵게 되어, LSI 자체가 정전기에 대하여 취약하게 되어 있다.

[0003] 그 때문에, 정전기 방전(ESD)(Electron-Statics Discharge)으로부터, LSI 등의 반도체 장치를 보호하는 ESD 보호 디바이스가 널리 사용되기에 이르고 있다.

[0004] 이와 같은 ESD 보호 디바이스로서, 제1 전극과 제2 전극의 사이에 접속되고, 아울러, 비도체 분말(탄화 규소 분말)과 금속 도체 분말(Cu분말)과 점착제(유리)를 포함한 과전압 보호 소자의 재료를 사용하여 소성 처리하여 생성된 다공 구조부를 포함한 과전압 보호 소자가 제안되어 있다.

[0005] 그러나, 이 과전압 보호 소자의 경우, 점착제(유리)의 첨가가 불가결하기 때문에, 이하의 문제가 생길 가능성이 있다.

[0006] (1) 유리의 분산 불량에 의해, 제품의 특성에 편차가 커지는 경향이 있으며, 신뢰성이 높은 제품을 제공하는 것이 곤란하다.

[0007] (2) 유리의 분산 불량에 의해, 반복 ESD가 인가되면 쇼트 내성이 열화하는 경향이 있다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 일본 특허공개 2008-85284호 공보

발명의 내용

해결하려는 과제

[0009] 본 발명은 상기 실정을 감안하여 이루어진 것으로, 안정된 특성을 포함하고, 반복하여 정전기를 인가하더라도 특성의 열화를 일으키지 않는 ESD 보호 디바이스 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0010] 상기 과제를 해결하기 위하여, 본 발명의 ESD 보호 디바이스는 세라믹 기재의 내부에, 선단부가 간격을 두어 대향하도록 형성된 일방측 대향 전극과 타방측 대향 전극을 포함하여 이루어지는 대향 전극과,

[0011] 상기 대향 전극을 구성하는 상기 일방측 대향 전극과 상기 타방측 대향 전극의 각각과 접하고, 상기 일방측 대향 전극으로부터 상기 타방측 대향 전극에 걸쳐도록 배치된 방전 보조 전극을 포함하고,

[0012] 상기 방전 보조 전극은 금속 입자와 반도체 입자 및 유리질을 포함하고, 아울러,

[0013] 상기 금속 입자 사이, 상기 반도체 입자 사이, 및 상기 금속 입자와 상기 반도체 입자의 사이가, 상기 유리질을 개재하여 결합되어 있음과 아울러,

[0014] 상기 금속 입자의 평균 입자 직경 X가 1.0 μ m 이상이고, 상기 방전 보조 전극의 두께 Y와 상기 금속 입자의 평균 입자 직경 X의 관계가 0.5 \leq Y/X \leq 3의 요건을 만족하는 것을 특징으로 하고 있다.

[0015] 상기 금속 입자는 Cu 입자인 것이 바람직하고, 또한, 상기 반도체 입자는 탄화 규소 입자인 것이 바람직하다.

[0016] 또한, 상기 유리질은 상기 금속 입자와 상기 반도체 입자의 반응에 의해 생기는 것이 바람직하다.

- [0017] 또한, 상기 대향 전극을 구성하는 상기 일방측 대향 전극과 상기 타방측 대향 전극의 선단부가 서로 대향하는 방전 갭부 및 상기 방전 보조 전극의 상기 방전 갭부에 위치하는 영역이, 상기 세라믹 기체 내부에 형성된 캐버티부에 면해 있는 것이 바람직하다.
- [0018] 또한, 본 발명의 ESD 보호 디바이스의 제조 방법은
- [0019] 제1 세라믹 그린 시트의 한쪽 주면 상에, 평균 입자 직경이 1.0 μm 이상인 금속 입자와, 반도체 입자와, 유기 비히클을 포함함과 아울러, 상기 금속 입자와 상기 반도체 입자의 적어도 한쪽이, 표면에 유리의 망목(網目) 형성 성분을 가지며, 아울러 상기 금속 입자와 상기 반도체 입자를 혼합한 것이 차지하는 비율이 7체적% ~ 25체적%인 방전 보조 전극 페이스트를 인쇄함으로써, 미소성(未燒成)의 방전 보조 전극을 형성하는 공정과,
- [0020] 상기 제1 세라믹 그린 시트의 한쪽 주면 상에, 대향 전극 페이스트를 인쇄함으로써, 각각이, 상기 방전 보조 전극의 일부를 덮음과 아울러, 서로 간격을 두어 배치된 일방측 대향 전극과 타방측 대향 전극을 포함하는 미소성의 대향 전극을 형성하는 공정과,
- [0021] 상기 제1 세라믹 그린 시트의 한쪽 주면 상에, 제2 세라믹 그린 시트를 적층하여 미소성의 적층체를 형성하는 공정과,
- [0022] 상기 적층체를 소성하고, 상기 방전 보조 전극의 상기 금속 입자의 표면과 상기 반도체 입자의 표면을 반응시킴으로써, 유리질을 생성시키는 공정을 포함하고 있다.
- [0023] 또한, 상기 방전 보조 전극에 포함되는 금속 입자가 알루미늄이나 코트 Cu 입자이며, 상기 반도체 입자가 탄화 규소 입자인 것을 특징으로 하고 있다.

발명의 효과

- [0024] 본 발명의 ESD 보호 디바이스는 서로 대향하는 일방측 대향 전극과 타방측 대향 전극을 포함한 대향 전극과, 일방측 대향 전극과 타방측 대향 전극의 일부와 접하고, 일방측 대향 전극으로부터 타방측 대향 전극에 걸치도록 배치된 방전 보조 전극을 포함하고 있으며, 방전 보조 전극은 적어도, 금속 입자, 반도체 입자 및 유리질을 포함하고, 아울러 금속 입자 사이, 반도체 입자 사이, 금속 입자와 반도체 입자의 사이가, 유리질을 개재하여 결합되어 있음과 아울러, 금속 입자의 평균 입자 직경 X가 1.0 μm 이상, 방전 보조 전극의 두께 Y와 금속 입자의 평균 입자 직경 X의 관계가, $0.5 \leq Y/X \leq 3$ 의 요건을 만족하고 있으므로, 안정된 특성을 포함하고, 반복하여 정전기를 인가하더라도 특성의 열화를 일으키지 않는 ESD 보호 디바이스를 제공하는 것이 가능해진다.
- [0025] 또한, 본 발명에 있어서, 금속 입자 사이, 반도체 입자 사이, 및 금속 입자와 반도체 입자 사이가, 유리질을 개재하여 결합하고 있다는 것은
- [0026] (a) 각 입자 사이에 충만하는 유리질에 의해 각 입자가 결합되어 있는 경우,
- [0027] (b) 각 입자의 전체가 유리질에 의해 덮이고, 아울러 상기 유리질에 의해 각 입자가 결합되어 있는 경우,
- [0028] (c) 유리질이 각 입자의 전체를 덮거나, 각 입자 사이에 충만하거나 하지 않고, 예를 들면, 각 입자의 표면에 점재하는 유리질에 의해 각 입자가 결합되어 있는 경우, 등을 포함한 넓은 개념이다.
- [0029] 본 발명의 ESD 보호 디바이스에 대해서는 금속 입자는 Cu 입자인 것이 바람직하지만, 이것은 금속 입자로서 Cu 입자를 사용함으로써, 방전 개시 전압 및 피크 전압을 낮게 하는 것이 가능한 ESD 보호 디바이스를 구성할 수 있는 것에 의한다.
- [0030] 또한, 반도체 입자로서는 탄화 규소 입자를 사용하는 것이 바람직하지만, 이것은 반도체 입자로서 탄화 규소 입자를 사용함으로써, 클램프 전압을 낮게 하는 것이 가능하게 되는 것에 의한다.
- [0031] 또한, 본 발명의 ESD 보호 디바이스에 있어서, 유리질이, 금속 입자와 반도체 입자의 반응에 의해 생성되는 것인 경우, 원료에 별도 유리 성분을 첨가하는 것을 필요로 하지 않고, 유리질이 균일하게 분산된 방전 보조 전극을 효율성 좋게 그리고 확실하게 형성할 수 있다.
- [0032] 또한, 대향 전극을 구성하는 일방측 대향 전극과 타방측 대향 전극의 선단부가 서로 대향하는 방전 갭부 및 방전 보조 전극의 방전 갭부에 위치하는 영역이, 세라믹 기체 내부에 형성된 캐버티부에 면하도록 한 경우, ESD 인가시에 캐버티부에서도 방전 현상이 일어나기 때문에, 캐버티부가 없는 경우보다 방전 능력을 향상시키는 것이 가능하게 되어, 의의가 있다.

[0033] 또한, 본 발명의 ESD 보호 디바이스의 제조 방법은 제1 세라믹 그린 시트의 한쪽 주면 상에, 평균 입자 직경이 1.0 μm 이상인 금속 입자와, 반도체 입자와, 유기 비휘발성을 포함함과 아울러, 금속 입자와 반도체 입자의 적어도 한쪽이 표면에 유리의 망목 형성 성분을 가지며, 아울러, 상기 금속 입자와 상기 반도체 입자를 합한 것이 차지하는 비율이 7체적%-25체적%인 방전 보조 전극 페이스트를 인쇄함으로써 미소성의 방전 보조 전극을 형성하는 공정과, 방전 보조 전극의 일부를 덮음과 아울러, 서로 간격을 두어, 대향 전극 페이스트를 인쇄함으로써, 간격을 두어 배치된 일방측 대향 전극과 타방측 대향 전극을 포함하는 미소성의 대향 전극을 형성하는 공정과, 제1 세라믹 그린 시트의 한쪽 주면 상에 제2 세라믹 그린 시트를 적층하여 미소성의 적층체를 형성하는 공정과, 적층체를 소성하여, 방전 보조 전극의 금속 입자의 표면과 반도체 입자의 표면을 반응시킴으로써 유리질을 생성시키는 공정을 포함하고 있으므로, 본 발명의 구성을 포함한 ESD 보호 디바이스를 효율성 좋게, 그리고 확실하게 제조하는 것이 가능하게 된다.

[0034] 또한, 상기 적층체를 소성하는 공정의 전에, 미소성의 적층체의 표면에, 대향 전극과 접촉하도록 외부 전극 페이스트를 인쇄하고, 그 후에 소성함으로써 외부 전극을 포함한 ESD 보호 디바이스를 얻도록 하는 것도 가능하고, 또한, 상기 적층체의 소성 후에, 적층체의 표면에 외부 전극 페이스트를 인쇄하고, 베이킹함으로써 외부 전극을 형성하는 것도 가능하다.

[0035] 또한, 본 발명의 ESD 보호 디바이스의 제조 방법에 있어서, 금속 입자와 반도체 입자의 적어도 한쪽이 표면에 가지고 있는 유리의 망목 형성 성분이란, 그 성분 단독으로도 유리가 되는 것이고, 예를 들면, SiO₂, B₂O₃, Al₂O₃, P₂O₅, ZrO₂, V₂O₅, TiO₂, ZnO, GeO₂, As₂O₅, Sb₂O₅, PbO, BeO 등을 예시할 수 있다.

[0036] 또한, 방전 보조 전극에 포함되는 금속 입자로서 알루미늄이나 코트 Cu 입자를 사용하고, 반도체 입자용의 원료로서 탄화 규소 입자를 사용한 경우, 알루미늄(Al₂O₃) 또는 탄화 규소의 표면에 통상 존재하게 되는 미량의 산화 규소 등이 유리의 망목 형성 성분으로서 기능하고, 방전 보조 전극을 구성하는 금속 입자 사이, 반도체 입자 사이, 혹은 금속 입자와 반도체 입자의 사이가, 유리질을 개재하여 결합된, 안정된 특성을 포함하고 반복하여 정전기를 인가하더라도 특성의 열화를 일으키지 않는 ESD 보호 디바이스를 효율적으로 제조하는 것이 가능하게 된다.

도면의 간단한 설명

[0037] 도 1은 본 발명의 실시예에 따른 ESD 보호 디바이스의 구성을 모식적으로 나타낸 정면 단면도이다.
 도 2는 본 발명의 실시예에 따른 ESD 보호 디바이스의 주요부를 확대하여 나타낸 주요부 확대 정면 단면도이다.
 도 3은 본 발명의 실시예에 따른 ESD 보호 디바이스의 내부 구성을 나타낸 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0038] 이하, 본 발명의 실시예를 나타내며, 본 발명이 특징으로 하는 바를 더욱 상세히 설명한다.

[0039] 실시예 1

[0040] [실시예에 따른 ESD 보호 디바이스의 구성]

[0041] 도 1은 본 발명의 실시예에 따른 ESD 보호 디바이스의 구조를 모식적으로 나타낸 단면도이며, 도 2는 그 주요부를 확대하여 나타낸 주요부 확대 정면 단면도, 도 3은 본 발명의 실시예에 따른 ESD 보호 디바이스의 평면 단면도이다.

[0042] 이 ESD 보호 디바이스는 도 1~도 3에 나타난 바와 같이, 세라믹 기재(1)와, 세라믹 기재(1) 내의 동일 평면에 형성된, 선단부가 서로 대향하는 일방측 대향 전극(2a)과, 타방측 대향 전극(2b)으로 이루어지는 대향 전극(인출 전극)(2)과, 일방측 대향 전극(2a)과 타방측 대향 전극(2b)의 일부와 접하고, 일방측 대향 전극(2a)으로부터 타방측 대향 전극(2b)에 걸쳐도록 형성된 방전 보조 전극(3)과, 세라믹 기재(1)의 양단부에, 대향 전극(2)를 구성하는 일방측 대향 전극(2a) 및 타방측 대향 전극(2b)과 도통하도록 배치된, 외부와의 전기적인 접속을 위한 외부 전극(5a, 5b)를 포함하고 있다.

[0043] 방전 보조 전극(3)은 금속 입자, 반도체 입자 및 유리질을 포함하고 있으며, 금속 입자 사이, 반도체 입자 사이, 및 금속 입자와 반도체 입자의 사이가, 유리질을 개재하여 결합되어 있다. 또한, 이 유리질은 금속 입자와 반도체 입자와의 반응에 의해 생긴 반응 생성물이다.

[0044] 또한, 금속 입자로서는 Cu 입자가 사용되고 있으며, 반도체 입자로서는 탄화 규소 입자가 사용되고 있다.

- [0045] 그리고, 본 발명의 ESD 보호 디바이스에 있어서는 방전 보조 전극(3)의 두께 Y와 금속 입자의 평균 입자 직경 X의 관계가, $0.5 \leq Y/X \leq 3$ 의 요건(즉 본 발명의 요건)을 만족하도록 구성되어 있다.
- [0046] 또한, 대향 전극(2)를 구성하는 일방측 대향 전극(2a)와 타방측 대향 전극(2b)의 서로 대향하는 방전 갭부(10), 방전 보조 전극(3)의 방전 갭부(10)에 위치하는 영역은 세라믹 기재(1)의 내부에 형성된 캐버티부(12)에 면하도록 배치되어 있다. 즉, 이 ESD 보호 디바이스에 있어서는, 방전 갭부(10) 및 일방측 대향 전극(2a)와 타방측 대향 전극(2b)를 접속하는 방전 보조 전극(3) 등의, ESD 보호 디바이스로서의 기능을 수행해야 하는 기능부가, 세라믹 기재의 내부의 캐버티부(12)에 면하도록 배치되어 있다.
- [0047] 또한, 이 ESD 보호 디바이스에 있어서는, 일방측 대향 전극(2a)와 타방측 대향 전극(2b)의 대향 부분(방전 갭부(10)), 대향 전극(2)과 방전 보조 전극(3)의 접속부, 및 방전 보조 전극(3)의 방전 갭부(10)에 위치하는 영역, 캐버티부(12) 등을 덮도록, 셸층(11)이 배치되어 있다. 이 셸층(11)은 알루미늄이나 등의 세라믹 입자로 이루어지는 다공질 층에서, 세라믹 기재(1)에 포함되어 있는 유리 성분 및 소성 공정에서 세라믹 기재(1)에서 생성되는 유리 성분을 흡수 유지(트랩)하여, 유리 성분이 캐버티부(12) 및 그 내부의 방전 갭부(10) 등에 흘러드는 것을 방지하는 기능을 수행한다. 그리고, 그 결과, 방전 보조 전극(3)에 유리 성분이 흘러들어, 소결이 너무 진행되고, 방전 보조 전극(3)의 도전성이 너무 높아져서 쇼트 불량률을 일으키는 것을 방지하거나 캐버티부로의 유리 성분의 흘러들어감을 저지하여, 캐버티부를 확보하고, 캐버티부에서도 방전 현상이 일어나도록 하여 높은 방전 능력을 확보하는 것이 가능해진다.
- [0048] 또한, 이 실시 예의 ESD 보호 디바이스에 있어서는, 세라믹 기재(1)로서 평면 형상이 사각형으로, 길이 1.0mm, 폭 0.5mm, 두께 0.3mm의 Ba, Al, Si의 산화물을 주성분으로 하는 유리 세라믹 기판이 사용되고 있다.
- [0049] 다만, 세라믹 기재(1)의 구성 재료에 제약은 없고, 경우에 따라서는 알루미늄 기판, 실리콘 기판 등 다른 종류의 것을 사용하는 것도 가능하다. 또한, 세라믹 기재(1)로서는, 비유전률이 50이하, 바람직하게는 10이하인 것을 사용하는 것이 바람직하다.
- [0050] 이하에, 상술한 바와 같은 구조를 갖는 ESD 보호 디바이스의 제조 방법에 대하여 설명한다.
- [0051] [ESD 보호 디바이스의 제조]
- [0052] (1) 세라믹 그린 시트의 제작
- [0053] 세라믹 기재(1)의 재료가 되는 세라믹 재료로서 Ba, Al, Si를 주된 성분으로 하는 재료를 준비한다.
- [0054] 그리고, 각 재료를 소정의 조성이 되도록 조합하고, 800~1000℃에서 하소(calcination)한다. 얻어진 하소 분말을 산화 지르코늄 불 밀로 12시간 분쇄하고, 세라믹 분말을 얻는다.
- [0055] 이 세라믹 분말에, 톨루엔 또는 엑키넨(ekinen) 등의 유기 용매를 첨가하여 혼합한 후, 바인더, 가소제를 더 첨가하고, 혼합함으로써 슬러리를 제작한다.
- [0056] 이 슬러리를 닥터 블레이드법에 의해 성형하고, 두께 50μm의 세라믹 그린 시트를 제작했다.
- [0057] (2) 대향 전극 페이스트의 제작
- [0058] 또한, 한 쌍의 대향 전극(2a, 2b)을 형성하기 위한 대향 전극 페이스트로서, 평균 입경 약 2μm의 Cu 분말 80중량%과, 에틸 셀룰로오스 등으로 이루어지는 바인더 수지를 조합하고, 용제를 첨가하여 3개 물에 의해 교반, 혼합함으로써 대향 전극 페이스트를 제작했다. 또한, 상기의 Cu 분말의 평균 입경이란, 마이크로 트랙에 의한 입도 분포 측정으로부터 구한 중심 입경(D50)을 말한다.
- [0059] (3) 방전 보조 전극 페이스트의 제작
- [0060] 또한, 방전 보조 전극(3)을 형성하기 위한 방전 보조 전극 페이스트로서, 금속 입자(금속 도체 분말)와 반도체 입자(반도체 분말)를 소정의 비율로 배합하고, 비히클(vehicle)을 첨가하여 3개 물에 의해 교반, 혼합함으로써 방전 보조 전극 페이스트를 제작했다.
- [0061] 또한, 방전 보조 전극 페이스트는 비히클의 체적분율이 75~95vol%, 금속 입자, 반도체 입자의 체적분율이 나머지의 5~25vol%가 되도록 했다.
- [0062] 또한, 평가에 사용한 금속 입자(금속 도체 분말) 종류를 표 1에 나타낸다.
- [0063] 표 1 중의 Al₂O₃ 코팅량(중량%), 및 ZrO₂ 코팅량(중량%)은 코트 Cu 입자 전체에 차지하는 코팅 종류의 중량 비율

이며, 나머지는 금속 입자(금속 도체 분말)이다.

[0064] 또한, 평가에 사용한 반도체 입자(반도체 분말) 종류를 표 2에 나타낸다. 또한, 표 2에는 비교 평가에 사용한 절연체 입자(절연체 분말) 종류를 함께 나타낸다.

[0065] 또한, 비히클의 조성, 즉 바인더의 종류, 용제 종류, 분산제 종류, 및 이들의 배합 비율을 표 3에 나타낸다.

[0066] 또한, 금속 입자, 및 반도체 입자, 절연체 입자, 비히클를 사용하여 제작한 방전 보조 전극 페이스트의 조성(vol%)을 표 4 및 표 5에 나타낸다.

표 1

시료 번호	금속 입자 종류	Cu 평균 입경 (μm)	Al_2O_3 코팅량 (wt%)	ZrO_2 코팅량 (wt%)
M1	Cu	0.15	-	-
M2	Cu	0.35	-	-
M3	Cu	0.55	-	-
M4	Cu	1.10	-	-
M5	Cu	3.10	-	-
M6	Cu	6.10	-	-
M7	Cu	3.10	1.0	-
M8	Cu	3.10	3.0	-
M9	Cu	3.10	5.0	-
M10	Cu	3.10	7.0	-
M11	Cu	3.10	-	1.0
M12	Cu	3.10	-	3.0
M13	Cu	3.10	-	5.0
M14	Cu	3.10	-	7.0

[0067]

표 2

시료 번호	반도체 입자 종류	절연체 입자 종류	입도 분포 D50 (μm)
S1	SiC	-	0.1
S2	SiC	-	0.3
S3	SiC	-	0.5
S4	-	Al_2O_3	0.1
S5	-	Al_2O_3	0.3
S6	-	Al_2O_3	0.5

[0068]

표 3

시료 번호	바인더 수지 종류 (vol%)		용제 종류 (vol%)	분산제 종류 (vol%)
	에토셀 수지	알키드 수지	디히드로테르피네올	다가 지방산의 알킬아민염
B1	6.06	3.54	88.14	2.26

[0069]

표 4

배이스트	금속 입자 종류 (vol%)														반도체 입자 종류 (vol%)						비허클 (vol%) BI	고형분 농도 (vol%)
	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12	M13	M14	S1	S2	S3	S4	S5	S6		
P1	5.6	-	-	-	-	-	-	-	-	-	-	-	-	-	1.4	-	-	-	-	-	93	7
P2	8.0	-	-	-	-	-	-	-	-	-	-	-	-	-	2.0	-	-	-	-	-	90	10
P3	11.2	-	-	-	-	-	-	-	-	-	-	-	-	-	2.8	-	-	-	-	-	86	14
P4	-	5.6	-	-	-	-	-	-	-	-	-	-	-	-	1.4	-	-	-	-	-	93	7
P5	-	8.0	-	-	-	-	-	-	-	-	-	-	-	-	2.0	-	-	-	-	-	90	10
P6	-	11.2	-	-	-	-	-	-	-	-	-	-	-	-	2.8	-	-	-	-	-	86	14
P7	-	-	4.0	-	-	-	-	-	-	-	-	-	-	-	1.0	-	-	-	-	-	95	5
P8	-	-	5.6	-	-	-	-	-	-	-	-	-	-	-	1.4	-	-	-	-	-	93	7
P9	-	-	8.0	-	-	-	-	-	-	-	-	-	-	-	2.0	-	-	-	-	-	90	10
P10	-	-	11.2	-	-	-	-	-	-	-	-	-	-	-	2.8	-	-	-	-	-	86	14
P11	-	-	-	4.0	-	-	-	-	-	-	-	-	-	-	1.0	-	-	-	-	-	95	5
P12	-	-	-	5.6	-	-	-	-	-	-	-	-	-	-	1.4	-	-	-	-	-	93	7
P13	-	-	-	8.0	-	-	-	-	-	-	-	-	-	-	2.0	-	-	-	-	-	90	10
P14	-	-	-	11.2	-	-	-	-	-	-	-	-	-	-	2.8	-	-	-	-	-	86	14
P15	-	-	-	16.0	-	-	-	-	-	-	-	-	-	-	4.0	-	-	-	-	-	80	20
P16	-	-	-	4.0	-	-	-	-	-	-	-	-	-	-	-	1.0	-	-	-	-	95	5
P17	-	-	-	5.6	-	-	-	-	-	-	-	-	-	-	-	1.4	-	-	-	-	93	7
P18	-	-	-	8.0	-	-	-	-	-	-	-	-	-	-	-	2.0	-	-	-	-	90	10
P19	-	-	-	11.2	-	-	-	-	-	-	-	-	-	-	-	2.8	-	-	-	-	86	14
P20	-	-	-	16.0	-	-	-	-	-	-	-	-	-	-	-	4.0	-	-	-	-	80	20
P21	-	-	-	4.0	-	-	-	-	-	-	-	-	-	-	-	-	1.0	-	-	-	95	5
P22	-	-	-	8.0	-	-	-	-	-	-	-	-	-	-	-	-	2.0	-	-	-	90	10
P23	-	-	-	11.2	-	-	-	-	-	-	-	-	-	-	-	-	2.8	-	-	-	86	14
P24	-	-	-	16.0	-	-	-	-	-	-	-	-	-	-	-	-	4.0	-	-	-	80	20
P25	-	-	-	-	5.6	-	-	-	-	-	-	-	-	-	-	1.4	-	-	-	-	93	7

[0070]

표 5

페이스트	금속 입자 종류 (vol%)														반도체 입자 종류 (vol%)						비히클 (vol%)	고형분 농도 (wt%)
	M1	M2	M3	M4	M5	M6	M7	M8	M9	M10	M11	M12	M13	M14	S1	S2	S3	S4	S5	S6		
P26	--	--	--	--	8.0	--	--	--	--	--	--	--	--	--	2.0	--	--	--	--	90	10	
P27	--	--	--	--	11.2	--	--	--	--	--	--	--	--	--	2.8	--	--	--	--	86	14	
P28	--	--	--	--	16.0	--	--	--	--	--	--	--	--	--	4.0	--	--	--	--	80	20	
P29	--	--	--	--	4.0	--	--	--	--	--	--	--	--	--	1.0	--	--	--	--	95	5	
P30	--	--	--	--	8.0	--	--	--	--	--	--	--	--	--	--	2.0	--	--	--	90	10	
P31	--	--	--	--	11.2	--	--	--	--	--	--	--	--	--	--	2.8	--	--	--	86	14	
P32	--	--	--	--	16.0	--	--	--	--	--	--	--	--	--	--	4.0	--	--	--	80	20	
P33	--	--	--	--	29.6	--	--	--	--	--	--	--	--	--	--	7.4	--	--	--	63	37	
P34	--	--	--	--	4.0	--	--	--	--	--	--	--	--	--	1.0	--	--	--	--	95	5	
P35	--	--	--	--	11.2	--	--	--	--	--	--	--	--	--	2.8	--	--	--	--	86	14	
P36	--	--	--	--	16.0	--	--	--	--	--	--	--	--	--	4.0	--	--	--	--	80	20	
P37	--	--	--	--	20.0	--	--	--	--	--	--	--	--	--	5.0	--	--	--	--	75	25	
P38	--	--	--	--	4.0	--	--	--	--	--	--	--	--	--	1.0	--	--	--	--	95	5	
P39	--	--	--	--	11.2	--	--	--	--	--	--	--	--	--	--	2.8	--	--	--	86	14	
P40	--	--	--	--	16.0	--	--	--	--	--	--	--	--	--	--	4.0	--	--	--	80	20	
P41	--	--	--	--	20.0	--	--	--	--	--	--	--	--	--	--	5.0	--	--	--	75	25	
P42	--	--	--	--	--	11.2	--	--	--	--	--	--	--	--	--	2.8	--	--	--	86	14	
P43	--	--	--	--	--	--	11.2	--	--	--	--	--	--	--	--	2.8	--	--	--	86	14	
P44	--	--	--	--	--	--	--	11.2	--	--	--	--	--	--	--	2.8	--	--	--	86	14	
P45	--	--	--	--	--	--	--	--	11.2	--	--	--	--	--	--	2.8	--	--	--	86	14	
P46	--	--	--	--	--	--	--	--	--	11.2	--	--	--	--	--	2.8	--	--	--	86	14	
P47	--	--	--	--	--	--	--	--	--	--	11.2	--	--	--	--	2.8	--	--	--	86	14	
P48	--	--	--	--	--	--	--	--	--	--	--	11.2	--	--	--	2.8	--	--	--	86	14	
P49	--	--	--	--	--	--	--	--	--	--	--	--	11.2	--	--	2.8	--	--	--	86	14	
P50	--	--	--	--	--	--	--	11.2	--	--	--	--	--	--	--	--	2.8	--	--	86	14	
P51	--	--	--	--	--	--	--	--	11.2	--	--	--	--	--	--	--	--	2.8	--	86	14	
P52	--	--	--	--	--	--	--	--	11.2	--	--	--	--	--	--	--	--	2.8	2.8	86	14	

[0071]

[0072]

(4) 썰층을 형성하기 위하여 사용되는 썰층 페이스트의 제작

[0073]

상술한 썰층을 형성하기 위한 페이스트로서, 알루미늄과 유기 비히클을 포함한 썰층 페이스트를 준비했다.

[0074]

(5) 캐버티부 형성용의 수지 페이스트의 제작

[0075]

상술한 캐버티부(12)를 형성하기 위한 페이스트로서, 수지, 유기 용제, 유기 바인더 등, 소성 공정에서 분해, 연소하여 소실되는 수지 페이스트를 제작했다.

[0076]

(6) 각 페이스트의 인쇄

[0077]

상술한 방전 보조 전극 페이스트, 대향 전극 페이스트, 썰층 페이스트, 및 캐버티부 형성용의 수지 페이스트를, 제1 세라믹 그린 시트 상에 인쇄한다.

[0078]

구체적으로는 먼저, 제1 세라믹 그린 시트에 썰층 페이스트를 도포한다.

[0079]

그리고, 썰층 페이스트 상에 방전 보조 전극 페이스트를 소정의 패턴이 되도록, 스크린 인쇄법에 의해 인쇄하고, 건조시킴으로써, 미소성의 방전 보조 전극을 형성한다. 본 발명에서는 여기서, 얻어지는 ESD 보호 디바이스에 있어서, 방전 보조 전극을 구성하는 금속 입자의 평균 입자 직경 X가 1.0μm 이상이며, 상기 방전 보조 전극의 두께 Y와 상기 금속 입자의 평균 입자 직경 X의 관계가, 0.5 ≤ Y/X ≤ 3의 요건을 만족하도록 한다.

[0080]

또한, 대향 전극 페이스트를 도포하여, 대향 전극을 구성하는 미소성의 일방측 대향 전극, 타방측 대향 전극을 형성한다. 이에 따라, 일방측 대향 전극(2a)와 타방측 대향 전극(2b)의 서로 대향하는 선단부끼리 사이에는 방전 갭(10)이 형성된다.

[0081]

또한, 이 실시예에서는, 소성 후의 단계에서, 대향 전극(2)을 구성하는 일방측 대향 전극(2a), 타방측 대향 전극(2b)의 폭 W(도 3)가 100 μm, 방전 갭(10)의 치수 G(도 3)가 30 μm가 되도록 했다.

[0082]

그리고, 대향 전극(2) 및 방전 보조 전극(3)의 위로부터, 캐버티부(12)를 형성해야 할 영역에, 캐버티부 형성용의 수지 페이스트를 도포한다.

[0083]

또한, 그 위로부터 캐버티부 형성용의 수지 페이스트를 덮도록, 썰층 페이스트를 도포하여 미소성의 썰층을 형성한다.

[0084]

(7) 적층, 압착

[0085]

상술한 바와 같이 하여, 썰층 페이스트, 방전 보조 전극 페이스트, 대향 전극 페이스트, 수지 페이스트, 썰층

페이스트의 순서로 각 페이스트를 도포한 제1 세라믹 그린 시트 상에, 페이스트가 도포되지 않은 제2 세라믹 그린 시트를 적층하고, 압착한다. 여기에서는 소성 후에 두께가 0.3mm가 되는 적층체가 형성되도록 했다.

[0086]

(8) 컷, 외부 전극 페이스트의 도포

[0087]

적층체를 마이크로 컷터로 컷하여, 각 칩으로 분할한다. 여기에서는, 소성 후에, 길이 1.0mm, 폭 0.5mm가 되도록 컷했다. 그 후, 단면에 외부 전극 페이스트를 도포하여 미소성의 외부 전극을 형성했다.

[0088]

(9) 소성

[0089]

이어서, 외부 전극 페이스트를 도포한 칩을 N₂ 분위기 중에서 소성한다.

[0090]

또한, ESD에 대한 응답 전압을 내리기 위하여, 캐버티부(12)에 Ar, Ne 등의 희가스를 도입하는 경우에는 세라믹 재료의 수축, 소결이 행해지는 온도 영역에 있어서의 소성 공정을 Ar, Ne 등의 희가스 분위기 중에서 실시해도 무방하다. 산화하지 않는 전극 재료를 사용하는 경우에는 대기 분위기에서 소성하는 것도 가능하다.

[0091]

(10) 도금

[0092]

상기 (9)의 소성 공정에서 형성된 외부 전극 상에 전해 도금에 의해 Ni 및 Sn 도금의 순으로 도금을 실시한다. 이에 따라, Ni 도금막 및 Sn 도금막을 포함하고, 납땀성 등의 특성이 뛰어난 외부 전극이 형성된다.

[0093]

이에 따라, 도 1~도 3에 나타난 구조를 갖는 ESD 보호 디바이스가 얻어진다.

[0094]

[특성의 평가]

[0095]

다음으로, 상술한 바와 같이 하여 제작한 ESD 보호 디바이스에 대하여, 이하의 방법으로 각 특성을 조사했다.

[0096]

(1) 쇼트 내성

[0097]

쇼트 내성은 접촉 방전에서 8kV 인가를 50회, 4kV 인가를 10회, 2kV 인가를 10회, 1kV 인가를 10회, 0.5kV 인가를 10회, 0.2kV 인가를 10회 행한 후의 IR을 조사함으로써 평가했다.

[0098]

IR가 10⁶Ω 미만인 것에 대해서는 ESD 인가에 의한 쇼트 내성이 불량(× 표시)이라고 판정하고, 10⁶Ω 이상인 것에 대해서는 쇼트 내성이 양호(○ 표시)라고 판정했다.

[0099]

(2) ESD 방전 응답성

[0100]

반복 ESD에 대한 응답성인 ESD 방전 응답성(ESD 반복 내성)의 평가를 행함에 있어서는, 먼저 각각 100개의 시료에 대하여, IEC의 규격, IEC61000-4-2에 규정되어 있는 정전기 방전 내성 시험(electrostatic discharge immunity test)을 행하고, 그 평균값을 구했다. 그리고, 각 시료에 대하여, 상기 (1)의 경우와 마찬가지로, 접촉 방전에서 8kV 인가를 50회, 4kV 인가를 10회, 2kV 인가를 10회, 1kV 인가를 10회, 0.5kV 인가를 10회, 0.2kV 인가를 10회 행한 후, 정전기 방전 내성 시험을 행하고, ESD 방전 응답성(ESD 반복 내성)을 조사했다.

[0101]

반복하여 정전기를 인가한 후의 정전기 방전 내성 시험에 있어서, 보호 회로측에서 검출된 피크 전압이 900V를 넘는 것에 대해서는, ESD 방전 응답성이 불량(× 표시)이라고 판정하고, 피크 전압이 900V 이하인 것에 대해서는 ESD 방전 응답성이 양호(○ 표시)라고 판정했다.

[0102]

또한, 소성 후의 적층체 10개에 대하여, 대향 전극의 W=1/2의 지점에서 적층 방향으로 컷하고, 방전 보조 전극을 노출시키고, 그 단면을 연마했다. 다음으로, 단면에 노출시킨 방전 보조 전극을 금속 현미경을 사용하여 관찰하고, 관찰된 개개의 금속 입자의 원 상당 직경을 화상 처리 소프트웨어를 사용하여 길이를 측정하고, 그 평균값을 방전 보조 전극을 구성하는 금속 입자의 평균 입자 직경 X라고 정의했다. 또한, 마찬가지로 하여 개개의 방전 보조 전극의 두께를 화상 처리 소프트웨어로 길이를 측정하고, 그 평균값을 방전 보조 전극의 두께 Y라고 정의했다. 그리고, 이 평균 입자 직경 X와 방전 보조 전극의 두께 Y의 값으로부터, 양자의 관계 Y/X를 구하였다.

[0103]

(3) 종합 판정

[0104]

상기의 쇼트 내성과 ESD 방전 응답성의 2개의 특성 평가 결과의 양쪽 모두가 양호한 것을 종합 판정 양호(○ 표시)라고 평가하고, 어느 한쪽 또는 양쪽 모두가 불량인 것을 종합 판정 불량(× 표시)이라고 평가했다.

[0105]

표 6 및 표 7에, 방전 보조 전극 페이스트의 조건, 평균 입자 직경 X와 방전 보조 전극의 두께 Y의 관계, 특성 평가 결과 등을 나타낸다.

[0106] 표 6 및 표 7에 있어서, 시료 번호에 *를 붙인 것은 본 발명의 요건을 포함하지 않는 시료이다.

표 6

시료 번호	페이스트	X	Y	Y/X	쇼트 내성	ESD 방전 응답성	종합 판정
		μm	μm				
*1	P1	0.10	0.30	3.00	×	×	×
*2	P2	0.10	0.50	5.00	×	×	×
*3	P3	0.10	1.00	10.00	×	×	×
*4	P4	0.30	0.30	1.00	×	×	×
*5	P5	0.30	0.50	1.67	×	×	×
*6	P6	0.30	1.50	5.00	×	×	×
*7	P7	0.50	0.20	0.40	×	×	×
*8	P8	0.50	0.30	0.60	×	×	×
*9	P9	0.50	0.50	1.00	×	×	×
*10	P10	0.50	1.50	3.00	×	×	×
*11	P11	1.00	0.40	0.40	×	×	×
12	P12	1.00	0.60	0.60	○	○	○
13	P13	1.00	1.00	1.00	○	○	○
14	P14	1.00	2.00	2.00	○	○	○
15	P15	1.00	3.00	3.00	○	○	○
*16	P16	1.00	0.40	0.40	×	×	×
17	P17	1.00	0.60	0.60	○	○	○
18	P18	1.00	1.00	1.00	○	○	○
19	P19	1.00	2.00	2.00	○	○	○
20	P20	1.00	3.00	3.00	○	○	○
*21	P21	1.00	0.40	0.40	×	×	×
22	P22	1.00	1.00	1.00	○	○	○
23	P23	1.00	2.00	2.00	○	○	○
24	P24	1.00	3.00	3.00	○	○	○
*25	P25	3.00	0.70	0.23	×	×	×

[0107]

표 7

시료 번호	페이스트	X	Y	Y/X	쇼트 내성	ESD 방전 응답성	종합 판정
		μm	μm				
26	P26	3.00	1.50	0.50	○	○	○
27	P27	3.00	3.00	1.00	○	○	○
28	P28	3.00	5.00	1.67	○	○	○
*29	P29	3.00	0.70	0.23	×	×	×
30	P30	3.00	1.50	0.50	○	○	○
31	P31	3.00	3.00	1.00	○	○	○
32	P32	3.00	5.00	1.67	○	○	○
*33	P33	3.00	12.00	4.00	×	×	×
*34	P34	6.00	1.00	0.17	×	×	×
35	P35	6.00	3.50	0.58	○	○	○
36	P36	6.00	5.50	0.92	○	○	○
37	P37	6.00	7.00	1.17	○	○	○
*38	P38	6.00	1.00	0.17	×	×	×
39	P39	6.00	3.50	0.58	○	○	○
40	P40	6.00	5.50	0.92	○	○	○
41	P41	6.00	7.00	1.17	○	○	○
42	P42	3.00	3.00	1.00	○	○	○
43	P43	3.00	3.00	1.00	○	○	○
44	P44	3.00	3.00	1.00	○	○	○
45	P45	3.00	3.00	1.00	○	○	○
46	P46	3.00	3.00	1.00	○	○	○
47	P47	3.00	3.00	1.00	○	○	○
48	P48	3.00	3.00	1.00	○	○	○
49	P49	3.00	3.00	1.00	○	○	○
*50	P50	3.00	3.00	1.00	×	○	×
*51	P51	3.00	3.00	1.00	×	○	×
*52	P52	3.00	3.00	1.00	×	○	×

[0108]

[0109] 표 6 및 표 7로부터, 방전 보조 전극에 포함되는 금속 입자의 평균 입자 직경 X가 1.0 μm 미만인 점에서, 본 발명의 요건을 포함하지 않은 시료 번호 1~10의 ESD 보호 디바이스에서는, 쇼트 내성 및 ESD 방전 응답성이 반복

ESD 인가에 의해, 열화하는 것이 확인되었다.

- [0110] 또한, 방전 보조 전극의 두께 Y와 금속의 평균 입자 직경 X의 관계가, $0.5 > Y/X$ 인 점에서, 본 발명의 요건을 만족하지 않는 시료 번호 11, 16, 21, 25, 29, 33, 34 및 38의 ESD 보호 디바이스에서는, 쇼트 내성이 열화하는 것이 확인되었다.
- [0111] 한편, 방전 보조 전극에 포함되는 금속 입자의 평균 입자 직경 X가, $1.0 \mu\text{m}$ 이상이고, 아울러 방전 보조 전극의 두께 Y와 금속의 평균 입자 직경 X의 관계가, $0.5 \leq Y/X \leq 3$ 인 점에서, 본 발명의 요건을 포함한 시료 번호 12~15, 17~20, 22~24, 26~28, 30~32, 35~37, 및 39~49의 ESD 보호 디바이스의 경우, 쇼트 내성이 양호하고, 아울러 ESD 방전 응답성이 양호했다.
- [0112] 또한, 반도체 입자 SiC 대신에, 절연체 입자 Al_2O_3 를 사용한 시료 번호 50~52의 ESD 보호 디바이스에서는, 쇼트 내성이 열화하는 것이 확인되었다.
- [0113] 이것은 방전 보조 전극 중의 Cu 밀도가 국소적으로 높아진 것이 원인이라고 생각된다. 즉, 방전 보조 전극 중에 국소적으로 존재하는 미립의 Al_2O_3 에 의해 과잉인 액상 성분이 형성되고, 국소적으로 Cu 입자가 과소결 상태가 된 것에 의한 것이라고 추측된다.
- [0114] 상기 실시예의 결과로부터, 방전 보조 전극을 구성하는 금속 입자의 평균 입자 직경 X가 $1.0 \mu\text{m}$ 이상이고, 방전 보조 전극의 두께 Y와 금속 입자의 평균 입자 직경 X의 관계가 $0.5 \leq Y/X \leq 3$ 의 요건을 만족하는 경우에는
- [0115] (a) 반복 ESD 인가에 의한 쇼트 내성이 양호한 것,
- [0116] (b) 유리를 첨가하지 않더라도, 소성 공정에서 방전 보조 전극을 구성하는 금속 입자의 표면과 반도체 입자의 표면이 반응하여 유리질이 생성되고, 금속 입자 사이, 반도체 입자 사이, 및 금속 입자와 반도체 입자의 사이가 이 유리질에 의해 결합된 방전 보조 전극이 형성되기 때문에, 반복하여 정전기를 인가한 경우에도 쇼트 내성이 양호하게 유지되는 것이 확인되었다.
- [0117] 상기 실시예에서는 셀층 및 캐버티부를 포함한 ESD 보호 디바이스를 예를 들어 설명했지만, 본 발명은 셀층 및 캐버티부의 어느 한쪽을 포함하지 않는 구성이나, 셀층 및 캐버티부의 어느 것도 포함하지 않는 구성으로 하는 것도 가능하다.
- [0118] 또한, 본 발명은 상기 실시예에 한정되지 않고, 대향 전극의 구성 재료, 그 구체적인 형상, 방전 보조 전극의 구체적인 형상, 방전 보조 전극을 구성하는 금속 입자, 반도체 입자의 종류, 금속 입자 사이, 반도체 입자 사이, 및 금속 입자와 반도체 입자의 사이를 결합시키는 기능을 수행하는 유리질의 종류, 셀층 및 캐버티부의 형성 방법 등에 관하여, 발명의 범위 내에 있어서, 여러 가지의 응용, 변형을 가하는 것이 가능하다.

산업상 이용가능성

- [0119] 상술한 바와 같이, 본 발명에 의하면, 안정된 특성을 포함하고, 반복하여 정전기를 인가하더라도 특성의 열화를 일으키지 않는 ESD 보호 디바이스를 제공하는 것이 가능해진다. 따라서, 본 발명은 반도체 장치 등을 비롯하여 여러 가지의 기기, 장치의 보호를 위하여 사용되는 ESD 보호 디바이스의 분야에 널리 적용하는 것이 가능하다.

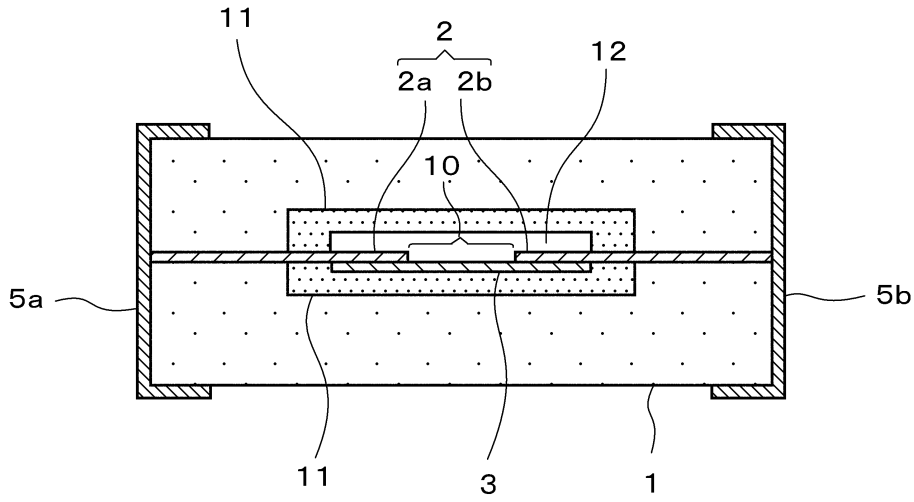
부호의 설명

- [0120] 1: 세라믹 기재
- 2: 대향 전극
- 2a: 대향 전극을 구성하는 일방측 대향 전극
- 2b: 대향 전극을 구성하는 타방측 대향 전극
- 3: 방전 보조 전극
- 5a, 5b: 외부 전극
- 11: 셀층
- 12: 캐버티부

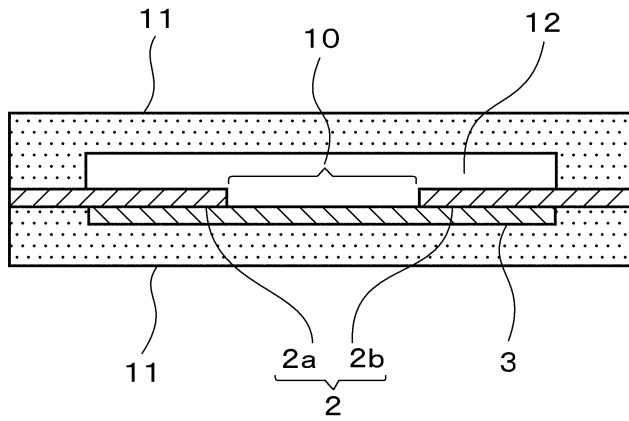
10: 방전 껍부
W: 대향 전극의 폭
G: 방전 껍부의 치수

도면

도면1



도면2



도면3

