

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/28 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월23일 10-0563464 2006년03월16일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0077274 2003년11월03일	(65) 공개번호 (43) 공개일자	10-2005-0042561 2005년05월10일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	엘지전자 주식회사 서울특별시 영등포구 여의도동 20번지
(72) 발명자	한정관 경상북도구미시구포동성원아파트108동1201호
(74) 대리인	김영호

심사관 : 이만금

(54) 플라즈마 디스플레이 패널의 구동방법

요약

본 발명은 안정된 방전을 할 수 있도록 한 플라즈마 디스플레이 패널의 구동방법에 관한 것이다.

본 발명에 의한 플라즈마 디스플레이 패널의 구동방법은 방전에 의해 생성된 벽전하를 소거시키기 위한 소거기간동안 스캔전극라인들에 제1 소거램프파형을 인가하는 단계와, 상기 소거기간동안 서스테인전극라인들에 상기 제1 소거램프파형과 교번적으로 제2 소거램프파형을 인가하는 단계를 포함한다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 종래의 3전극 교류 면방전형 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 사시도.

도 2는 종래의 플라즈마 디스플레이 패널의 구동방법에 있어서 프레임기간의 서브필드 패턴을 나타내는 도면.

도 3은 종래의 선택적 쓰기 및 소거 방식으로 구동되는 플라즈마 디스플레이 패널의 구동과형을 나타내는 도면.

도 4a는 도 3에 도시된 구동과형도에서 스캔전극라인들에 인가되는 마지막 서스테인 펄스에 의해 형성된 벽전하를 나타내는 도면.

도 4b는 도 3에 도시된 구동과형도에서 소거기간에 서스테인전극라인들에 인가되는 소거펄스에 의해 소거된 후 남아있는 벽전하를 나타내는 도면.

도 5는 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 구동과형을 나타내는 도면.

도 6은 도 5에 도시된 구동과형도에서 "A" 부분을 상세히 나타내는 도면.

도 7a는 도 5에 도시된 구동과형도에서 서스테인전극라인들에 인가되는 마지막 서스테인 펄스에 의해 형성된 벽전하를 나타내는 도면.

도 7b는 도 5에 도시된 구동과형도에서 소거기간에 스캔전극라인들에 인가되는 제1 소거펄스에 의해 소거된 후 남아있는 벽전하를 나타내는 도면.

도 7c는 도 5에 도시된 구동과형도에서 소거기간에 서스테인전극라인들에 인가되는 제2 소거펄스에 의해 소거된 후 남아있는 벽전하를 나타내는 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

10 : 상부기관 18 : 하부기관

30Y : 스캔전극 30Z : 서스테인전극

20X : 어드레스 전극 12Y,12Z : 투명전극

13Y,13Z : 금속버스전극 14 : 상부 유전체층

16 : 보호막 22 : 하부 유전체층

24 : 격벽 26 : 형광체층

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널에 관한 것으로, 특히 안정된 방전을 할 수 있도록 한 플라즈마 디스플레이 패널의 구동방법에 관한 것이다.

플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 함)은 He+ Xe, Ne+ Xe 또는 He+ Ne+ Xe 가스의 방전시 발생하는 147nm의 자외선에 의해 형광체를 발광시킴으로써 문자 또는 그래픽을 포함한 화상을 표시하게 된다. 이러한 PDP는 박막화와 대형화가 용이할 뿐만 아니라 최근의 기술 개발에 힘입어 크게 향상된 화질을 제공한다. 특히, 3전극 교류 면방전형 PDP는 방전시 표면에 축적된 벽전하를 이용하여 방전에 필요한 전압을 낮추게 되며, 방전에 의해 발생하는 스퍼터링으로부터 전극들을 보호하기 때문에 저전압 구동과 장수명의 장점을 가진다.

도 1을 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기관(10) 상에 형성되어진 스캔전극(30Y) 및 서스테인전극(30Z)과, 하부기관(18) 상에 형성되어진 어드레스전극(20X)을 구비한다.

스캔전극(30Y)과 서스테인전극(30Z) 각각은 투명전극(12Y,12Z)과, 투명전극(12Y,12Z)의 선폭보다 작은 선폭을 가지며 투명전극의 일측 가장자리에 형성되는 금속버스전극(13Y,13Z)을 포함한다. 투명전극(12Y,12Z)은 통상 인듐틴옥사이드(Indium-Tin-Oxide : ITO)로 상부기관(10) 상에 형성된다. 금속버스전극(13Y,13Z)은 통상 크롬(Cr) 등의 금속으로 투명전극(12Y,12Z) 상에 형성되어 저항이 높은 투명전극(12Y,12Z)에 의한 전압강하를 줄이는 역할을 한다. 스캔전극(30Y)과 서스테인전극(30Z)이 형성된 상부기관(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 플

라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링으로부터 상부 유전체층(14)을 보호하고 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(20X)은 스캔전극(30Y) 및 서스테인전극(30Z)과 교차되는 방향으로 형성된다. 어드레스전극(20X)이 형성된 하부기판(18) 상에는 하부 유전체층(22)과 격벽(24)이 형성된다. 하부 유전체층(22)과 격벽(24)의 표면에는 형광체층(26)이 형성된다. 격벽(24)은 어드레스전극(20X)과 나란하게 형성되어 방전셀을 물리적으로 구분하며, 방전에 의해 생성된 자외선과 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체층(26)은 플라즈마 방전시 발생된 자외선에 의해 여기·발광되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하부기판(10,18)과 격벽(24) 사이에 마련된 방전셀의 방전공간에는 방전을 위한 He+ Xe, Ne+ Xe 또는 He+ Ne+ Xe 등의 불활성 혼합가스가 주입된다.

이러한 3전극 교류 면방전형 PDP는 화상의 계조(Gray Level)를 구현하기 위하여 한 프레임에 발광횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋 기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 구현하는 서스테인 기간으로 나뉘어진다. 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.67ms)은 도 2와 같이 8개의 서브필드들(SF1내지SF8)로 나누어지게 된다. 8개의 서브 필드들(SF1내지SF8) 각각은 리셋기간, 어드레스 기간 및 서스테인 기간으로 다시 나누어지게 된다. 각 서브필드의 리셋기간 및 어드레스 기간은 각 서브필드마다 동일한 반면에, 서스테인 기간 및 그 방전횟수는 각 서브필드에서 2<sup>n</sup>(단, n=0,1,2,3,4,5,6,7)의 비율로 증가된다. 이와 같이 각 서브필드에서 서스테인 기간이 달라지게 되므로 화상의 계조를 구현할 수 있게 된다.

이와 같은 PDP의 구동방법은 어드레스 방전에 의해 선택되는 방전셀의 발광여부에 따라 선택적 쓰기(Selective writing) 방식과 선택적 소거(Selective erasing) 방식으로 대별된다.

선택적 쓰기방식은 리셋기간 동안 전셀들을 끄고 어드레스기간 동안 켜져야할 온셀들(on-cells)을 선택하게 된다. 그리고 선택적 쓰기 방식은 서스테인 기간 동안 어드레스 방전에 의해 선택된 온셀들의 방전을 유지시킴으로써 화상을 표시하게 된다.

선택적 소거방식은 리셋기간 동안 전셀들을 켜고 어드레스기간 동안 꺼져야할 오프셀들(off-cells)을 선택하게 된다. 그리고 선택적 소거 방식은 서스테인 기간 동안 어드레스 방전에 의해 선택된 오프셀들을 제외한 온셀들의 방전을 유지시킴으로써 화상을 표시하게 된다.

선택적 쓰기 방식은 일반적으로 선택적 소거 방식에 비하여 계조 표현 범위가 더 넓은 장점이 있지만 선택적 소거 방식에 비하여 어드레스기간이 긴 단점이 있다. 이에 비하여, 선택적 소거방식은 고속 구동에 유리하지만 비표시기간인 리셋기간 동안 전셀들이 켜지게 되므로 선택적 쓰기 방식에 비하여 콘트라스트 특성이 나쁜 단점이 있다.

이러한 선택적 쓰기 방식과 선택적 소거 방식 각각의 장점보다 더 우수한 장점들을 가지는 소위 'SWSE 방식'이 본원 출원인에 의해 기출원된 특허출원 제10-2000-0012669호, 특허출원 제10-2000-0053214호, 특허출원 제10-2001-0003003호, 특허출원 제10-2001-0006492호, 특허출원 제10-2002-0082512호, 특허출원 제10-2002-0082513호, 특허출원 제10-2002-0082576호 등을 통하여 제안된 바 있다.

이러한 SWSE 방식은 온셀을 선택하여 화상을 표시하는 다수의 선택적 쓰기 서브필드와 오프셀을 선택하여 화상을 표시하는 다수의 선택적 소거 서브필드가 한 프레임기간 내에 포함된다.

도 3은 SWSE 방식으로 구동되는 PDP의 구동과형을 나타내는 도면이다.

도 3를 참조하면, 통상적인 SWSE 방식에서 한 프레임은 적어도 하나 이상의 서브필드를 포함하는 선택적 쓰기 서브필드(WSF)와, 적어도 하나 이상의 서브필드를 포함하는 선택적 소거 서브필드(ESF)를 포함한다.

선택적 쓰기 서브필드(WSF)는 m(단, m은 0보다 큰 양의 정수) 개의 서브필드들(SF1 내지 SFm)을 포함한다. m 번째 서브필드(SFm)를 제외한 제1 내지 제m-1 서브필드들(SF1 내지 SFm-1) 각각은 전화면의 셀들에 일정한 양의 벽전하를 균일하게 형성하기 위한 리셋기간, 쓰기방전을 이용하여 온셀들(on-cells)을 선택하는 선택적 쓰기 어드레스 기간(이하, 쓰기 어드레스기간), 선택된 온셀에 대하여 서스테인 방전을 일으키는 서스테인 기간 및 서스테인 방전 후 셀 내의 벽전하를 소거시키기 위한 소거기간으로 나뉘어진다. 선택적 쓰기 서브필드(WSF)의 마지막 서브필드인 제m 서브필드(SFm)는 리셋기간, 쓰기 어드레스기간 및 서스테인 기간으로 나뉘어진다.

선택적 쓰기 서브필드(WSF)의 리셋기간에는 모든 스캔전극라인들(Y)에 셋업전압(Vsetup)까지 상승하는 상승 기울기의 램프파형(RPSU)이 동시에 인가된다. 이와 동시에, 서스테인전극라인들(Z)과 어드레스전극라인들(X)에는 0V나 기저전압(GND)이 인가된다. 상승 램프파형(RPSU)에 의해 전화면의 셀들 내에서 스캔전극라인들(Y)과 어드레스전극라인들(X) 사이와 스캔전극라인들(Y)과 서스테인전극라인들(Z) 사이에는 빛이 거의 발생되지 않는 암방전(Dark discharge)이 일어난다. 이 셋업방전에 의해 어드레스전극라인들(X)과 서스테인전극라인들(Z) 상에는 정극성(+)의 벽전하가 쌓이게 되며, 스캔전극라인들(Y) 상에는 부극성(-)의 벽전하가 쌓이게 된다. 상승 램프파형(RPSU)에 이어서, 스캔전극라인들(Y)에는 셋업전압(Vsetup)보다 낮은 정극성 전압에서 떨어지는 하강 기울기의 하강 램프파형(RPSD)이 인가됨과 동시에 서스테인전극라인(Z)에는 직류바이어스전압(DCbias)이 인가된다. 이 하강 램프파형(RPSD)과 직류바이어스전압(DCbias)의 전압차에 의해 스캔전극라인들(Y)과 서스테인전극라인들(Z) 사이에는 빛이 거의 발생되지 않는 암방전이 일어난다. 또한, 스캔전극라인들(Y)과 어드레스전극라인들(Z) 사이에서는 하강 램프파형(RPSD)이 떨어지는 구간 동안 암방전이 일어난다. 하강 램프파형(RPSD)에 의한 셋다운방전은 상승 램프파형(RPSU)에 의해 발생된 전하들 중에서 어드레스방전에 기여하지 않는 과도 벽전하를 소거시키게 된다. 즉, 하강 램프파형(RPSD)은 안정된 쓰기 어드레스의 초기조건을 설정하는 역할을 한다.

선택적 쓰기 서브필드(WSF)의 쓰기 어드레스기간에는 부극성의 쓰기 스캔전압(-V<sub>yw</sub>) 까지 떨어지는 쓰기 스캔펄스(SWSCN)가 스캔전극라인들(Y)에 순차적으로 인가됨과 동시에 쓰기 스캔펄스(SWSCN)에 동기되도록 쓰기 데이터펄스(SWD)가 어드레스전극라인들(X)에 인가된다. 쓰기 스캔펄스(SWSCN)와 쓰기 데이터펄스(SWD)의 전압차와 이전에 축적된 셀 내의 벽전압이 더해지면서 쓰기 데이터펄스(SWD)가 인가되는 온셀 내에는 쓰기방전이 발생된다. 이 쓰기방전에 의해 스캔전극라인(Y) 상에는 정극성 벽전하가 쌓이게 되며 서스테인전극라인(Z)과 어드레스전극라인(X) 상에는 부극성의 벽전하가 쌓이게 된다. 이렇게 형성된 벽전하는 서스테인기간 동안 서스테인 방전을 일으키기 위한 외부 인가전압 즉, 서스테인전압을 낮추게 된다.

선택적 쓰기 서브필드(WSF)의 서스테인기간에는 스캔전극라인들(Y)과 서스테인전극라인들(Z)에 교번적으로 서스테인펄스(SUSPy, SUSPz)가 공급된다. 이렇게 서스테인펄스(SUSPy, SUSPz)가 인가될 때마다 쓰기 어드레스기간 동안 쓰기방전이 일어난 온셀들은 서스테인방전이 일어난다.

마지막 서스테인방전이 일어난 후, 선택적 쓰기 서브필드(WSF)의 마지막 서브필드(SF<sub>m</sub>)를 제외한 제1 내지 제<sub>m-1</sub> 서브필드들(SF<sub>1</sub> 내지 SF<sub>m-1</sub>)의 소거기간 동안 서스테인전극라인들(Z)에는 서스테인전압(V<sub>s</sub>)까지 점진적으로 상승하는 소거 램프파형(ERS)이 인가된다. 이 소거 램프파형(ERS)에 의해 온셀 내에서는 미약한 소거방전이 일어나면서 서스테인방전에 의해 생성된 벽전하가 소거된다. 이와 달리 선택적 쓰기 서브필드(WSF)의 마지막 서브필드(SF<sub>m</sub>)에서 마지막 서스테인방전이 일어난 후에는 어떠한 소거신호없이 선택적 소거 서브필드(ESF)의 첫 번째 서브필드(SF<sub>m+1</sub>)로 전이된다. 결과적으로, 소거 램프파형(ERS)이나 이와 같은 소거 기능을 가지는 소거전압(또는 파형)은 다음 서브필드가 선택적 쓰기 서브필드인 경우에만 해당 서브필드에 배치된다.

선택적 소거 서브필드(ESF)는 n-m(단, n은 m 보다 큰 양의 정수) 개의 서브필드들(SF<sub>m+1</sub> 내지 SF<sub>n</sub>)을 포함한다. 제 m+1 내지 제 n 서브필드들(SF<sub>m+1</sub> 내지 SF<sub>n</sub>) 각각은 소거방전을 이용하여 오프셀(off-cell)을 선택하기 위한 선택적 소거 어드레스기간(이하, "소거 어드레스 기간"이라 한다) 및 온셀들에 대하여 서스테인 방전을 일으키기 위한 서스테인기간으로 나뉘어진다.

선택적 소거 서브필드(ESF)의 어드레스기간에는 부극성의 소거 스캔전압(-V<sub>ye</sub>)까지 떨어지는 소거 쓰기 스캔펄스(DESCN)가 스캔전극라인들(Y)에 순차적으로 인가됨과 동시에 소거 스캔펄스(DESCN)에 동기되는 소거 데이터펄스(SED)가 어드레스전극라인들(X)에 인가된다. 부극성의 선택적 소거 스캔펄스(DESCN)와 선택적 소거 데이터펄스(SED)의 전압차와 이전 서브필드부터 유지된 온셀 내의 벽전압이 더해지면서 선택적 소거 데이터펄스(SED)가 인가되는 온셀 내에는 소거방전이 발생된다. 이 소거방전에 의해 온셀들 내의 벽전하는 서스테인전압이 인가되더라도 방전이 일어나지 않을 정도로 소거된다.

선택적 소거 서브필드(ESF)의 소거 어드레스기간 동안 서스테인전극라인들(Z)에는 0V나 기저전압(GND)이 인가된다.

선택적 소거 서브필드(SEF)의 서스테인기간에는 스캔전극라인들(Y)과 서스테인전극라인들(Z)에 교번적으로 서스테인펄스(SUSPy, SUSPz)가 인가된다. 이렇게 서스테인펄스(SUSPy, SUSPz)가 인가될 때마다 소거 어드레스기간에 소거방전이 일어나지 않은 온셀들은 서스테인방전이 일어난다.

한편, 이와 같은 SWSE 방식으로 구동되는 PDP에서 마지막 서스테인방전이 일어난 후, 선택적 쓰기 서브필드(WSF)의 마지막 서브필드(SFm)를 제외한 제1 내지 제m-1 서브필드들(SF1 내지 SFm-1)의 소거기간 동안 서스테인전극라인들(Z)에는 서스테인전압(Vs)까지 점진적으로 상승하는 소거 램프파형(ERS)이 인가된다. 이 소거 램프파형(ERS)에 의해 온셀 내에서는 미약한 소거방전이 일어나면서 서스테인방전에 의해 생성된 벽전하가 소거된다. 그러나, 이러한 소거 램프파형(ERS)만으로는 벽전하가 충분히 소거되지 않아 다음 서브필드에서 불안정한 방전이 발생할 수 있다.

이를 상세히 설명하면, 제m-1 서브필드(SFm-1)의 스캔전극라인들(Y)에 마지막 서스테인 펄스(SUSPy)가 공급되면 도 4a와 같이 스캔전극라인들(Y)에 부극성(-)의 벽전하가 형성되고, 서스테인전극라인들(Z)에 정극성(+)의 벽전하가 형성된다. 이후, 서스테인전극라인들(Z)에 서스테인전압(Vs)까지 점진적으로 상승하는 소거 램프파형(ERS)이 인가된다. 이에 따라, 서스테인전극라인들(Z) 및 스캔전극라인들(Y) 간에는 미약한 소거방전이 발생하게 된다. 이러한 미약한 소거방전에 의해 도 4b와 같이 스캔전극라인들(Y)에는 부극성(-)의 벽전하가 미약하게 소거되고, 서스테인전극라인들(Z)에도 정극성(+)의 벽전하가 미약하게 소거된다. 이후, 제m 서브필드(SFm)(마지막 SW서브필드)의 리셋기간에는 모든 스캔전극라인들(Y)에 셋업전압(Vsetup)까지 상승하는 상승 기울기의 램프파형(RPSU)이 동시에 인가된다. 이와 동시에, 서스테인전극라인들(Z)과 어드레스전극라인들(X)에는 0V나 기저전압(GND)이 인가된다. 상승 램프파형(RPSU)에 의해 전화면의 셀들 내에서 스캔전극라인들(Y)과 어드레스전극라인들(X) 사이와 스캔전극라인들(Y)과 서스테인전극라인들(Z) 사이에는 리셋방전이 일어난다. 이 때, 이전 서브필드(SFm-1)의 소거기간에 충분한 소거가 일어나지 않았으므로 스캔전극라인들(Y)에는 과도한 부극성(-)의 벽전하가 형성되고, 서스테인전극라인들(Z)에도 과도한 정극성(+)의 벽전하가 형성된다. 이러한 과도한 벽전하에 의해 리셋방전이 불안정해 지게 되어 이후 이어지는 서브필드들에서 불안정한 방전이 발생할 수 있다. 특히, 이와 같은 문제는 패널이 고온(대략 40℃ 내지 90℃)에서 구동될 때 더욱 크게 나타난다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 안정된 방전을 할 수 있도록 한 플라즈마 디스플레이 패널의 구동방법을 제공하는데 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 구동방법은 방전에 의해 생성된 벽전하를 소거시키기 위한 소거기간동안 스캔전극라인들에 제1 소거램프파형을 인가하는 단계와, 상기 소거기간동안 서스테인전극라인들에 상기 제1 소거램프파형과 교번적으로 제2 소거램프파형을 인가하는 단계를 포함한다.

상기 플라즈마 디스플레이 패널의 구동방법에서 상기 제1 소거램프파형은 제1 전압까지 점진적으로 상승한 후 일정 기간 동안 상기 제1 전압을 유지하는 램프파형인 것을 특징으로 한다.

상기 플라즈마 디스플레이 패널의 구동방법에서 상기 제1 전압은 대략 200 ~ 300V로 설정되는 것을 특징으로 한다.

상기 플라즈마 디스플레이 패널의 구동방법에서 상기 제1 소거램프파형이 공급되는 기간은 대략 80 ~ 150 $\mu$ s로 설정되는 것을 특징으로 한다.

상기 플라즈마 디스플레이 패널의 구동방법에서 상기 제2 소거램프파형은 소정의 전압까지 점진적으로 상승하는 램프파형인 것을 특징으로 한다.

상기 플라즈마 디스플레이 패널의 구동방법에서 상기 제1 소거램프파형이 공급되는 기간은 상기 제2 소거램프파형이 공급되는 기간보다 더 길게 설정되는 것을 특징으로 한다.

상기 플라즈마 디스플레이 패널의 구동방법에서 상기 소거기간동안 스캔전극라인들에 제1 소거램프파형을 인가하는 단계는 패널이 고온에서 구동될 때 적용되는 것을 특징으로 한다.

상기 플라즈마 디스플레이 패널의 구동방법에서 상기 고온은 대략 40℃ 내지 90℃ 사이의 온도인 것을 특징으로 한다.

본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 구동방법은 한 프레임이 다수의 선택적 쓰기 서브필드 및 선택적 소거 서브필드를 포함하는 플라즈마 디스플레이 패널의 구동방법에 있어서, 상기 다수의 선택적 쓰기 서브필드들 중 방전에

의해 생성된 벽전하를 소거시키기 위한 적어도 하나 이상의 선택적 쓰기 서브필드의 소거기간동안 스캔전극라인들에 제1 소거램프파형을 인가하는 단계와, 상기 소거기간동안 상기 제1 소거램프파형과 교번적으로 서스테인전극라인들에 제2 소거램프파형을 인가하는 단계를 포함한다.

상기 플라즈마 디스플레이 패널의 구동방법에서 상기 적어도 하나 이상의 선택적 쓰기 서브필드는 상기 선택적 소거 서브필드로 넘어가기 전에 위치하는 마지막 선택적 쓰기 서브필드 바로 직전에 위치하는 서브필드인 것을 특징으로 한다.

상기 플라즈마 디스플레이 패널의 구동방법에서 상기 적어도 하나 이상의 선택적 쓰기 서브필드는 16의 휘도 가중치를 가지는 서브필드인 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 실시예를 첨부한 도 5 내지 도 7c를 참조하여 상세히 설명하기로 한다.

도 5는 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 구동과형을 나타내는 도면이다.

도 5를 참조하면, 본 발명의 실시예에 의한 PDP의 구동과형에서 한 프레임은 적어도 하나 이상의 서브필드를 포함하는 선택적 쓰기 서브필드(WSF)와, 적어도 하나 이상의 서브필드를 포함하는 선택적 소거 서브필드(ESF)를 포함한다.

선택적 쓰기 서브필드(WSF)는  $m$ (단,  $m$ 은 0보다 큰 양의 정수) 개의 서브필드들(SF1 내지 SF $m$ )을 포함한다.  $m$  번째 서브필드(SF $m$ )를 제외한 제1 내지 제 $m-1$  서브필드들(SF1 내지 SF $m-1$ ) 각각은 전화면의 셀들에 일정한 양의 벽전하를 균일하게 형성하기 위한 리셋기간, 쓰기방전을 이용하여 온셀들(on-cells)을 선택하는 쓰기 어드레스기간, 선택된 온셀에 대하여 서스테인 방전을 일으키는 서스테인 기간 및 서스테인 방전 후 셀 내의 벽전하를 소거시키기 위한 포스트 소거기간으로 나뉘어진다. 선택적 쓰기 서브필드(WSF)의 마지막 서브필드인 제 $m$  서브필드(SF $m$ )는 리셋기간, 쓰기 어드레스기간 및 서스테인 기간으로 나뉘어진다.

선택적 쓰기 서브필드(WSF)의 리셋기간에는 모든 스캔전극라인들(Y)에 셋업전압(Vsetup)까지 상승하는 상승 기울기의 램프파형(RPSU)이 동시에 인가된다. 이와 동시에, 서스테인전극라인들(Z)과 어드레스전극라인들(X)에는 0V나 기저전압(GND)이 인가된다. 상승 램프파형(RPSU)에 의해 전화면의 셀들 내에서 스캔전극라인들(Y)과 어드레스전극라인들(X) 사이와 스캔전극라인들(Y)과 서스테인전극라인들(Z) 사이에는 빛이 거의 발생되지 않는 암방전(Dark discharge)이 일어난다. 이 셋업방전에 의해 어드레스전극라인들(X)과 서스테인전극라인들(Z) 상에는 정극성(+)의 벽전하가 쌓이게 되며, 스캔전극라인들(Y) 상에는 부극성(-)의 벽전하가 쌓이게 된다. 상승 램프파형(RPSU)에 이어서, 스캔전극라인들(Y)에는 셋업전압(Vsetup)보다 낮은 정극성 전압에서 떨어지는 하강 기울기의 하강 램프파형(RPSD)이 인가됨과 동시에 서스테인전극라인(Z)에는 직류바이어스전압(DCbias)이 인가된다. 이 하강 램프파형(RPSD)과 직류바이어스전압(DCbias)의 전압차에 의해 스캔전극라인들(Y)과 서스테인전극라인들(Z) 사이에는 빛이 거의 발생되지 않는 암방전이 일어난다. 또한, 스캔전극라인들(Y)과 어드레스전극라인들(Z) 사이에서는 하강 램프파형(RPSD)이 떨어지는 구간 동안 암방전이 일어난다. 하강 램프파형(RPSD)에 의한 셋다운방전은 상승 램프파형(RPSU)에 의해 발생된 전하들 중에서 어드레스방전에 기여하지 않는 과도 벽전하를 소거시키게 된다. 즉, 하강 램프파형(RPSD)은 안정된 쓰기 어드레스의 초기조건을 설정하는 역할을 한다.

선택적 쓰기 서브필드(WSF)의 쓰기 어드레스기간에는 부극성의 쓰기 스캔전압(-V<sub>yw</sub>) 까지 떨어지는 쓰기 스캔펄스(SWSCN)가 스캔전극라인들(Y)에 순차적으로 인가됨과 동시에 쓰기 스캔펄스(SWSCN)에 동기되도록 쓰기 데이터펄스(SWD)가 어드레스전극라인들(X)에 인가된다. 쓰기 스캔펄스(SWSCN)와 쓰기 데이터펄스(SWD)의 전압차와 이전에 축적된 셀 내의 벽전압이 더해지면서 쓰기 데이터펄스(SWD)가 인가되는 온셀 내에는 쓰기방전이 발생된다. 이 쓰기방전에 의해 스캔전극라인(Y) 상에는 정극성 벽전하가 쌓이게 되며 서스테인전극라인(Z)과 어드레스전극라인(X) 상에는 부극성의 벽전하가 쌓이게 된다. 이렇게 형성된 벽전하는 서스테인기간 동안 서스테인 방전을 일으키기 위한 외부 인가전압 즉, 서스테인전압을 낮추게 된다.

선택적 쓰기 서브필드(SWF)의 서스테인기간에는 스캔전극라인(Y)과 서스테인전극라인(Z)에 교번적으로 서스테인펄스(SUSPy, SUSPz)가 공급된다. 이렇게 서스테인펄스(SUSPy, SUSPz)가 인가될 때마다 쓰기 어드레스기간 동안 쓰기방전이 일어난 온셀들은 서스테인방전이 일어난다.

마지막 서스테인방전이 일어난 후, 선택적 쓰기 서브필드(WSF)의 마지막 두개의 서브필드(SF<sub>m-1</sub>, SF<sub>m</sub>)를 제외한 제1 내지 제<sub>m-2</sub> 서브필드들(SF1 내지 SF<sub>m-2</sub>) 소거기간 동안 서스테인전극라인들(Z)에는 서스테인전압(V<sub>s</sub>)까지 점진적으로 상승하는 소거 램프파형(ERS)이 인가된다. 이 소거 램프파형(ERS)에 의해 온셀 내에서는 미약한 소거방전이 일어나면서 서스테인방전에 의해 생성된 벽전하가 소거된다. 이와 달리 선택적 쓰기 서브필드(WSF)의 마지막 서브필드(SF<sub>m</sub>)에서 마지막 서스테인방전이 일어난 후에는 어떠한 소거신호없이 선택적 소거 서브필드(ESF)의 첫 번째 서브필드(SF<sub>m+1</sub>)로 전이된다. 결과적으로, 소거 램프파형(ERS)이나 이와 같은 소거 기능을 가지는 소거전압(또는 파형)은 다음 서브필드가 선택적 쓰기 서브필드인 경우에만 해당 서브필드에 배치된다.

한편, 제<sub>m-1</sub> 서브필드(SF<sub>m-1</sub>)에서는 도 6에 도시된 바와 같이 마지막 서스테인방전이 일어난 후 소거기간 동안 스캔전극라인들(Y)에는 소정의 전압(예를 들어, 대략 200 ~ 300V)까지 점진적으로 상승한 후 일정기간(예를 들어, 대략 20 $\mu$ s) 동안 소정의 전압을 유지하는 제1 소거램프파형(ERS1)이 인가된다. 이 때, 제1 소거램프파형(ERS1)이 공급되는 기간은 대략 80 ~ 150 $\mu$ s로 설정된다. 이러한 제1 소거램프파형(ERS1)에 의해 온셀 내에서는 미약한 소거방전이 일어나면서 서스테인방전에 의해 생성된 벽전하가 소거된다. 또한, 소거기간 동안 이와 교번적으로 서스테인전극라인들(Z)에는 서스테인전압(V<sub>s</sub>)까지 점진적으로 상승하는 제2 소거램프파형(ERS2)이 인가된다. 이러한 제2 소거램프파형(ERS2)에 의해 온셀 내에서는 미약한 소거방전이 일어나면서 제1 소거램프파형(ERS1)에 의해 소거되고 남은 벽전하가 더 소거된다. 이에 따라, 이후 이어지는 서브필드들은 안정적으로 방전을 일으킬 수 있게 된다.

이를 상세히 설명하면, 제<sub>m-1</sub> 서브필드(SF<sub>m-1</sub>)의 서스테인전극라인들(Z)에 마지막 서스테인 펄스(SUSP<sub>z</sub>)가 공급되면 도 7a와 같이 스캔전극라인들(Y)에 정극성(+)의 벽전하가 형성되고, 서스테인전극라인들(Z)에 부극성(-)의 벽전하가 형성된다. 이후, 제<sub>m-1</sub> 서브필드(SF<sub>m-1</sub>)의 소거기간동안 스캔전극라인들(Y)에 소정의 전압까지 점진적으로 상승한 후 일정기간 동안 소정의 전압을 유지하는 제1 소거램프파형(ERS1)이 인가된다. 이러한 제1 소거램프파형(ERS1)에 의해 온셀 내에서는 미약한 소거방전이 일어나면서 서스테인방전에 의해 도 7a와 같이 생성된 벽전하는 소거되어 도 7b와 같이 벽전하가 줄어들게 된다. 또한, 소거기간 동안 이와 교번적으로 서스테인전극라인들(Z)에는 서스테인전압(V<sub>s</sub>)까지 점진적으로 상승하는 제2 소거램프파형(ERS2)이 인가된다. 이러한 제2 소거램프파형(ERS2)에 의해 온셀 내에서는 미약한 소거방전이 일어나면서 제1 소거램프파형(ERS1)에 소거된 벽전하는 다시 또 소거되어 도 7c와 같이 벽전하가 충분히 소거된다. 이에 따라, 이후 이어지는 서브필드들에서는 안정된 방전을 할 수 있게 된다.

선택적 소거 서브필드(ESF)는 n-m(단, n은 m 보다 큰 양의 정수) 개의 서브필드들(SF<sub>m+1</sub> 내지 SF<sub>n</sub>)을 포함한다. 제 m+1 내지 제 n 서브필드들(SF<sub>m+1</sub> 내지 SF<sub>n</sub>) 각각은 소거방전을 이용하여 오프셀(off-cell)을 선택하기 위한 소거 어드레스기간 및 온셀들에 대하여 서스테인 방전을 일으키기 위한 서스테인기간으로 나뉘어진다.

선택적 소거 서브필드(ESF)의 어드레스기간에는 부극성의 소거 스캔전압(-V<sub>ye</sub>)까지 떨어지는 소거 쓰기 스캔펄스(SESCN)가 스캔전극라인들(Y)에 순차적으로 인가됨과 동시에 소거 스캔펄스(SESCN)에 동기되는 소거 데이터펄스(SED)가 어드레스전극라인들(X)에 인가된다. 부극성의 선택적 소거 스캔펄스(SESCN)와 선택적 소거 데이터펄스(SWD)의 전압차와 이전 서브필드부터 유지된 온셀 내의 벽전압이 더해지면서 선택적 소거 데이터펄스(SED)가 인가되는 온셀 내에는 소거방전이 발생된다. 이 소거방전에 의해 온셀들 내의 벽전하는 서스테인전압이 인가되더라도 방전이 일어나지 않을 정도로 소거된다.

선택적 소거 서브필드(SEF)의 어드레스기간 동안 서스테인전극라인들(Z)에는 0V나 기저전압(GND)이 인가된다.

선택적 소거 서브필드(SEF)의 서스테인기간에는 스캔전극라인들(Y)과 서스테인전극라인들(Z)에 교번적으로 서스테인펄스(SUSP<sub>y</sub>, SUSP<sub>z</sub>)가 인가된다. 이렇게 서스테인펄스(SUSP<sub>y</sub>, SUSP<sub>z</sub>)가 인가될 때마다 소거 어드레스기간에 소거방전이 일어나지 않은 온셀들은 서스테인방전이 일어난다.

한편, 이와같은 SWSE방식으로 구동되는 PDP의 구동방법에서 어드레스를 위한 데이터 코딩방법에 대하여 설명하면 다음과 같다. 휘도 상대비가 '2<sup>0</sup>, 2<sup>1</sup>, 2<sup>2</sup>, 2<sup>3</sup>, 2<sup>4</sup>, 2<sup>5</sup>'으로 각각 다르게 설정된 6 개의 선택적 쓰기 서브필드(SF1 내지 SF6)와 휘도 상대비가 '2<sup>5</sup>'로 동일하게 설정된 6 개의 선택적 소거 서브필드(SF7 내지 SF12)를 한 프레임으로 구성한다고 가정할 때, 서브필드들(SF1 내지 SF<sub>n</sub>)의 조합에 의해 표현되는 계조레벨과 코딩방법은 아래의 표 1과 같다.

**[표 1]**

계조	SF1 (1)	SF2 (2)	SF3 (4)	SF4 (8)	SF5 (16)	SF6 (32)	SF7 (32)	SF8 (32)	SF9 (32)	SF10 (32)	SF11 (32)	SF12 (32)
0~31	바이너리코딩					×	×	×	×	×	×	×
32~63	바이너리코딩					○	×	×	×	×	×	×
64~95	바이너리코딩					○	○	×	×	×	×	×
96~127	바이너리코딩					○	○	○	×	×	×	×
128~159	바이너리코딩					○	○	○	○	×	×	×
160~191	바이너리코딩					○	○	○	○	○	×	×
192~223	바이너리코딩					○	○	○	○	○	○	×
224~255	바이너리코딩					○	○	○	○	○	○	○

표 1에서 알 수 있는 바, 프레임의 앞쪽에 배치된 제1 내지 제5 서브필드들(SF1 내지 SF5)은 바이너리 코딩(Binary coding)으로 셀의 계조값을 표현한다. 그리고 제6 내지 제12 서브필드들(SF6 내지 SF12)은 소정의 계조값 이상에서 리니어 코딩(Linear coding)으로 셀의 휘도를 결정하여 계조값을 표현하게 된다. 여기서, 본 발명의 실시예에 의한 SWSE 방식으로 구동되는 PDP의 구동과형은 마지막 선택적 쓰기 서브필드인 제6 서브필드(SF6) 바로전 서브필드인 제5 서브필드(SF5)가 16 휘도 가중치를 갖을 때 보다 잘 적용됨을 실험적으로 확인하였다.

이와 같은 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 구동방법은 선택적 쓰기 서브필드(WSF)에서 선택적 소거 서브필드(ESF)로 넘어가기 전의 서브필드인 선택적 쓰기 서브필드(SFm) 바로전 선택적 쓰기 서브필드(SFm-1)의 소거 기간동안 스캔전극라인들(Y)에 제1 소거램프과형(ERS1)을 인가한다. 또한, 이와 교번적으로 서스테인전극라인들(Z)에 제2 소거램프과형(ERS2)을 인가한다. 이에 따라, 본 발명의 실시예에 의한 구동과형은 특히 고온환경에 적용시 제m-1 선택적 쓰기 서브필드(SFm-1)의 소거기간동안 벽전하를 충분히 소거시킬 수 있으므로 이후 이어지는 서브필드들은 안정적으로 방전을 할 수 있게 된다.

**발명의 효과**

상술한 바와 같이, 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 구동방법에 의하면 선택적 쓰기 서브필드의 소거 기간동안 스캔전극라인들에 제1 소거램프과형을 인가함과 아울러 이와 교번적으로 서스테인전극라인들에 제2 소거램프과형을 인가한다. 이에 따라, 특히 고온환경에 적용시 선택적 쓰기 서브필드의 소거기간동안 벽전하를 충분히 소거시킬 수 있으므로 이후 이어지는 서브필드들은 안정적으로 방전을 할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**(57) 청구의 범위**

**청구항 1.**

패널이 고온에서 구동되는 경우, 방전에 의해 생성된 벽전하를 소거시키기 위한 소거기간동안 스캔전극라인들에 제1 소거램프과형을 인가하는 단계와,

상기 소거기간동안 서스테인전극라인들에 상기 제1 소거램프과형과 서스테인 전압까지 점진적으로 상승하는 제2 소거램프과형을 교번적으로 인가하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**청구항 2.**

제 1 항에 있어서,

상기 제1 소거램프파형은 제1 전압까지 점진적으로 상승한 후 일정 기간동안 상기 제1 전압을 유지하는 램프파형인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 3.

제 2 항에 있어서,

상기 제1 전압은 대략 200 ~ 300V로 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 4.

제 2 항에 있어서,

상기 제1 소거램프파형이 공급되는 기간은 대략 80 ~ 150 $\mu$ s로 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 5.

삭제

### 청구항 6.

제 1 항에 있어서,

상기 제1 소거램프파형이 공급되는 기간은 상기 제2 소거램프파형이 공급되는 기간보다 더 길게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 7.

삭제

### 청구항 8.

제 1 항에 있어서,

상기 고온은 대략 40 $^{\circ}$ C 내지 90 $^{\circ}$ C 사이의 온도인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 9.

한 프레임이 다수의 선택적 쓰기 서브필드 및 선택적 소거 서브필드를 포함하는 플라즈마 디스플레이 패널의 구동방법에 있어서,

상기 패널이 고온에서 구동되는 경우, 상기 다수의 선택적 쓰기 서브필드들 중 방전에 의해 생성된 벽전하를 소거시키기 위한 적어도 하나 이상의 선택적 쓰기 서브필드의 소거기간동안 스캔전극라인들에 제1 소거램프파형을 인가하는 단계와,

상기 소거기간동안 서스테인전극라인들에 상기 제1 소거램프파형과 서스테인전압까지 점진적으로 상승하는 제2 소거램프파형을 교번적으로 인가하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 10.

제 9 항에 있어서,

상기 적어도 하나 이상의 선택적 쓰기 서브필드는 상기 선택적 소거 서브필드로 넘어가기 전에 위치하는 마지막 선택적 쓰기 서브필드 바로 직전에 위치하는 서브필드인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 11.

제 10 항에 있어서,

상기 적어도 하나 이상의 선택적 쓰기 서브필드는 16의 휘도 가중치를 가지는 서브필드인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 12.

제 9 항에 있어서,

상기 제1 소거램프파형은 제1 전압까지 점진적으로 상승한 후 일정 기간동안 상기 제1 전압을 유지하는 램프파형인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 13.

제 12 항에 있어서,

상기 제1 전압은 대략 200 ~ 300V로 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 14.

제 12 항에 있어서,

상기 제1 소거램프파형이 공급되는 기간은 대략 80 ~ 150 $\mu$ s로 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 15.

삭제

### 청구항 16.

제 9 항에 있어서,

상기 제1 소거램프파형이 공급되는 기간은 상기 제2 소거램프파형이 공급되는 기간보다 더 길게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

청구항 17.

삭제

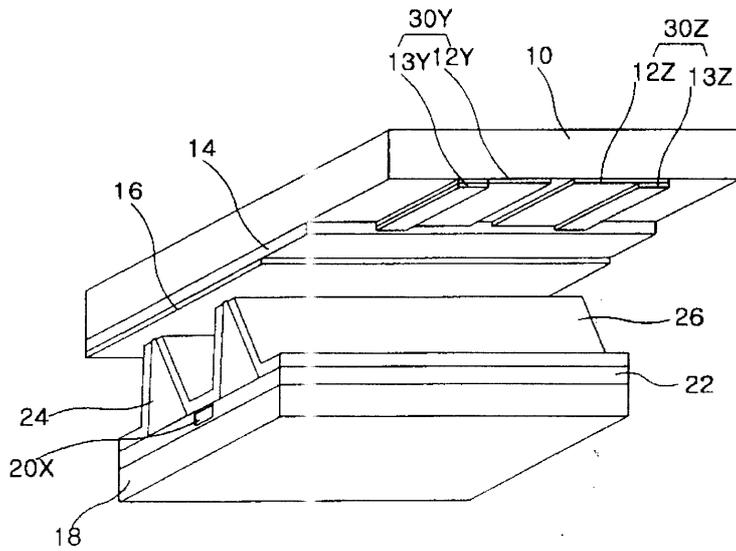
청구항 18.

제 9 항에 있어서,

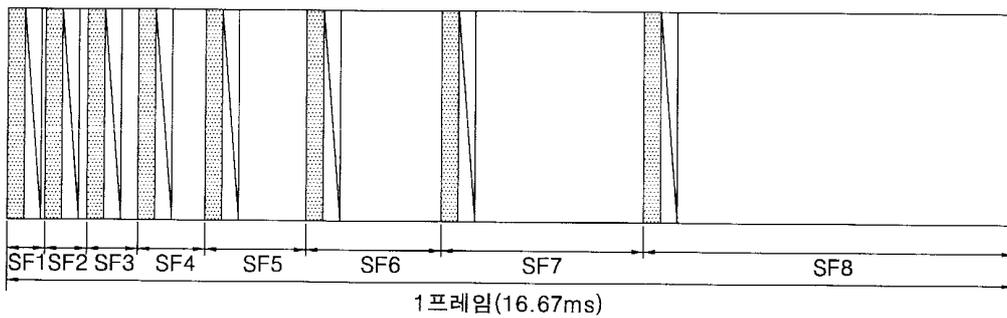
상기 고온은 대략 40℃ 내지 90℃ 사이의 온도인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

도면

도면1



도면2



리셋 기간

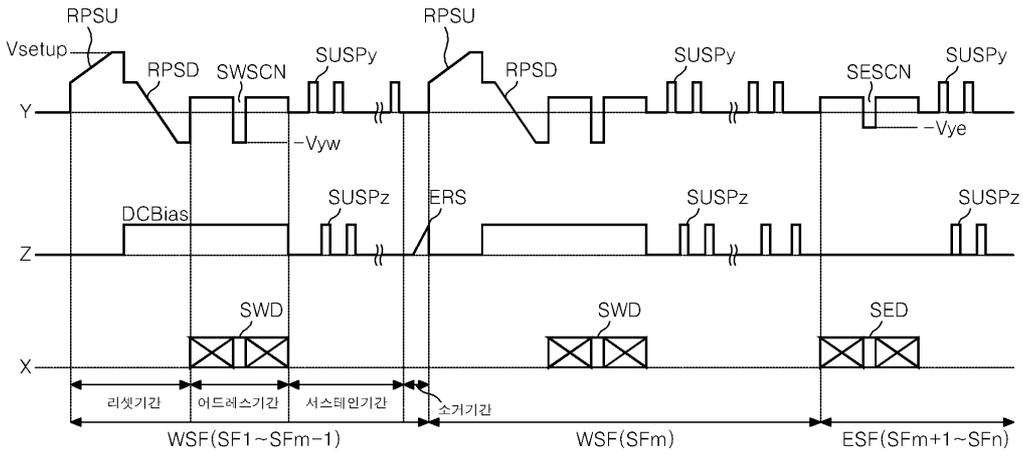


어드레스 기간

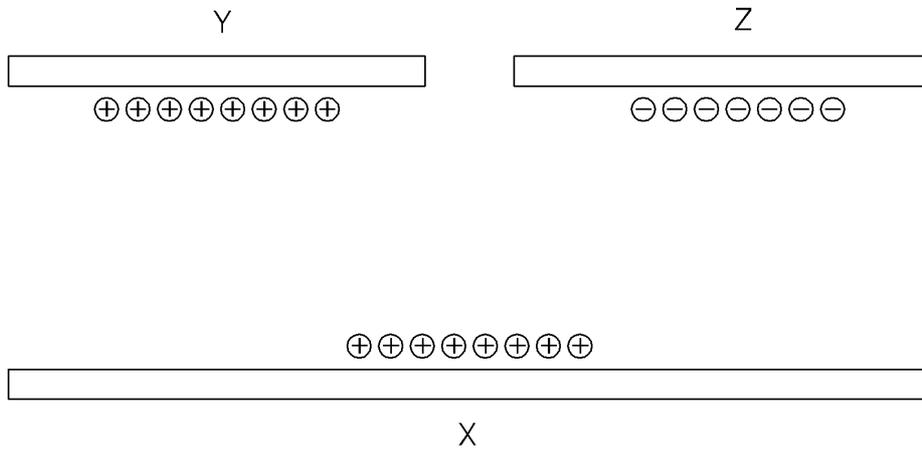


서스테인기간

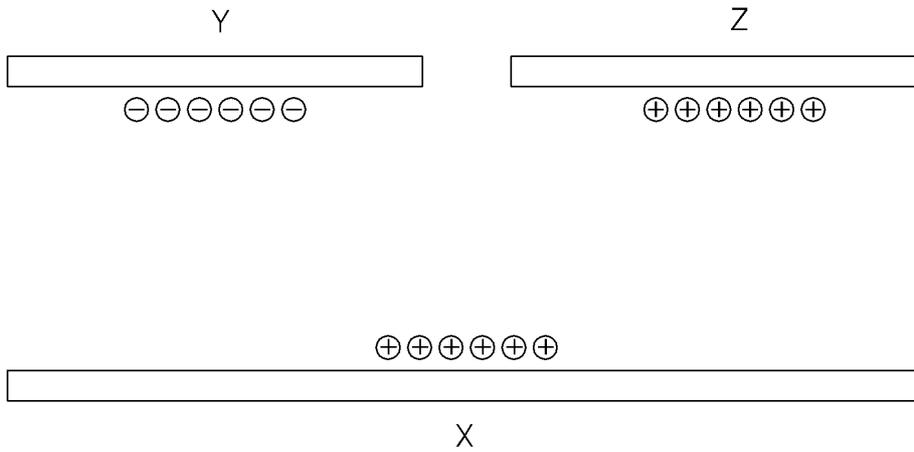
도면3



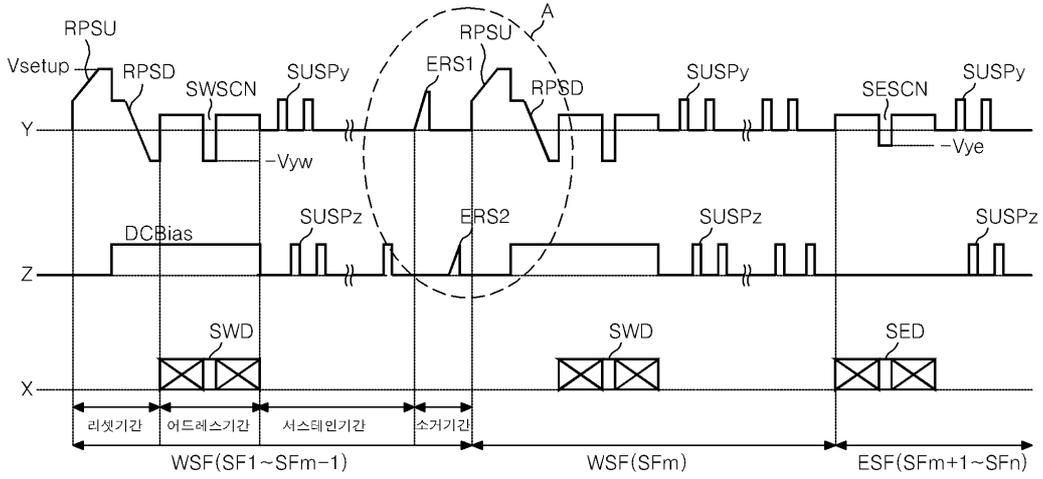
도면4a



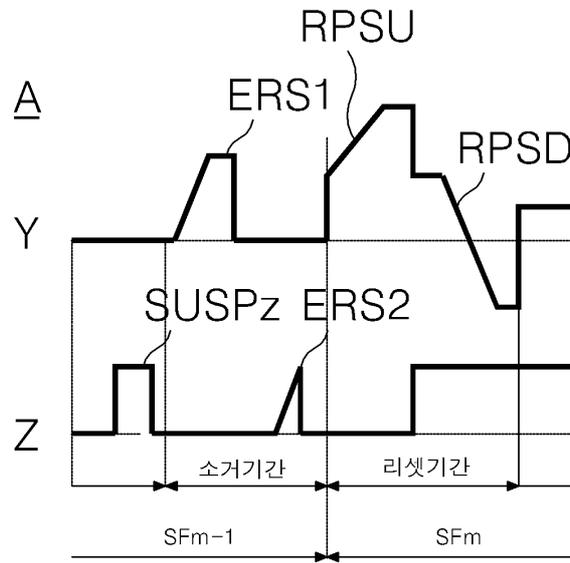
도면4b



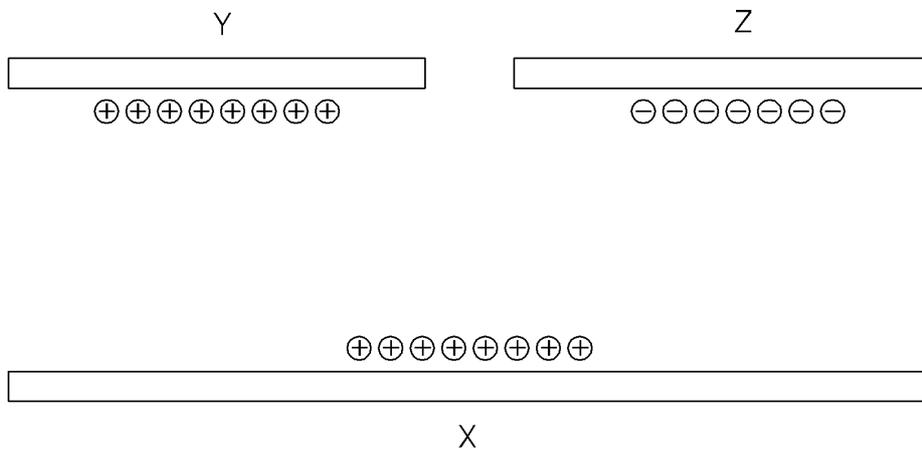
도면5



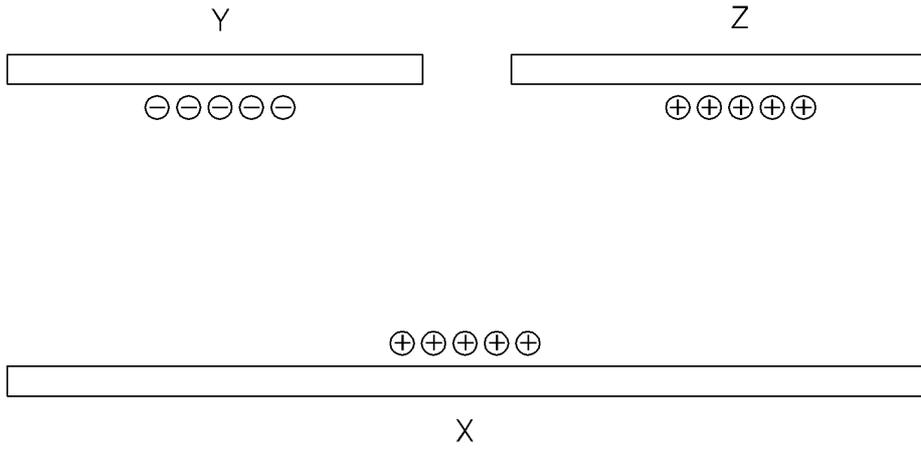
도면6



도면7a



도면7b



도면7c

