

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro

(43) Internationales Veröffentlichungsdatum  
23. Mai 2019 (23.05.2019)



(10) Internationale Veröffentlichungsnummer  
**WO 2019/096528 A1**

- 
- (51) **Internationale Patentklassifikation:**  
H01L 29/778 (2006.01) H01L 29/20 (2006.01)  
H01L 23/29 (2006.01)
- (21) **Internationales Aktenzeichen:** PCT/EP2018/078408
- (22) **Internationales Anmeldedatum:**  
17. Oktober 2018 (17.10.2018)
- (25) **Einreichungssprache:** Deutsch
- (26) **Veröffentlichungssprache:** Deutsch
- (30) **Angaben zur Priorität:**  
10 2017 127 182.1  
17. November 2017 (17.11.2017) DE
- (71) **Anmelder: FORSCHUNGSVERBUND BERLIN E.V.**  
[DE/DE]; Rudower Chaussee 17, 12489 Berlin (DE).
- (72) **Erfinder: OSIPOV, Konstantin;** Dröpkeweg 13, 12353 Berlin (DE). **WÜRFL, Hans-Joachim;** Rühlerring 3, 15738 Zeuthen (DE).
- (74) **Anwalt: GULDE & PARTNER PATENT- UND RECHTSANWALTSKANZLEI MBB;** Wallstr. 58/59, 10179 Berlin (DE).
- (81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,

---

(54) **Title:** GATE STRUCTURE AND METHOD FOR PRODUCING SAME

(54) **Bezeichnung:** GATE-STRUKTUR UND VERFAHREN ZU DEREN HERSTELLUNG

(57) **Abstract:** The present invention relates to a gate structure and to a method for producing same. In particular, the present invention relates to a gate structuring of a field effect transistor (FET), wherein the field effect transistor, for the same active layer, can be constructed as depletion type (or "D-type"), as enhancement type (or "E-type") and/or as low noise type (or "LN-type") on a common substrate base in a uniform method. The gate structure according to the invention comprises a substrate; a piezoelectric active layer (112, 212) arranged on the substrate (110, 210); a passivation layer (120, 220) arranged on the active layer (112, 212), wherein the passivation layer (120, 220) has a cutout (122, 222) extending through the entire passivation layer (120, 220) in the direction of the active layer (112, 212); a contact element (140, 240) arranged within the cutout (122, 222), wherein the contact element (140, 240) extends from the active layer (112, 212) to above the passivation layer (120, 220); and a cover layer (150, 250) covering the contact element (140, 240) above the passivation layer (120, 220); wherein at least one layer arranged above the active layer, in the region around the contact element, is embodied under tensile or compressive stress with a normal stress  $|\sigma| > 200$  MPa, wherein by way of the individual stresses



WO 2019/096528 A1

SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM,  
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

- mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

---

in the region around the contact element a resultant force is set at the interface between passivation layer and active layer, which force influences the electron density in the active layer in the region below the contact element by way of the piezoelectric effect.

(57) **Zusammenfassung:** Die vorliegende Erfindung betrifft eine Gate-Struktur sowie ein Verfahren zu deren Herstellung. Insbesondere betrifft die vorliegende Erfindung eine Gate-Strukturierung eines Feldeffekttransistors (FET), wobei der Feldeffekttransistor bei gleicher aktiver Schicht als Verarmungstyp (englisch „depletion type“ oder „D-type“), als Anreicherungstyp (englisch „enhancement type“ oder „E-type“) und/oder als rauscharmer Typ (englisch „low noise type“ oder „LN-type“) auf einer gemeinsamen Substratbasis in einem einheitlichen Verfahren aufgebaut werden kann. Die erfindungsgemäße Gate-Struktur umfasst ein Substrat; eine piezoelektrische aktive Schicht (112, 212), die auf dem Substrat (110, 210) angeordnet ist; eine Passivierungsschicht (120, 220), die auf der aktiven Schicht (112, 212) angeordnet ist, wobei die Passivierungsschicht (120, 220) eine Ausnehmung (122, 222) aufweist, die sich durch die gesamte Passivierungsschicht (120, 220) hindurch in Richtung der aktiven Schicht (112, 212) erstreckt; ein Kontaktelement (140, 240), das innerhalb der Ausnehmung (122, 222) angeordnet ist, wobei das Kontaktelement (140, 240) sich von der aktiven Schicht (112, 212) bis oberhalb der Passivierungsschicht (120, 220) erstreckt; und eine Deckschicht (150, 250), die das Kontaktelement (140, 240) oberhalb der Passivierungsschicht (120, 220) überdeckt; wobei mindestens eine oberhalb der aktiven Schicht angeordnete Schicht im Bereich um das Kontaktelement zug- oder druckverspannt mit einer Normalspannung  $|\sigma| > 200$  MPa ausgebildet ist, wobei über die einzelnen Verspannungen im Bereich um das Kontaktelement eine resultierende Kraft an der Grenzfläche zwischen Passivierungsschicht und aktiver Schicht eingestellt ist, welche über den piezoelektrischen Effekt die Elektronendichte in der aktiven Schicht im Bereich unterhalb des Kontaktelements beeinflusst.

*Titel*

Gate-Struktur und Verfahren zu deren Herstellung

*Beschreibung*

- 5 Die vorliegende Erfindung betrifft eine Gate-Struktur sowie ein Verfahren zu deren Herstellung. Insbesondere betrifft die vorliegende Erfindung eine Gate-Strukturierung eines Feldeffekttransistors (FET), wobei der Feldeffekttransistor bei gleicher aktiver Schicht als Verarmungstyp (englisch „depletion type“ oder „D-type“), als Anreicherungstyp (englisch „enhancement type“ oder „E-type“) und/oder als
- 10 rauscharmer Typ (englisch „low noise type“ oder „LN-type“) auf einer gemeinsamen Substratbasis in einem einheitlichen Verfahren aufgebaut werden kann.

*Stand der Technik*

- Als Gate (englisch für „Tor“, „Gatter“) wird insbesondere bei Feldeffekttransistoren (FET) der zur Ansteuerung des FET verwendete Anschluss bezeichnet. Weitere
- 15 Anschlüsse sind Source (englisch für „Quelle“) und Drain (englisch für „Senke“). Durch Variation der am Gate anliegenden Spannung kann der Stromfluss zwischen Drain und Source gesteuert werden. Die einzelnen Anschlüsse ermöglichen eine elektrische Kontaktierung des Schaltelements und führen als Elektroden die
- 20 zugeführten Spannungen und Ströme in den aktiven Schaltbereich. Daher wird der Gate-Anschluss auch als Steuerelektrode bzw. Steueranschluss bezeichnet. Der strukturelle Aufbau des Gate-Anschlusses und dessen Einbettung in das zugehörige Schaltelement wird dabei als Gate-Struktur bezeichnet.

- Aus der US 2002/0048858 A1 ist eine T-förmige Gate-Struktur, ein sogenanntes T-
- 25 Gate, bekannt. Als T-Gate wird darin der leitfähige Gate-Bereich eines Halbleiterbauelements (z.B. Metall-Halbleiter-Feldeffekttransistor (englisch „metal semiconductor field effect transistor“ - MeSFET), Transistor mit hoher Elektronenbeweglichkeit (englisch „high electron mobility transistor“ - HEMT), etc.) bezeichnet, dessen oberer Bereich breiter ist als der Bereich an der Basis (d.h. in
- 30 unmittelbarem oder über einen Gate-Isolator getrennten Kontakt zum aktiven Bereich des Halbleiterbauelements). Der Vorteil einer solchen Anordnung liegt darin, dass über den schmalen Bereich des Gates im Halbleiterbauelement eine extrem kurze

Kanallänge realisiert werden kann, wodurch hohe Betriebsfrequenzen und eine hohe Transkonduktanz (deutsch „Steilheit“) erreicht werden können, während über den breiteren oberen Gate-Bereich eine hohe Leitfähigkeit des T-Gate hohe Schaltgeschwindigkeiten ermöglicht (durch praktisch verlustfreies Auf- und Entladen der Gate-Kapazität).

In der US 5,053,348 A wird ein Verfahren zur Herstellung eines selbstjustierenden T-Gate HEMT offenbart. Die US 2013/0105817 A1 offenbart ebenfalls einen HEMT mit einer T-Gate-Struktur. Ein dehnungsausgeglicherer Nitrid-Heterojunction-Transistor (HFET) ist aus der US 7,030,428 B2 bekannt. Aus der US 2017/0133471 A1 sind ein Power-FET und ein Verfahren zu dessen Herstellung bekannt. Cho et al. offenbaren HEMT in AlGa<sub>N</sub>/Ga<sub>N</sub> mit geringen Leckströmen im Sperrzustand (Cho, S.-J. et al., „Low off-state Leakage Currents in AlGa<sub>N</sub>/Ga<sub>N</sub> High Electron Mobility Transistors By Employing A Highly Stressed Si<sub>N</sub>x Surface Passivation Layer“, WoDIM, 27.-30. Juni 2016).

Insbesondere bei den sogenannten Kurzkanal-HFETs kann bei stark verkürzten Gate-Längen das Sperrfeld des Schottky- oder MIS-Kontaktes nicht mehr ausreichen, den durch den Kanal fließenden Strom zu steuern. Typischerweise werden daher im Stand der Technik lokale Gate-Aussparungen im Halbleitermaterial oder andere Methoden genutzt, welche entweder eine lokale Reduzierung der Elektronendichte unterhalb des Gates bewirken oder welche es erlauben, das Gate physikalisch näher an den Kanalbereich des FET heranzubringen. Dadurch wird jedoch auch stets die Elektronendichte unterhalb des Gates im Ein-Zustand negativ beeinflusst.

Ein weiteres Problem im Zusammenhang mit der effektiven Elektronendichte unterhalb des Gates tritt bei der Entwicklung von selbstsperrenden HEMT bzw. HFET auf. Typischerweise muss bei diesen ein optimaler Kompromiss zwischen einem möglichst niedrigem Durchlasswiderstand (englisch „on-resistance“) und der Höhe der Abschnürspannung (englisch „pinch-off voltage“) des Transistors eingestellt werden. Eine Methode zur Abstimmung basiert auf der Verarmung des unmittelbaren Bereichs unterhalb des Gates durch das elektrische Feld einer Schottky-Barriere. Dafür muss der Gate-Anschluss sehr nahe an das 2DEG herangeführt werden, so dass die sich intrinsisch ausbildende Raumladungszone in der Lage ist, das 2DEG bei 0 V Gate-Spannung zu verarmen – der Transistor sperrt. Diese Änderung der

- Kanalgeometrie reduziert die maximal mögliche Elektronenkonzentration unmittelbar unter dem Gate, erhöht die Gate-Kapazität signifikant und führt zu weitaushöheren elektrischen Feldern in unmittelbarer Nähe der Gate-Elektrode was wiederum ein Zuverlässigkeitsproblem darstellt. Zur Heranführung der Gate-Elektrode werden
- 5 daher analog zu Kurzkanal-HFETs lokale Gate-Aussparungen im Halbleitermaterial genutzt oder es werden aufwendig zu strukturierende p-Gate-Strukturen eingesetzt. Nachteilig an diesen Verfahren ist jedoch, dass auch hierbei wiederum die Elektronendichte unterhalb des Gates im Ein-Zustand des Transistors und die Gate-Kapazität negativ beeinflusst wird.
- 10 Bei FETs unterscheidet man im Wesentlichen zwischen einem Verarmungstyp (englisch „depletion type“ oder „D-type“) und einem Anreicherungstyp (englisch „enhancement type“ oder „E-type“). Transistoren vom Verarmungstyp (D-Transistoren) sind i.d.R. selbstleitend (englisch „normally-on“). Transistoren vom Anreicherungstyp (E-Transistoren) sind i.d.R. selbstsperrend (englisch „normally-
- 15 off“). Diese Transistoren aufgrund ihrer geringen parasitären Widerstände beispielsweise als HF-Leistungstransistoren in Leistungsverstärkern (englisch „power amplifier“ oder PA) eingesetzt. Für die Realisierung von integrierten elektronischen Logik-Schaltkreisen ist es bevorzugt, beide Transistortypen auf einem gemeinsamen Substrat zu strukturieren und somit herstellen zu können. Eine solche Kombination
- 20 gestaltet sich jedoch oft schwierig, da sich die beiden Transistortypen im Allgemeinen sowohl in ihrem inneren Aufbau und als auch in ihren elektrischen Eigenschaften unterscheiden. Insbesondere die Integration von selbstsperrenden und selbstleitenden Transistoren auf einem gemeinsamen epitaktischen Wafer stellt eine besondere prozesstechnologische Herausforderung dar.
- 25 Typischerweise werden für eine solche E/D-Integration zunächst die epitaktischen Strukturen für die selbstleitenden D-Transistoren aufgewachsen und anschließend während des eigentlichen Strukturierungsprozesses der Bereich unterhalb des Gates mittels geätzter Gate-Aussparungen oder durch Ionenimplantation im Halbleitermaterial zur lokalen Änderung der elektronischen Eigenschaften lokal
- 30 modifiziert. Solche Modifikationen der elektronischen Eigenschaften erlauben eine Reduzierung der Elektronendichte innerhalb des Leitungskanals und erhöhen zusätzlich die Gate-Kapazität. In Kombination mit der Verarmungszone einer Schottky- oder MIS-Strukturierung des Gate-Bereichs kann dies zu einem selbstsperrenden Verhalten des erzeugten Transistors führen (E-Transistor).

Insbesondere eine lokale Ionenimplantation ist dabei jedoch sehr zeit- und kostenintensiv. Weiterhin führen diese integrativen Maßnahmen ebenfalls dazu, dass die Elektronendichte unterhalb des Gates im Ein-Zustand des Transistors negativ beeinflusst werden kann und sich auf jeden Fall die Gate-Kapazität und das elektrische Feld in der Nähe des Gates erhöht.

Neben den bisher genannten FETs vom Anreicherungs- und Verarmungstyp lässt sich über die Elektronendichte in der aktiven Schicht ein weiterer Transistortyp abgrenzen, bei dem das Steilheitsmaximum im Schaltverhalten bei einer Gate-Spannung  $U_{GS}$  von 0 V auftritt (LN-Typ bzw. Neutraltyp). Der LN-Transistor eignet sich insbesondere für den Aufbau rauscharmer Verstärkerschaltungen (englisch „low noise amplifier“ oder LNA).

Insbesondere im Bereich der monolithisch integrierten Mikrowellenschaltkreise (MMICs) ist es wünschenswert sowohl Leistungstransistoren als auch rauscharme Kleinsignaltransistoren monolithisch auf einem Substrat zu integrieren. Diese Fähigkeit würde es ermöglichen, Sende und Empfängerbausteine (Transceiver) auf einem gemeinsamen Chip, d.h. auf einer gemeinsamen Substrat- bzw. Epitaxiebasis, zu integrieren. Beide Transistortypen unterscheiden sich normalerweise im Aufbau. Der Leistungstransistor (englisch „power amplifier“ oder PA) wird in der Regel in selbstsperrend ausgeführt, während der rauscharme Transistor ein neutrales Schaltverhalten aufweisen soll. Auch diese Integrationstechnologie (PA/LNA-Integration) erfordert ähnliche technologische Schritte wie oben dargestellt. Im Übrigen ist jedoch für komplexe Schaltungsanordnungen auch die Möglichkeit einer Integration aller bisher genannten Transistortypen auf einer gemeinsamen Substrat- bzw. Epitaxiebasis (E/D/LN-Integration) durchaus wünschenswert. Hierbei könnten beispielsweise neben dem eigentlich Transceiver auch entsprechende Logik-Schaltkreise zur direkten Verarbeitung und Umwandlung der übertragenen Signale auf dem Chip mit integriert werden.

Für viele Mikrowellenanwendungen sind auch selbstsperrende Transistoren von hohem Interesse, da sie die Komplexität des Schaltungsdesigns deutlich reduzieren. Bislang wurden diese selbstsperrende Konzepte in der Regel nicht eingesetzt, da konventionelle Technologien zu Transistoren mit einem signifikant reduzierten Maximalstrom und eine deutlich erhöhte Gate-Kapazität führen. Diese Eigenschaften

reduzieren die Grenzfrequenzen und verschlechtern damit die Mikrowelleneigenschaften.

#### *Offenbarung der Erfindung*

Es ist daher eine Aufgabe der vorliegenden Erfindung, eine alternative Gate-Struktur  
5 anzugeben, welche die beschriebenen Nachteile des Standes der Technik überwindet oder zumindest deutlich reduziert. Insbesondere soll eine Gate-Strukturierung eines Feldeffekttransistors angegeben werden, welche bei gleicher aktiver Schicht einen gemeinsamen Aufbau von Transistoren des Verarmungstyps, des Anreicherungstyps und/oder als rauscharmer Typ auf einer gemeinsamen  
10 Substratbasis in einem einheitlichen Verfahren erlaubt. Allgemein soll somit die Integration von Transistoren mit variabler, durch die Technologie und nicht durch die Epitaxie vorgegebener, Schwellenspannung ermöglicht werden. Die getroffenen Maßnahmen zur Ausbildung der Gate-Struktur sollen keinen oder nur einen geringen Einfluss auf die Elektronendichte unterhalb des Gates im Ein-Zustand des  
15 Transistors haben, d.h. die Elektronenpopulation in den Bereichen zwischen Source und Gate sowie zwischen Gate und Drain soll von der Wahl der Schwellenspannung komplett entkoppelt sein. Mithin werden FETs und Verfahren zur Herstellung solcher FETs offenbart, wobei die erfindungsgemäßen FETs und die Verfahren zur Herstellung solcher FETs eine Gate-Strukturierung (Gate-Struktur und Verfahren zur  
20 Herstellung) entsprechend der vorliegenden Erfindung aufweisen.

Diese Aufgaben werden erfindungsgemäß durch die Merkmale des Patentanspruchs 1 sowie des Patentanspruchs 11 gelöst. Zweckmäßige Ausgestaltungen der Erfindung sind in den Unteransprüchen enthalten.

Eine erfindungsgemäße Gate-Struktur umfasst ein Substrat; eine piezoelektrische  
25 aktive Schicht, die auf dem Substrat angeordnet ist; eine Passivierungsschicht, die auf der aktiven Schicht angeordnet ist und eine Dicke zwischen 10 nm und 1000 nm aufweist, wobei die Passivierungsschicht eine Ausnehmung aufweist, die sich durch die gesamte Passivierungsschicht hindurch in Richtung der aktiven Schicht erstreckt, wobei die Ausnehmung an der Grenze zur aktiven Schicht eine Breite zwischen  
30 10 nm und 500 nm aufweist; ein Kontaktelement, das innerhalb der Ausnehmung angeordnet ist, wobei das Kontaktelement sich von der aktiven Schicht bis oberhalb der Passivierungsschicht erstreckt; und eine Deckschicht, die das Kontaktelement oberhalb der Passivierungsschicht überdeckt; wobei mindestens eine oberhalb der

aktiven Schicht angeordnete Schicht im Bereich um das Kontaktelement zug- oder druckverspannt mit einer Normalspannung  $|\sigma| > 200$  MPa ausgebildet ist, wobei über die einzelnen Verspannungen im Bereich um das Kontaktelement eine resultierende Kraft an der Grenzfläche zwischen Passivierungsschicht und aktiver Schicht  
5 eingestellt ist, welche über den piezoelektrischen Effekt die Elektronendichte in der aktiven Schicht im Bereich unterhalb des Kontaktelements beeinflusst, wobei die Normalspannungen verspannter Schichten im Bereich zwischen  $\pm 4$  GPa liegen; und das Verhältnis zwischen der Dicke der Passivierungsschicht und der Breite der Ausnehmung an der Grenze zur aktiven Schicht zwischen 1,5:1 und 4:1 beträgt.

10 Vorzugsweise besteht das Substrat aus SiC. Ebenfalls bevorzugt sind Substrate aus Si, Saphir, GaN und AlN.

In der aktiven Schicht finden die wesentlichen elektrischen Schalt- und Leitungsvorgänge statt. Die aktive Schicht kann eine Vielzahl unterschiedlich strukturierter Bereiche oder Zonen aus verschiedenen Halbleitermaterialien mit  
15 variabler Dotierung aufweisen. Vorzugsweise kann die aktive Schicht AlGaIn/GaN als Halbleitermaterial umfassen. Als weitere bevorzugte Materialkomposite können AlN/GaN, InAlN/GaN und andere ternäre oder quaternäre Verbindungen von Al, N, In und Ga eingesetzt werden. In binären Kompositen kann der jeweilige Materialanteil zwischen 0% und 100% liegen. Die aktive Schicht umfasst mindestens ein  
20 piezoelektrisches Material, welches bei Verformung zu einer Änderung der elektrischen Polarisierung des Materials führt.

Als Passivierungsschicht wird insbesondere eine passive Schicht bezeichnet, welche die aktive Schicht an ihrer vom Substrat abgewandten Seite räumlich und funktional begrenzt. Passiv bedeutet hierbei, dass diese Schicht keinen oder nur einen  
25 geringen Einfluss auf den Ladungstransport innerhalb des Schaltelements ausübt. Ein typisches Beispiel für eine Passivierungsschicht ist eine dielektrische Passivierungsschicht, vorzugsweise aus  $\text{SiN}_x$ . Ebenfalls bevorzugt umfasst eine solche Passivierungsschicht  $\text{SiO}_x$ ,  $\text{SiN}_x\text{O}_y$ ,  $\text{Al}_2\text{O}_3$ , ZnO, Fluorosilicatglas (FSG), Benzocyclobuten (BCB) oder Polyimide (PI). Bei der Passivierungsschicht kann es  
30 sich auch um eine Abstandsschicht (englisch „spacer layer“) handeln. Die bevorzugte Dicke der Passivierungsschicht liegt zwischen 10 nm und 1000 nm.

Vorzugsweise ist die Passivierungsschicht als hochgradig druck- oder zugverspannte (englisch „compressively or tensile stressed“) dielektrische Schicht mit einer

Normalspannung  $|\sigma| > 1$  GPa ausgebildet. Insbesondere kann die Passivierungsschicht eine auf der gesamten Oberfläche der aktiven Schicht ausgebildete Grundsicht für alle darauffolgenden Strukturierungsschritte darstellen, wobei alle auf einen den Wafer aufgebrachten erfindungsgemäßen Gate-Strukturen auf Grundlage dieser Passivierungsschicht aufgebaut werden. Beispielsweise können bei einem Verfahren zur Herstellung integrierter Strukturen die aktive Schicht und eine darauf angeordnete hochgradig druck- oder zugverspannte Passivierungsschicht flächig auf das Substrat aufgetragen werden und als Ausgangsbasis für die Herstellung einer Vielzahl von erfindungsgemäßen Gate-Strukturen dienen.

Innerhalb der Passivierungsschicht ist erfindungsgemäß eine Ausnehmung angeordnet, die sich durch die gesamte Passivierungsschicht hindurch in Richtung der aktiven Schicht erstreckt. Bei dieser Ausnehmung handelt es sich um einen sogenannten Gate-Graben (englisch „gate trench“; auch als Gate-Loch oder Gate-Via bezeichnet), der einen elektrischen Zugriff auf die aktive Zone durch die Zwischenschicht hindurch erlaubt. In dieser Öffnung innerhalb der Zwischenschicht ist ein Kontaktelement angeordnet. Vorzugsweise weist die Ausnehmung an der Grenze zur darunter liegenden Schicht eine Breite zwischen 10 nm und 500 nm auf. Der Anstellwinkel der Seitenwände der Ausnehmung liegt bevorzugt zwischen  $90^\circ$  und  $30^\circ$ , wobei bei einem Winkel von  $90^\circ$  die Seitenwand der Ausnehmung senkrecht auf der darunter liegenden Schicht stehend angeordnet ist.

Das Kontaktelement ist innerhalb der Ausnehmung angeordnet und erstreckt sich von der aktiven Schicht bis oberhalb der Passivierungsschicht. Bevorzugt handelt es sich bei einer erfindungsgemäßen Gate-Struktur um ein T-Gate, wobei das Kontaktelement T-förmig ausgebildet ist. T-förmig wird dabei im Allgemeinen sehr breit interpretiert, insbesondere werden solche Strukturen oftmals auch als pilz-, pfeil- oder nietenförmig bezeichnet. Beliebige andere Ausbildungen des Kontaktelements im Rahmen dieser Offenbarung sind ebenfalls möglich.

Das Kontaktelement kann aus einem Schottky-Metall aufgebaut sein. Vorzugsweise handelt es sich hierbei um Ir. Ebenfalls bevorzugt sind Pt, Ni, Al, Os, TiW und WSi.

Unter dem Gate-Metall kann sich auch ein Gate-Isolator befinden der vorzugsweise aus  $\text{Al}_2\text{O}_3$ ,  $\text{SiN}_x$ ,  $\text{SiO}_x$ ,  $\text{SiN}_x\text{O}_y$ ,  $\text{HfO}_2$  oder anderen dielektrischen Schichten besteht. Eine bevorzugte Dicke der Isolationsschicht liegt zwischen 5 nm und 40 nm.

Vorzugsweise ist das Kontaktelement in seinem oberen Bereich vollständig von einer dielektrischen Deckschicht umgeben. Die Deckschicht kann insbesondere in den an das Kontaktelement angrenzenden Bereichen unmittelbar auf der Passivierungsschicht aufliegen und das Kontaktelement von oberhalb überdecken.

5 Bei der dielektrischen Deckschicht kann es sich bevorzugt um  $\text{SiN}_x$  handeln. Ebenfalls bevorzugt sind  $\text{SiO}_x$ ,  $\text{SiN}_x\text{O}_y$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{ZnO}$ , Fluorosilicatglas (FSG), Benzocyclobuten (BCB) und Polyimide (PI). Die Dicke der Deckschicht beträgt vorzugsweise zwischen 10 nm und 1000 nm.

10 Im Stand der Technik werden die auf der aktiven Schicht aufliegenden Schichten möglichst verspannungsfrei aufgebracht. Hierdurch sollen insbesondere die negativen Effekte von mechanischen Verspannungen (potentiell verringerte Lebensdauer des Transistors, Migrationseffekte, Einflüsse auf den elektrischen Ladungstransport) verhindert und ein einheitlicher Materialauftrag erreicht werden. Demgegenüber ist erfindungsgemäß mindestens eine oberhalb der aktiven Schicht  
15 angeordnete Schicht im Bereich um das Kontaktelement zug- oder druckverspannt mit einer Normalspannung  $|\sigma| > 200 \text{ MPa}$  ausgebildet. Eine solche Verspannung kann, z.B. in der Passivierungsschicht, insbesondere dadurch erreicht werden, dass beim Aufwachsen der Passivierungsschicht auf die aktive Schicht der Verspannungszustand durch die Wahl der Prozessparameter innerhalb gewisser  
20 Grenzen einstellbar ist.

Moderne CVD-Prozesse wie sie aus der Silizium-Technologie bekannt sind erlauben es, druck- oder zugverspannte (d.h. kompressiv oder tensil verspannte) Filme im Bereich zwischen  $\pm 2 \text{ GPa}$  herzustellen. Mit speziellen Passivierungsschichten wie z.B. CVD-Diamantschichten können noch weitaus höhere Verspannungen bis in den  
25 Bereich von  $\pm 4 \text{ GPa}$  erreicht werden. Bei diesen Werten befindet man sich zum Teil schon im Bereich der durch die Gitterfehlpassung von GaN auf AlGaN verursachten tensilen Verspannung (Zugverspannung) einer AlGaN-Barriere auf nicht verspanntem, d.h. spannungsfreiem, GaN. Bei einer Al-Konzentration von 30% liegt die tensile Verspannung einer solchen Schicht bei etwa 3 GPa. Eine auf die  
30 aktive Schicht aufgebrachte und sehr stark druckverspannte Passivierungsschicht ist daher dazu in der Lage, die piezoelektrische Komponente des Polarisationsvektors in der aktiven Schicht zu eliminieren oder sogar zu invertieren.

Die Stärke der Verspannung einer Schicht lässt sich über die gewählten Prozessparameter bei deren Erzeugung einstellen. Zur Kalibrierung des Verfahrens werden zunächst unterschiedliche Schichten jeweils auf einem eigenen Testwafer aufgetragen und über die Verbiegung des Wafers anschließend die durch die jeweiligen Prozessparameter erzeugte Verspannung bestimmt. Es ist jedoch auch

5 möglich, die Verspannung einer Schicht direkt zu bestimmen. Ein geeignetes Verfahren hierzu ist fibDAC (D. Vogel, I. Maus and B. Michel, „fibDAC stress relief - A novel stress measurement approach with high spatial resolution“, 3rd Electronics System Integration Technology Conference ESTC, Berlin, 2010, pp. 1-5).

10 Es ist möglich, dass auch bei eigentlich verspannungsfreien aufgebrachtten Schichten aufgrund von Herstellungs- und Materialtoleranzen auch diese geringfügig verspannt sein können. Erfindungsgemäß werden daher Schichten mit einer Normalspannung  $|\sigma| \leq 200$  MPa noch als verspannungsfrei bezeichnet. Schichten mit einer Normalspannung  $200 \text{ MPa} < |\sigma| \leq 1 \text{ GPa}$  werden hingegen als moderat

15 verspannt und Schichten mit einer Normalspannung  $|\sigma| > 1 \text{ GPa}$  werden als hochgradig verspannt bezeichnet. Bei zugverspannten Schichten ist die Normalspannung positiv, bei druckverspannten negativ.

Die angegebenen Werte für die Verspannung (mechanische Spannung) beziehen sich vorzugsweise auf das arithmetische Mittel der lokalen Verspannungswerte einer

20 Schicht in der Umgebung des Gates. Die lokalen Verspannungswerte ergeben sich vorzugsweise aus den vektoriell addierten lokalen Normalspannungen für verschiedene Richtungen innerhalb einer Schicht (z.B. für die drei Normalspannungskomponenten  $\sigma_{xx}$ ,  $\sigma_{yy}$ ,  $\sigma_{zz}$ ). Vorzugsweise werden dabei ausschließlich Normalspannungskomponenten parallel zur aktiven Schicht

25 berücksichtigt und diese über die Schichttiefe arithmetisch gemittelt. Vorzugsweise weisen die lokalen Verspannungen einer Schicht zumindest in der Umgebung des Gates einheitliche Größe und Richtung auf, d.h. die Verspannung der Schicht entspricht (zumindest in der Umgebung des Gates) an jeder Stelle dem lokalen Verspannungswert. Als Umgebung des Gates wird ein unmittelbar an das Gate

30 angrenzender, d.h. das Gate umgebender Raumbereich, z.B. innerhalb einer Schicht, bezeichnet. Vorzugsweise entspricht eine Ausdehnung dieser Umgebung in einer die Ausnehmung in der Passivierungsschicht mittig einschließenden Ebene maximal dem 2-fachen, bevorzugter maximal dem 3-fachen, bevorzugter maximal dem 5-fachen, und noch bevorzugter maximal dem 10-fachen des Flächeninhalts der

Ausnehmungsgröße. Eine in der Umgebung des Gates definierte Eigenschaft kann sich jedoch auch über diese als Umgebungsbereich bestimmte Ausdehnung hinaus erstrecken.

Vorzugsweise weist die Passivierungsschicht eine Dicke zwischen 10 nm und 5 1000 nm auf. Ebenfalls vorzugsweise weist die Ausnehmung an der Grenze zur darunter liegenden Schicht eine Breite zwischen 10 nm und 500 nm auf. Das Verhältnis zwischen diesen beiden Parametern (Aspektverhältnis von Dicke zu Breite) liegt vorzugsweise zwischen 1,5:1 und 4:1, bevorzugter zwischen 1,75:1 und 2,25:1 und noch bevorzugter zwischen 1,9:1 und 2,5:1. Beispielsweise kann die 10 Zwischenschicht eine Dicke zwischen 275 nm und 325 nm und die Ausnehmung an der Grenze zur darunter liegenden Schicht eine Breite zwischen 125 nm und 175 nm aufweisen. Das Aspektverhältnis beeinflusst in Zusammenarbeit mit den geometrischen Abmessungen des metallischen T-Gates die parasitären Eigenschaften der Transistoren. Transistoren für sehr hohe Frequenzen können ein 15 Aspektverhältnis von bis zu 4:1 aufweisen.

Die Idee der vorliegenden Erfindung besteht darin, dass insbesondere in auf Heteroübergängen basierenden Heterojunction-Transistoren (HFET) die Gate-Struktur durch eine gezielte Kombination mit piezoelektrischen Materialien (z.B. AlN, GaN, InN oder deren ternäre oder quaternäre Verbindungen) in der aktiven Schicht 20 derart modifiziert werden kann, dass eine lokale Reduzierung oder auch eine Inversion des piezoelektrischen Vektors im Bereich unterhalb des Gates erreicht werden kann. Dadurch kann sowohl eine Reduzierung als auch eine Erhöhung der lokalen Elektronendichte im 2DEG innerhalb dieses Bereichs bewirkt werden.

Die Funktionalität des Transistors hängt dabei von der Art der verwendeten 25 Piezomaterialien ab. Beispielsweise erlaubt eine AlGaN/GaN umfassende aktive Schicht eine derart breite Variation der Dichteparameter, dass Transistoren vom Verarmungstyp (D-Transistor), vom Anreicherungstyp (E-Transistor) und/oder vom rauscharmen Typ (LN-Typ) (oder auch von entsprechenden Zwischenstufen) in ein und derselben Materialplattform, d.h. ohne eine üblicherweise notwendige lokale 30 strukturelle oder materielle Anpassungen in der aktiven Schicht, alleine durch die piezoelektrischen Eigenschaften der verwendeten Materialien aufgebaut werden können. Eine Abstimmung der elektrischen Eigenschaften dieser Materialien, insbesondere deren elektrischer Polarisation, kann dann durch die gezielte

Eintragung mechanischer Spannungen in die aktive Schicht erfolgen. Solche lokalen Materialverspannungen lassen sich durch das Aufbringen und/oder Strukturieren von auf der aktiven Schicht aufliegenden druck- oder zugverspannten dielektrischen Schichten erzeugt. Durch solche externen Verspannungen kann der lokale Polarisationsvektor der darunter liegenden aktiven Schicht beeinflusst werden.

Beispielsweise kann bei einem HFET mit einem AlGaN/GaN-Heteroübergang in der aktiven Schicht eine lokale Zugverspannung in der AlGaN-Schicht (bewirkt durch eine entsprechende Verspannung in den aufliegenden Schichten, welche eine entsprechend „ziehende“ Kraftwirkung an der Oberfläche der aktiven Schicht erzeugen) zu einer lokalen Erhöhung der Elektronendichte innerhalb des 2DEG des Transistorkanals an der Grenze zwischen AlGaN-Schicht und der GaN-Schicht führen. Andererseits kann eine entsprechende lokal verdichtende Druckverspannung durch Kompression zu einer lokalen Reduzierung der Elektronendichte im Kanalbereich führen.

Wird die lokale Kompression einer piezoelektrischen Schicht mit einer von einer Schottky-Barriere erzeugten Verarmungszone kombiniert, dann kann auch eine nahezu vollständige Verarmung des Kanalbereichs erzeugt werden, ohne dass hierbei eine Reduzierung der Dicke der epitaktischen Schichten der aktiven Schicht erforderlich ist. Daher werden die Eingangs- und Ausgangswiderstände solcher selbstsperrenden Transistoren (E-Typ) nicht durch deren Gate-Struktur bzw. die Art der Herstellung beeinflusst. Insbesondere kann zu deren Herstellung auf den Einsatz lokaler Gate-Aussparungen im Halbleitermaterial oder aufwendig zu strukturierende p-Gate-Strukturen gemäß dem Stand der Technik verzichtet werden. Da der Gate-Kanalabstand nicht verändert wird, ändern sich weder die Gate-Kapazität noch die elektrischen Felder in unmittelbarer Umgebung des Gates.

Durch die lokale Einstellung der piezoelektrischen Eigenschaften der aktiven Schicht über eine selektive Strukturierung mit aufgebrauchten dielektrischen Schichten können zudem mittels zusätzlicher lokaler Zugverspannung auch selbstleitende Transistoren (D-Typ) im gleichen Prozessdurchlauf strukturiert und hergestellt werden. Dadurch wird insbesondere eine gegenüber dem Stand der Technik deutlich vereinfachte E/D-Integration dieser beiden Typen von Transistoren ermöglicht, ohne dass zur Integration lokale Gate-Aussparungen im Halbleitermaterial oder Ionenimplantationsverfahren erforderlich sind.

Wird durch die in die aktive Schicht von oberhalb eingebrachten Verspannungen die Elektronendichte innerhalb des 2DEG des Transistorkanals an der Grenze zwischen AlGaN-Schicht und der GaN-Schicht gerade derart eingestellt, dass das Steilheitsmaximum im Schaltverhalten bei einer Gate-Spannung  $U_{GS}$  von 0 V auftritt, so kann ein besonderes rauscharm arbeitender Transistor (LN-Transistor) realisiert werden. Die Elektronendichte innerhalb des 2DEG liegt bei einem LN-Transistor somit zwischen den Elektronendichten von E- und D-Transistoren. Hierdurch wird deutlich, dass durch eine entsprechend Einstellung der Verspannungen in der Gate-Umgebung alle drei Transistortypen auf einfache Weise miteinander im gleichen Materialsystem integriert werden können.

Durch die direkte piezoelektrische Beeinflussung des Kanalgebietes kann zur Überwindung der im Stand der Technik auftretenden Nachteile auch bei Kurzkanal-HFETs eine deutliche Verbesserung der elektronischen Eigenschaften erzielt werden. Insbesondere kann durch eine erfindungsgemäße Reduzierung der Polarisationsladungen in der aktiven Schicht eine so starke Reduzierung der Elektronendichte im ausgebildeten 2DEG erreicht werden, dass sich die Verarmungszone unterhalb des Schottky-Gates bis in die Pufferschicht einer konventionellen aktiven Schicht erstreckt, das Auftreten von typischen Kurzkanaleffekten unterdrückt wird und eine einfachere Abschnürung (englisch „pinch-off“) des Transistors möglich ist. Eine zusätzliche Verringerung des Abstandes zwischen Kanal und Gate ist hierbei nicht erforderlich.

Die Verwendung piezoelektrischer Materialien zur Änderung der lokalen Elektronendichte innerhalb der aktiven Schicht bzw. innerhalb des Kanalbereichs eines Transistors weist gegenüber dem Stand der Technik insbesondere folgende Vorteile auf:

- 1) Es sind keine zusätzlichen Schritte zur Erzeugung von Gate-Aussparungen, zur Abstandsreduzierung zwischen Gate und aktiver Schicht oder zur Ionenimplantation notwendig. Daher wird die Kristallstruktur in der aktiven Schicht unterhalb des Gates nicht durch unnötige Materialveränderungen geschädigt, was zu einer Erhöhung der Lebensdauer und der Ausfallsicherheit des Transistors beiträgt.
- 2) Die Auswirkungen einer lokalen Druck- oder Zugverspannung sind abhängig von der Gate-Länge, so dass gerade bei kurzen Gate-Längen eine

Verstärkung des technischen Effektes zu beobachten ist. Insbesondere bei Kurzkanal-HFETs kann hierdurch eine besonders breite Abstimmung der elektronischen Eigenschaften erfolgen. Eine erfindungsgemäße Gate-Struktur eignet sich somit insbesondere für besonders schnell schaltende Transistoren.

- 5 3) Da das selbstleitende Verhalten nicht über eine Reduktion des Gate-Kanalabstands eingestellt wird, erhöht sich die Gate-Kapazität von selbstsperrenden gegenüber selbstleitenden Transistoren nicht. Das ermöglicht gegenüber dem Stand der Technik extrem schnell schaltende selbstleitende Transistoren.
- 10 4) Das Aufbringen auch unterschiedlich verspannter Schichten ist technologisch recht einfach in bestehende Herstellungsprozesse zu implementieren. Insbesondere werden zur Realisierung keine zusätzlichen weiteren Prozessschritte benötigt.
- 15 5) Die epitaktischen Schichten können eine höhere Dicke aufweisen, wodurch die Gesamtkapazität des Gate-Anschlusses reduziert werden kann. Dadurch können die Schaltzeiten der Transistoren weiter gesenkt werden. Eine Integration der verschiedenen Transistortypen kann somit unmittelbar erfolgen.
- 20 6) Die epitaktischen Schichten können so gestaltet werden, dass im Zuleitungsbereich zum und vom Gate eine höhere Elektronenkonzentration eingestellt wird. Durch den Einbau einer kompressiv verspannten Passivierungsschicht kann der Bereich unter dem Gate gezielt so eingestellt werden, dass das Steuerverhalten des Gates optimal wird und sich keine Abschnürprobleme einstellen. Auf diese Weise ist es möglich parasitäre
- 25 Widerstände wie den Source- oder den Drain-Widerstand von Leistungstransistoren zu reduzieren und somit die Effizienz zu erhöhen.
- 30 7) Bei der Integration der einzelnen Transistortypen wird der Zuleitungswiderstand von Source zu Gate und von Gate zu Drain bei den selbstsperrenden Transistoren gegenüber der Anwendung herkömmlicher Integrationsmethoden nicht beeinträchtigt.
- 8) Durch die verbesserte Einstellbarkeit des Schaltverhaltens der erzeugten Transistoren mittels verspannter Schichten kann der Abstand zwischen Gate und Kanal größer sein als bei den bisher im Stand der Technik üblichen

Strukturen, d.h. da die elektrischen Felder in der Nähe des Gates mit dem Abstand zum Kanal skalieren, nehmen diese erfindungsgemäß deutlich ab. Das reduziert die auftretenden Leckströme und erhöht die Zuverlässigkeit des Elements. Weiterhin kann durch einen erhöhten Abstand zwischen Gate und Kanal bei den selbstsperrenden Transistoren die Eingangskapazität in der gleichen Größenordnung wie bei den selbstleitenden Transistoren liegen. E/D-integrierte Schaltungen sind daher insbesondere für Anwendungen im Mikro- und mm-Wellenbereich geeignet.

9) Die technologische Implementierung des Herstellungsverfahrens ist vergleichsweise einfach, kostengünstig und kompatibel zu den meisten Prozesslinien.

In einer ersten bevorzugten Ausführungsform einer erfindungsgemäßen Gate-Struktur kontaktiert das Kontaktelement die aktive Schicht unmittelbar (das Kontaktelement und die aktive Schicht können jedoch auch durch einen dazwischenliegenden Gate-Isolator voneinander getrennt sein), wird zu den Seiten hin von der Passivierungsschicht vollständig umschlossen und von oberhalb der Passivierungsschicht von der Deckschicht überdeckt.

In einer zweiten Ausführungsform umfasst eine erfindungsgemäße Gate-Struktur weiterhin eine Zwischenschicht, wobei die Zwischenschicht zwischen dem Kontaktelement und der Passivierungsschicht ausgebildet ist. Insbesondere kann durch die Zwischenschicht eine vollständige räumliche Trennung zwischen dem Kontaktelement und der Passivierungsschicht erfolgen. Vorzugsweise bedeckt hierbei die Zwischenschicht die Seitenwände der Ausnehmung der Passivierungsschicht vollständig, wobei zumindest ein Teilbereich des Bodens der Ausnehmung (d.h. der Oberfläche der aktiven Schicht) unmittelbar mit dem Kontaktelement in Verbindung steht. Die Zwischenschicht kann sich bis oberhalb der Passivierungsschicht erstrecken. Insbesondere kann ein sich oberhalb der Passivierungsschicht erstreckender Abschnitt der Zwischenschicht auch zu einer räumlichen Trennung zwischen dem Kontaktelement und der Passivierungsschicht im Bereich oberhalb der Passivierungsschicht beitragen. Bei dieser Ausführungsform kann die Deckschicht insbesondere in den an das Kontaktelement angrenzenden Bereichen auch unmittelbar auf der Zwischenschicht aufliegen und das Kontaktelement von oberhalb überdecken.

Bei der Zwischenschicht kann es sich bevorzugt um eine dielektrische Schicht aus  $\text{SiN}_x$  handeln. Ebenfalls bevorzugt sind  $\text{SiO}_x$ ,  $\text{SiN}_x\text{O}_y$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{ZnO}$ , Fluorosilicatglas (FSG), Benzozyclobuten (BCB) und Polyimide (PI). Die Dicke der Deckschicht beträgt vorzugsweise zwischen 10 nm und 1000 nm. Bei der Zwischenschicht kann es sich auch um eine Abstandsschicht (englisch „spacer layer“) handeln.

Eine erste Ausführungsform eines erfindungsgemäßen E-Transistors weist vorzugsweise eine erfindungsgemäße Gate-Struktur ohne Zwischenschicht auf (erste Ausführungsform einer erfindungsgemäßen Gate-Struktur), wobei die Passivierungsschicht als hochgradig druckverspannte dielektrische Schicht mit einer Normalspannung  $\sigma < -1$  GPa und die Deckschicht als druckverspannte dielektrische Schicht mit einer Normalspannung  $\sigma < -200$  MPa ausgebildet sind. Die einzelnen Druckverspannungen in den beiden Schichten wirken zusammen und erzeugen an der Oberfläche der aktiven Schicht eine gerichtete Kraftwirkung, welche über den direkten Piezoeffekt zu einer lokalen Veränderung der elektrischen Polarisierung innerhalb der aktiven Schicht führt. Die Stärke dieses Effektes kann dabei u.a. durch die Art der einzelnen Schichtmaterialien (aktive Schicht, Passivierungsschicht, Deckschicht), deren Dickenverhältnis, den geometrischen Abmessungen der einzelnen Strukturelemente und dem jeweiligen Maß der realisierten Druckverspannung eingestellt und kontrolliert werden. Insbesondere kann hierdurch auch eine vollständige Verarmung des Transistorkanals erreicht werden, da der Verarmungsbereich bis in die halbisolierende Pufferschicht einer konventionellen aktiven Schicht reichen kann.

Eine zweite Ausführungsform eines erfindungsgemäßen E-Transistors weist vorzugsweise eine erfindungsgemäße Gate-Struktur mit Zwischenschicht auf (zweite Ausführungsform einer erfindungsgemäßen Gate-Struktur), wobei die Passivierungsschicht als spannungsfreie oder moderat druck- oder moderat zugverspannte dielektrische Schicht mit einer Normalspannung von  $-1 \text{ GPa} \leq \sigma \leq 1 \text{ GPa}$ , die Zwischenschicht als hochgradig druckverspannte dielektrische Schicht mit einer Normalspannung von  $\sigma < -1$  GPa und die Deckschicht als druckverspannte dielektrische Schicht mit einer Normalspannung  $\sigma < -200$  MPa ausgebildet sind. Auch bei dieser Ausführungsform wird über die einzelnen Druckverspannungen die elektrische Polarisierung innerhalb der aktiven Schicht lokal verändert. Insbesondere erfolgt ein Eintrag mechanischer Spannungen in die aktive

Schicht hierbei hauptsächlich über die Zwischen- und die Deckschicht, während die Passivierungsschicht nur geringen bis keinen Beitrag zum Spannungseintrag liefert.

Eine erste Ausführungsform eines erfindungsgemäßen D-Transistors weist vorzugsweise eine erfindungsgemäße Gate-Struktur ohne Zwischenschicht auf (erste Ausführungsform einer erfindungsgemäßen Gate-Struktur), wobei die Passivierungsschicht als moderat zugverspannte dielektrische Schicht mit einer Normalspannung von  $200 \text{ MPa} < \sigma \leq 1 \text{ GPa}$  und die Deckschicht als zugverspannte dielektrische Schicht mit einer Normalspannung  $\sigma > 200 \text{ MPa}$  ausgebildet sind.

Eine zweite Ausführungsform eines erfindungsgemäßer D-Transistors weist vorzugsweise eine erfindungsgemäße Gate-Struktur mit Zwischenschicht auf (zweite Ausführungsform einer erfindungsgemäßen Gate-Struktur), wobei die Zwischenschicht und die Deckschicht als hochgradig zugverspannte dielektrische Schichten mit Normalspannungen  $\sigma > 1 \text{ GPa}$  und die Passivierungsschicht als spannungsfreie oder moderat druck- oder moderat zugverspannte dielektrische Schicht mit einer Normalspannung von  $-1 \text{ GPa} \leq \sigma \leq 1 \text{ GPa}$  ausgebildet sind.

Auch bei den beiden beispielhaft genannten Ausführungsformen eines erfindungsgemäßen D-Transistors wirken die einzelnen Verspannungen in den Schichten zusammen und erzeugen an der Oberfläche der aktiven Schicht ebenfalls eine gerichtete Kraftwirkung, welche über den direkten Piezoeffekt zu einer lokalen Veränderung der elektrischen Polarisierung innerhalb der aktiven Schicht führt. Auch bei einem D-Transistor kann die Stärke dieses Effektes u.a. durch die Art der einzelnen Schichtmaterialien (aktive Schicht, Passivierungsschicht, Zwischenschicht, Deckschicht), deren Dickenverhältnis, den geometrischen Abmessungen der einzelnen Strukturelemente und dem jeweiligen Maß der realisierten Druckverspannung eingestellt und kontrolliert werden.

Durch die selektive Verspannung mindestens eine oberhalb der aktiven Schicht angeordnete Schicht im Bereich um das Kontaktelement kann die Kraftwirkung an der Oberfläche der aktiven Schicht gezielt im unmittelbaren Bereich um das Kontaktelement beeinflusst werden. Insbesondere kann durch eine lokale Variation der elektrischen Polarisierung innerhalb der aktiven Schicht der Verarmungsbereich unterhalb des Gates gegenüber einem erfindungsgemäßen E-Transistor, welcher auf derselben Epitaxiestruktur basieren kann, reduziert werden, so dass sich hierdurch ein Transistorverhalten vom Verarmungstyp (D-Typ) einstellen lässt.

Eine erste Ausführungsform eines erfindungsgemäßen LN-Transistors weist vorzugsweise eine erfindungsgemäße Gate-Struktur ohne Zwischenschicht auf (erste Ausführungsform einer erfindungsgemäßen Gate-Struktur), wobei die Passivierungsschicht und die Deckschicht als moderat druckverspannte dielektrische Schichten mit Normalspannungen  $-1 \text{ GPa} \leq \sigma < -200 \text{ MPa}$  ausgebildet sind.

Eine zweite Ausführungsform eines erfindungsgemäßer LN-Transistors weist vorzugsweise eine erfindungsgemäße Gate-Struktur mit Zwischenschicht auf (zweite Ausführungsform einer erfindungsgemäßen Gate-Struktur), wobei die Zwischenschicht und die Deckschicht als moderat druckverspannte dielektrische Schichten mit Normalspannungen  $-1 \text{ GPa} \leq \sigma < -200 \text{ MPa}$  ausgebildet sind, und die Passivierungsschicht als spannungsfreie oder moderat zugverspannte dielektrische Schicht mit einer Normalspannung von  $0 \text{ GPa} \leq \sigma \leq 1 \text{ GPa}$  ausgebildet sind.

Bei einem LN-Transistor tritt das Steilheitsmaximum im Schaltverhalten bei einer Gate-Spannung  $U_{GS}$  von 0 V auf. Bei einem erfindungsgemäßen LN-Transistor liegt daher neben den für die einzelnen Ausführungsformen angegebenen Verspannungen in den einzelnen Schichten auch das entsprechende Schaltverhalten eines LN-Transistors vor. Insbesondere sind die Verspannungen in den einzelnen Schichten derart gewählt, dass sich ein entsprechendes Schaltverhalten eines LN-Transistors einstellt.

Ein weiterer Aspekt der vorliegenden Erfindung betrifft eine Schaltungsanordnung, umfassend mindestens einen erfindungsgemäßen E-Transistor und mindestens einen erfindungsmäßen D-Transistor, wobei der E-Transistor und der D-Transistor auf einem gemeinsamen Substrat angeordnet sind (E/D-Integration). Eine solche integrierte Schaltungsanordnung hat u.a. den Vorteil, dass die umfassten selbstleitenden und selbstsperrenden Transistoren insbesondere auf dem gemeinsamen Substrat in ein und derselben Epitaxiestruktur als aktiver Schicht aufgebaut werden können. Eine vom Transistortyp abhängige lokale Veränderung der Epitaxiestruktur durch beispielsweise Ätzen, Abdünnen oder mittels Ionenimplantation ist hierbei nicht erforderlich. Die Unterschiede im Schaltverhalten werden allein durch die auf die aktive Schicht aufgelagerten Schichten über deren lokale mechanische Verspannungen und deren Wechselwirkung mit den piezoelektrischen Polarisationsvektoren innerhalb der aktiven Schicht erzeugt. Der

Ausdruck „auf einem gemeinsamen Substrat angeordnet“ ist dabei vorzugsweise gleichbedeutend mit „auf einer gemeinsamen aktiven Schicht angeordnet“.

Darüber hinaus ermöglicht die Erfindung die Realisierung eines D-Transistors in Verbindung mit einem LN-Transistor (D/LN-Integration). LN-Transistoren eignen sich  
5 als rauscharme Verstärkerstufen und ermöglichen die monolithische Integration von Empfängern und Sendebausteinen auf einem Chip (Transceiver). Daher betrifft ein weiterer Aspekt der vorliegenden Erfindung eine Schaltungsanordnung, umfassend mindestens einen erfindungsgemäßen D-Transistor und mindestens einen erfindungsgemäßen LN-Transistor, wobei der D-Transistor und der LN-Transistor auf  
10 einem gemeinsamen Substrat angeordnet sind.

Möglich ist jedoch auch die Integration eines E-Transistors in Verbindung mit einem LN-Transistor möglich (E/LN-Integration). Eine entsprechende Schaltungsanordnung umfasst mindestens einen erfindungsgemäßen E-Transistor und mindestens einen erfindungsgemäßen LN-Transistor, wobei der E-Transistor und der LN-Transistor auf  
15 einem gemeinsamen Substrat angeordnet sind.

Für komplexe Schaltungsanordnungen können auch sämtliche bisher genannten Transistortypen auf einer gemeinsamen Substrat- bzw. Epitaxiebasis (E/D/LNA-Integration) integriert werden. Hierbei können neben dem eigentlich Transceiver auch entsprechende Logik-Schaltkreise zur direkten Verarbeitung und Umwandlung der  
20 übertragenen Signale mit auf dem Chip integriert werden. Eine entsprechende Schaltungsanordnung, umfassend mindestens einen erfindungsgemäßen E-Transistor, mindestens einen erfindungsgemäßen D-Transistor und mindestens einen erfindungsgemäßen LN-Transistor, wobei die Transistoren auf einem gemeinsamen Substrat angeordnet sind.

25 Eine erste Ausführungsform eines erfindungsgemäßen Verfahrens zur Herstellung einer Gate-Struktur ist insbesondere zur Erzeugung einer erfindungsgemäßen Gate-Struktur ausgebildet und umfasst das Bereitstellen eines Substrats mit einer auf dem Substrat angeordneten piezoelektrischen aktiven Schicht; das Aufbringen einer dielektrische Passivierungsschicht mit einem ersten Spannungswert auf die aktive  
30 Schicht, wobei die Passivierungsschicht eine Dicke zwischen 10 nm und 1000 nm aufweist; das Erzeugen einer Ausnehmung in der Passivierungsschicht, wobei die Ausnehmung sich durch die gesamte Passivierungsschicht hindurch in Richtung der aktiven Schicht erstreckt und an der Grenze zur aktiven Schicht eine Breite zwischen

10 nm und 500 nm aufweist, wobei das Verhältnis zwischen der Dicke der Passivierungsschicht und der Breite der Ausnehmung an der Grenze zur aktiven Schicht zwischen 1,5:1 und 4:1 beträgt; das Ausbilden eines Kontaktelements, das innerhalb der Ausnehmung angeordnet ist, wobei das Kontaktelement sich von der aktiven Schicht bis oberhalb der Passivierungsschicht erstreckt; und das Aufbringen einer Deckschicht mit einem zweiten Verspannungswert, die das Kontaktelement oberhalb der Passivierungsschicht überdeckt; wobei die Ausbildung mindestens einer oberhalb der aktiven Schicht angeordneten Schicht im Bereich um das Kontaktelement zug- oder druckverspannt mit einer Normalspannung  $|\sigma| > 200$  MPa erfolgt, wobei über die einzelnen Verspannungen im Bereich um das Kontaktelement eine resultierende Kraft an der Grenzfläche zwischen Passivierungsschicht und aktiver Schicht eingestellt wird, welche über den piezoelektrischen Effekt die Elektronendichte in der aktiven Schicht im Bereich unterhalb des Kontaktelements beeinflusst, wobei die Normalspannungen verspannter Schichten im Bereich zwischen  $\pm 4$  GPa liegen.

Das Erzeugen einer Ausnehmung in der Passivierungsschicht kann dadurch erfolgen, dass ein geeigneter Lack (englisch „resist“) für die Elektronenstrahlolithographie oder die optische Lithographie auf die Zwischenschicht aufgetragen wird und mittels eines entsprechenden Lithographieschrittes in der Lackschicht eine Ätzmaske zur Ausbildung der Ausnehmung in der Zwischenschicht erzeugt wird. Bevorzugte Lackmaterialien sind u.a. ZEP 520A, PMMA, PMGI, Copolymere und LOR.

Die Ausnehmung in der Passivierungsschicht kann anschließend durch ein für die Passivierungsschicht geeignetes Strukturierungsverfahren erzeugt werden. Aufgrund der internen Verspannung einer oberhalb der aktiven Schicht angeordneten Schicht wird die Oberfläche der aktiven Schicht im Bereich der unteren Ecken der Ausnehmung jeweils in Abhängigkeit von der Art der Verspannung lokal entweder gedrückt oder gezogen. Durch diese äußere mechanische Belastung aufgrund der eingebrachten Verspannung kann es dabei in der aktiven Schicht zu einer lokalen Verstärkung oder Reduzierung des piezoelektrischen Vektors innerhalb des Materials der aktiven Schicht kommen.

Zu den Vorteilen und technischen Wirkungen des Verfahrens wird auf die entsprechenden Stellen in der Beschreibung zur erfindungsgemäßen Gate-Struktur

und den davon abgeleiteten Transistortypen bzw. zu deren Integration verwiesen. Die darin genannten Ausführungsformen und deren als bevorzugt angegebenen Merkmale können direkt in das entsprechende Verfahren übernommen werden.

5 Insbesondere in Strukturen mit einem AlGa<sub>N</sub>/Ga<sub>N</sub>-Heteroübergang trägt die Polarisation des aktiven Materials eine wesentliche Rolle bei der Ausbildung eines 2DEG, so dass diejenigen Bereiche der aktiven Schicht, welche durch die Belastungseinwirkung aufgrund der mechanischen Verspannung einen veränderten Polarisationsvektor gegenüber ihrer Umgebung aufweisen, mit Ladungsträgern (Elektronen oder Löcher, jeweils abhängig von der ursprünglichen Ausrichtung des piezoelektrischen Vektors in den eingesetzten Materialien und Materialsystemen) 10 angereichert oder verarmt werden.

In einer zweiten Ausführungsform umfasst das Verfahren zur Herstellung einer Gate-Struktur vor dem Ausbilden eines innerhalb der Ausnehmung angeordneten Kontaktelements weiterhin das Aufbringen einer Zwischenschicht mit einem dritten 15 Verspannungswert innerhalb der Ausnehmung, wobei die Zwischenschicht zwischen dem Kontaktelement und der Passivierungsschicht ausgebildet wird; und das Erzeugen einer zweiten Ausnehmung in der Zwischenschicht, wobei die zweite Ausnehmung sich durch die gesamte Zwischenschicht hindurch in Richtung der aktiven Schicht erstreckt. Das Erzeugen einer Ausnehmung in der Zwischenschicht 20 kann analog zur vorab beschriebenen Erzeugen einer Ausnehmung in der Passivierungsschicht erfolgen.

Bei den im Verfahren genannten Verspannungswerten handelt es sich jeweils um die Normalspannungen  $\sigma$  in der Schicht. Eine Nummerierung erfolgte ausschließlich zur 25 besseren Übersicht in Bezug auf die einzelnen Schichten. Insbesondere können nicht durch das erfindungsgemäße Verfahren festgelegte Verspannungswerte beliebige Werte annehmen. Insbesondere kann der Verspannungswert einer Schicht auch den Wert null annehmen (verspannungsfreie Schicht).

Ein weiterer Aspekt der vorliegenden Erfindung betrifft ein Integrationsverfahren zur Herstellung einer erfindungsgemäßen Schaltungsanordnung, wobei mindestens zwei 30 verschiedene erfindungsgemäße Transistortypen (E-, D- oder LN-Transistor) gemäß einem erfindungsgemäßen Verfahren auf einem gemeinsamen Substrat hergestellt werden.

### *Kurzbeschreibung der Zeichnungen*

Die Erfindung wird nachfolgend in Ausführungsbeispielen anhand der zugehörigen  
5 Zeichnung erläutert. Es zeigen:

- Fig. 1 einen schematischen Aufbau einer konventionellen Gate-Struktur gemäß dem Stand der Technik,
- Fig. 2 einen schematischen Aufbau einer ersten Ausführungsform einer erfindungsgemäßen Gate-Struktur (E-Transistor),
- 10 Fig. 3 einen schematischen Aufbau einer zweiten Ausführungsform einer erfindungsgemäßen Gate-Struktur (E-Transistor),
- Fig. 4 einen schematischen Aufbau einer alternativen zweiten Ausführungsform einer erfindungsgemäßen Gate-Struktur (E-Transistor),
- Fig. 5 eine schematische Darstellung der spontanen und der piezoelektrischen  
15 Polarisationsvektoren im Stand der Technik (links) und der Polarisationsvektoren einer bevorzugten Ausführungsform einer erfindungsgemäßen Gate-Struktur (rechts), und
- Fig. 6 einen schematischen Aufbau einer Ausführungsform einer erfindungsgemäßen Schaltungsanordnung (E/D-Integration).

20

### *Ausführliche Beschreibung der Zeichnungen*

Fig. 1 zeigt einen schematischen Aufbau einer konventionellen Gate-Struktur gemäß dem Stand der Technik. Es handelt sich insbesondere um ein T-Gate, wie es typischerweise in einem HEMT oder HFET genutzt wird. Die Darstellung zeigt eine  
25 Gate-Struktur mit einem Substrat 10; einer aktiven Schicht 12, die auf dem Substrat 10 angeordnet ist; einer Passivierungsschicht 20, die auf der aktiven Schicht 12 angeordnet ist, wobei die Passivierungsschicht 20 eine Ausnehmung aufweist, die sich durch die gesamte Passivierungsschicht 20 hindurch in Richtung der aktiven Schicht 12 erstreckt; ein Kontaktelement 40, das innerhalb der Ausnehmung  
30 angeordnet ist, wobei das Kontaktelement 40 sich von der aktiven Schicht 12 bis

oberhalb der Passivierungsschicht 20 erstreckt; und eine Deckschicht 50, die das Kontaktelement 40 oberhalb der Passivierungsschicht 20 überdeckt.

Die aktive Schicht 12 liegt dabei i.d.R. als vom Substrat getragene Epitaxiestruktur mit besonders hoher Reinheit und Qualität vor. Die Passivierungsschicht 20 und die Deckschicht 50 werden während der anschließenden Strukturierung im Stand der Technik möglichst verspannungsfrei aufgetragen, so dass es zu keinen mechanischen Belastungen in den Materialien kommt. Insbesondere punktuelle Belastungen können die elektrischen Eigenschaften des Transistors stören und sich negativ auf die Produktionsausbeute und die Lebenserwartung der einzelnen Bauteile auswirken. Die Verspannungsfreiheit der Schichten 20, 50 ist durch die eingezeichneten Punkte (verschwindende Verspannungsvektoren) angedeutet.

Weiterhin ist beispielhaft ein typischer Verarmungsbereich 60 eines mit herkömmlicher Technologie auf Basis entspannter dielektrischer Schichten 20, 50 hergestellten AlGaIn/GaN HFET gezeigt. Der Verarmungsbereich 60 reicht nur moderat in die aktive Schicht 12 hinein. Um bei gleichen Strukturgrößen eine signifikante Beeinflussung des Verarmungsbereichs 60 zu erreichen, muss bisher i.d.R. in die Epitaxiestruktur der aktiven Schicht, beispielsweise durch strukturelle Veränderungen oder Ionenimplantation, prozesstechnologisch eingegriffen werden. Insbesondere bei Kurzkanal-Transistoren können durch solche Eingriffe auftretende Kurzkanaleffekte (englisch „short-channel effects“) abgeschwächt werden. Die üblichen Verfahren zur Einstellung des Verarmungsbereichs 60 sind jedoch sehr zeitaufwendig (zusätzliche Prozessschritte) und können die ursprünglich sehr hohe Qualität der Epitaxieschicht mindern.

Fig. 2 zeigt einen schematischen Aufbau einer ersten Ausführungsform einer erfindungsgemäßen Gate-Struktur. Auch hier kann es sich insbesondere um ein T-Gate für einen HEMT oder HFET handeln. Die Darstellung zeigt eine Gate-Struktur mit einem Substrat 110; einer aktiven Schicht 112, die auf dem Substrat 110 angeordnet ist; einer Passivierungsschicht 120, die auf der aktiven Schicht 112 angeordnet ist, wobei die Passivierungsschicht 120 eine Ausnehmung aufweist, die sich durch die gesamte Passivierungsschicht 120 hindurch in Richtung der aktiven Schicht 112 erstreckt; ein Kontaktelement 140, das innerhalb der Ausnehmung angeordnet ist, wobei das Kontaktelement 140 sich von der aktiven Schicht 112 bis oberhalb der Passivierungsschicht 120 erstreckt; und eine Deckschicht 150, die das

Kontaktelement 140 oberhalb der Passivierungsschicht 120 überdeckt, wobei die Passivierungsschicht 120 als hochgradig druckverspannte dielektrische Schicht mit einer Normalspannung  $\sigma < -1$  GPa ausgebildet ist. Die Deckschicht 150 ist hier ebenfalls als hochgradig druckverspannte dielektrische Schicht mit einer Normalspannung  $\sigma < -1$  GPa ausgebildet. Insbesondere kann es sich bei der dargestellten Gate-Struktur um eine Gate-Struktur eines erfindungsgemäßen E-Transistors 100 handeln (erste Ausführungsform einer erfindungsgemäßen Gate-Struktur). Durch eine erfindungsgemäße Anpassung der Verspannungswerte in den Schichten kann bei gleichbleibendem strukturellem Aufbau jedoch auch das Schaltverhalten eines D-Transistors eingestellt werden.

Die aktive Schicht 112 kann als vom Substrat 110 getragene Epitaxiestruktur mit besonders hoher Reinheit und Qualität vorliegen. Die Passivierungsschicht 120 und die Deckschicht 150 erzeugen an der Oberfläche der aktiven Schicht eine gerichtete Kraftwirkung, welche die Oberfläche der aktiven Schicht vor allem im Bereich der unteren Ecken der Ausnehmung jeweils in Abhängigkeit von der Art der Verspannung entweder drückt oder zieht. Aufgrund der eingezeichneten druckverspannten dielektrische Schichten 120, 150 wird die Oberfläche der aktiven Schicht in diesen Bereichen daher gedrückt, was in Fig. 2 durch die eingezeichneten Verspannungsvektoren verdeutlicht wird.

Die Druckverspannung der Passivierungsschicht 120 führt dazu, dass die Passivierungsschicht 120 jeweils in Richtung der Ausnehmung 122 drückt. Der Verspannungseffekt zeigt damit vor allem Auswirkung im Bereich unterhalb des Gates. Auch wenn, wie bei einem T-Gate, das Material des Kontaktelements 140 (z.B. ein Schottky-Metall) teilweise die Passivierungsschicht 120 überdeckt, bleibt der Verspannungseffekt im Wesentlichen auf den Bereich unterhalb des Gates beschränkt. Ebenfalls ändert das zusätzliche Überdecken des Kontaktelements 140 oberhalb der Passivierungsschicht 120 mit einer ebenfalls druckverspannten dielektrischen Deckschicht 150 nichts an dieser Begrenzung des genutzten Effektes. Durch eine zusätzliche Verspannung der Deckschicht 150 kann der Einfluss der verspannten Passivierungsschicht 120 jedoch weiter verstärkt oder bei Bedarf (durch umgekehrte Polarität des Verspannungsvektors) auch abgeschwächt werden. Die Stärken der einzelnen Verspannungen lassen sich zu einer resultierenden Gesamtkraftwirkung an der Oberfläche der aktiven Schicht 112 zusammenfassen.

Im Vergleich zur Darstellung des in Figur 1 gezeigten typischen Verarmungsbereichs 60 eines mit herkömmlicher Technologie auf Basis entspannter dielektrischer Schichten 20, 50 hergestellten AlGaIn/GaN HFET zeigt der Verarmungsbereich 160 einer erfindungsgemäßen Gate-Struktur der ersten Ausführungsform mit ansonsten  
5 gleichen Parametern eine deutlich effizientere Ladungsträgerverarmung innerhalb des Transistorkanals. Durch die gesteigerte Effektivität der Ladungsträgerverarmung können beispielsweise bei Kurzkanal-Transistoren die ansonsten auftretenden Kurzkanaleffekte auch ohne prozesstechnologische Eingriffe in die aktive Schicht abgeschwächt oder unterdrückt werden. Insbesondere kann durch die Kombination  
10 von zwei druckverspannten dielektrischen Schichten 120, 150 auch eine vollständige Verarmung des Transistorkanals erreicht werden. Dies wird möglich, wenn der Verarmungsbereich bis in die halbisolierende Pufferschicht einer konventionellen aktiven Schicht 112 reicht.

Fig. 3 zeigt einen schematischen Aufbau einer zweiten Ausführungsform einer erfindungsgemäßen Gate-Struktur. Auch hier kann es sich insbesondere um ein T-Gate für einen HEMT oder HFET handeln. Die Darstellung zeigt eine Gate-Struktur mit einem Substrat 210; einer aktiven Schicht 212, die auf dem Substrat 210 angeordnet ist; einer Passivierungsschicht 220, die auf der aktiven Schicht 212 angeordnet ist, wobei die Passivierungsschicht 220 eine Ausnehmung aufweist, die  
20 sich durch die gesamte Passivierungsschicht 220 hindurch in Richtung der aktiven Schicht 212 erstreckt; ein Kontaktelement 240, das innerhalb der Ausnehmung angeordnet ist, wobei das Kontaktelement 240 sich von der aktiven Schicht 212 bis oberhalb der Passivierungsschicht 220 erstreckt; und eine Deckschicht 250, die das Kontaktelement 240 oberhalb der Passivierungsschicht 220 überdeckt, wobei die  
25 Passivierungsschicht 220 als spannungsfreie oder moderat druck- oder moderat zugverspannte dielektrische Schicht mit einer Normalspannung von  $-1 \text{ GPa} \leq \sigma \leq 1 \text{ GPa}$  ausgebildet ist. Die dargestellte Gate-Struktur weist weiterhin eine Zwischenschicht 230 auf, wobei die Zwischenschicht 230 zwischen dem Kontaktelement 240 und der Passivierungsschicht 220 ausgebildet ist. Die  
30 Zwischenschicht 230 ist als hochgradig druckverspannte dielektrische Schicht mit einer Normalspannung von  $\sigma < -1 \text{ GPa}$  ausgebildet. Die Deckschicht 250 ist als druckverspannte dielektrische Schicht mit einer Normalspannung  $\sigma < -200 \text{ MPa}$  ausgebildet. Insbesondere kann es sich bei der dargestellten Gate-Struktur um die Gate-Struktur eines erfindungsgemäßen E-Transistors 200 handeln (zweite

Ausführungsform einer erfindungsgemäßen Gate-Struktur). Durch eine erfindungsgemäße Anpassung der Spannungswerte in den Schichten kann bei gleichbleibendem strukturellem Aufbau jedoch auch das Schaltverhalten eines D-Transistors eingestellt werden.

- 5 Der Aufbau der aktiven Schicht 212 sowie die Beschreibungen zur Wirkung der einzelnen Spannungen kann analog der entsprechenden Beschreibung zur Figur 2 entnommen werden. Im Bereich der Zwischenschicht 230 kommt jedoch die Druckverspannung zum Tragen, deren Wirkungen auf die aktive Schicht 212 sich im Allgemeinen genau umgekehrt zu den Wirkungen einer Zugverspannung verhalten.
- 10 Aufgrund der druckverspannten Zwischenschicht 230 wird die Oberfläche der aktiven Schicht 212 vor allem im Bereich der unteren Ecken der zweiten Ausnehmung 232 mechanisch verspannt, was auch in Fig. 3 durch die eingezeichneten Verspannungsvektoren verdeutlicht wird.

- Die Druckverspannung der Zwischenschicht 230 führt dazu, dass die
- 15 Zwischenschicht 230 jeweils in Richtung der Ausnehmung 232 drückt. Auch hier zeigt der Spannungseffekt vor allem Auswirkung im Bereich unterhalb des Gates. Auch das zusätzliche Überdecken des Kontaktelements 240 oberhalb der Passivierungsschicht 220 mit einer ebenfalls druckverspannten dielektrischen Deckschicht 250 ändert nichts an dieser Begrenzung des ausgenutzten Effektes.
- 20 Durch eine zusätzliche Verspannung der Deckschicht 250 kann der Effekt der verspannten Passivierungsschicht 220 jedoch nochmals verstärkt oder bei Bedarf (durch umgekehrte Polarität des Spannungsvektors) auch abgeschwächt werden. Die Stärken der einzelnen Spannungen lassen sich auch bei dieser Ausführungsform einer erfindungsgemäßen Gate-Struktur zu einer resultierenden
- 25 Gesamtkraftwirkung an der Oberfläche der aktiven Schicht 212 zusammenfassen.

- Im Vergleich zur Darstellung des in Figur 2 gezeigten Verarmungsbereichs 160 einer erfindungsgemäßen Gate-Struktur der ersten Ausführungsform zeigt der Verarmungsbereich 260 einer erfindungsgemäßen Gate-Struktur der zweiten Ausführungsform bei ansonsten gleichen Parametern eine ähnlich effiziente
- 30 Möglichkeit zur Steuerung der Ladungsträgerverarmung innerhalb des Transistorkanals. Durch die Druckverspannung der dielektrischen Zwischenschicht 230 kann eine vollständige Verarmung des Transistorkanals erreicht werden (E-Transistor). Diese Möglichkeit zur Steuerung der Ladungsträgerverarmung ist

insbesondere im Rahmen einer E/D-Integration von Vorteil, da somit E- und D-Transistoren ohne prozesstechnologische Eingriffe in die aktive Schicht auf einem gemeinsamen Substrat in derselben Epitaxiestruktur als aktiver Schicht 212 aufgebaut werden können.

5 Fig. 4 zeigt einen schematischen Aufbau einer alternativen zweiten Ausführungsform einer erfindungsgemäßen Gate-Struktur. Die gezeigte Darstellung entspricht weitestgehend der in Figur 3 gezeigten Darstellung, die Bezugszeichen und deren Zuordnung gelten entsprechend. Im Unterschied zu Figur 3 erstreckt sich bei der dargestellten erfindungsgemäßen Gate-Struktur die Zwischenschicht 230 bis  
10 oberhalb der Passivierungsschicht 220 und liegt zumindest teilweise auch auf dieser auf. Dadurch kann insbesondere eine mögliche Zugverspannung der darunterliegenden Passivierungsschicht 220 zumindest teilweise kompensiert werden, so dass die geometrische Ausformung der Zwischenschicht 230 ebenfalls als zusätzlicher Abstimmungsparameter in Betracht kommt.

15 Fig. 5 zeigt eine schematische Darstellung der spontanen und der piezoelektrischen Polarisationsvektoren im Stand der Technik und der Polarisationsvektoren einer bevorzugten Ausführungsform einer erfindungsgemäßen Gate-Struktur. Hierbei kann es sich insbesondere um einen Transistor mit einem Ga-seitigen AlGa<sub>N</sub>/Ga<sub>N</sub>-Heteroübergang in der aktiven Schicht handeln. Wenn keine externen Kräfte durch  
20 Verspannung von außen auf die aktive Schicht einwirken (links), dann kann es aufgrund der Gitterfehlpassung mit Ga<sub>N</sub> zu einer intrinsischen Zugverspannung des AlGa<sub>N</sub> kommen. Die Ga<sub>N</sub>-Schicht ist hingegen durch eine vergleichsweise hohe Materialdicke (typischerweise zwischen 1 µm bis 6 µm) i.d.R. jedoch verspannungsfrei. In diesem Fall kann in der Ga<sub>N</sub>-Schicht lediglich ein spontaner  
25 Polarisationsvektor definiert werden, während in der zugverspannten AlGa<sub>N</sub>-Schicht der spontane und der piezoelektrische Polarisationsvektor kollinear ausgerichtet sind.

Wenn nun zusätzlich eine externe Druckverspannung auf die aktive Schicht einwirkt (rechts), dann kann der piezoelektrische Polarisationsvektor in der AlGa<sub>N</sub>-Schicht lokal abgeschwächt oder sogar invertiert werden. Dadurch wird die  
30 Gesamtpolarisation in der AlGa<sub>N</sub>-Schicht abgeschwächt, was dazu führt, dass weniger Polarisationsladungen am AlGa<sub>N</sub>/Ga<sub>N</sub>-Heteroübergang vorhanden sind. Durch die Druckverspannung wird jedoch auch die Ga<sub>N</sub>-Schicht lokal verdichtet, so dass durch den dadurch erzeugten zusätzlichen Polarisationsvektor die

Gesamtpolarisation am AlGa<sub>N</sub>/Ga<sub>N</sub>-Heteroübergang weiter herabgesetzt wird. Die dadurch bedingte lokale Verringerung der Polarisationsladungen am AlGa<sub>N</sub>/Ga<sub>N</sub>-Heteroübergang bewirkt wiederum eine Reduzierung der Elektronendichte  $\sigma$  im 2DEG, was zu einer Ausweitung des Verarmungsbereichs unterhalb eines Schottky-Gates bis in die Pufferschicht einer konventionellen aktiven Schicht führen kann. Wenn die druckinduzierte Verspannung bis in die Ga<sub>N</sub>-Pufferschicht reicht, kann sich der Effekt unter Umständen jedoch auch aufheben, da die Elektronendichte im Kanal vom Unterschied der Summen der jeweiligen Polarisationsladungen im AlGa<sub>N</sub> und Ga<sub>N</sub> abhängt. Wenn das Ga<sub>N</sub> und das AlGa<sub>N</sub> in gleicher Weise druckverspannt sind und sich die spontanen und der piezoelektrischen Piezokoeffizienten ähneln, dann ist kein Effekt zu beobachten oder dieser ist nur gering. Die Piezokonstanten in AlGa<sub>N</sub> sind allerdings höher als die des Ga<sub>N</sub>, so dass sich der Effekt eher abschwächt. Es ist jedoch bevorzugt, dass die aktive Schicht selbst spannungsfrei ist.

Im Übrigen zeigen die piezoelektrischen Polarisationsvektoren bei einer externen Zugverspannung an der Oberfläche der aktiven Schicht ein ganz analoges umgekehrtes Verhalten. Eine lokale Erhöhung der Polarisationsladungen am AlGa<sub>N</sub>/Ga<sub>N</sub>-Heteroübergang bewirkt hier eine Steigerung der Elektronendichte  $\sigma$  im 2DEG. Die Erstreckung des Verarmungsbereichs unterhalb eines Schottky-Gates kann somit gegenüber einem baugleichen verspannungsfreien Design reduziert werden. Dadurch wird eine flexible lokale Kontrolle der Elektronendichte  $\sigma$  im 2DEG unterhalb des Transistor-Gates ermöglicht, was insbesondere zur einfachen E/D-Integration genutzt werden kann.

Fig. 6 zeigt einen schematischen Aufbau einer Ausführungsform einer erfindungsgemäßen Schaltungsanordnung. Insbesondere handelt es sich hierbei um eine E/D-Integration, bei der ein erfindungsgemäßer E-Transistor 100, insbesondere eine erste Ausführungsform eines erfindungsgemäßen E-Transistors 100 entsprechend Fig. 2 (mit einer erfindungsgemäßen Gate-Struktur ohne Zwischenschicht 230), und ein erfindungsgemäßer D-Transistor, insbesondere eine erste Ausführungsform eines erfindungsgemäßen D-Transistors (erfindungsgemäße Gate-Struktur ohne Zwischenschicht 230) auf einem gemeinsamen Substrat 110 angeordnet sind. Da sich die entsprechenden Ausführungsformen der beiden Transistoren strukturell nicht voneinander unterscheiden, entsprechen die Bezugszeichen und deren jeweilige Zuordnung den in der Beschreibung zu Fig. 2 gemachten Angaben.

Der vorliegenden Darstellung ist insbesondere anhand der eingezeichneten Verarmungszonen 160 zu entnehmen, dass durch eine erfindungsgemäße Variation der Verspannungen in den einzelnen Schichten das Schaltverhalten benachbarter Transistoren geändert werden kann, ohne dass ein zusätzlicher

5 Strukturierungsaufwand zur lokalen Beeinflussung der Elektronendichte innerhalb der aktiven Schicht 112 notwendig ist. Somit kann eine erfindungsgemäße E/D-Integration auf einem gemeinsamen Substrat 100 bzw. auf einer gemeinsamen aktiven Schicht 112 erfolgen. Entsprechend kann die erfindungsgemäße Schaltungsanordnung auch die Integration erfindungsgemäßer LN-Transistoren mit

10 E- bzw. D-Transistoren 100 oder eine gemeinsame Integration aller aufgeführten Transistortypen umfassen. Die Verwendung von Ausführungsformen mit oder ohne Zwischenschicht 230 ergibt sich dabei aus den jeweils geforderten Spannungswerten an den einzelnen Gate-Strukturen und aus Vorgaben zu den verwendeten Schichtsystemen.

**Bezugszeichenliste**

	10	Substrat
	12	aktive Schicht
5	20	Passivierungsschicht
	40	Kontaktelement
	50	Deckschicht
	60	Verarmungsbereich
	100	E-Transistor
10	110	Substrat
	112	aktive Schicht
	120	Passivierungsschicht
	122	Ausnehmung
	140	Kontaktelement
15	150	Deckschicht
	160	Verarmungsbereich
	200	E-Transistor
	210	Substrat
	212	aktive Schicht
20	220	Passivierungsschicht
	222	Ausnehmung
	230	Zwischenschicht
	232	zweite Ausnehmung
	240	Kontaktelement
25	250	Deckschicht
	260	Verarmungsbereich

**Patentansprüche**

1. Gate-Struktur, aufweisend:
- 5 a) ein Substrat (110, 210);
- b) eine piezoelektrische aktive Schicht (112, 212), die auf dem Substrat (110, 210) angeordnet ist;
- 10 c) eine Passivierungsschicht (120, 220), die auf der aktiven Schicht (112, 212) angeordnet ist und eine Dicke zwischen 10 nm und 1000 nm aufweist, wobei die Passivierungsschicht (120, 220) eine Ausnehmung (122, 222) aufweist, die sich durch die gesamte Passivierungsschicht (120, 220) hindurch in Richtung der aktiven Schicht (112, 212) erstreckt, wobei die Ausnehmung (122, 222) an der Grenze zur aktiven Schicht (112, 212) eine Breite zwischen 10 nm und 500 nm aufweist;
- 15 d) ein Kontaktelement (140, 240), das innerhalb der Ausnehmung (122, 222) angeordnet ist, wobei das Kontaktelement (140, 240) sich von der aktiven Schicht (112, 212) bis oberhalb der Passivierungsschicht (120,220) erstreckt; und
- e) eine Deckschicht (150, 250), die das Kontaktelement (140, 240) oberhalb der Passivierungsschicht (120, 220) überdeckt;
- 20 wobei
- f) mindestens eine oberhalb der aktiven Schicht (112, 212) angeordnete Schicht (120, 220, 150, 250, 230) im Bereich um das Kontaktelement (140, 240) zug- oder druckverspannt mit einer Normalspannung  $|\sigma| > 200$  MPa ausgebildet ist, wobei über die einzelnen Verspannungen im Bereich um das Kontaktelement (140, 240) eine resultierende Kraft an der Grenzfläche zwischen Passivierungsschicht (120, 220) und aktiver Schicht (112, 212) eingestellt ist, welche über den piezoelektrischen Effekt die Elektronendichte in der aktiven Schicht (112, 212) im Bereich unterhalb des Kontaktelements (140, 240) beeinflusst, wobei die Normalspannungen verspannter Schichten im Bereich zwischen  $\pm 4$  GPa liegen; und
- 25
- 30 g) das Verhältnis zwischen der Dicke der Passivierungsschicht (120, 220) und der Breite der Ausnehmung (122, 222) an der Grenze zur aktiven Schicht (112, 212) zwischen 1,5:1 und 4:1 beträgt.

2. Gate-Struktur nach Anspruch 1, wobei die Passivierungsschicht (120, 220) als hochgradig druck- oder zugverspannte dielektrische Schicht mit einer Normalspannung  $|\sigma| > 1 \text{ GPa}$  ausgebildet ist.
- 5 3. Gate-Struktur nach Anspruch 1, weiterhin aufweisend eine Zwischenschicht (230), wobei die Zwischenschicht (230) zwischen dem Kontaktelement (240) und der Passivierungsschicht (220) ausgebildet ist.
- 10 4. E-Transistor (100) mit einer Gate-Struktur nach Anspruch 1, wobei die Passivierungsschicht (120) als hochgradig druckverspannte dielektrische Schicht mit einer Normalspannung  $\sigma < -1 \text{ GPa}$  und die Deckschicht (150) als druckverspannte dielektrische Schicht mit einer Normalspannung  $\sigma < -200 \text{ MPa}$  ausgebildet sind.
- 15 5. E-Transistor (200) mit einer Gate-Struktur nach Anspruch 3, wobei die Passivierungsschicht (220) als spannungsfreie oder moderat druck- oder moderat zugverspannte dielektrische Schicht mit einer Normalspannung von  $-1 \text{ GPa} \leq \sigma \leq 1 \text{ GPa}$ , die Zwischenschicht (230) als hochgradig druckverspannte dielektrische Schicht mit einer Normalspannung von  $\sigma < -1 \text{ GPa}$  und die  
20 Deckschicht (250) als druckverspannte dielektrische Schicht mit einer Normalspannung  $\sigma < -200 \text{ MPa}$  ausgebildet sind.
- 25 6. D-Transistor mit einer Gate-Struktur nach Anspruch 1, wobei die Passivierungsschicht (120) als moderat zugverspannte dielektrische Schicht mit einer Normalspannung von  $200 \text{ MPa} < \sigma \leq 1 \text{ GPa}$  und die Deckschicht (150) als zugverspannte dielektrische Schicht mit einer Normalspannung  $\sigma > 200 \text{ MPa}$  ausgebildet sind.
- 30 7. D-Transistor mit einer Gate-Struktur nach Anspruch 3, wobei die Zwischenschicht (230) und die Deckschicht (250) als hochgradig zugverspannte dielektrische Schichten mit Normalspannungen  $\sigma > 1 \text{ GPa}$  und die Passivierungsschicht (220) als spannungsfreie oder moderat druck- oder moderat zugverspannte dielektrische Schicht mit einer Normalspannung von  $-1 \text{ GPa} \leq \sigma \leq 1 \text{ GPa}$  ausgebildet sind.

35

8. LN-Transistor mit einer Gate-Struktur nach Anspruch 1, wobei die Passivierungsschicht (120) und die Deckschicht (150) als moderat druckverspannte dielektrische Schichten mit Normalspannungen  $-1 \text{ GPa} \leq \sigma < -200 \text{ MPa}$  ausgebildet sind.
- 5
9. LN-Transistor mit einer Gate-Struktur nach Anspruch 3, wobei die Zwischenschicht (230) und die Deckschicht (250) als moderat druckverspannte dielektrische Schichten mit Normalspannungen  $-1 \text{ GPa} \leq \sigma < -200 \text{ MPa}$  ausgebildet sind, und die Passivierungsschicht (220) als spannungsfreie oder moderat zugverspannte dielektrische Schicht mit einer Normalspannung von  $0 \text{ GPa} \leq \sigma \leq 1 \text{ GPa}$  ausgebildet sind.
- 10
10. Schaltungsanordnung, umfassend:
- a) mindestens einen E-Transistor (100, 200) nach Anspruch 4 oder 5 und mindestens einen D-Transistor nach Anspruch 6 oder 7, wobei der E-Transistor (100, 200) und der D-Transistor auf einem gemeinsamen Substrat (110, 210) angeordnet sind; oder
- 15
- b) mindestens einen E-Transistor (100, 200) nach Anspruch 4 oder 5 und mindestens einen LN-Transistor nach Anspruch 8 oder 9, wobei der E-Transistor (100, 200) und der LN-Transistor auf einem gemeinsamen Substrat (110, 210) angeordnet sind; oder
- 20
- c) mindestens einen D-Transistor nach Anspruch 6 oder 7 und mindestens einen LN-Transistor nach Anspruch 8 oder 9, wobei der D-Transistor und der LN-Transistor auf einem gemeinsamen Substrat (110, 210) angeordnet sind.
- 25
11. Verfahren zur Herstellung einer Gate-Struktur, folgende Schritte umfassend:
- a) Bereitstellen eines Substrats (110, 210) mit einer auf dem Substrat (110, 210) angeordneten piezoelektrischen aktiven Schicht (112, 212);
- 30
- b) Aufbringen einer dielektrischen Passivierungsschicht (120, 220) mit einem ersten Verspannungswert auf die aktive Schicht (112, 212), wobei die Passivierungsschicht (120, 220) eine Dicke zwischen 10 nm und 1000 nm aufweist;
- c) Erzeugen einer Ausnehmung (122, 222) in der Passivierungsschicht (120, 220), wobei die Ausnehmung (122, 222) sich durch die gesamte Passivierungsschicht (120, 220) hindurch in Richtung der aktiven Schicht
- 35

(112, 212) erstreckt und an der Grenze zur aktiven Schicht (112, 212) eine Breite zwischen 10 nm und 500 nm aufweist, wobei das Verhältnis zwischen der Dicke der Passivierungsschicht (120, 220) und der Breite der Ausnehmung (122, 222) an der Grenze zur aktiven Schicht (112, 212) zwischen 1,5:1 und 4:1 beträgt;

d) Ausbilden eines Kontaktelements (140, 240), das innerhalb der Ausnehmung (122, 222) angeordnet ist, wobei das Kontaktelement (140, 240) sich von der aktiven Schicht (112, 212) bis oberhalb der Passivierungsschicht (120,220) erstreckt;

e) Aufbringen einer Deckschicht (150, 250) mit einem zweiten Verspannungswert, die das Kontaktelement (140, 240) oberhalb der Passivierungsschicht (120, 220) überdeckt;

wobei

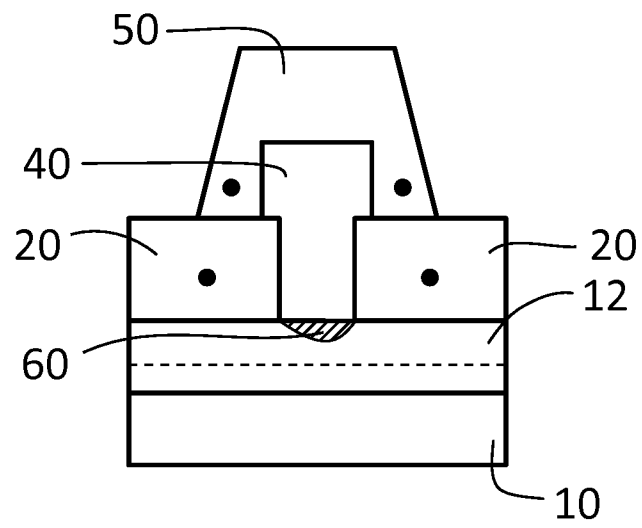
f) die Ausbildung mindestens einer oberhalb der aktiven Schicht (112, 212) angeordneten Schicht (120, 220, 150, 250) im Bereich um das Kontaktelement (140, 240) zug- oder druckverspannt mit einer Normalspannung  $|\sigma| > 200$  MPa erfolgt, wobei über die einzelnen Verspannungen im Bereich um das Kontaktelement (140, 240) eine resultierende Kraft an der Grenzfläche zwischen Passivierungsschicht (120, 220) und aktiver Schicht (112, 212) eingestellt wird, welche über den piezoelektrischen Effekt die Elektronendichte in der aktiven Schicht (112, 212) im Bereich unterhalb des Kontaktelements (140, 240) beeinflusst, wobei die Normalspannungen verspannter Schichten im Bereich zwischen  $\pm 4$  GPa liegen.

12. Verfahren zur Herstellung einer Gate-Struktur nach Anspruch 11, wobei vor dem Ausbilden eines innerhalb der Ausnehmung (222) angeordneten Kontaktelements (240) folgende weitere Schritte umfasst sind:

a) Aufbringen einer Zwischenschicht (230) mit einer dritten Verspannung innerhalb der Ausnehmung (222), wobei die Zwischenschicht (230) zwischen dem Kontaktelement (240) und der Passivierungsschicht (220) ausgebildet wird;

b) Erzeugen einer zweiten Ausnehmung (232) in der Zwischenschicht (230), wobei die zweite Ausnehmung (232) sich durch die gesamte Zwischenschicht (230) hindurch in Richtung der aktiven Schicht (212) erstreckt.

13. Integrationsverfahren zur Herstellung einer Schaltungsanordnung nach Anspruch 10, wobei mindestens zwei verschiedene Transistortypen (100, 200) gemäß den Ansprüchen 4 bis 9 gemäß einem Verfahren nach Anspruch 11 oder 12 auf einem gemeinsamen Substrat (110, 210) hergestellt werden.
- 5



Stand der Technik

Fig. 1

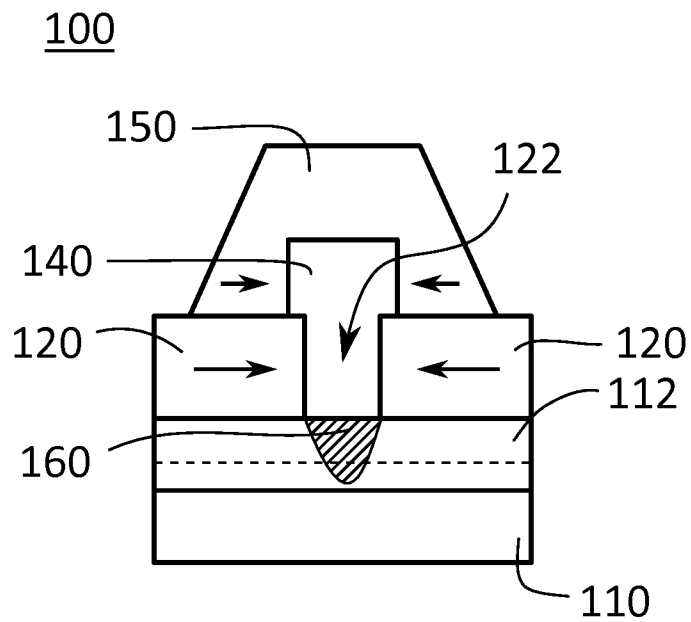


Fig. 2

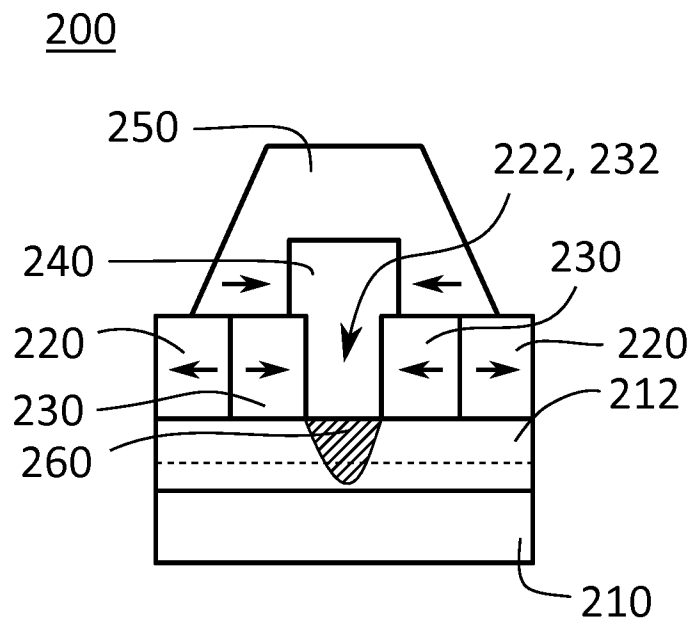


Fig. 3

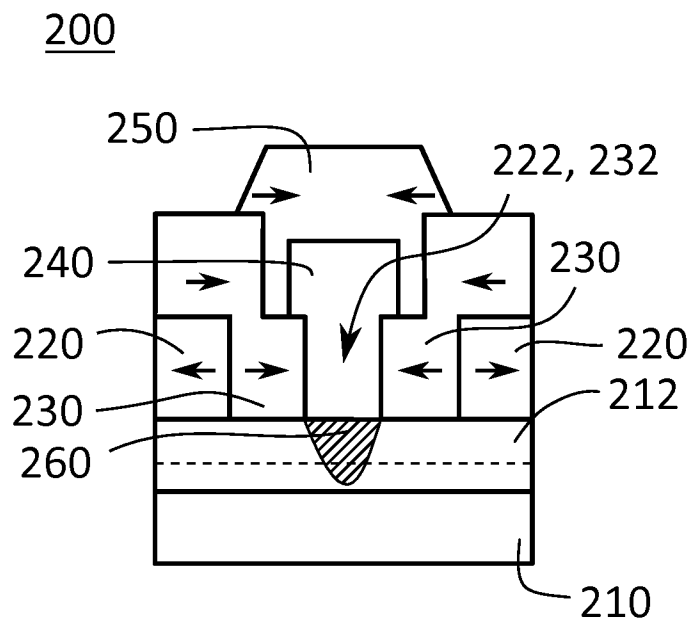


Fig. 4

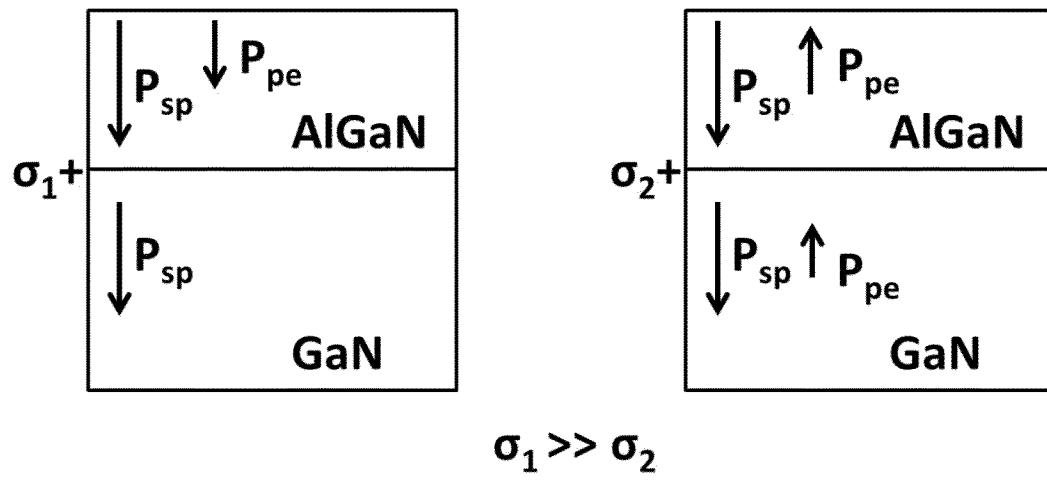


Fig. 5

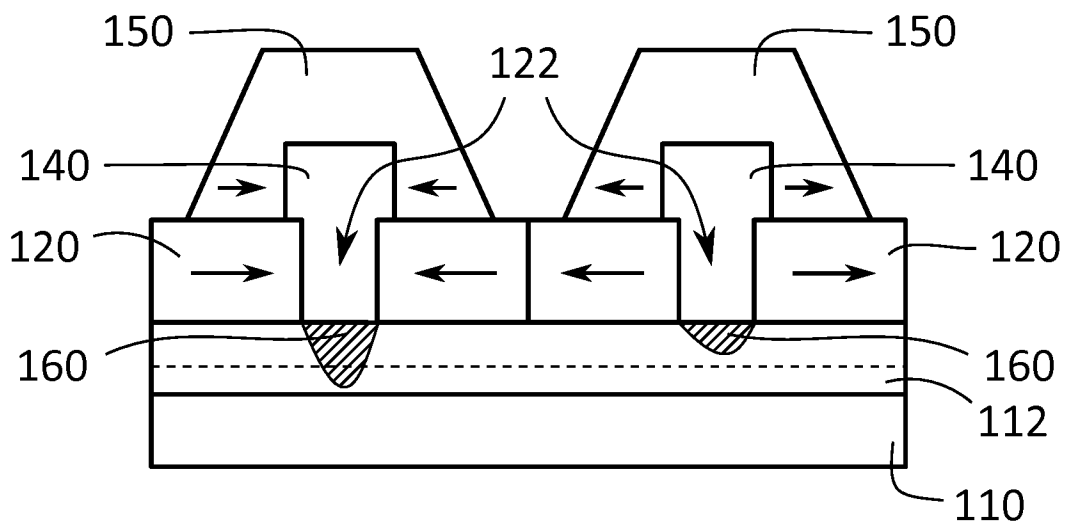


Fig. 6

## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/EP2018/078408**

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<b>H01L 29/778</b> (2006.01)i; <b>H01L 23/29</b> (2006.01)i; <b>H01L 29/20</b> (2006.01)n		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data, INSPEC, COMPENDEX		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008244001 A (SANKEN ELECTRIC CO LTD) 09 October 2008 (2008-10-09) figure 1 paragraphs [0016], [0025], [0034]	1-6, 8-13
A	NAOTERU SHIGEKAWA ET AL. "Analysis of Passivation-Film-Induced Stress Effects on Electrical Properties in AlGaIn/GaN HEMTs" <i>IEICE TRANSACTIONS ON ELECTRONICS, INSTITUTE OF ELECTRONICS, TOKYO, JP</i> , Vol. E93C, No. 8, August 2010 (2010-08), pages 1212-1217 DOI: 10.1587/TRANSELE.E93.C.1212 ISSN: 0916-8524, XP001558270 "Introduction" figures 1, 5	10, 13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>23 January 2019</b>		Date of mailing of the international search report <b>04 February 2019</b>
Name and mailing address of the ISA/EP <b>European Patent Office p.b. 5818, Patentlaan 2, 2280 HV Rijswijk Netherlands</b> Telephone No. (+31-70)340-2040 Facsimile No. (+31-70)340-3016		Authorized officer <b>Moehl, Sebastian</b>  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/EP2018/078408**

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2008244001	A 09 October 2008	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
 INV. H01L29/778 H01L23/29  
 ADD. H01L29/20

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
 H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, INSPEC, COMPENDEX

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	JP 2008 244001 A (SANKEN ELECTRIC CO LTD) 9. Oktober 2008 (2008-10-09) Abbildung 1 Absätze [0016], [0025], [0034] -----	1-6,8-13
A	NAOTERU SHIGEKAWA ET AL: "Analysis of Passivation-Film-Induced Stress Effects on Electrical Properties in AlGaIn/GaN HEMTs", IEICE TRANSACTIONS ON ELECTRONICS, INSTITUTE OF ELECTRONICS, TOKYO, JP, Bd. E93C, Nr. 8, August 2010 (2010-08), Seiten 1212-1217, XP001558270, ISSN: 0916-8524, DOI: 10.1587/TRANSELE.E93.C.1212 "Introduction" Abbildungen 1, 5 -----	10,13



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

23. Januar 2019

Absenddatum des internationalen Recherchenberichts

04/02/2019

Name und Postanschrift der Internationalen Recherchenbehörde  
 Europäisches Patentamt, P.B. 5818 Patentlaan 2  
 NL - 2280 HV Rijswijk  
 Tel. (+31-70) 340-2040,  
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Moehl, Sebastian

**INTERNATIONALER RECHERCHENBERICHT**

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2018/078408

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
JP 2008244001    A	09-10-2008	KEINE	