



(10) 授权公告号 CN 109102772 B

(45) 授权公告日 2023. 11. 21

(21) 申请号 201710471810.9

G09G 3/00 (2006.01)

(22) 申请日 2017.06.20

(56) 对比文件

(65) 同一申请的已公布的文献号

JP 2010102237 A, 2010.05.06

申请公布号 CN 109102772 A

CN 1641421 A, 2005.07.20

(43) 申请公布日 2018.12.28

CN 207165216 U, 2018.03.30

(73) 专利权人 昆山国显光电有限公司

CN 202693965 U, 2013.01.23

地址 215300 江苏省苏州市昆山市开发区

US 2013229589 A1, 2013.09.05

龙腾路1号4幢

审查员 何琛

(72) 发明人 张金方 张露 韩珍珍 胡思明

王向前 刘青刚 朱晖

(74) 专利代理机构 华进联合专利商标代理有限

公司 44224

专利代理师 唐清凯

(51) Int. Cl.

G09G 3/32 (2016.01)

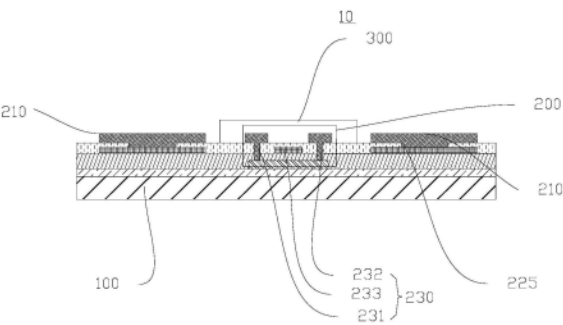
权利要求书1页 说明书5页 附图3页

(54) 发明名称

驱动电路板和显示装置

(57) 摘要

本发明公开了一种驱动电路板和显示装置。所述驱动电路板包括基板、设置于所述基板表面的测试电路和两个连接单元。所述两个连接单元分别设置于所述测试电路的两侧。所述驱动电路板还包括设置于所述测试电路表面的保护层。通过设置保护层可以达到避免所述测试电路线路被腐蚀或损坏的目的。



1. 一种显示装置,其特征在于,包括驱动电路板与集成电路芯片,所述驱动电路板包括:

基板(100);

设置于所述基板(100)上的测试电路(200);

覆盖式设置于所述测试电路(200)表面上的保护层(300);和

连接单元(210);

所述集成电路芯片通过输入引脚与输出引脚电连接到两个所述连接单元(210)上,且所述集成电路芯片固定于所述保护层(300)的上方,所述保护层(300)的远离所述基板(100)的表面具有与所述集成电路芯片的下表面贴合的粗糙区域。

2. 如权利要求1所述的显示装置,其特征在于,所述保护层(300)由有机材料制成。

3. 如权利要求1所述的显示装置,其特征在于,所述粗糙区域为波纹、多个凹坑、多个凸起、相互交错的沟壑和网格中任意一种或多种的组合。

4. 如权利要求1所述的显示装置,其特征在于,所述粗糙区域处于所述保护层(300)的中心部分为平坦区(301),周围部分为所述粗糙区域。

5. 如权利要求1到4中任一项所述的显示装置,其特征在于,所述基板(100)上还具有显示区薄膜晶体管阵列(410),所述保护层(300)与所述显示区薄膜晶体管阵列(410)上的平坦化层一体形成。

6. 如权利要求1所述的显示装置,其特征在于,所述保护层(300)由无机材料制成。

7. 如权利要求1到4中任一项所述的显示装置,其特征在于,两个所述连接单元(210)对称设置于所述测试电路(200)两侧。

8. 如权利要求7所述的显示装置,其特征在于,所述连接单元(210)包括平行设置的两个,并且所述测试电路(200)处于两个连接单元(210)之间。

9. 如权利要求8所述的显示装置,其特征在于,所述测试电路(200)和所述连接单元(210)处于所述基板(100)的非显示区(600)内,在所述测试电路(200)的任意一侧,所述基板(100)的非显示区(600)边缘到所述连接单元(210)一侧的距离,与所述连接单元(210)的另一侧到所述保护层(300)靠近所述连接单元(210)的一侧的距离相等。

10. 如权利要求1所述的显示装置,其特征在于,包括:

设置于所述基板(100)的显示区(500)的显示区薄膜晶体管阵列(410);

所述测试电路(200)与所述显示区薄膜晶体管阵列(410)电连接。

驱动电路板和显示装置

技术领域

[0001] 本发明涉及显示领域,特别是涉及一种驱动电路板和显示装置。

背景技术

[0002] 在显示装置的屏体的基板非显示区设置有安装电路。安装电路通常包括相对设置的输入垫和输出垫,在输入垫和输出垫之间设有裸露的测试电路。集成电路芯片的输入引脚和输出引脚分别对应所述输入垫和所述输出垫连接,从而使得所述集成电路芯片与所述基板电相连。

[0003] 在现有技术中,测试电路容易被损坏,尤其容易被静电击穿。所述测试电路被损坏后,会导致错误地判断屏体是否良好。这对于屏体的生产是非常不利的。

发明内容

[0004] 基于此,有必要针对电路基板的测试电路容易被损坏的问题,提供一种驱动电路板和显示装置。

[0005] 一种驱动电路板,其特征在于,包括:

[0006] 基板;和

[0007] 设置于所述基板上的测试电路;

[0008] 覆盖式设置于所述测试电路表面上的保护层。

[0009] 根据本发明的驱动电路板,测试电路由保护层覆盖。这样,可以避免静电在驱动电路上出现静电积累,进而避免了测试电路的薄膜晶体管被击穿。这就使得测试电路处于完好的状态,进而避免了由测试电路的损坏导致的对屏体测试结的不良影响,这有助于屏体的生产。

[0010] 在其中一个实施例中,所述保护层由有机材料制成。

[0011] 由有机材料制成的保护层具有的粘性特性有利于所述保护层覆盖并固定于所述测试电路的表面。所述有机材料具有的强度特性可以避免所述测试电路受到外在应力的破坏。

[0012] 在其中一个实施例中,所述保护层的远离所述基板的表面具有粗糙区域。

[0013] 所述粗糙区域可以增加集成电路芯片与所述保护层粘贴时的面积、同时可以增强所述集成电路芯片和所述保护层之间的粘附性。

[0014] 在其中一个实施例中,所述粗糙区域为波纹、多个凹坑、多个凸起、相互交错的沟壑和网格中任意一种或多种的组合。

[0015] 多种结构的配合方式可以灵活增加保护层粘合时的面积以增强黏贴的牢固程度。所述凹坑、所述凸起或所述波纹可以增强所述集成电路芯片和所述保护层之间的粘附性。

[0016] 在其中一个实施例中,所述粗糙区域处于所述保护层的中心部分为平坦区,周围部分为所述粗糙区域。

[0017] 所述集成电路芯片在粘贴于所述保护层表面时,在所述保护层的四周使用更多的

导电胶,而在保护层的中心区域使用少量的导电胶,不但能够良好地固定集成电路芯片,而且能够避免过度向下挤压保护层的对应栅极的中心区域。

[0018] 在其中一个实施例中,所述基板上还具有显示区薄膜晶体管阵列,所述保护层与所述显示区薄膜晶体管阵列上的平坦化层一体形成。

[0019] 保护层与所述显示区薄膜晶体管阵列上的平坦化层一体形成可以减少工序,提高工作效率。

[0020] 在其中一个实施例中,所述保护层由无机材料制成。

[0021] 无机材料具有一定的强度,具有一定的耐磨和抗压性能。

[0022] 在其中一个实施例中,所述基板上还具有连接单元,所述连接单元与所述测试电路相邻。所述测试电路能够通过所述连接单元向屏体发出测试信号。

[0023] 在其中一个实施例中,所述连接单元包括平行设置的两个,并且所述测试电路处于两个连接单元之间;优选地,所述测试电路和所述连接单元处于所述基板的非显示区内,在所述测试电路的任意一侧,所述基板的非显示区边缘到所述连接单元一侧的距离,与所述连接单元的另一侧到所述保护层靠近所述连接单元的一侧的距离相等。

[0024] 所述连接单元、所述保护层等距离布置可以保持所述基板受力的均匀性,可以避免集成电路芯片压接时受力失衡的问题。

[0025] 一种显示装置,包括:

[0026] 驱动电路板,所述驱动电路板包括:基板;设置于所述基板的非显示区的测试电路;覆盖式设置于所述测试电路表面上的保护层;设置于所述基板的显示区的显示区薄膜晶体管阵列;所述测试电路与所述显示区的显示区薄膜晶体管阵列电连接。

[0027] 由于所述测试电路表面上的保护层,因此所述测试电路具有可靠的工作性能,并且在显示装置正常使用时不会因为测试电路损坏影响显示装置的使用,所述显示装置具有更长的寿命。

附图说明

[0028] 图1为本发明实施例提供的驱动电路板截面示意图;

[0029] 图2为本发明实施例提供的驱动电路板中保护层和连接单元位置关系示意图;

[0030] 图3为本发明实施例提供的保护层表面结构示意图;

[0031] 图4为本发明实施例提供的保护层表面另一种结构示意图;

[0032] 图5为本发明实施例提供的保护层表面波纹结构示意图;

[0033] 图6为本发明实施例提供的显示装置结构示意图。

[0034] 主要元件符号说明

[0035] 驱动电路板10、数据驱动电路20、显示装置30、扫描驱动电路40、基板100、测试电路200、连接单元210、薄膜晶体管230、源极231、漏极232、栅极233、保护层300、平坦区301、显示区薄膜晶体管阵列410、显示区500,非显示区600、非显示区600边缘601、602。

具体实施方式

[0036] 为了使本发明的发明目的、技术方案及技术效果更加清楚明白,以下结合附图对本发明的具体实施例进行描述。应当理解,此处所描述的具体实施例仅仅用以解释本发明,

并不用于限定本发明。

[0037] 请参见图1,本发明提供一种驱动电路板10。所述驱动电路板10包括基板100、设置于所述基板100上的测试电路200、以及覆盖式设置于所述测试电路200表面上的保护层300。所述基板包括显示区500和非显示区600,所述测试电路200设置于所述非显示区600。

[0038] 所述基板100可以为玻璃基板、也可以为柔性的塑料基板,或者为具有一定强度的其他有机材料制成的基板。

[0039] 在其中一个实施例中,所述驱动电路板10还包括设置于所述基板100表面上处于非显示区600的两个连接单元210。所述两个连接单元210分别设置于所述测试电路200的两侧,并与所述测试电路200相邻。在使用过程中,两个连接单元210分别作为屏体的输入垫和输出垫。

[0040] 在一个实施例中,集成电路芯片(未示出)可以通过输入引脚和输出引脚电连接到输入垫和输出垫上,并且所述集成电路芯片可以处于所述测试电路200的上方。这样所述集成电路芯片通过输入垫、输出垫、输入引脚和输出引脚与驱动电路板10通信并控制显示装置30。在一个实施例中,还在相应的输入垫、输出垫、输入引脚和输出引脚之间涂覆有导电胶,以实现彼此之间的电连接并且将集成电路芯片固定在测试电路200上方。所述集成电路芯片的具体工作过程是本领域的技术人员所熟知的,这里不再赘述。

[0041] 在其中一个实施例中,所述两个连接单元210对称地设置在所述测试电路200的两侧。所述连接单元210在所述测试电路200两侧对称设置可以使所述集成电路芯片压接时受力平衡,确保芯片压接效果,从而增强所述基板100的使用寿命。在另一个优选实施例中,如图2所示,所述非显示区600的边缘601、602到所述连接单元210相应侧的距离a、d以及两个所述连接单元210到所述保护层300的相应边缘距离b、c都相等,即, $a=b=c=d$ 。所述非显示区600的边缘601、602可以是有机胶层的边界,优选地与所述保护层300一同形成。可以理解,所述连接单元210、所述测试电路200等距离布置可以保持所述基板100受力的均匀性,可以更为有效地避免所述基板100由于受力不均匀造成损坏。

[0042] 所述测试电路200用于测试屏体是否显示良好。所述测试电路200可以用以测试屏体的通信线路和/或屏体像素点是否损坏。所述测试电路200可以包括薄膜晶体管230以及相关电路,所述薄膜晶体管230包括源极231、漏极232和栅极233。通过所述测试电路200可以向屏体输入测试信号。所述测试电路200可以包括测试单元。所述测试单元可以通过多个信号通道与所述薄膜晶体管230连接。所述测试电路200的使用方法如下:所述测试单元向所述栅极233提供栅极导通电压以使得所述源极231和所述漏极232导通,所述薄膜晶体管230开启。接下来,所述测试单元可以通过所述薄膜晶体管230向屏体输入测试信号以测试屏体的通信线路和屏体显示像素是否损坏。

[0043] 为了保证测试电路200中的薄膜晶体管230以及导电路径完好,在制作完成测试电路200之后,在测试电路200上覆盖式地形成所述保护层300。所述保护层300用以保护所述测试电路200。例如,所述保护层200可以将测试电路200与外界环境绝缘地隔离开,从而避免在所述测试电路200的薄膜晶体管230处产生静电积累,进而避免所述薄膜晶体管230被静电击穿,而导致所述测试电路200损坏,这会给后续工作带来麻烦。例如,所述薄膜晶体管230被击穿后会不良地影响屏体的测试结果并且会误判屏体是否良好。进而,在后续步骤中,需要更复杂的复检步骤,以从被误判为坏屏中找出良好的屏。此外,所述保护层300可以

保护测试电路200以避免其意外受到腐蚀,以确保测试电路200在测试期间能够正常工作。

[0044] 在一个实施例中,所述保护层300可以由有机材料或无机材料制成。在一个优选的实施例中,所述保护层300可以由与所述显示区500的平坦化层相同的材料制成。在另一个实施例中,所述保护层300可以为SiO_x膜或SiN_x膜。在所述保护层300由有机材料形成的情况下,所述保护层300还可以具有一定的缓冲性能,这样可以避免来自所述测试电路200表面或所述保护层300上的所述集成电路芯片由于压力过大对所述测试电路200造成损坏。在一个实施例中,所述保护层300的厚度为1.5mm-2mm。厚度为1.5mm-2mm的保护层300不但能够解决测试电路200的静电问题,而且具有足够的缓冲性能。

[0045] 优选地,在保护层300和集成电路芯片之间设置导电胶以进一步固定所述集成电路芯片。在图3所示的优选实施例中,保护层300的远离所述基板100的表面具有粗糙区域。例如,在所述保护层300为有机物的情况下,可以通过光刻的方式形成粗糙区域或网格;在所述保护层300为无机物的情况下,可通过蚀刻所述保护层300的方式形成粗糙区域。在另一个实施例中,所述粗糙区域可以为密集排布的凹坑、凸起、相互交错的沟壑、波纹以及其各种组合中的任一种。实际上,粗糙区域还可以构造为任何适当的其它形貌。申请人发现,通过这种结构,在所述集成电路芯片的组装过程中,可以使所述集成电路芯片的下表面与所述保护层300的粗糙区域贴合或粘贴在一起。这样,所述粗糙区域可以增加所述集成电路芯片与所述保护层300结合力,从而使得集成电路芯片与保护层300牢固地接合在一起。

[0046] 所述粗糙区域的位置可以根据所述测试电路200不同位置的不同受力能力进行调整。例如,所述粗糙区域可以是保护层300的整个表面,也可以是保护层300的表面的部分区域。优选地,所述粗糙区域可以设置在所述保护层300的四周。请参见图4,在其中一个实施例中,所述保护层300的中心部分为平坦区301,周围部分为所述粗糙区域。申请人发现:所述集成电路芯片在粘贴于所述保护层300表面时,在所述保护层300的四周使用更多的导电胶,而在保护层300的所述平坦区301使用少量的导电胶,不但能够良好地固定所述集成电路芯片,而且能够避免过度向下挤压所述保护层300对应的栅极233的中心区域。由此,就减少了导电胶的使用量,而且对薄膜晶体管230起到保护作用。

[0047] 在图5所示的实施例中,所述保护层300外表面的所述粗糙区域为波纹。在所述保护层300为有机材料的情况下,波纹形式的所述粗糙区域是优选的,这是由于所述波纹的构造可以较平缓,可以减少导电胶的使用量并且达到牢固粘贴所述集成电路芯片和所述保护层300的目的。

[0048] 在一个实施例中,所述测试电路200与所述显示区500的电路电连接。所述测试电路200表面覆盖的所述保护层300可以避免所述测试电路200被腐蚀或损坏。所述驱动电路板10制作的过程中,在所述测试电路200制成后还有其它制造工序。所述保护层300能够避免在其它制成工序中所述测试电路200被刮蹭或被其它化学试剂腐蚀。因此所述测试电路200就不会出现断路现象,进而在屏体测试时不会因为测试电路的损坏而造成不良误判。

[0049] 所述保护层300可通过以下方式形成:

[0050] 当所述保护层300与所述显示区500的平坦化层为相同材料制成时,所述保护层300的形成过程可以为:在所述显示区500和所述非显示区600上铺设平坦化层;然后将所述平坦化层的对应的两个连接单元210的部分通过蚀刻的方式去除。这样,所述测试电路200的上方的平坦化层就形成了保护层300。可以理解的是,所述保护层300上的所述粗糙区域

也可以通过蚀刻的方式形成。

[0051] 当所述保护层300为无机材料时,可通过在所述测试电路200上沉积无机材料膜层而形成。

[0052] 本发明还提供一种显示装置30,如图6所示。所述显示装置30包括数据驱动电路20、扫描驱动电路40、与所述数据驱动电路20、所述扫描驱动电路40电连接的显示区薄膜晶体管阵列410。所述显示区薄膜晶体管阵列410处于显示区500内。所述数据驱动电路20、所述扫描驱动电路40可以控制所述显示区薄膜晶体管阵列410的工作。所述测试电路200和所述连接单元210处于所述非显示区600内。

[0053] 以上所述实施例仅表达了本发明的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对本发明专利范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干变形和改进,这些都属于本发明的保护范围。因此,本发明的保护范围应以所附权利要求为准。

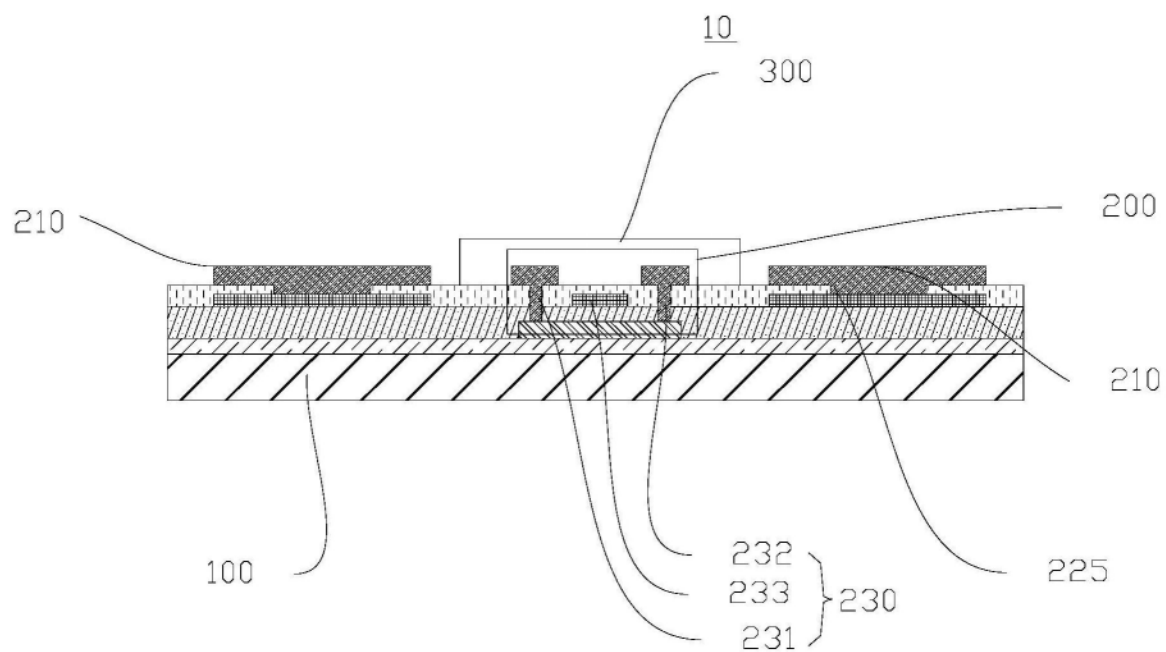


图1

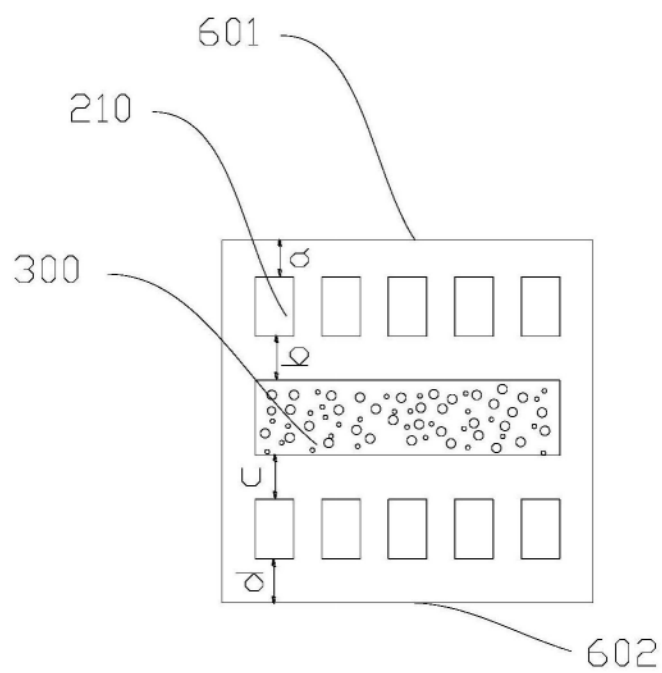


图2

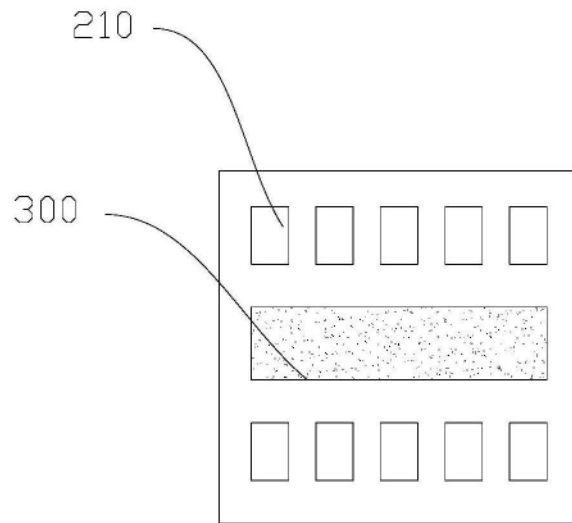


图3

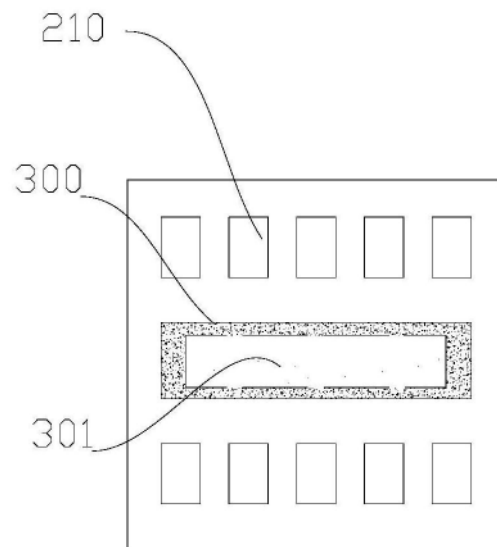


图4

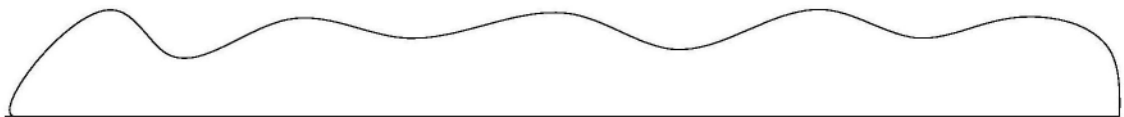


图5

30

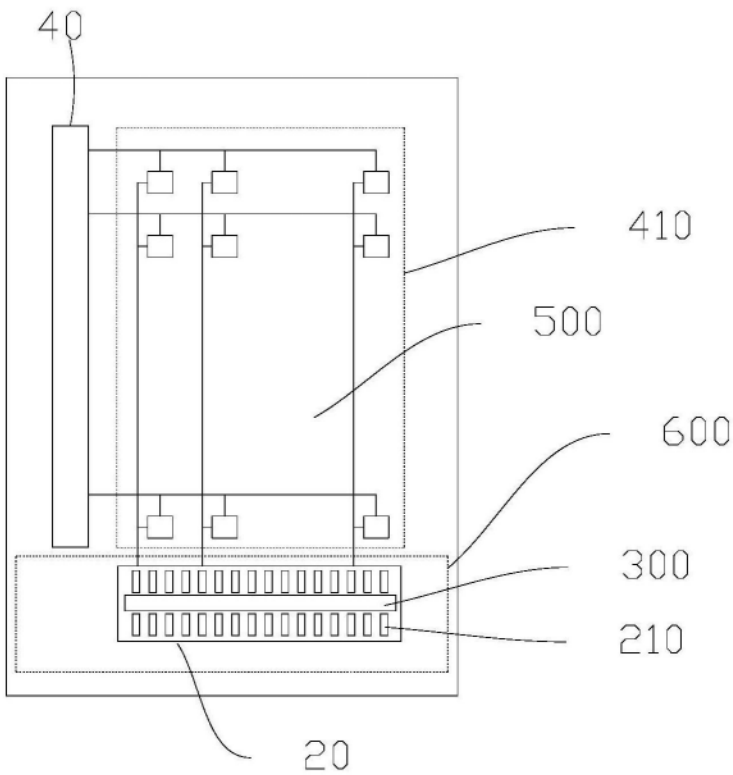


图6