

申請日期: 83-01-24	IPC分類: H01L 21/70
申請案號: 93100871	H01L 21/8238

(以上各欄由本局填註)

## 發明專利說明書 200419697

一、 發明名稱	中文	N型金氧半(NMOS)電晶體與互補式金氧半(CMOS)電晶體之製造方法
	英文	Method of fabricating NMOS and CMOS transistors
二、 發明人 (共3人)	姓名 (中文)	1. 陳佳麟 2. 李資良 3. 陳世昌
	姓名 (英文)	1. Chia-Lin Chen 2. T. L. Lee 3. Shin-Chang Chen
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 新竹縣竹東鎮中興路二段152巷33弄8號2樓 2. 新竹市軍功里29鄰建功一路49巷八號四樓 3. 新竹市竹東鎮中興路四段970號5樓
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 台灣積體電路製造股份有限公司
	名稱或 姓名 (英文)	1. Taiwan Semiconductor Manufacturing Co., Ltd.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行六路八號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. NO. 8, Li-Hsin Rd. 6, Science-Based Industrial Park Hsin-Chu, Taiwan 300-77, R. O. C.
	代表人 (中文)	1. 張忠謀
	代表人 (英文)	1. Chung-Mou Chang



## 一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2003/03/24	10/395,345	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得, 不須寄存。

## 五、發明說明 (1)

### 發明所屬之技術領域

本發明係有關於一種N型金氧半(NMOS)電晶體之製造方法，特別是有關於一種於製程步驟中結合一重摻雜及一改良之清洗程序之製造方法。本發明亦可應用於CMOS電晶體之製造方法。

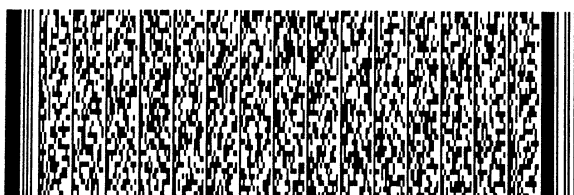
### 先前技術

金氧半(MOS)電晶體，是現在VLSI技術中最重要的一種電子元件，基本上可分為三種類型：(1)N型MOS電晶體(NMOS)，(2)P型MOS電晶體(PMOS)與(3)互補式MOS電晶體(CMOS)，其中CMOS是由一個NMOS與一個PMOS共同組成。

隨著積體電路集積度的增加，為了使晶片上的單位面積可以容納更多的電晶體，其電晶體體積必須能夠做得更小，使線寬得以持續且順利地往下推進。但在此微縮的過程中，卻也衍生出許多製程上欲待解決克服的問題。

首先，元件工程師所要面對的，即是短通道效應(short channel effect)所產生的漏電問題。電晶體發生短通道效應的漏電途徑，主要有因源極與汲極距離過短所造成的漏電，及因隧穿(tunneling)效應所導致的漏電，其中，前者是沿電晶體的通道，後者則是經由通道的上方或下方。而從通道上方的隧穿漏電途徑，其與閘介電層的厚度是有密切關係的。

隨著製程上的微縮，若欲維持元件的良好電性，閘介電層的厚度必須不斷地向下縮減，如此一來，對於經由通



## 五、發明說明 (2)

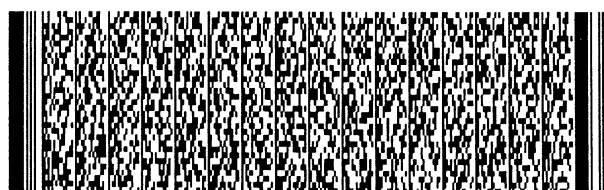
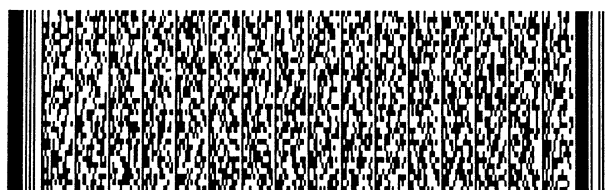
道上方的隧穿漏電，勢必更不具抵抗、阻擋的能力，使漏電問題在高度微縮的製程中，可能愈顯嚴重。

目前常用於解決漏電流的製程方法，主要有二，一種是利用堆疊有氮化層與氧化層的雙重或多重閘介電層結構為之，另一種是使用電漿植入氮原子的方法(decouple plasma nitrogen, DPN)為之。而此兩種方式的特徵均是透過對閘介電層的氮化作用，試圖減緩上述的漏電問題。

如美國專利6,399,445號。請參閱第1圖，一閘氧化層3以熱氧化法成長形成於基底1上，接著，對閘氧化層3之表面進行一熱氮化處理，以形成一堆疊於閘氧化層3上之一氮化層5。最後形成一已摻雜之閘極結構7於氮化層5上。由於介電常數較高的氮原子經擴散進入閘氧化層3中，使此元件的電容值得以順利提升，並因氮化層5的堆疊，相對增加了閘氧化層3的厚度，使其對來自基底1之隧穿電流的穿透，較具抵擋的能力。

另如美國專利6,323,094號。請參閱第2a圖，一第一閘氧化層14L與一第二閘氧化層14U分別藉不同工作溫度之熱氧化法依序成長形成於基底10上。接著，以電漿摻雜的方式，將中性之氮原子或帶正或負電荷之氮離子植入第二閘氧化層14U之上表面，以形成一過渡層28。續以低壓化學氣相沉積法沉積一氮化層34於過渡層28上，最後再形成一閘導電層42於氮化層34上。經圖案化定義上述各層，以形成一閘極結構50，如第2b圖所示。

上述幾種對閘介電層的氮化處理，姑且不論其被植入



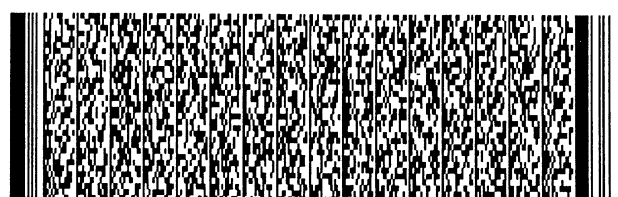
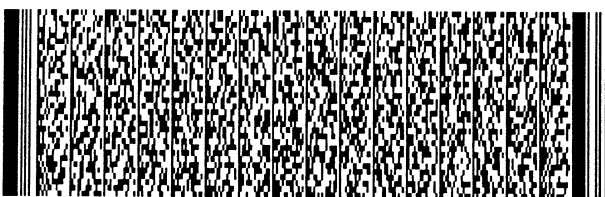
## 五、發明說明 (3)

氮原子數量的多寡，均會在閘介電層中形成一佔據特定空間體積的氮化層分佈，使得在要求持續縮減閘介電層厚度的過程，面臨了此一無法繼續向下微縮的限制。且若是使用施加能量與反應條件均具劇烈性的電漿製程來進行氮原子的植入，往往造成閘介電層的損傷，使閘極在誘導電荷產生的過程中出現問題，導致汲極電流下降，並可能減緩電子載體的傳遞速度。

綜合上述，目前在微縮電晶體的製程中，試圖利用對閘介電層的改質如增加介電係數或縮減厚度，以達元件電、物性及品質的改善，似乎已面臨一新的瓶頸，即若顧及介電係數的提升常導致閘介電層的厚度無法繼續向下減縮。而閘介電層的薄厚與否，對閘極電性、品質的影響深遠，尤其面對深微米以下的半導體製程如 $0.1 \mu\text{m}$ 的閘極製作，更為顯著，亟須謀求新的解決之道。

閘極之等效氧化層厚度(equivalent oxide thickness, EOT)係包括下列所跨之區域:(1)埋入矽底材上部之氧化層厚度。(2)閘介電層厚度。(3)閘極之複晶矽層中摻質所帶電荷的分佈區域。若能有效縮減EOT，結果與前述僅考量縮減閘介電層厚度相比較，是具有相同的改良效果。

其中，(1)項所述之厚度，為成長氧化層時，因底材矽與氧反應之必然結果，並無法縮減，而閘介電層在上述種種限制因素的考量下，亦已困難突破，所以，如何有效縮減複晶矽層中摻質電荷的分佈區域，即成為現今在製程



## 五、發明說明 (4)

上極富參酌價值之改進標的。

於形成閘極結構前進行一重摻雜步驟(pre-gate doping)，可藉此縮減複晶矽層中摻質電荷的分佈區域，使EOT下降，達到改善電性的目的，且當EOT變得更薄時亦鮮少會有漏電流增加的現象。

但隨著重摻雜濃度的增加，複晶矽層本身的被蝕刻速率亦會增加，此時若於蝕刻步驟後不能提供一可穩定控制線寬的製程條件，勢必將徒然增加閘極在線寬控制上的不確定性。

## 發明內容

有鑑於此，本發明之目的在於提供一種於NMOS電晶體製程步驟中結合一重摻雜及一改良之清洗程序的製造方法，其中利用形成閘極前的重摻雜，及一使用含有低濃度氨水之清洗液的清洗程序，除可有效避免漏電流的增加外，對NMOS電晶體中閘極的線寬控制，及更佳淺接合效果的達成，均具顯著之貢獻。

為了達成上述目的，本發明提供一種NMOS電晶體之製造方法，包括下列步驟：提供一基底，依序形成一閘介電層與一具有重摻雜之閘導電層於該基底上。續圖案化該閘導電層，以形成一閘極結構，接著，形成一源極與一汲極於該閘極結構兩側之該基底中。最後，進行一清洗程序，該清洗程序係使用一包含氨水之清洗液，其氨水之重量百分率濃度係小於2.3%。



## 五、發明說明 (5)

此處的清洗程序，由於使用含低濃度氨水的清洗液清洗，降低了其原本去除微粒或金屬的能力，使得矽基底在此清洗過程中受侵蝕程度下降，最後可得到一具有較佳淺接合效果的基底結構。

本發明另提供一種CMOS電晶體之製造方法，包括下列步驟：提供一基底，該基底具有一預定形成NMOS電晶體之第一區域與一預定形成PMOS電晶體之第二區域。形成一閘導電層於該基底上，並進行一重摻雜於該第一區域之閘導電層中。續圖案化該閘導電層，以分別形成一閘極結構於該第一區域與該第二區域中。

形成一第一罩幕層於該第一區域之表面，並施行一 $P^+$ 摻雜，以於該第二區域之該閘極兩側之該基底中形成一源極與一汲極，該閘極、該源極與該汲極所構成之電晶體為一PMOS電晶體，隨後去除該第一罩幕層。接著，形成一第二罩幕層於該第二區域之表面，施行一 $N^+$ 摻雜，以於該第一區域之該閘極兩側之該基底中形成一源極與一汲極，該閘極、該源極與該汲極所構成之電晶體為一NMOS電晶體，之後亦去除該第二罩幕層。

最後，進行一清洗程序，該清洗程序係使用一包含氨水之清洗液，其氨水之重量百分率濃度係小於2.3%，且於該清洗程序後，該NMOS電晶體與該PMOS電晶體之閘極尺寸大體相同。

為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如



## 五、發明說明 (6)

下：

## 實施方法

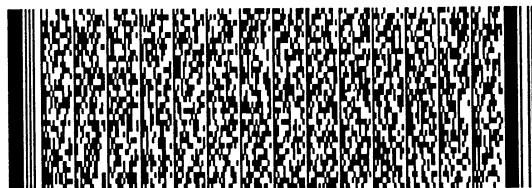
## 實施例1

請參閱第3a圖至3c圖，根據本發明之一實施例，NMOS電晶體的製作包括下列步驟：如第3a圖所示，提供一基底310，於該基底310上依序形成一閘介電層320與一具有重摻雜之閘導電層330，其中基底310的材質可為矽，閘介電層320的材質可為氮化矽、氧化矽或氮氧化矽，且閘介電層320的厚度大體介於10~20埃，閘導電層330的材質可為複晶矽，另重摻雜於其中之摻質可為磷或砷。

閘介電層320係由熱氧化法成長形成，閘導電層330則由低壓化學氣相沉積法沉積形成。為降低閘導電層330的阻值、提高導電性，在製程步驟中，會植入摻質如磷或砷於閘導電層330中。目前常用來進行複晶矽摻雜的方法有三：(1)於複晶矽沉積反應後，藉高溫擴散(diffusion)，植入摻質於複晶矽層中。(2)於複晶矽沉積之後，採離子佈植的方式，將摻質以離子的形態，植入複晶矽內。(3)於複晶矽沉積反應時，同時進行摻質的摻入。

本發明之重摻雜步驟，可依下列工作條件予以完成，如施用大體介於1~30毫安培之電流量，大體介於10~200千電子伏特(KeV)之能量，以及大體介於 $10^{11}$ ~ $10^{16}$ 原子數/平方公分之摻雜濃度等。

接著，如第3b圖所示，定義閘導電層330，以形成一



## 五、發明說明 (7)

閘極結構332，其中定義閘極圖案的步驟可由乾蝕刻中之等向性蝕刻如反應性離子蝕刻(RIE)技術達成。

再如第3c圖所示，以一輕摻雜之離子佈植程序於閘極332兩側的基底310中形成一輕摻雜汲極區340，續以化學氣相沉積法於閘極332之側壁成長一間隙壁334，再藉一重摻雜之離子佈植製程於輕摻雜汲極區340之兩側形成一源極350、一汲極360，以形成一NMOS電晶體結構300。其中上述輕摻雜與重摻雜之離子佈植程序係使用包括如磷或砷等離子進行佈植。

將摻質以重摻雜的方式繼續植入複晶矽層中時，摻質所帶之電荷會朝向複晶矽層與閘介電層的接合面移動，此時在有施加閘極電壓的情況下，摻質的電荷將被閘介電層所吸引，而縮減了其在複晶矽層中的分佈區域，也連同降低了等效氧化層的厚度。由試驗結果可證實等效氧化層的縮減對元件的電性如飽和汲極電流或電容值的提升均有所助益，如第5a圖所示。

第5a圖中，縱座標為漏電流量(奈安培/微米)，橫座標為飽和汲極電流量(微安培/微米)，圖中可看出，當維持一定量的漏電流量時(如100 奈安培/微米)，具濃度較高之重摻雜510的飽和汲極電流量(圖示為空心圓形)較濃度為低的重摻雜500的飽和汲極電流量(圖示為空心方形)高出大體10~20(微安培/微米)。

因短通道效應所引發的漏電問題，於複晶矽層中進行重摻雜後，亦可獲得有效的改善，如第5b圖所示。第5b圖



## 五、發明說明 (8)

中，縱座標為漏電流量(安培/平方厘米)，橫座標為閘介電層厚度(埃)，圖中可看出，當複晶矽層中之摻雜濃度由 $5 \times 10^{15}$  原子數/平方公分520加重至 $1 \times 10^{16}$  原子數/平方公分530時，閘氧化層的厚度可自20.6埃下降至20.3埃，而無漏電流的增加，另540代表之閘介電層厚度下降至550代表之厚度時，亦無漏電流增加的情形。

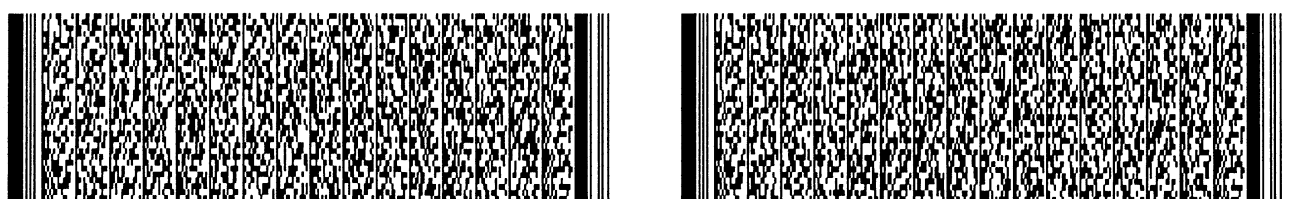
為減少蝕刻製程後，閘極尺寸的再變動，本發明再於上述形成NMOS電晶體的步驟之後進行一改良的清洗程序。

此清洗程序所使用之清洗液，其內含物包括氨水、雙氧水與去離子水，其組成之混合比例為0.25~1 : 1~2 : 80。經濃度換算後，氨水的重量百分率濃度大體介於0.5%~2.3%，較佳的範圍為0.5~1.0%。本清洗程序之工作溫度大體介於攝氏25~80度。

本清洗液中的氨水，其在組成物中的濃度比例，明顯較習知技術為低，因此，其去除微粒或金屬的能力會較弱，但也由於此較緩和的清除過程，使蝕刻步驟後所得的線寬，不致再造成額外的變動，徒然增加控制線寬的不確定因素。

而此清洗液除對閘極的側向線寬有維持、控制的能力外，其對矽基底的縱向侵蝕亦會大大降低，使在基底中進行設置輕摻雜汲極區或源/汲極的製程，可得到一更佳的淺接合效果，請參照第6a至7b圖。

由第6a圖與第6b圖之比較，一閘極之側向線寬於本發明之清洗程序(第6a圖)後，餘留55 nm，而於習知之清洗



## 五、發明說明 (9)

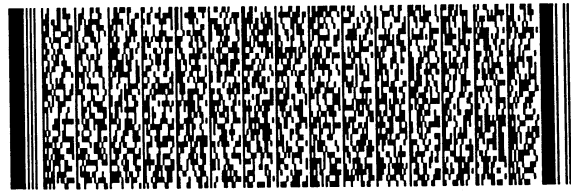
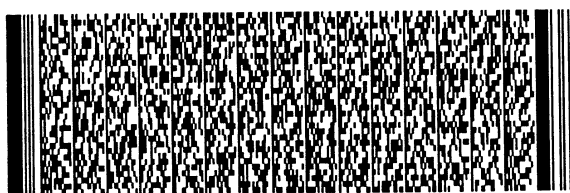
程序(第6b圖)後, 餘留50 nm。另由第7a圖與第7b圖之比較, 一基底中設置輕摻雜汲極區以及源/汲極的區域, 經本發明之清洗程序(第7a圖)後, 向下侵蝕的基底部分大體介於4.2 nm~7.5 nm, 而經習知之清洗程序(第7b圖)後, 向下侵蝕的基底部分則大體介於6.4 nm至14.6 nm, 侵蝕程度幾乎為本發明的兩倍之多。

## 實施例2

請參閱第4a圖至4f圖, 根據本發明之另一實施例, CMOS電晶體的製作方法, 包括下列步驟: 如第4a圖所示, 提供一基底410, 該基底區分為一預定形成NMOS電晶體之第一區域420與一預定形成PMOS電晶體之第二區域430。

形成一閘導電層460於該基底410上, 接著, 形成一單幕層465於該第二區域430, 續進行一重摻雜於該第一區域420之閘導電層440中, 其中重摻雜之摻質可為磷或砷, 並依下列工作條件予以完成, 如施用大體介於1~30毫安培之電流量, 大體介於10~200千電子伏特之能量, 以及大體介於 $10^{11}$ ~ $10^{16}$ 原子數/平方公分之摻雜濃度等。

圖案化閘導電層440、450, 如第4b圖所示, 以分別形成一閘極結構442、452於該第一區域420與該第二區域430。如第4c圖所示, 形成一第一單幕層470於該第一區域420。續於該第二區域430形成一輕摻雜汲極區485, 並以化學氣相沉積法於閘極452之側壁成長一間隙壁454, 再施行一P<sup>+</sup>摻雜, 摻雜之摻質如硼, 以於該輕摻雜汲極區485之兩側形成一源極480與一汲極490, 該閘極452、該源極480



## 五、發明說明 (10)

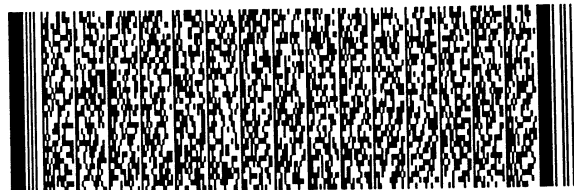
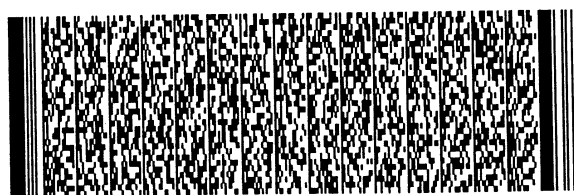
與該汲極490所構成之電晶體為一PMOS電晶體400，如第4d圖所示。

去除該第一罩幕層470，形成一第二罩幕層495於該第二區域430，如第4e圖所示。續於該第一區域420形成一輕摻雜汲極區445，並以化學氣相沉積法於閘極442之側壁成長一間隙壁448，再施行一 $N^+$ 摻雜，摻雜之摻質如磷或砷，以於該輕摻雜汲極區445之兩側形成一源極444與一汲極446，該閘極442、該源極444與該汲極446所構成之電晶體為一NMOS電晶體405，如第4f圖所示。

去除該第二罩幕層495，以及進行一清洗程序，該清洗程序係使用一包含氨水、雙氧水與去離子水之清洗液，其組成之混合比例為0.25~1 : 1~2 : 80。經濃度換算後，氨水的重量百分率濃度大體介於0.5%~2.3%，較佳的範圍為0.5~1.0%，另工作溫度大體介於攝氏25~80度。於該清洗程序後，NMOS電晶體405與PMOS電晶體400，兩者之尺寸差異小於5.0%。

由此可知，若要使CMOS電晶體中的NMOS電晶體與PMOS電晶體的閘極尺寸大體相同，可於重摻雜步驟後配合此含有改良之氨水比例的清洗步驟予以達成。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖係為美國專利第6,399,445號中閘極製程之剖面示意圖。

第2a至第2b圖係為美國專利第6,548,422號中閘極製程之剖面示意圖。

第3a圖至3c圖係為根據本發明之一實施例，NMOS電晶體製程之剖面示意圖。

第4a圖至4f圖係為根據本發明之另一實施例，CMOS電晶體製程之剖面示意圖。

第5a圖係為根據本發明之一實施例，依不同重摻雜濃度，飽和汲極電流量之比較示意圖。

第5b圖係為根據本發明之一實施例，依不同重摻雜濃度，漏電流量之比較示意圖。

第6a圖與第6b圖係為根據本發明之一實施例，依不同清洗程序，閘極線寬之比較示意圖。

第7a圖與第7b圖係為根據本發明之一實施例，依不同清洗程序，基底被侵蝕程度之比較示意圖。

## 符號說明

習知部份(第1圖至2b圖)

1、10~基底；

5、34~氮化層；

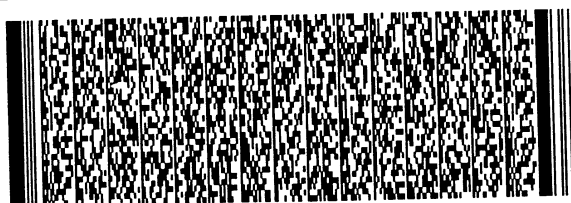
42~閘導電層；

3、14L、14U~閘氧化層；

28~過渡層；

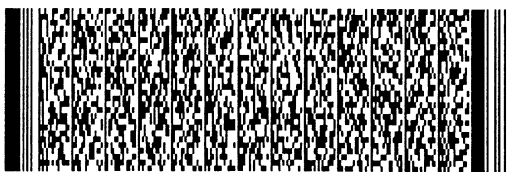
7、50~閘極。

本案實施例部份(第3a圖至7f圖)



## 圖式簡單說明

- 300、405~NMOS 電晶體；  
310、410~基底；  
320~閘介電層；  
330、332、440、442、450、460~閘導電層；  
334、448、454~間隙壁；  
340、445、485~輕摻雜汲極區；  
350、444、480~源極；      360、446、490~汲極；  
400~PMOS 電晶體；      420~第一區域；  
430~第二區域；      465~單幕層；  
470~第一單幕層；      495~第二單幕層；  
500、520、540~ $5 \times 10^{15}$  原子數/平方公分之重摻雜；  
510、530、550~ $1 \times 10^{16}$  原子數/平方公分之重摻雜。



四、中文發明摘要 (發明名稱：N型金氧半(NMOS)電晶體與互補式金氧半(CMOS)電晶體之製造方法)

本發明提供一種NMOS電晶體之製造方法，包括下列步驟：提供一基底，依序形成一閘介電層與一具有重摻雜之閘導電層於該基底上。續圖案化該閘導電層，以形成一閘極結構，接著，形成一源極與一汲極於該閘極結構兩側之該基底中。最後，進行一清洗程序，該清洗程序係使用一包含氨水之清洗液，其氨水之重量百分率濃度係小於2.3%。本發明之範圍更包括CMOS電晶體之製造方法。

伍、(一)、本案代表圖為：第4f圖

(二)、本案代表圖之元件代表符號簡單說明：

400~PMOS電晶體；	405~NMOS電晶體；
410~基底；	442、452~閘極；
444、480~源極；	445、485~輕摻雜汲極區；
446、490~汲極；	448、454~間隙壁；
420~第一區域；	430~第二區域；

六、英文發明摘要 (發明名稱：Method of fabricating NMOS and CMOS transistors)

A method of fabricating a NMOS transistor. The method includes providing a substrate, forming a gate dielectric layer above the substrate, forming a doped gate conductive layer above the gate dielectric layer, then forming a gate electrode with patterning to the gate dielectric layer, and forming a source and a drain on both sides of the gate electrode in the substrate, finally



四、中文發明摘要 (發明名稱：N型金氧半(NMOS)電晶體與互補式金氧半(CMOS)電晶體之製造方法)

495~ 第二罩幕層。

六、英文發明摘要 (發明名稱：Method of fabricating NMOS and CMOS transistors)

conducting a cleaning procedure. The cleaning procedure uses a cleaning agent containing ammonia with concentration is lower than 2.3 wt %. A method of fabricating the CMOS transistor is also disclosed.



## 六、申請專利範圍

1. 一種N型金氧半(NMOS)電晶體之製造方法，包括下列步驟：

提供一基底；

形成一閘介電層於該基底上；

形成一具有重摻雜之閘導電層於該閘介電層上；

圖案化該閘導電層，以形成一閘極結構；

形成一源極與一汲極於該閘極結構兩側之該基底中；

以及

進行一清洗程序，該清洗程序係使用一包含氨水之清洗液，其氨水之重量百分率濃度係小於2.3%。

2. 如申請專利範圍第1項所述之N型金氧半電晶體之製造方法，其中該基底係為一矽基底。

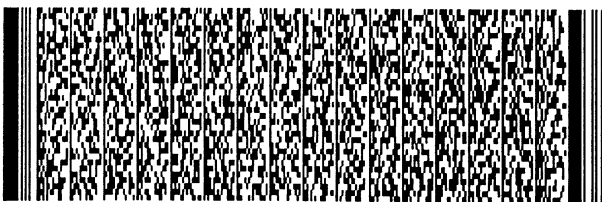
3. 如申請專利範圍第1項所述之N型金氧半電晶體之製造方法，其中該閘介電層係由氮化矽、氧化矽或氮氧化矽所構成。

4. 如申請專利範圍第1項所述之N型金氧半電晶體之製造方法，其中該閘介電層之厚度大體介於10~20埃。

5. 如申請專利範圍第1項所述之N型金氧半電晶體之製造方法，其中該閘導電層係由複晶矽所構成。

6. 如申請專利範圍第1項所述之N型金氧半電晶體之製造方法，其中該閘介電層係由熱氧化法成長形成。

7. 如申請專利範圍第1項所述之N型金氧半電晶體之製造方法，其中該閘導電層係由低壓化學氣相沉積法沉積形成。



## 六、申請專利範圍

8. 如申請專利範圍第1項所述之N型金氧半電晶體之製造方法，其中該重摻雜之摻質係為磷或砷。

9. 如申請專利範圍第1項所述之N型金氧半電晶體之製造方法，其中該重摻雜之電流量大體介於1~30毫安培。

10. 如申請專利範圍第1項所述之N型金氧半電晶體之製造方法，其中該重摻雜之能量大體介於10~200千電子伏特(KeV)。

11. 如申請專利範圍第1項所述之N型金氧半電晶體之製造方法，其中該重摻雜之摻質濃度大體介於 $10^{11}$ ~ $10^{16}$ 原子數/平方公分。

12. 如申請專利範圍第1項所述之N型金氧半電晶體之製造方法，其中該清洗液更包含雙氧水與去離子水。

13. 如申請專利範圍第12項所述之N型金氧半電晶體之製造方法，其中該氨水、雙氧水與去離子水之混合比例係為0.25~1 : 1~2 : 80。

14. 如申請專利範圍第1項所述之N型金氧半電晶體之製造方法，其中氨水之重量百分率濃度大體介於0.5%~1.2%。

15. 如申請專利範圍第1項所述之N型金氧半電晶體之製造方法，其中氨水之重量百分率濃度大體介於0.8~1.2wt%。

16. 如申請專利範圍第12項所述之N型金氧半電晶體之製造方法，其中氨水於該清洗液中之組成比例係不大於雙氧水或去離子水。



## 六、申請專利範圍

17. 如申請專利範圍第1項所述之N型金氧半電晶體之製造方法，其中進行該清洗程序之工作溫度大體介於攝氏25~80度。

18. 一種N型金氧半電晶體之製造方法，包括下列步驟：

提供一具有一閘極結構之基底，該閘極結構具有一重摻雜之閘導電層；

形成一源極與一汲極於該閘極結構兩側之該基底中；  
以及

進行一清洗程序，該清洗程序係使用一包含氨水之清洗液，其氨水之重量百分率濃度係小於2.3%。

19. 如申請專利範圍第18項所述之N型金氧半電晶體之製造方法，其中該閘導電層係由複晶矽所構成。

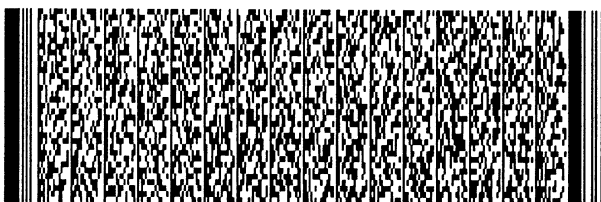
20. 如申請專利範圍第18項所述之N型金氧半電晶體之製造方法，其中該閘導電層係由低壓化學氣相沉積法沉積形成。

21. 如申請專利範圍第18項所述之N型金氧半電晶體之製造方法，其中該重摻雜之摻質係為磷或砷。

22. 如申請專利範圍第18項所述之N型金氧半電晶體之製造方法，其中該重摻雜之電流量大體介於1~30毫安培。

23. 如申請專利範圍第18項所述之N型金氧半電晶體之製造方法，其中該重摻雜之能量大體介於10~200千電子伏特。

24. 如申請專利範圍第18項所述之N型金氧半電晶體之



## 六、申請專利範圍

製造方法，其中該重摻雜之摻質濃度大體介於 $10^{11} \sim 10^{16}$  原子數/平方公分。

25. 如申請專利範圍第18項所述之N型金氧半電晶體之製造方法，其中該清洗液更包含雙氧水與去離子水。

26. 如申請專利範圍第25項所述之N型金氧半電晶體之製造方法，其中氨水、雙氧水與去離子水之混合比例係為0.25~1 : 1~2 : 40~80。

27. 如申請專利範圍第18項所述之N型金氧半電晶體之製造方法，其中氨水之重量百分率濃度大體介於0.5% ~ 1.2%。

28. 如申請專利範圍第18項所述之N型金氧半電晶體之製造方法，其中氨水之重量百分率濃度大體介於0.8~1.2wt%。

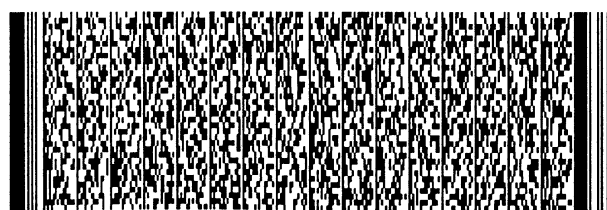
29. 如申請專利範圍第25項所述之N型金氧半電晶體之製造方法，其中氨水於該清洗液中之組成比例係不大於雙氧水或去離子水。

30. 如申請專利範圍第18項所述之N型金氧半電晶體之製造方法，其中進行該清洗程序之工作溫度大體介於攝氏25~80度。

31. 一種互補式金氧半(CMOS)電晶體之製造方法，包括下列步驟：

提供一基底，該基底區分為一預定形成NMOS電晶體之第一區域與一預定形成PMOS電晶體之第二區域；

形成一閘導電層於該基底上；



## 六、申請專利範圍

形成一罩幕層於該第二區域，並施行一重摻雜於該第一區域之閘導電層中；

圖案化該閘導電層，以分別形成一閘極結構於該第一區域與該第二區域；

形成一第一罩幕層於該第一區域，並施行一P<sup>+</sup>摻雜，以於該第二區域之該閘極兩側之該基底中形成一源極與一汲極，該閘極、該源極與該汲極所構成之電晶體為一PMOS電晶體；

去除該第一罩幕層；

形成一第二罩幕層於該第二區域，並施行一N<sup>+</sup>摻雜，以於該第一區域之該閘極兩側之該基底中形成一源極與一汲極，該閘極、該源極與該汲極所構成之電晶體為一NMOS電晶體；

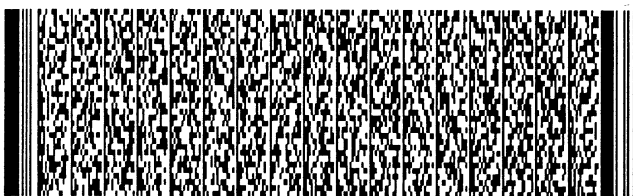
去除該第二罩幕層；以及

進行一清洗程序，該清洗程序係使用一包含氨水之清洗液，其氨水之重量百分率濃度係小於2.3%，且於該清洗程序後，該NMOS電晶體與該PMOS電晶體之閘極尺寸大體相同。

32. 如申請專利範圍第31項所述之互補式金氧半電晶體之製造方法，其中該閘導電層係由複晶矽所構成。

33. 如申請專利範圍第31項所述之互補式金氧半電晶體之製造方法，其中該閘導電層係由低壓化學氣相沉積法沉積形成。

34. 如申請專利範圍第31項所述之互補式金氧半電晶



## 六、申請專利範圍

體之製造方法，其中該重摻雜之摻質係為磷或砷。

35. 如申請專利範圍第31項所述之互補式金氧半電晶體之製造方法，其中該重摻雜之電流量大體介於1~30毫安培。

36. 如申請專利範圍第31項所述之互補式金氧半電晶體之製造方法，其中該重摻雜之能量大體介於10~200千電子伏特。

37. 如申請專利範圍第31項所述之互補式金氧半電晶體之製造方法，其中該重摻雜之摻質濃度大體介於 $10^{11}$ ~ $10^{16}$ 原子數/平方公分。

38. 如申請專利範圍第31項所述之互補式金氧半電晶體之製造方法，其中該清洗液更包含雙氧水與去離子水。

39. 如申請專利範圍第38項所述之互補式金氧半電晶體之製造方法，其中氨水、雙氧水與去離子水之混合比例係為0.25~1 : 1~2 : 80。

40. 如申請專利範圍第31項所述之互補式金氧半電晶體之製造方法，其中氨水之重量百分率濃度大體介於0.5% ~ 1.2%。

41. 如申請專利範圍第31項所述之互補式金氧半電晶體之製造方法，其中氨水之重量百分率濃度大體介於0.8~1.2wt%。

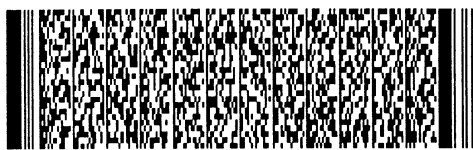
42. 如申請專利範圍第38項所述之互補式金氧半電晶體之製造方法，其中氨水於該清洗液中之組成比例係不大於雙氧水或去離子水。

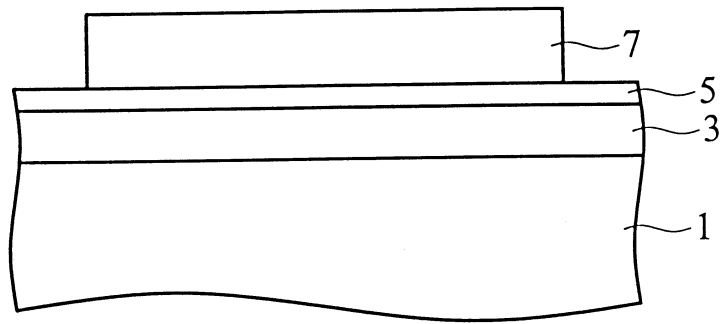


## 六、申請專利範圍

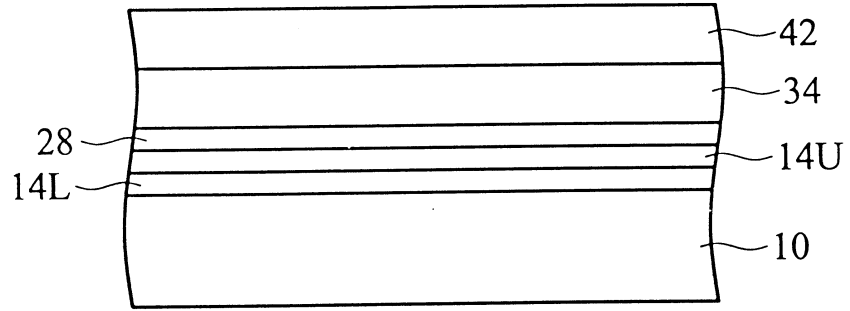
43. 如申請專利範圍第31項所述之互補式金氧半電晶體之製造方法，其中進行該清洗程序之工作溫度大體介於攝氏25~80度。

44. 如申請專利範圍第31項所述之互補式金氧半電晶體之製造方法，其中於該清洗程序後，該NMOS電晶體與該PMOS電晶體，兩者之尺寸差異小於5.0%。

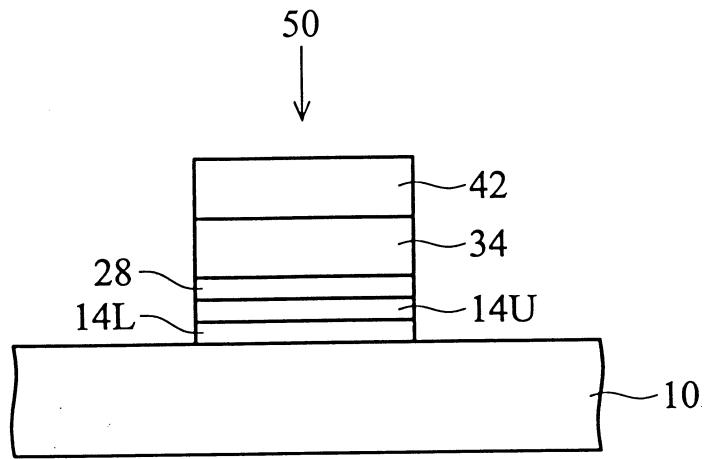




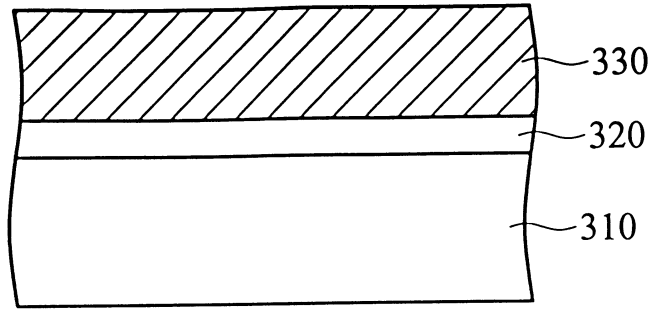
第 1 圖



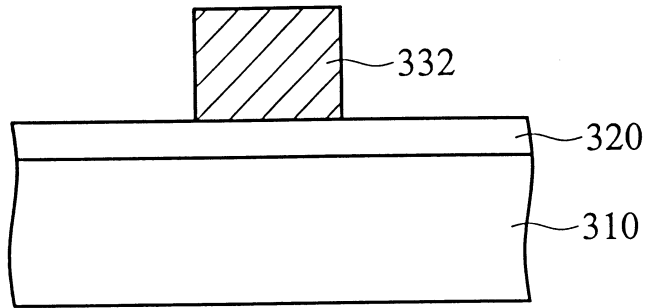
第2a圖



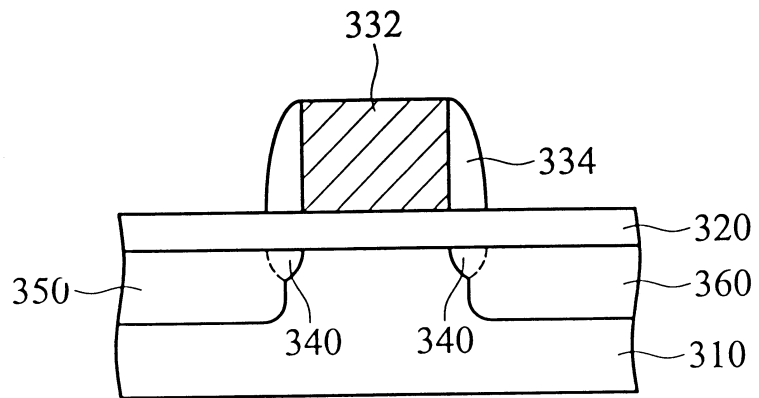
第2b圖



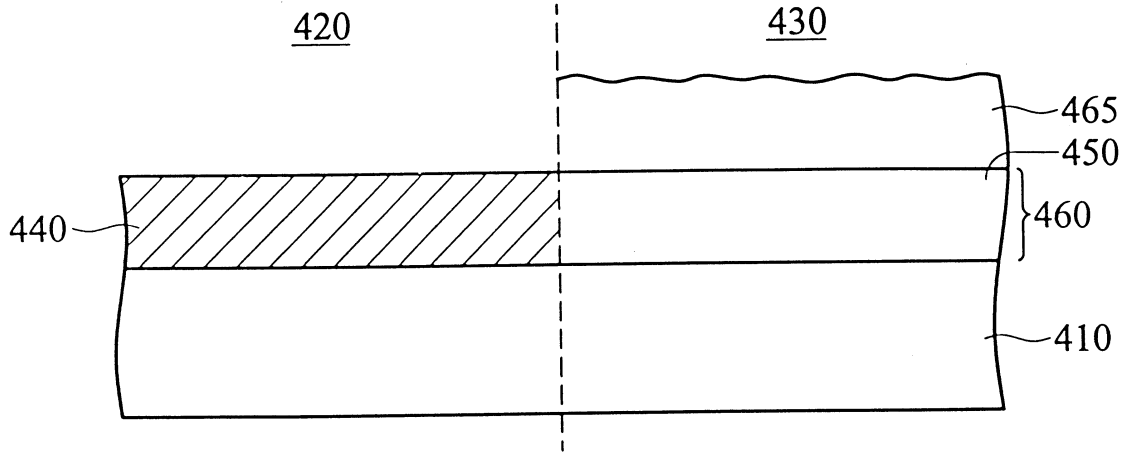
第 3a 圖



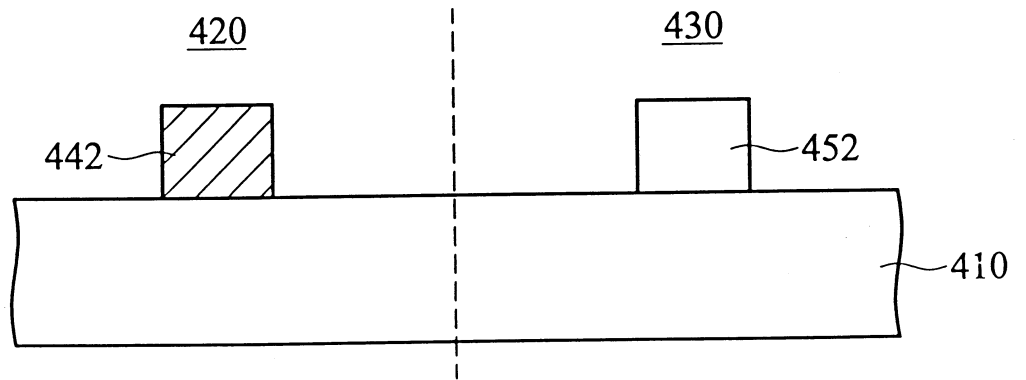
第 3b 圖



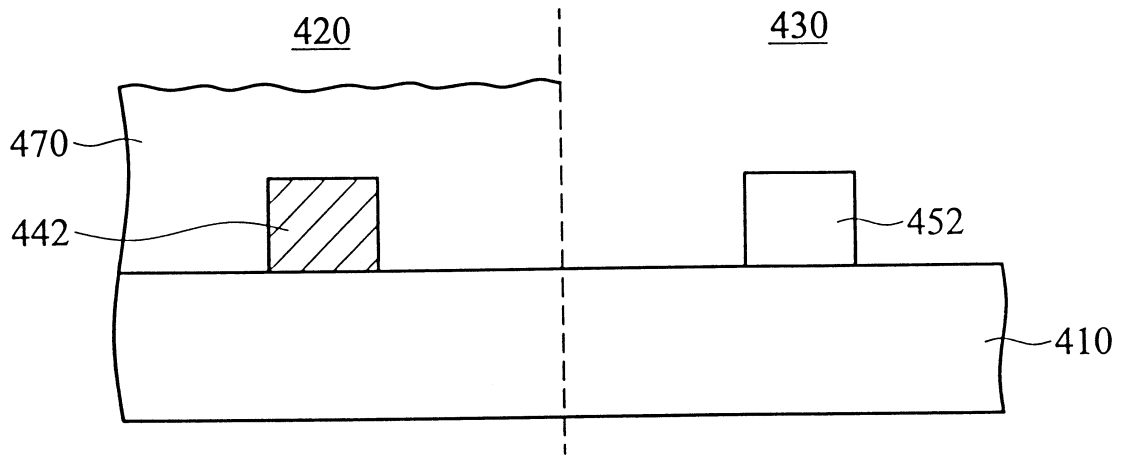
300  
第 3c 圖



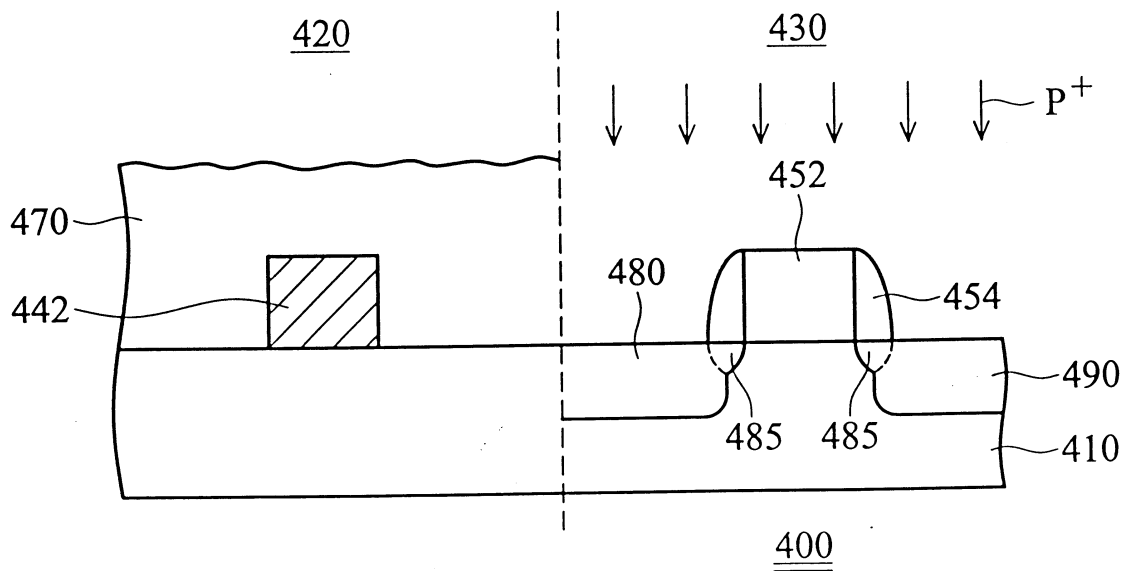
第4a圖



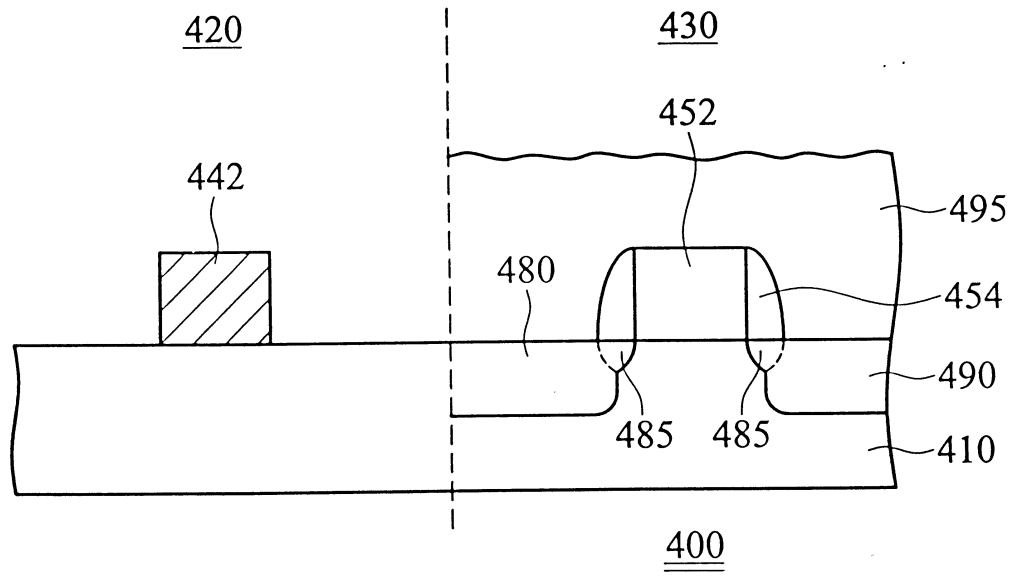
第4b圖



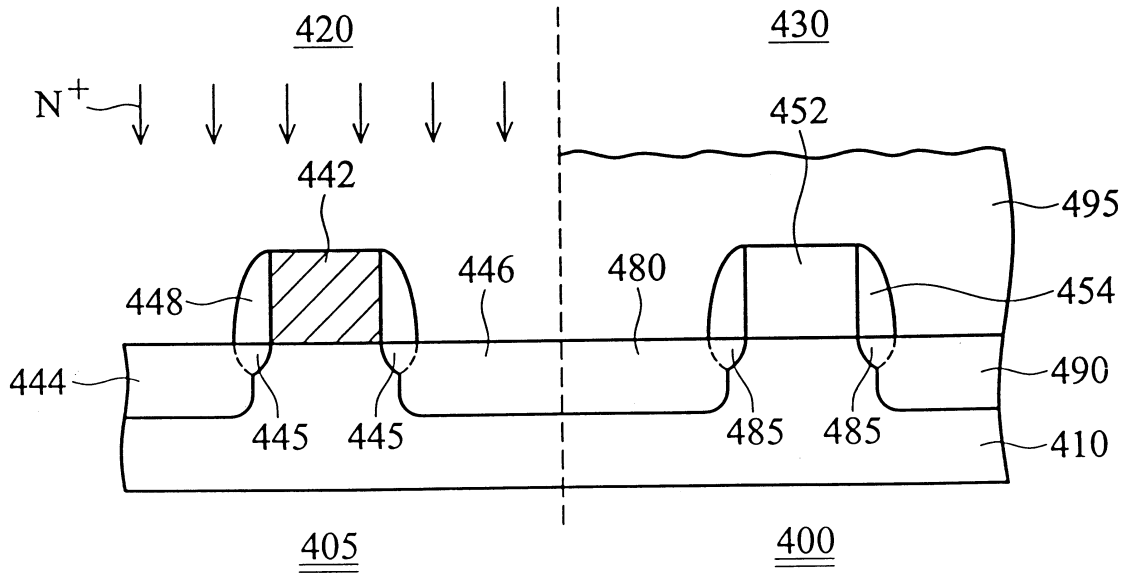
第4c圖



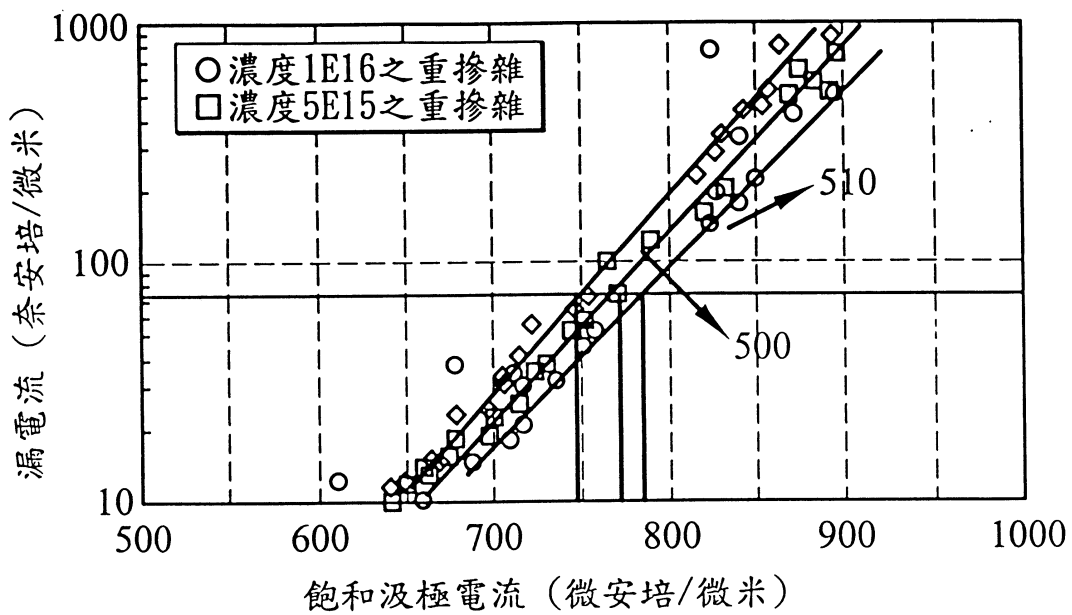
第4d圖



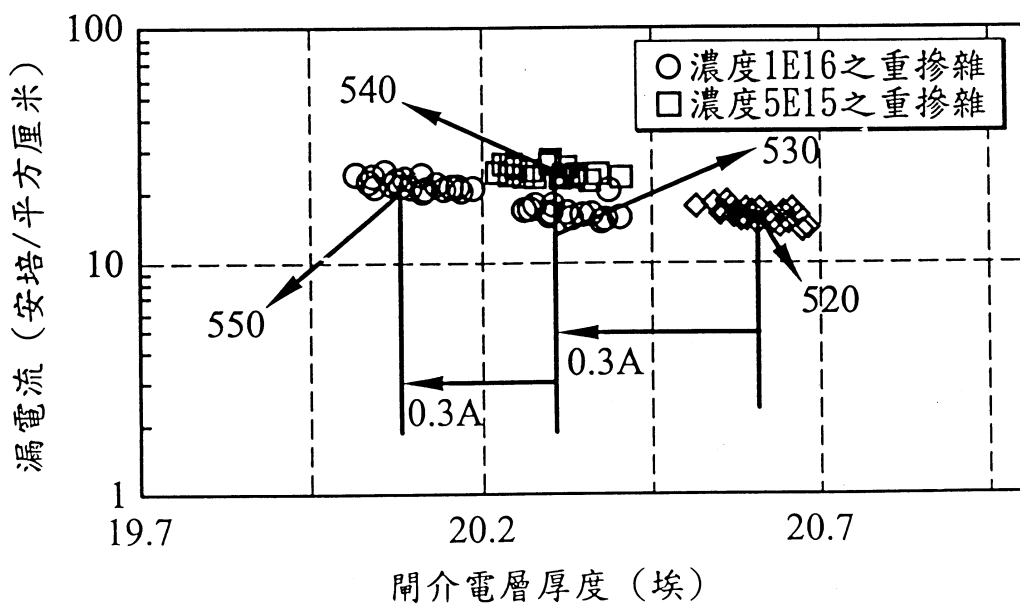
第4e圖



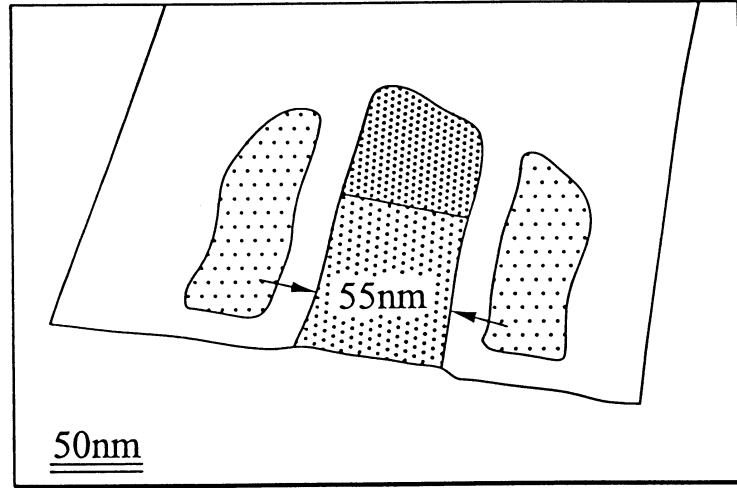
第4f圖



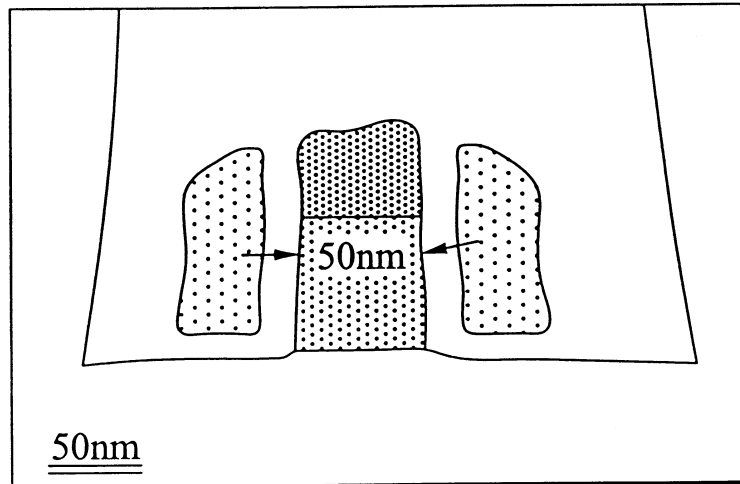
第5a圖



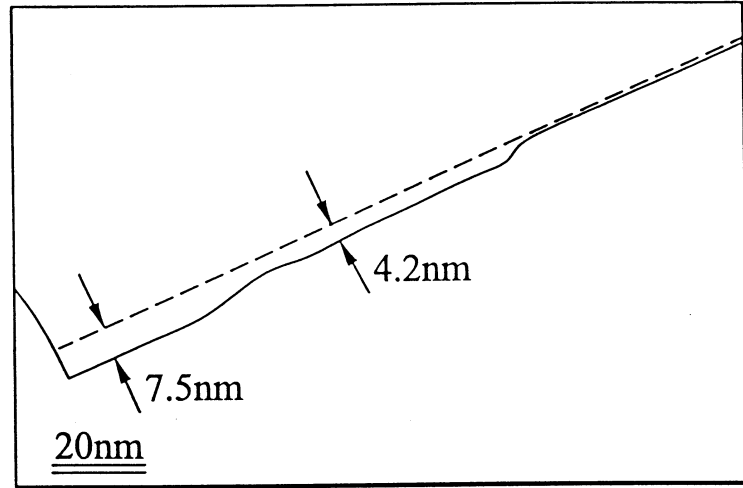
第5b圖



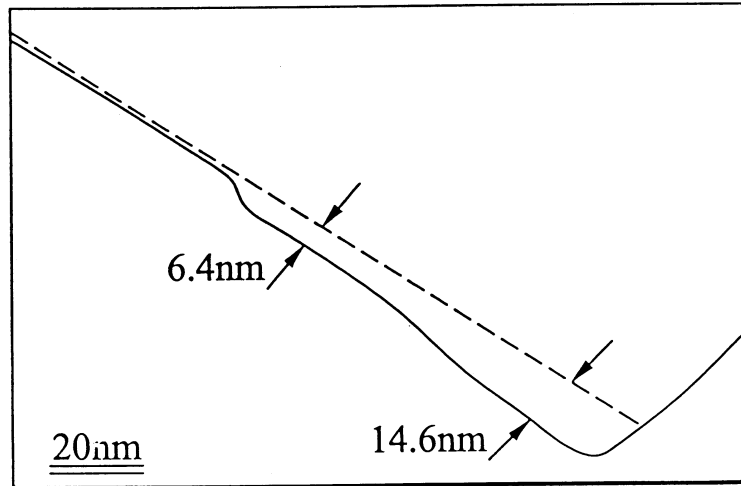
第 6a 圖



第 6b 圖



第7a圖



第7b圖