

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.
H03K 19/00 (2006.01)

(45) 공고일자	2006년10월09일
(11) 등록번호	10-0631357
(24) 등록일자	2006년09월27일

(21) 출원번호	10-2004-0025479	(65) 공개번호	10-2004-0090460
(22) 출원일자	2004년04월13일	(43) 공개일자	2004년10월25일

(30) 우선권주장	JP-P-2003-00112088 JP-P-2004-00044584	2003년04월16일 2004년02월20일	일본(JP) 일본(JP)
------------	--	----------------------------	------------------

(73) 특허권자
 세이코 앱스 가부시키가이샤
 일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자
 가라키노부오
 일본국나가노켄스와시오와3-3-5세이코엡스가부시키가이샤내

(74) 대리인
 문두현
 문기상

심사관 : 강윤석

(54) 반도체 집적 회로, 전자 기기, 및 트랜지스터의 백 게이트전위 제어 방법

요약

본 발명은 반도체 집적회로의 한층더 저소비 전력화를 실현하는 동시에, 회로의 대기 상태로부터 작동 상태로의 이행을 빠르게 함을 과제로 한다. 이러한 과제를 해결하기 위해, 본 발명의 반도체 집적회로는, 작동 상태로부터 대기 상태로 또는 대기 상태로부터 작동 상태로의 상태 천이를 가진 복수의 회로 블록과, 복수의 회로 블록의 각각의 상태 천이를 미리 규정하는 유한 스테이트 머신에 의거하여 회로 블록의 논리 소자를 형성하는 트랜지스터의 백 게이트 전위를 이벤트 드리븐식으로 제어하는 마스터 유니트를 구비한다.

대표도

도 1

색인어

반도체 집적회로, 전자 기기, 백 게이트 전위 제어

명세서

도면의 간단한 설명

도 1은 제1 실시 형태의 시스템 블록도.

도 2는 전력 분배 제어를 행하는 유한 스테이트 머신의 상태 천이도.

도 3은 회로 블록으로의 전원 공급 계통을 나타내는 회로도(구성 예 1).

도 4는 백 게이트 전위의 타이밍 차트.

도 5는 VLSI 칩의 웨л 구조를 나타내는 도면.

도 6은 VLSI 칩의 웨л 구조를 나타내는 도면.

도 7은 회로 블록으로의 전원 공급 계통을 나타내는 회로도(구성 예 2).

도 8은 백 게이트 전위의 타이밍 차트.

도 9는 VLSI 칩의 웨л 구조를 나타내는 도면.

도 10은 VLSI 칩의 웨л 구조를 나타내는 도면.

도 11은 제2 실시 형태의 시스템 블록도.

도 12는 CSP 방식에 의한 전력 분배 제어의 설명도.

도 13은 회로 블록으로의 전원 공급의 타이밍도.

도 14는 더블 게이트 TFT의 단면도.

도 15는 더블 게이트 TFT의 평면도.

도 16은 본 발명을 응용한 PDA의 블록도.

도 17은 본 발명을 응용한 휴대 전화의 블록도.

[부호의 설명]

10, 60…마스터 유니트, 20, 70…회로 블록, V_{dd} …공통전원선, V_{ss} …공통접지선, Lai…부분전원 공급선, Lbi…부분 접지선, Φ_{Pi} …PMOS 트랜지스터(MPi)의 게이트 전위, V_{NWi} …PMOS 트랜지스터(MPi)의 백 게이트 전위, Φ_{Ni} …NMOS 트랜지스터(MNi)의 게이트 전위, V_{PWi} …NMOS 트랜지스터(MPi)의 백 게이트 전위, X_i …회로 블록(20-i)으로의 입력 신호, Y_i …회로 블록(20-i)으로부터의 출력 신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로의 저소비 전력화를 실현하기 위한 트랜지스터의 백 게이트 전위 제어 기술에 관한 것이다.

일본 특개평 9-83335호 공보에는 VLSI(Very Large Scale Integration) 회로를 복수의 회로 블록으로 분할하여 구성하고, 공통 전원 공급선 또는 공통 접지 전원선 중 적어도 하나와 회로 블록의 사이에 스위칭 트랜지스터(switching transistor)를 배치하고, 회로 블록이 대기 상태(standby state)일 때에 스위칭 트랜지스터의 임계값 전압이 상승하도록 백 게이트 전위를 제어한 다음 스위칭 트랜지스터를 컷 오프시키는 기술이 개시되어 있다. 이 기술을 사용함에 따라, 대기 상태에서의 리크(leak) 전류(오프 전류)를 감소시켜 소비 전력을 저감할 수 있다.

그러나, 상술한 종래 기술에서는 칩상의 회로 전체, 또는 CPU 코어나 코·프로세서 등의 비교적 큰 회로 블록마다 스위칭 트랜지스터의 백 게이트 전위의 제어를 하고 있었기 때문에, 리크 전류를 감소시키기 위한 세밀한 제어를 할 수 없고, 회로 전체로 보면 대기 중의 리크 전류가 증대하여 소비 전력이 증가하는 문제가 있었다. 또한, 제어 대상으로 되는 회로 규모가 커질수록, 백 게이트 전위 전환시의 전위 안정에 시간을 요하고, 대기 상태로부터 작동 상태로의 이행이 지연되는 문제가 있었다. 또한, 상술한 종래 기술에서는, 회로 블록의 전원을 차전하고, 그 때의 리크 전류를 감소시키기 위한 제어를 행하고 있지만, 회로 블록의 전원을 차전하면, 회로 블록은 그 내부 상태를 유지할 수 없다. 따라서, 예를 들면, 회로 블록을 순서 회로로 구성하는 경우, 대기 상태로부터 작동 상태로 이행시킬 때에, 순서 회로의 초기 설정 또는 복귀 설정을 행할 필요가 있고, 회로 규모의 증대나 대기 상태로부터 작동 상태로의 이행이 늦어진다는 결함이 생겨버린다.

발명이 이루고자 하는 기술적 과제

본 발명은 반도체 집적회로의 한층더 저소비 전력화를 실현하는 동시에, 회로의 대기 상태로부터 작동 상태로의 이행을 빠르게 하는 개량 기술을 제안함을 과제로 한다.

발명의 구성 및 작용

상기의 과제를 해결하기 위해, 본 발명의 반도체 집적회로는, 작동 상태로부터 대기 상태로 또는 대기 상태로부터 작동 상태로의 상태 천이를 갖는 복수의 회로 블록과, 복수의 회로 블록의 각각의 상태 천이를 미리 규정하는 유한 스테이트 머신(finite state machine)에 의거하여 회로 블록의 논리 소자를 형성하는 트랜지스터의 백 게이트 전위를 이벤트 드리븐(event-driven)식으로 제어하는 제어 회로를 구비한다. 이러한 구성에 의해, 회로 블록의 동작 상태에 의거하여 트랜지스터의 백 게이트 전위를 제어할 수 있기 때문에, 반도체 집적회로 전체의 리크 전류를 효율좋게 감소시킬 수 있다.

본 발명의 적합한 형태에서는, 제어 회로는 회로 블록이 대기 상태일 때에는 트랜지스터의 임계값 전압이 증가하도록 백 게이트 전위를 제어한다. 회로 블록이 대기 상태일 때에 트랜지스터의 임계값 전압이 증가하도록 백 게이트 전위를 제어함으로써, 대기 상태일 때의 리크 전류를 감소시킬 수 있다. 특히, 회로 블록을 다수로 세분할 함으로써, 개개의 회로 블록의 리크 전류를 세밀하게 제어할 수 있기 때문에, 반도체 집적회로 전체의 리크 전류를 큰폭으로 저감할 수 있다.

본 발명의 적합한 형태에서는, 제어 회로는 회로 블록이 작동 상태일 때에는 트랜지스터의 임계값 전압이 감소하도록 백 게이트 전위를 제어한다. 회로 블록이 작동 상태일 때에 트랜지스터의 임계값 전압이 감소하도록 백 게이트 전위를 제어함으로써, 회로의 저전압 동작을 가능하게 할 수 있다.

본 발명의 적합한 형태에서, 반도체 집적회로는 복수의 회로 블록의 각각에 전원 공급을 행하기 위한 공통 전원선과, 복수의 회로 블록의 각각을 접지하기 위한 공통 접지선과, 공통 전원선 또는 공통 접지선 중 적어도 하나와 회로 블록 사이의 전기적인 통전/차전(遮電)을 행하는 스위칭 소자를 더 구비하고, 제어 회로는 유한 스테이트 머신에 의거하여 이벤트 드리븐식으로 스위칭 소자의 통전/차전을 제어한다. 개개의 회로 블록으로의 전력 공급을 온/오프 제어하는 스위칭 소자를 마련함으로써, 대기 시에서의 회로 블록으로부터의 리크 전류를 저감할 수 있다.

본 발명의 반도체 집적회로는, 작동 상태로부터 대기 상태로 또는 대기 상태로부터 작동 상태로의 상태 천이를 가진 복수의 회로 블록과, CSP 방식에 의한 회로 블록 상호간의 통신을 통하여 자율적으로 동작 요구를 행하고, 또는 타율적으로 동작 요구를 받아들이기 위한 채널과, 채널을 통하여 회로 블록 상호간을 접속하는 포트(port)를 구비하고, 포트는 회로 블록의 동작 상태에 따라, 회로 블록의 논리 소자를 구성하는 트랜지스터의 백 게이트 전위를 제어한다. 이러한 구성에 의해, 개개의 회로 블록은 CSP 방식에 의해 다른 회로 블록과 통신을 행하여, 자율적으로 또는 타율적으로 동작할 필요가 있을 때에 포트를 통하여 백 게이트 전위가 제어되기 때문에, 반도체 집적회로 전체의 리크 전류를 효율좋게 저감할 수 있다.

본 발명의 적합한 형태에서, 채널 및 포트는 회로 블록이 대기 상태일 때에는 트랜지스터의 임계값 전압이 증가하도록 백 게이트 전위를 제어한다. 이러한 구성에 의해, 대기 상태에서의 개개의 회로 블록으로부터의 리크 전류를 저감할 수 있다.

본 발명의 적합한 형태에서, 채널 및 포트는 회로 블록이 작동 상태일 때에는 트랜지스터의 임계값 전압이 감소하도록 백 게이트 전위를 제어한다. 이러한 구성에 의해, 트랜지스터의 저전압 구동을 할 수 있고, 반도체 집적회로의 저소비 전력화를 도모할 수 있다.

본 발명의 적합한 형태에서, 복수의 회로 블록의 각각에 전원 공급을 행하기 위한 공통 전원선과, 복수의 회로 블록의 각각을 접지하기 위한 공통 접지선과, 공통 전원선 또는 공통 접지선 중 적어도 하나와 회로 블록 사이의 전기적인 통전/차전을

행하는 스위칭 소자를 더 구비하고, 포트는 회로 블록의 상태 천이에 따라 스위칭 소자의 통전/차전을 제어한다. 개개의 회로 블록으로의 전력 공급을 온/오프 제어하는 스위칭 소자를 마련함으로써, 대기 시에서의 회로 블록으로부터의 리크 전류를 저감할 수 있다.

본 발명의 적합한 형태에서, 회로 블록의 논리 소자를 형성하는 트랜지스터, 또는 회로 블록으로의 전원 공급을 스위칭 제어하는 스위칭 소자는 MOS 트랜지스터로서도 좋다. MOS 트랜지스터에 의하면, 백 게이트 전위를 제어함으로써, 리크 전류를 억제할 수 있다.

본 발명의 적합한 형태에서, 제어 회로는 MOS 트랜지스터가 통전 상태일 때의 임계값 전압보다도 차전 상태일 때의 임계값 전압이 증가하도록 MOS 트랜지스터의 백 게이트 전위를 제어한다. 이것에 의해, 회로 블록으로부터의 리크 전류를 효율좋게 억제할 수 있다.

회로 블록을 구성하는 논리 소자가 형성되어 있는 웰과, 회로 블록으로의 전원 공급을 스위칭 제어하는 MOS 트랜지스터가 형성되어 있는 웰은 분리되어 있는 것이 적합하다. 이러한 구성에 의해, 스위칭 소자로서의 MOS 트랜지스터의 백 게이트 전위와 논리 소자를 형성하는 트랜지스터의 백 게이트 전위를 서로 영향을 미치지 않고 전위를 제어할 수 있다.

본 발명의 적합한 형태에서, 회로 블록의 논리 소자를 형성하는 트랜지스터, 또는 회로 블록으로의 전원 공급을 스위칭 제어하는 스위칭 소자는, 더블 게이트 구조를 구비한 TFT(더블 게이트 TFT)라도 좋다. 더블 게이트 TFT에 의하면 별크 구조의 MOS 트랜지스터에 비해 고속화, 저소비 전력화를 실현할 수 있다.

이러한 더블 게이트 TFT로서, 채널 단부와 드레인 영역 또는 소스 영역의 접면에 LDD 영역을 구비한 것이 적합하다. LDD 영역을 형성함에 의해서, 드레인단 공핍 영역의 전계는 약해져서, 리크 전류를 저감할 수 있다.

또한, 더블 게이트 TFT의 게이트 전극과 백 게이트 전극은 채널 영역을 사이에 두고 대향 배치되어 있고, 또한 양자의 상기 채널 영역으로의 투영 형상이 겹치도록 거의 동형(同形)으로 형성되어 있는 것이 적합하다. 채널 영역의 표리를 게이트 전극과 백 게이트 전극 사이에 끼워넣음으로써, 서브트레숄드 (subthreshold) 계수를 작게 하여, 전계 이동도를 향상시킬 수 있다.

또한, 백 게이트 전극은 채널 영역으로의 투영 형상이 LDD 영역의 전부 또는 일부와 겹치도록 형성되어 있는 것이 적합하다. 이것에 의해, 트랜지스터 대기 시의 리크 전류의 저감과, 트랜지스터 작동 시의 전계 이동도의 향상을 양립할 수 있다.

본 발명의 전자 기기는 본 발명의 반도체 집적회로를 구비한다. 본 발명의 반도체 집적회로를 실장함에 의해, 소비 전력을 저감할 수 있기 때문에, 주로, 배터리 구동되는 휴대 기기 등에 적합하다.

본 발명의 백 게이트 전위 제어 방법은, 작동 상태로부터 대기 상태로 또는 대기 상태로부터 작동 상태로의 상태 천이를 가진 복수의 회로 블록의 각각의 상태 천이를 미리 규정하는 유한 스테이트 머신에 의거하여, 회로 블록의 논리 소자를 형성하는 트랜지스터의 백 게이트 전위를 이벤트 드리븐식으로 제어한다. 이러한 구성에 의해, 회로 블록의 동작 상태에 의거하여 트랜지스터의 백 게이트 전위를 제어할 수 있기 때문에, 반도체 집적회로 전체의 리크 전류를 효율좋게 감소시킬 수 있다.

본 발명의 반도체 집적회로는, 작동 상태로부터 대기 상태로 또는 대기 상태로부터 작동 상태로의 상태 천이를 가진 복수의 회로 블록과, CSP 방식에 의한 회로 블록 상호간의 통신을 통하여 자율적으로 동작 요구를 행하여, 또는 타율적으로 동작 요구를 받아들이기 위한 채널과, 채널을 통해서 회로 블록 상호간을 접속하는 포트를 구비하는 반도체 집적회로의 백 게이트 전위 제어 방법으로써, 채널 및 포트는 회로 블록의 동작 상태에 의거하여, 회로 블록의 논리 소자를 구성하는 트랜지스터의 백 게이트 전위를 제어한다. 이러한 구성에 의해, 개개의 회로 블록은 CSP 방식에 의해 다른 회로 블록과 통신을 행하여, 자율적으로 또는 타율적으로 동작할 필요가 있을 때에 포트를 통해서 백 게이트 전위가 제어되기 때문에, 반도체 집적회로 전체의 리크 전류를 효율좋게 저감할 수 있다.

<바람직한 태양의 상세한 설명>

[발명의 실시 형태 1]

도 1은 마스터 유니트가 집중 제어적으로 복수의 회로 블록의 백 게이트 전위를 제어하는 시스템의 블록도이다. VLSI칩내의 반도체 집적회로는, 대기 상태로부터 작동 상태로, 또는 작동 상태로부터 대기 상태로의 상태 천이를 가진 M개의 회로

블록(논리 블록)(20-1, 20-2, …, 20-M)으로 분할되어 있다. VLSI 칩 전체의 소비 전력을 저감하기 위해서는, 기능별로 분류되는 다수의 회로 블록으로 분할하는 것이 바람직하다. 마스터 유니트(제어 회로)(10)는 이들 회로 블록(20-1, 20-2, …, 20-M)의 백 게이트 전위를 일원적으로 집중 제어하기 위한 데이터 플로우와 제어 논리를 VLSI의 논리 설계 레벨로 구축한 이벤트 드리븐 시스템이다.

도 2는 마스터 유니트(10)의 백 게이트 전위 제어 논리를 실현하는 유한 스테이트 머신(Finite State Machine)의 상태 천 이도이다. M개의 회로 블록(20-1, 20-2, …, 20-M)의 대기 상태를 「0」, 작동 상태를 「1」에 대응시켜, 유한 스테이트 머신을 M비트의 2진수로 표기하면, 모든 회로 블록(20-1, 20-2, …, 20-M)의 백 게이트 전위 제어를 행하기 위해서는 최대로 2^M 개의 상태수가 필요하게 된다. 유한 스테이트 머신을 구성하는 개개의 상태는 회로 블록(20-1, 20-2, …, 20-M)의 대기 상태 「0」과 작동 상태 「1」의 모든 조합을 규정하고 있다. 유한 스테이트 머신의 상태를 표기하는 2진수의 상위(上位) k ($1 \leq k \leq M$) 자리수째의 「0」, 「1」을 회로 블록(20-k)의 「대기 상태」, 「작동 상태」를 나타내는 것으로 하면, 도면 중의 부호 31이 나타내는 상태는 2진수의 상위 2자리수째가 「1」이기 때문에, 회로 블록(20-2)의 작동 상태로 됨을 나타내고 있다. 이와 같이 하여, 부호 32가 나타내는 상태는 2진수 상위 1자리수째와 2자리수째가 「1」이기 때문에, 회로 블록 20-1과 20-2가 「작동 상태」로 됨을 나타내고 있다. 유한 스테이트 머신의 상태 천이는 이벤트 드리븐식으로 행해지고, 마스터 유니트(10)는 각각의 회로 블록(20-1, 20-2, …, 20-M)의 동작 상태를 유한 스테이트 머신의 상태에 대응시킴으로써, VLSI 칩내 전(全)회로 블록의 백 게이트 전위 제어를 행한다.

또한, 여기서는 설명의 편의상, 유한 스테이트 머신의 각각의 상태에서의 「입력」과 「출력」의 관계는 생략하고 있다. 또한, 회로 블록(20-1, 20-2, …, 20-M)으로의 전원 공급을 후술하는 스위칭 소자를 거쳐서 행하기 위해서는 마스터 유니트(10)는 논리 소자를 구성하는 트랜지스터의 백 게이트 전위 제어에 부가하여, 그 스위칭 소자의 게이트 전위와 백 게이트 전위의 제어도 아울러 행한다. 이하의 설명에서는, 스위칭 소자를 거쳐서 이들 회로 블록(20-1, 20-2, …, 20-M)에 전원 공급을 온/오프 제어하는 구성을 제1 구성예로 하고, 회로 블록(20-1, 20-2, …, 20-M)을 전원 공급선에 상시 접속하여 전원 공급을 행하는 구성을 제2 구성예로 한다.

(제1 구성예)

도 3은 제1 구성예에서의 회로 블록으로의 전원 공급 계통을 나타내는 회로도이다. 여기서는, i번째의 회로 블록(20-i)의 전원 공급 계통을 도시하지만, 다른 회로 블록에 대해서도 동일한 회로 구성은 구비하고 있다. 동도면에서, 공통 전원선(V_{dd})은 모든 회로 블록(20-1, 20-2, …, 20-M)에 전원 공급을 행하기 위한 전원선이고, 공통 접지선(V_{ss})은 모든 회로 블록(20-1, 20-2, …, 20-M)을 접지하기 위한 접지선이다. 회로 블록(20-i)에는 국소적으로 전원 공급을 행하기 위한 부분 전원 공급선(Lai)과, 국소적으로 접지하기 위한 부분 접지선(Lbi)이 각각 스위칭 소자로서의 PMOS 트랜지스터(MPi)와 NMOS 트랜지스터(MNi)를 거쳐서 공통 전원선(V_{dd})과 공통 접지선(V_{ss})에 접속해 있다.

또한, 동도면에서, Φ_{Pi} 는 PMOS 트랜지스터(MPi)의 게이트 전위, V_{NW_i} 는 동트랜지스터(MPi)의 백 게이트 전위, Φ_{Ni} 는 NMOS 트랜지스터(MNi)의 게이트 전위, V_{PW_i} 는 동트랜지스터(MNi)의 백 게이트 전위, X_i 는 회로 블록(20-i)으로의 입력 신호, Y_i 는 동회로 블록(20-i)으로부터의 출력 신호, V_{Ni} 는 회로 블록(20-i)의 논리 소자를 구성하는 PMOS 트랜지스터의 백 게이트 전위, V_{Pi} 는 회로 블록(20-i)의 논리 소자를 구성하는 NMOS 트랜지스터의 백 게이트 전위를 나타내고 있다.

도 5는 VLSI 칩의 웰 구조를 나타내고 있다. P형 기판(40)에는 각각 독립한 N웰(41,42,44,45)이 각각 형성되고, 또한, N웰(41)내에는 P웰(43)이 형성되고, N웰(44)내에는 P웰(46)이 형성된 트리플 웰 구조로 되어 있다. P웰(43)은 상술한 NMOS 트랜지스터(MNi)를 형성하기 위한 웰이고, 그 웰 전위(V_{PW_i})는 동트랜지스터(MNi)의 백 게이트 전위를 나타내고 있다. 또한, N웰(42)은 상술한 PMOS 트랜지스터(MPi)를 형성하기 위한 웰이고, 그 웰 전위(V_{NW_i})는 동(同)트랜지스터(MPi)의 백 게이트 전위를 나타내고 있다. 또한, N웰(45), P웰(46)은 회로 블록(20-i)내의 논리 소자를 구성하는 PMOS 트랜지스터, NMOS 트랜지스터를 형성하기 위한 웰이다. 웰 전위(V_{Pi})는 NMOS 트랜지스터의 백 게이트 전위를 나타내고 있고, 웰 전위(V_{Ni})는 PMOS 트랜지스터의 백 게이트 전위를 나타내고 있다.

VLSI 칩의 웰 구조는 상술한 구성에 한정되지 않고, 예를 들면, 도 6에 나타내는 웰 구조여도 좋다. 동 도면에 나타내는 웰 구조는, 상술한 P형 기판(40) 대신에 N형 기판(50)을 베이스로 하고 있다. N형 기판(50)에는 각각 독립한 P웰(51, 52, 54, 55)이 각각 형성되고, 또한, P웰(51)내에는 N웰(53)이 형성되고, P웰(54)내에는 N웰(56)이 형성된 트리플 웰 구조로 되어 있다. N웰(53)은 상술한 PMOS 트랜지스터(MPi)를 형성하기 위한 웰이고, 그 웰 전위(V_{NW_i})는 트랜지스터(MPi)의 백 게

이트 전위를 나타내고 있다. 또한, P웰(52)은 상술한 NMOS 트랜지스터(MNi)를 형성하기 위한 웰이고, 그 웰 전위(V_{PW_i})는 동트랜지스터(MNi)의 백 게이트 전위를 나타내고 있다. 또한, P웰(55), N웰(56)은 회로 블록(20-i)내의 논리 소자를 구성하는 NMOS 트랜지스터, PMOS 트랜지스터를 형성하기 위한 웰이다. 웰 전위(V_{Pi})는 NMOS 트랜지스터의 백 게이트 전위를 나타내고 있고, 웰 전위(V_{Ni})는 PMOS 트랜지스터의 백 게이트 전위를 나타내고 있다.

도 4는 회로 블록(20-i)의 작동 상태/대기 상태에서의 백 게이트 전위의 변화를 나타내는 타이밍 차트이다. 상술한 바와 같이, 마스터 유니트(10)는 이벤트 드리븐식으로 천이하는 유한 스테이트 머신의 각 상태에 따라 회로 블록(20-i)의 대기 상태/작동 상태를 제어한다. 마스터 유니트(10)는 회로 블록(20-i)을 대기 상태로 천이시키 위해서는, PMOS 트랜지스터(MPi)의 게이트 전위(ϕ_{Pi})에 논리 레벨(H)을 부여하고, NMOS 트랜지스터(MNi)의 게이트 전위(ϕ_{Ni})에 논리 레벨(L)을 부여 한다. 그러면, PMOS 트랜지스터(MPi)와 NMOS 트랜지스터(MNi)는 동시에 오프 상태로 되고, 부분 전원 공급선(Lai)과 부분 접지선(Lbi)은 각각 공통 전원선(V_{dd})과 공통 접지선(V_{ss})으로부터 전기적으로 분리된 상태로 된다.

또한, 마스터 유니트(10)는 PMOS 트랜지스터(MPi)의 백 게이트 전위(V_{NW_i})를 작동 시의 전위(V_{NW-AC})보다도 승압시켜 V_{NW-SB} 로 하고, NMOS 트랜지스터(MNi)의 백 게이트 전위(V_{PW_i})를 작동 시의 전위(V_{PW-AC})보다도 강압(降壓)시켜 V_{PW-SB} 로 한다. 그러면, 이들 PMOS 트랜지스터(MPi)와 NMOS 트랜지스터(MNi)의 각각은 보디 이펙트(body effect)에 의해 임계값 전압이 증가하기 때문에, 대기 시의 리크 전류를 감소시킬 수 있다.

마스터 유니트(10)는 회로 블록(20-i)내의 논리 소자를 구성하는 PMOS 트랜지스터의 백 게이트 전위(V_{Ni})에 대해서도 마찬가지로 작동 시의 전위(V_{N-AC})보다도 승압시켜 V_{N-SB} 로 하고, NMOS 트랜지스터의 백 게이트 전위(V_{Pi})에 대해서도 동일하게 작동 시의 전위(V_{P-AC})보다도 강압시켜서 V_{P-SB} 로 한다. 이것에 의해, 회로 블록(20-i)의 논리 소자를 구성하는 트랜지스터의 임계값 전압을 증가시킬 수 있게 되어, 대기 상태에서의 회로 블록(20-i)의 리크 전류를 감소시킬 수 있다.

한편, 마스터 유니트(10)는 회로 블록(20-i)을 작동 상태로 천이시키기 위해서는, PMOS 트랜지스터(MPi)의 게이트 전위(ϕ_{Pi})에 논리 레벨(L)을 부여하고, NMOS 트랜지스터(MNi)의 게이트 전위(ϕ_{Ni})에 논리 레벨(H)을 부여한다. 그러면, PMOS 트랜지스터(MPi)와 NMOS 트랜지스터(MNi)는 동시에 온 상태로 되어, 부분 전원 공급선(Lai)과 부분 접지선(Lbi)은 각각 공통 전원선(V_{dd})과 공통 접지선(V_{ss})에 전기적으로 접속한 상태로 된다.

또한, 마스터 유니트(10)는 PMOS 트랜지스터(MPi)의 백 게이트 전위(V_{NW_i})를 대기 시의 전위(V_{NW-SB})보다도 강압시켜 V_{NW-AC} 로 하고, NMOS 트랜지스터(MNi)의 백 게이트 전위(V_{Wi})를 대기 시의 전위(V_{PW-SB})보다도 승압시켜 V_{PW-AC} 로 한다. 그러면, 이들 PMOS 트랜지스터(MPi)와 NMOS 트랜지스터(MNi)의 각각은 임계값 전압이 감소하기 때문에, 회로 블록(20-i)으로의 전원 공급을 신속히 행할 수 있다. 이와 동시에, 마스터 유니트(10)는, 회로 블록(20-i)의 논리 소자를 구성하는 PMOS 트랜지스터의 백 게이트 전위(V_{Ni})를 대기 시의 전위(V_{N-SB})보다도 강압시켜 V_{N-AC} 로 하고, NMOS 트랜지스터의 백 게이트 전위(V_{Pi})를 대기 시의 전위(V_{P-SB})보다도 승압시켜 V_{P-AC} 로 한다. 논리 소자를 구성하는 트랜지스터의 임계값 전압을 감소시킴으로써, 저전압 동작에서 회로 블록의 동작 스피드의 저하를 억제할 수 있지만, 그 대가로서 리크 전류는 증대한다. 본 발명에 의하면, 회로 블록마다 세밀하게, 대기 시의 리크 전류를 낮게 억제할 수 있게 되어, 결과적으로 회로 전체의 소비 전력을 억제할 수 있다.

(제2 구성 예)

도 7은 제2 구성 예에서의 회로 블록으로의 전원 공급 계통을 나타내는 회로도이다. 여기서는, i번째의 회로 블록(20-i)의 전원 공급 계통을 도시하지만, 다른 회로 블록에 대해서도 동일한 회로 구성을 구비하고 있다. 동 도면에서, 공통 전원선(V_{dd})은 모든 회로 블록(20-1, 20-2, …, 20-M)에 전원 공급을 행하기 위한 전원선이며, 공통 접지선(V_{ss})은 모든 회로 블록(20-1, 20-2, …, 20-M)을 접지하기 위한 접지선이다. 이와 같이, 회로 블록(20-i)는 상시 전원 공급을 받는 구성으로 되어 있다. 또한, 동도면에서, X_i 는 회로 블록(20-i)으로의 입력 신호, Y_i 는 동회로 블록(20-i)로부터의 출력 신호, V_{Ni} 는 회로 블록(20-i)의 논리 소자를 구성하는 PMOS 트랜지스터의 백 게이트 전위, V_{Pi} 는 회로 블록(20-i)의 논리 소자를 구성하는 NMOS 트랜지스터의 백 게이트 전위를 나타내고 있다.

도 9는 회로 블록(20-i)의 논리 소자를 형성하기 위한 웰 구조를 나타내고 있다. 동 도면에 나타내는 바와 같이, P형 기판(40)을 베이스로서 N웰(47,48)이 형성되고, 또한 N웰(47)내에 P웰(49)이 형성된 트리플 웰 구조로 되어 있다. 웰 전위(V_{P_i})는 논리 소자를 구성하는 NMOS 트랜지스터의 백 게이트 전위를 나타내고 있고, 웰 전위(V_{N_i})는 논리 소자를 구성하는 PMOS 트랜지스터의 백 게이트 전위를 나타내고 있다. 회로 블록(20-i)의 웰 구조는 도 9에 나타내는 구조에 한정되지 않고, 예를 들면, 도 10에 나타내는 구조여도 좋다. 동 도면에 나타내는 구조는 N형 기판(50)을 베이스로서 P웰(57,58)이 형성되고, 또한 P웰(57)내에 N웰(59)이 형성된 트리플 웰 구조로 되어 있다. 웰 전위(V_{P_i})는 논리 소자를 구성하는 NMOS 트랜지스터의 백 게이트 전위를 나타내고 있고, 웰 전위(V_{N_i})는 논리 소자를 구성하는 PMOS 트랜지스터의 백 게이트 전위를 나타내고 있다.

도 8은 회로 블록(20-i)의 작동 상태/대기 상태에서의 백 게이트 전위의 변화를 나타내는 타이밍 차트이다. 상술한 바와 같이, 마스터 유니트(10)는 이벤트 드리븐식으로 천이하는 유한 스테이트 머신의 각 상태에 따라 회로 블록(20-i)의 대기 상태/작동 상태에서의 백 게이트 전위를 제어한다. 회로 블록(20-i)이 대기 상태일 때에는, 마스터 유니트(10)는 백 게이트 전위(V_{N_i})를 작동 상태일 때의 전위(V_{N-AC})보다도 송압하여 V_{N-SB} 로 하고, 백 게이트 전위(V_{P_i})를 작동 상태일 때의 전위(V_{P-AC})보다도 강압하여 V_{P-SB} 로 한다. 이것에 의해, 논리 소자를 구성하는 트랜지스터의 임계값 전압을 증가시킬 수 있기 때문에, 대기 시에서의 회로 블록(20-i)의 리크 전류를 감소시킬 수 있다. 한편, 회로 블록(20-i)이 작동 상태로 될 때는, 마스터 유니트(10)는 백 게이트 전위(V_{N_i})를 대기 상태일 때의 전위(V_{N-SB})보다도 강압하여 V_{N-AC} 로 하고, 백 게이트 전위(V_{P_i})를 대기 상태일 때의 전위 V_{P-SB} 보다도 송압하여 V_{P-AC} 로 한다. 이것에 의해 논리 소자를 구성하는 트랜지스터의 임계값 전압을 저하시켜 저전압 구동을 행할 수 있게 된다.

이와 같이, 본 실시 형태에 의하면, VLSI 칩내의 반도체 집적회로를 복수의 회로 블록(20-1, 20-2, …, 20-M)으로 세분화하고, 대기 상태에서의 회로 블록(20-1, 20-2, …, 20-M)의 논리 소자를 형성하는 트랜지스터의 임계값 전압이 증가하도록 백 게이트 전위를 제어하는 구성이기 때문에, 대기시의 리크 전류를 큰폭으로 감소시킬 수 있다. 특히, 휴대 전화와 같이 배터리를 주전원으로 하는 휴대용 전자기기에서는 저소비 전력화가 큰 과제이기 때문에, 본 발명의 유용성은 높으며, 범용성이 높은 저소비 전력의 SOC(System On Chip), SOB(System On Board), SOP(System On Panel)를 구축할 수 있다. 또한, 전력 분배 제어의 대상으로 되는 회로 블록을 새롭게 추가·삭제·변경하는 경우에서도, 제어 논리를 새롭게 구성하여, 유한 스테이트 머신을 재설계함으로써 대응할 수 있게 된다. 또한, 본 발명은 웰 구조를 가져 백 게이트의 전압 제어를 행하는 스위칭 소자이면, MOS 트랜지스터에 한정됨 없이, 적용할 수 있음을 말할 필요도 없다.

[발명의 실시 형태 2]

도 11은 반도체 집적회로를 구성하는 복수의 회로 블록끼리 서로 커뮤니케이션을 행하여 CSP(Communicating Sequential Processes) 방식에 의해 자율적으로 또는 타율적으로 백 게이트 전위 제어를 행하는 시스템의 블록도이다. VLSI 칩내의 반도체 집적회로는, 대기 상태로부터 작동 상태로, 또는 작동 상태로부터 대기 상태로의 상태 천이를 가진 N개의 회로 블록(논리 블록)(70-1, 70-2, …, 70-N)으로 논리적으로 분할되어 있다. VLSI 칩 전체의 소비 전력을 저감하기 위해서는, 기능별로 분류되는 다수의 회로 블록으로 분할하는 것이 바람직하다. 이들 회로 블록(70-1, 70-2, …, 70-N)은 시스템 중앙 제어용의 글로벌 클락을 기준으로 동작할 뿐만 아니라, 각각의 회로 블록(70-1, 70-2, …, 70-N)이 자율적으로 또는 타율적으로 동작할 필요가 있는 것으로 판단한 경우에 전원 공급을 받아 동작하도록 구성된 비동기 시스템이다. 마스터 유니트(60)(제어 회로)는, 주로, 외부 회로 및 회로 블록(70-1, 70-2, …, 70-N)과의 직접적 또는 간접적인 통신을 행하여 시스템 전체의 조정을 담당하는 기능을 하는 회로 블록이지만, 회로 블록(70-1, 70-2, …, 70-N)으로의 전원 공급을 직접적으로 제어하는 것은 아니다. 각 회로 블록으로의 전원 공급은 각 회로 블록에 내장 또는 부대하는 전원 제어 회로에 의해서 직접적으로 제어되지만, 작동 상태로부터 대기 상태로의 천이 타이밍은, 각 회로 블록 스스로가 자율적으로 결정하고, 대기 상태로부터 작동 상태로의 천이는 다른 회로 블록으로부터의 리퀘스트(request)를 받아 타율적으로 결정된다. 이들 타이밍에서, 회로 블록은 스스로 내장하는 또는 부대하는 전원 제어 회로를 통하여, 스스로의 전원 공급을 제어한다.

도 12는 CSP 방식에 의한 회로 블록으로의 백 게이트 전위 제어를 행하는 상태를 나타내는 설명도이다. 여기서는 설명의 편의상 4개의 회로 블록(70-1~70-4)을 예시하여 설명하지만, 실제로는 N개의 회로 블록(70-1, 70-2, …, 70-N)과 마스터 유니트(60)가 서로 커뮤니케이션을 행함에 의해 회로 블록(70-1, 70-2, …, 70-N)으로의 백 게이트 전위 제어를 행한다. 회로 블록(70-1~70-4)으로의 전원 공급은 이벤트 구동에 의해서 제어되어, 자율적으로 동작할 필요가 있는 것으로

로 판단한 경우와, 타율적으로 동작할 필요가 있는 것으로 판단한 경우에 전원 공급을 받아 동작한다. 각각의 회로 블록(70-1~70-4)은 「채널」을 통해서 다른 회로 블록(70-1~70-4) 또는 마스터 유니트(60)와 접속하여, 국소적인 협조 하에서 이벤트 구동을 행한다. 채널은 그 양단에서 「포트」와 접속한다.

동도면에 나타내는 예에서는, 회로 블록(70-1)은 포트(a1, a2, a3)를, 회로 블록(70-2)은 포트(b1, b2, b3)를, 회로 블록(70-3)은 포트(c1, c2)를, 회로 블록(70-4)은 포트(d1, d2)를, 마스터 유니트(60)은 포트(x1, x2, x3, x4)를 각각 구비하고 있다. 회로 블록(70-1)에 주목하면, 회로 블록(70-1)은 채널(1, 2, 3)을 통해서 마스터 유니트(60), 회로 블록(70-2, 70-3)과 접속해 있다.

채널을 통한 포트간 통신에서는, 모든 포트에는 '액티브(Active)' 또는 '패시브(Passive)' 중 어느 하나의 속성이 부여된다. 예를 들면, 회로 블록(70-1)이 채널(2)을 통하여 자율적으로 회로 블록(70-2)을 향하여 데이터 전송을 요구하는 경우는, 회로 블록(70-1)의 포트(a2)에는 '센드 액티브(Send Active)'의 속성이 부여되고, 타율적으로 데이터 전송의 요구를 받아들이는 회로 블록(70-2)의 포트(b1)에는 '리시브 패시브(Receive Passive)'의 속성이 부여된다. 이것과는 역으로 회로 블록(70-1)이 채널(2)을 통하여 회로 블록(70-2)으로부터 자율적으로 데이터 전송을 요구하는 경우는, 포트(a2)에는 '리시브 액티브(Receive Active)'의 속성이 부여되고, 타율적으로 데이터 전송을 행하는 회로 블록(70-2)의 포트(b1)에는 '센드 패시브(Send Passive)'의 속성이 부여된다. 포트간 통신에서는, req/ack 신호를 송수신함에 의해, 2상식(相式) 또는 4상식의 핸드 쉐이크(hand shake)가 행해진다.

회로 블록(70-i)의 전원 공급 계통의 회로 구성은 상술한 도 3 또는 도 7과 동일한 구성으로 할 수 있다. 회로 블록(70-i)을 도 3에 나타내는 회로 구성으로 하는 경우에는, 회로 블록(70-i)의 논리 소자를 형성하는 트랜지스터의 백 게이트 전위(V_{Pi} , V_{Ni})의 제어에 부가하여, 스위칭 트랜지스터의 게이트 전위(Φ_{Pi} , Φ_{Ni})와 백 게이트 전위(V_{NWi} , V_{PWi})의 제어도 필요하게 된다. VLSI 칩의 웰 구조에 대해서도, 상술한 도 5 또는 도 6에 나타내는 트리플 웰 구조로 된다. 한편, 회로 블록(70-i)을 도 7에 나타내는 회로 구성으로 하는 경우에는, 회로 블록(70-i)의 논리 소자를 형성하는 트랜지스터의 백 게이트 전위(V_{Pi} , V_{Ni})의 제어가 필요하게 된다. VLSI 칩의 웰 구조에 대해서도, 상술한 도 9 또는 도 10에 나타내는 트리플 웰 구조로 된다.

상술한 제1 실시 형태에서는 회로 블록(70-i)의 백 게이트 전위 제어를 마스터 유니트(10)가 행하고 있었지만, 본 실시 형태에서는 상술한 「채널」과 「포트」에 의해서 회로 블록(70-i)의 백 게이트 전위 제어를 자율적으로 또는 타율적으로 행한다. 「채널」과 「포트」는 회로 블록(70-i)의 동작 상태에 관계없이, 상시 전원 공급을 받아 작동하도록 구성되어 있다.

도 13은 회로 블록으로의 전원 공급의 타이밍을 설명하기 위한 타이밍 도이다. 여기서는, 회로 블록(70-1)에 주목하여 설명하지만, 다른 회로 블록에 대해서도 동일하게 된다. 상술한 바와 같이 회로 블록(70-1)은 채널(1~3)을 거쳐서 마스터 유니트(60), 회로 블록(70-2, 70-3)과 접속하고 있다. 시각(t_0)에서 시스템이 기동하고, 마스터 유니트(60)로부터의 리퀴스트에 응답하여 회로 블록(70-1)이 데이터 수신 요구를 받아들이는 경우에는, 리시브 패시브로 되어, 시각(t_2)~시각(t_4)으로의 기간에 소망한 동작 처리를 행한다. 회로 블록(70-1)은, 또한, 시각(t_1)에서 채널(2)을 통하여 자율적으로 회로 블록(70-2)으로의 데이터 송신을 요구하는 경우에는, 센드 액티브로 되어, 시각(t_3)~시각(t_5)까지의 기간에 소망한 동작 처리를 행한다. 회로 블록(70-1)은, 또한, 시각(t_6)에서 채널(3)을 통하여 회로 블록(70-3)으로부터의 데이터 송신 요구를 받아들이는 경우에는, 센드 패시브로 되어, 시각(t_7)~시각(t_8)까지의 기간에 소망한 동작 처리를 행한다.

시각(t_0)~시각(t_5)까지의 기간과, 시각(t_6)~시각(t_8)까지의 기간에서는, 회로 블록(70-1)은 마스터 유니트(60)와 회로 블록(70-2, 70-3)과의 커뮤니케이션을 통하여 자율적으로 또는 타율적으로 동작하기 때문에(작동 상태), 채널(1, 2, 3)과 포트(a1, a2, a3)는, 동기간에 회로 블록(70-1)을 구성하는 논리 소자의 임계값 전압이 감소하도록 백 게이트 전위(V_{Pi} , V_{Ni})를 제어한다. 회로 블록(70-1)이 도 3에 나타내는 바와 같이 스위칭 소자를 거쳐서 전원 공급을 받는 경우에는, 스위칭 소자가 온으로 되도록, 게이트 전위(Φ_{Pi} , Φ_{Ni})와 백 게이트 전위(V_{NWi} , V_{PWi})의 제어를 아울러 행한다. 구체적인 제어 방법은 도 4 또는 도 8에 나타내는 바와 같이 행하면 좋다.

한편, 시각(t_5)~시각(t_6)까지의 기간에는 회로 블록(70-1)은 동작할 필요가 없기 때문에(대기 상태), 채널(1, 2, 3)과 포트(a1, a2, a3)는, 동기간에서, 회로 블록(70-1)을 구성하는 논리 소자의 임계값 전압이 증가하도록 백 게이트 전위(V_{Pi} ,

V_{Ni})를 제어 한다. 회로 블록(70-1)이 도 3에 나타내는 바와 같이 스위칭 소자를 거쳐서 전원 공급을 받는 경우에는, 스위칭 소자가 오프로 되도록, 게이트 전위(ϕ_{Pi} , ϕ_{Ni})와 백 게이트 전위(V_{NWi} , V_{PWi})의 제어를 아울러 행한다. 구체적인 제어 방법은 도 4 또는 도 8에 나타내는 바와 같이 행하면 좋다.

이와 같이, 본 실시 형태에 의하면, CSP 방식에 의해 회로 블록(70-1, 70-2, …, 70-N)으로의 세밀한 백 게이트 전위 제어가 가능해지며, 회로 블록의 추가·삭제·변경 등이 생겨도 관계하는 회로 블록과의 교신 내용·교신 방법을 설계하여 복구하는 것만으로도 충분하기 때문에, 시스템 재구축의 편리성이 우수하다.

[발명의 실시 형태 3]

도 14와 도 15에 더블 게이트 TFT(Thin Film Transistor)(100)를 나타낸다. 도 14는 평면도이고, 도 15는 그의 15-15선에 따른 단면도이다. 절연 기판(101)상에는 하지층(102)을 거쳐서 백 게이트 전극(103)이 형성되어 있다. 절연 기판(101)으로는, 예를 들면, 유리 기판, 석영 기판, 플라스틱 기판 등을 사용할 수 있다. 백 게이트 전극(103)과 하지층(102)의 상면에는, 백 게이트 절연막(104), 활성층(110), 게이트 절연막(111), 게이트 전극(112), 및 층간 절연막(115)이 순차 적층되어 있다. 활성층(110)은 섬 형상의 다결정 실리콘 등으로 이루어지고, 상하 2개의 게이트간에 형성된 채널 영역(105)과, 그 양측에 형성된 드레인 영역(106), 및 소스 영역(107)으로 이루어진다. 백 게이트 전극(103)과 게이트 전극(112)은 채널 영역(105)을 그 사이에 두고 대향 배치되어 있다. 드레인 영역(106), 소스 영역(107)의 각각에는 컨택트홀을 통해서 드레인 전극(113), 소스 전극(114)이 형성되어 있다. 여기서, 백 게이트 전극(103)이라 함은, TFT 구조가 톱 게이트형일 때에는, 게이트 전극(112)에 대향하도록 바텀(bottom)측(절연 기판 측)에 형성된 전극을 말하고, TFT 구조가 바텀 게이트형일 때에는, 게이트 전극(112)과 대향하도록 톱(top)측에 형성된 전극을 말한다. 동 도면에 나타내는 TFT 구조는 톱 게이트형이지만, 바텀 게이트형이어도 좋다.

본 실시 형태에서는 상술한 제1 실시 형태의 회로 블록(20-1, 20-2, …, 20-M)의 논리 소자를 구성하는 NMOS 트랜ジ스터 또는 PMOS 트랜ジ스터, 또는 회로 블록(20-i)으로의 전원 공급을 통전/차전하는 스위칭 소자로서의 PMOS 트랜ジ스터(MPi) 또는 NMOS 트랜ジ스터(MNi), 또는 상술한 제2 실시 형태의 회로 블록(70-1, 70-2, …, 70-N)의 논리 소자를 구성하는 NMOS 트랜ジ스터 또는 PMOS 트랜ジ스터를 더블 게이트 TFT(100)로 구성한다. 더블 게이트 TFT(100)가 대기 상태일 때에는 트랜지스터의 임계값 전압이 증가하도록 백 게이트 전극(103)의 전위를 조정함으로써, 리크 전류를 충분히 저감할 수 있다. 한편, 더블 게이트 TFT(100)가 작동 상태일 때에는 트랜지스터의 임계값 전압이 감소하도록 백 게이트 전극(103)의 전위를 조정함으로써 온 전류를 증대시켜, 드라이브 능력을 높일 수 있다. 백 게이트 전극(103)의 전위 제어는 제1 실시 형태와 동일하게 마스터 유니트(10)에 의해서 이벤트 드리븐식으로 제어해도 좋고, 또는 제2 실시 형태와 동일하게 CSP 방식에 의해 자율적 또는 타율적으로 제어해도 좋다. 또한, 회로 블록(20-1, 20-2, …, 20-M), 또는 회로 블록(70-1, 70-2, …, 70-N)의 논리 소자를 더블 게이트 TFT(100)로 구성하는 경우에는, 게이트 전극(112)과 백 게이트 전극(103)을 같은 논리로 제어함으로써, 트랜지스터의 상승 시간 또는 하강 시간을 단축하여, 스위칭 속도를 향상시킬 수 있다. 또한, 드라이브 능력을 높임으로써, 트랜지스터 사이즈를 축소하여, 고집적화를 가능하게 할 수 있다.

또한, 제 1 또는 제 2실시 형태에서 설명한 벌크 구조의 MOS 트랜지스터에 비하면, 더블 게이트 TFT(100)는 반도체 웨이를 가지고 있지 않기 때문에, 그 드레인 용량은 채널·드레인 접면의 역바이어스 영역분만이기 때문에 매우 소용량이고, 스위칭 시의 충방전양은 피구동측 트랜지스터의 게이트 용량에 비해 매우 작다. 따라서, 같은 이동도를 가진 벌크 구조의 MOS 트랜지스터와 비교하여 더욱더 고속화, 저소비 전력화가 가능하다. 또한, 더블 게이트 TFT(100)는 절연 기판(101) 및 하지층(102)을 갖기 때문에, 배선의 쌍(對)전원선 용량이 매우 작다. 따라서, 같은 이동도를 가진 벌크 구조의 MOS 트랜지스터와 비교하여 더욱더 고속화, 저소비 전력화가 가능하다.

이러한 더블 게이트 TFT(100)의 구조로, 예를 들면, 드레인 영역(106) 또는 소스 영역(107)에 접하는 채널 영역(105)의 단면에 불순물이 라이트 도프된 LDD(Lightly Doped Drain)영역(108, 109)을 형성하는 것이 바람직하다(도 15 참조). LDD 영역(108, 109)을 추가함에 의해서, 드레인단 공핍 영역의 전계는 약해지고, 전자-정공의 쌍의 생성이 빠른 폴·프렌켈 효과(Poole-Frenkel Effect)를 수반하는 포논·어시스트·터널링 현상(Phonon Assisted Tunneling)이 억제되어, 열 여기 현상만으로 되므로, 더블 게이트 TFT(100)의 리크 전류(오프 전류)를 저감할 수 있다. 또한, 게이트 전극(112)과 백 게이트 전극(103)은 채널 영역(105)으로의 투영 형상이 겹치도록 거의 동형(同形)으로 형성되어 있는 것이 바람직하다(도 14 참조). 채널 영역(105)의 표리를 게이트 전극(112)과 백 게이트 전극(103) 사이에 끼워넣음으로써 서브트레숄드 계수를 작게 하여, 전계 이동도를 향상시킬 수 있다. 또한, 백 게이트 전극(103)은 채널 영역(105)으로의 투영 형상이 LDD 영역(108, 109)의 전부 또는 일부와 겹치는 형상(또는 크기)으로 하는 것이 바람직하다. 이것에 의해, 트랜지스터 대기 시의 리크 전류의 저감과, 트랜지스터 작동 시의 전계 이동도의 향상을 양립할 수 있다.

[발명의 실시 형태 4]

다음에, 본 발명의 반도체 집적회로를 탑재한 전자 기기의 예를 나타낸다. 도 16은 통신 기능을 탑재한 휴대형 퍼스널 디지털 어시스턴스(PDA)의 블록도이다. 동 도면에 나타내는 바와 같이, PDA(80)는 액정 디스플레이 회로(81)와, 조작 키(82)와, CPU(83)와, ROM(84)과, RAM(85)과, 무선 통신부(86)와, 안테나(87)를 구비하여 구성되어 있다. CPU(83), 무선 통신부(86) 등은 본 발명의 반도체 집적회로를 실장한 IC칩으로 구성되어 있고, 장치 전체의 저소비 전력화를 실현하고 있다. 특히, PDA와 같은 휴대 정보 단말은 배터리의 지속 시간을 길게 확보해야 하기 때문에, 특히 적합하다.

도 17은 디지털 통신 방식의 휴대 전화의 블록도이다. 휴대 전화(90)는 안테나(91)와, 안테나 공용기(92)와, 수신부(93)와, 주파수 신세사이저(94)와, 송신부(95)와, TDMA 다중 분리 회로(96)와, 스피커(97)와, 마이크로폰(98)을 구비하여 구성되어 있다. 수신부(93), 송신부(95), TDMA 다중 분리 회로(96) 등은 본 발명의 반도체 집적회로를 실장한 IC칩으로 구성되어 있어, 장치 전체의 저소비 전력화를 실현하고 있다.

보다 상세하게는, 수신부(93)는 고주파 증폭기, 수신 믹서, IF 증폭기, 지연 검파 회로 등을 포함하여 구성되어 있고, 이들은 본 발명의 반도체 집적회로를 실장한 1 또는 2이상의 IC칩으로 구성되어 있다. 마찬가지로, 송신부(95)는 IQ신호 발생 회로, 직교 변조기, 송신 믹서, 송신 전력 증폭기 등을 포함하여 구성되어 있고, 이들에 대해서도 본 발명의 반도체 집적회로를 실장한 1 또는 2이상의 IC칩으로 구성되어 있다.

휴대형의 전자 기기는 특히 저소비 전력화가 요구되기 때문에, 본 발명의 반도체 집적회로를 실장한 IC칩으로 전자 기기를 구성함에 의해, 전자 기기에 탑재되는 배터리의 지속 시간을 가능한 한 길게 할 수 있다. 본 발명의 반도체 집적회로를 실장한 IC칩으로 구성되는 전자 기기로는, PDA나 휴대 전화 외에, 예를 들면, 배터리 구동되는 휴대 기기, 녹음 재생 기기, 녹화 재생 기기, 시트 컴퓨터, 전자 페이퍼, 웨어러블 컴퓨터, IC 카드, 스마트·카드, 비디오 카메라, 퍼스널 컴퓨터, 헤드 마운트 디스플레이, 프로젝터, 웨어러블형 건강 관리 기기, 웨어러블형 토이, 편재형 무선 센서, RFID, 첨부형 온도계, 표시 기능부 팩스 장치, 휴대형 TV, 전자 수첩, 전광 게시판, 선전 광고용 디스플레이, 표시 기능부 무선 태그, SOP(System-On-Panel), SOG(System-On-Glass), SOB(System-On-Board) 등이 포함된다.

발명의 효과

본 발명에 의하면 반도체 집적회로의 한층더 저소비 전력화를 실현하는 동시에, 회로의 대기 상태로부터 작동 상태로의 이행을 빠르게 할 수 있다.

(57) 청구의 범위

청구항 1.

작동 상태로부터 대기 상태로 또는 대기 상태로부터 작동 상태로의 상태 천이를 갖는 복수의 회로 블록과,

상기 복수의 회로 블록 각각의 상태 천이를 미리 규정하는 유한 스테이트 머신(Finite State Machine)에 의거하여 상기 회로 블록의 논리 소자를 형성하는 트랜지스터의 백 게이트 전위를 이벤트 드리븐(event-driven)식으로 제어하는 제어 회로

를 구비하는 반도체 집적회로.

청구항 2.

제1항에 있어서,

상기 제어 회로는 상기 회로 블록이 대기 상태일 때에는 상기 트랜지스터의 임계값 전압이 증가하도록 상기 백 게이트 전위를 제어하는 반도체 집적회로.

청구항 3.

제1항에 있어서,

상기 제어 회로는 상기 회로 블록이 작동 상태일 때에는 상기 트랜지스터의 임계값 전압이 감소하도록 상기 백 게이트 전위를 제어하는 반도체 집적회로.

청구항 4.

제1항에 있어서,

상기 복수의 회로 블록 각각에 전원 공급을 행하기 위한 공통 전원선과,

상기 복수의 회로 블록 각각을 접지하기 위한 공통 접지선과,

상기 공통 전원선 또는 상기 공통 접지선 중 적어도 하나와 상기 회로 블록 사이의 전기적인 통전(通電)/차전(遮電)을 행하는 스위칭 소자를 더 구비하고,

상기 제어 회로는 상기 유한 스테이트 머신에 의거하여 이벤트 드리븐식으로 상기 스위칭 소자의 통전/차전을 제어하는 반도체 집적회로.

청구항 5.

작동 상태로부터 대기 상태로 또는 대기 상태로부터 작동 상태로의 상태 천이를 갖는 복수의 회로 블록과,

CSP 방식에 의한 상기 회로 블록 상호간의 통신을 통하여 자율적으로 동작 요구를 행하고, 또는 타율적으로 동작 요구를 받아들이기 위한 채널과,

상기 채널을 통하여 회로 블록 상호간을 접속하는 포트를 구비하고,

상기 채널 및 포트는 상기 회로 블록의 동작 상태에 따라 상기 회로 블록의 논리 소자를 구성하는 트랜지스터의 백 게이트 전위를 제어하는 반도체 집적회로.

청구항 6.

제5항에 있어서,

상기 채널 및 포트는 상기 회로 블록이 대기 상태일 때에는 상기 트랜지스터의 임계값 전압이 증가하도록 상기 백 게이트 전위를 제어하는 반도체 집적회로.

청구항 7.

제5항에 있어서,

상기 채널 및 포트는 상기 회로 블록이 작동 상태일 때에는 상기 트랜지스터의 임계값 전압이 감소하도록 상기 백 게이트 전위를 제어하는 반도체 집적회로.

청구항 8.

제5항에 있어서,

상기 복수의 회로 블록 각각에 전원 공급을 행하기 위한 공통 전원선과,

상기 복수의 회로 블록 각각을 접지하기 위한 공통 접지선과,

상기 공통 전원선 또는 상기 공통 접지선 중 적어도 하나와 상기 회로 블록 사이의 전기적인 통전/차전을 행하는 스위칭 소자를 더 구비하고,

상기 채널 및 포트는 상기 회로 블록의 상태 천이에 따라 상기 스위칭 소자의 통전/차전을 제어하는 반도체 집적회로.

청구항 9.

제1항에 있어서,

상기 트랜지스터는 더블 게이트 TFT인 반도체 집적회로.

청구항 10.

제9항에 있어서,

상기 더블 게이트 TFT는 채널 단부와 드레인 영역 또는 소스 영역의 접면에 LDD 영역을 구비하는 반도체 집적회로.

청구항 11.

제9항에 있어서,

상기 더블 게이트 TFT의 게이트 전극과 백 게이트 전극은 채널 영역을 사이에 끼워 대향 배치되어 있고, 또한 양자의 상기 채널 영역으로의 투영 형상이 겹치도록 거의 동형(同形)으로 형성되어 있는 반도체 집적회로.

청구항 12.

제10항에 있어서,

상기 백 게이트 전극은 채널 영역으로의 투영 형상이 상기 LDD 영역의 전부 또는 일부와 겹치도록 형성되어 있는 반도체 집적회로.

청구항 13.

제1항 내지 제12항 중 어느 한 항에 기재된 반도체 집적회로를 구비한 전자 기기.

청구항 14.

작동 상태로부터 대기 상태로 또는 대기 상태로부터 작동 상태로의 상태 천이를 갖는 복수의 회로 블록 각각의 상태 천이를 미리 규정하는 유한 스테이트 머신에 의거하여, 상기 회로 블록의 논리 소자를 형성하는 트랜지스터의 백 게이트 전위를 이벤트 드리븐식으로 제어하는 백 게이트 전위 제어 방법.

청구항 15.

제14항에 있어서,

상기 회로 블록이 대기 상태일 때에는 상기 트랜지스터의 임계값 전압이 증가하도록 상기 백 게이트 전위를 제어하는 백 게이트 전위 제어 방법.

청구항 16.

제14항에 있어서,

상기 회로 블록이 작동 상태일 때에는 상기 트랜지스터의 임계값 전압이 감소하도록 상기 백 게이트 전위를 제어하는 백 게이트 전위 제어 방법.

청구항 17.

작동 상태로부터 대기 상태로 또는 대기 상태로부터 작동 상태로의 상태 전이를 갖는 복수의 회로 블록과, CSP 방식에 의한 상기 회로 블록 상호간의 통신을 통해서 자율적으로 동작 요구를 행하고 또는 타율적으로 동작 요구를 받아들이기 위한 채널과, 상기 채널을 통하여 회로 블록 상호간을 접속하는 포트를 구비하는 반도체 집적회로의 백 게이트 전위 제어 방법 으로서,

상기 채널 및 포트는 상기 회로 블록의 동작 상태에 의거하여 상기 회로 블록의 논리 소자를 구성하는 트랜지스터의 백 게이트 전위를 제어하는 백 게이트 전위 제어 방법.

청구항 18.

제17항에 있어서,

상기 회로 블록이 대기 상태일 때에는 상기 트랜지스터의 임계값 전압이 증가하도록 상기 백 게이트 전위를 제어하는 백 게이트 전위 제어 방법.

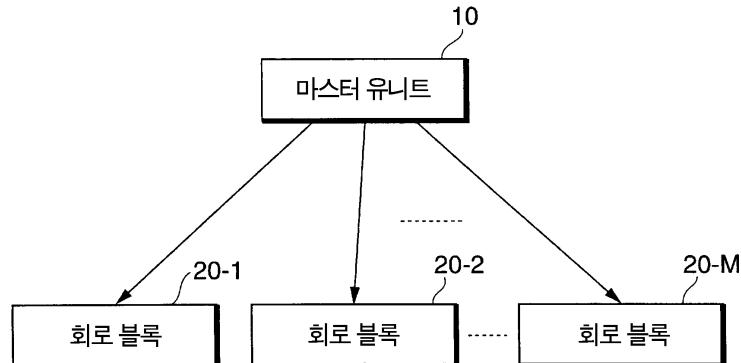
청구항 19.

제17항에 있어서,

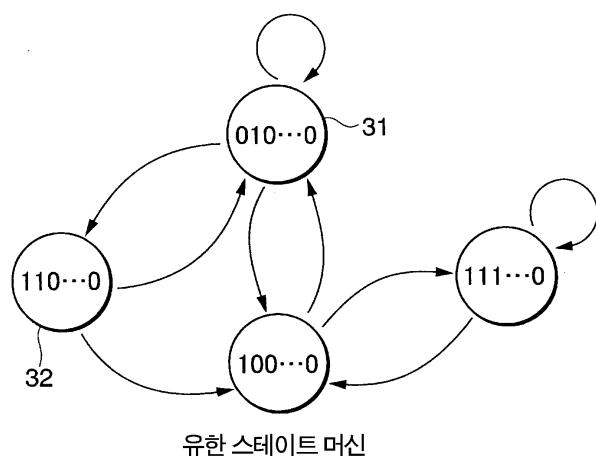
상기 회로 블록이 작동 상태일 때에는 상기 트랜지스터의 임계값 전압이 감소하도록 상기 백 게이트 전위를 제어하는 백 게이트 전위 제어 방법.

도면

도면1

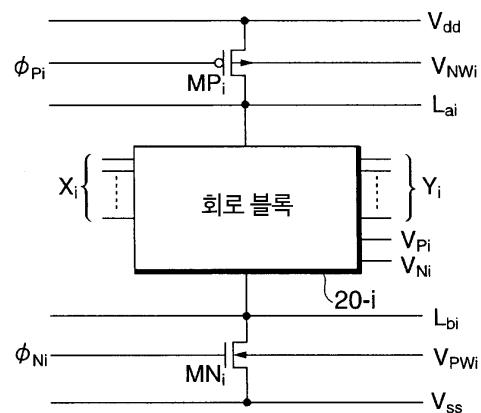


도면2

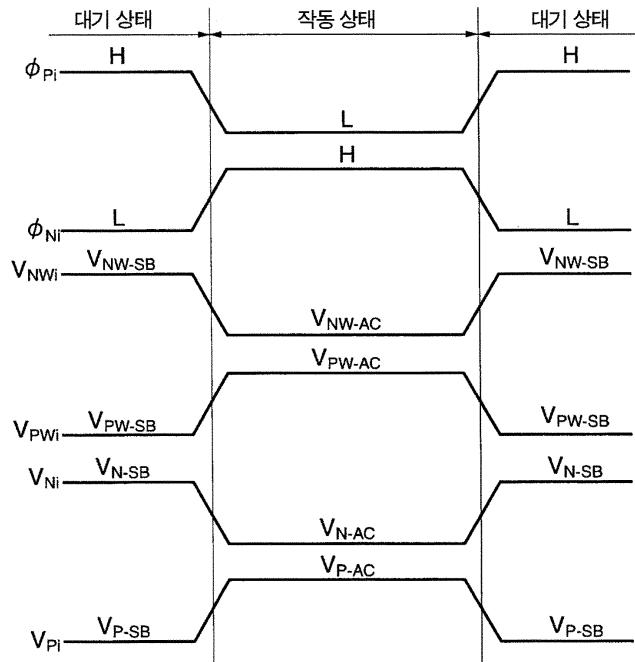


유한 스테이트 머신

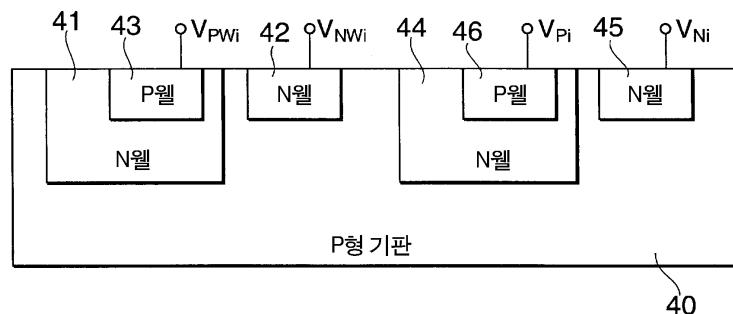
도면3



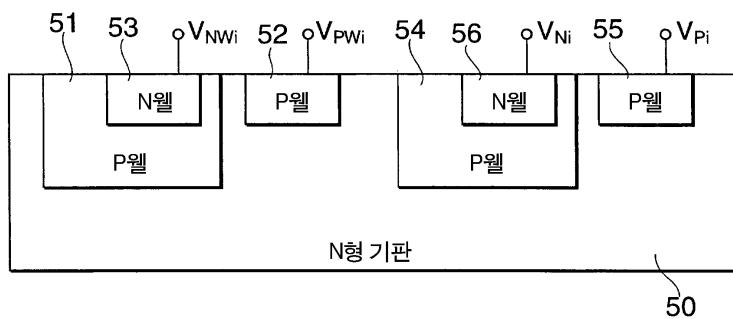
도면4



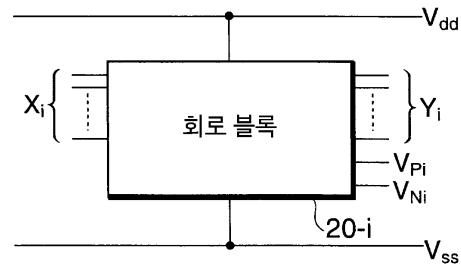
도면5



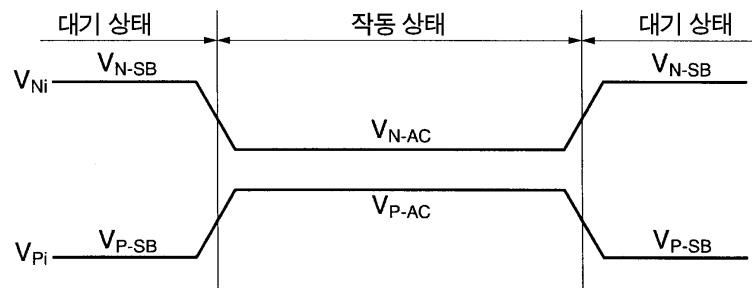
도면6



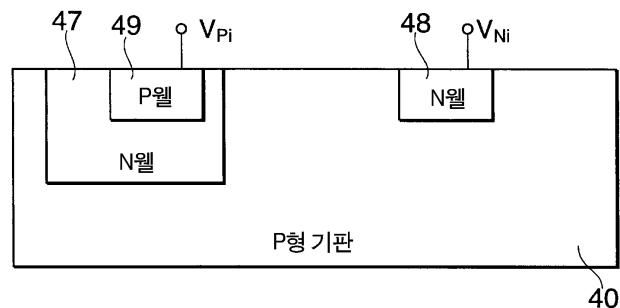
도면7



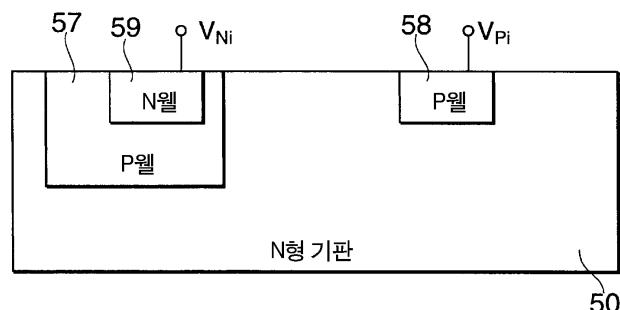
도면8



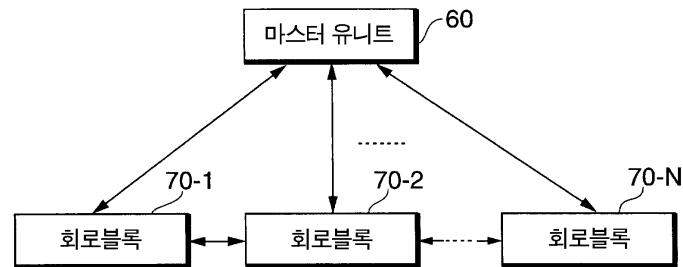
도면9



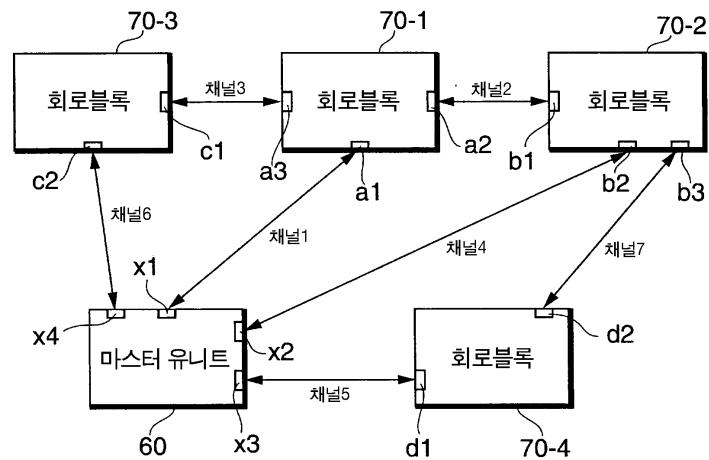
도면10



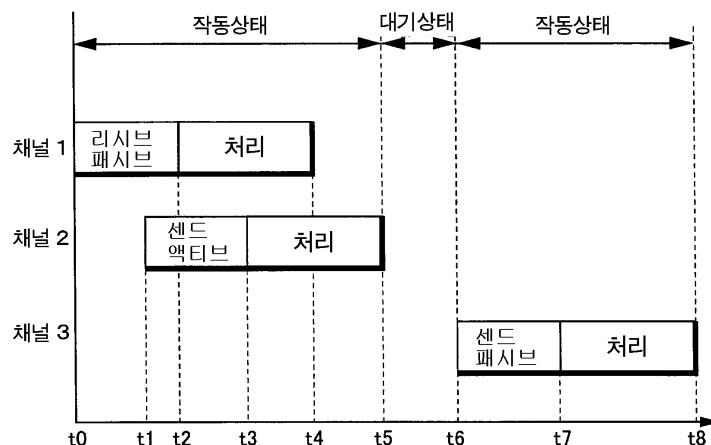
도면11



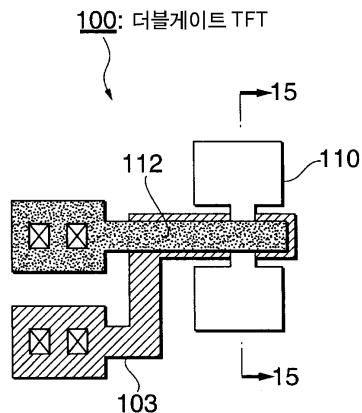
도면12



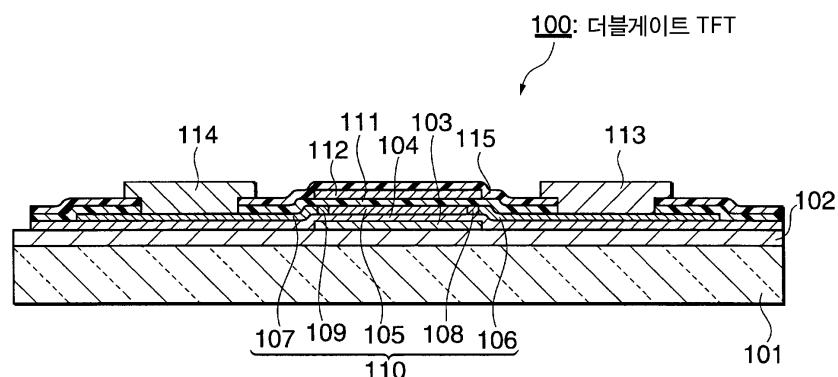
도면13



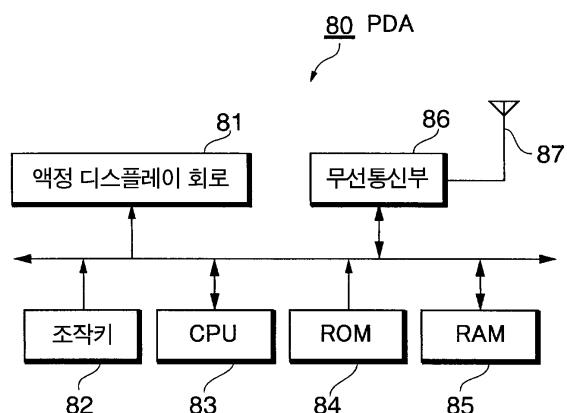
도면14



도면15



도면16



도면17

