

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

238657

(11)

(B1)

(22) Přihlášeno 15 12 81
(21) PV 9337-81

(51) Int. Cl.⁴
G 05 D 3/00
G 05 D 5/00

(40) Zveřejněno 16 04 85

(45) Vydáno 15 01 87

(75)

Autor vynálezu

SCHMUCKER ANTONÍN ing., KARVINÁ

(54) Zapojení univerzální řídicí jednotky pro hutní stroje

Vynález se týká zapojení bezkontaktní univerzální řídicí jednotky pro hutní stroje s automatickým pracovním cyklem, které sestává z hradel NAND, derivačního obvodu, desítkových čítačů pracujících v kódu BCD, dekodéru z kódu BCD na jedne z deseti, klepných obvodů R-S sestavených z hradel NAND a tvarevacích obvodů sestavených z hradel NAND, koncových stupňů a relé.

238657

Vynález se týká zapojení bezkontaktní univerzální řídicí jednotky pro hutní stroje s automatickým pracovním cyklem, jako jsou tupoavářky, tlakovací stroje, hrotovací stroje a podobně.

Jsou známy jednoduše kontaktní systémy s časovými relé nebo mechanické vačkové systémy, poháněné elektrometry přes převodovou skřín. Po tvarovaném obvodu otáčejících se vaček nebo po vačkách rozmístěných po pásce obíhající kladky elektrických konceových spínačů nebo mikrospínačů. Tvar a poloha vaček, pevné prepojení kontaktů a časy nastavené na časových relé pak určují pracovní cyklus stroje.

Mechanické systémy podléhají značnému opotřebení a umístění v těžkém hutnickém prostředí, trpí značnou poruchovostí. Navíc mají relativně vysokou vlastní spotřebu elektrické energie.

Uvedené nevýhody stávajícího stavu techniky se odstraní zapojením univerzální řídicí jednotky pro hutní stroje podle vynálezu, jehož podstatu specifikuje v tom, že sestává z derivativního obvodu, jehož první vstup je prepojen s zdrojem napájení logiky a dále druhý vstup uzemněn, přičemž jeho výstup je prepojen se vstupem prvního hradla NAND, jehož výstup je prepojen jednak se vstupem druhého hradla NAND a dále s nulevacím vstupem prvního desítkového čítače, dále druhého desítkového čítače první dekády a třetího desítkového čítače druhé dekády. Výstup druhého hradla NAND je prepojen jednak se všemi prvními nulovacími vstupy výstupních pamětí R-S a jednak s první nulovacím vstupem vstupní paměti R-S, jejíž přímý výstup je prepojen s blokovacím vstupem třetího hradla NAND. Výstup generátoru impulsů je prepojen s druhým vstupem třetího hradla NAND a výstup třetího hradla NAND prepojen s čítacím vstupem prvního desítkového čítače dělitele kmitočtů a výstup čtvrtého bitu tohoto čítače je prepojen s čítacím vstupem druhého desítkového čítače první dekády. Výstup čtvrtého bitu tohoto druhého desítkového čítače první dekády je prepojen s čítacím vstupem třetího desítkového čítače druhé dekády, kde čtyřbitový výstup druhého desítkového čítače první dekády je prepojen se čtyřbitovým vstupem prvního dekodéru z kódu BCD na jeden z deseti a čtyřbitový výstup třetího desítkového čítače druhé dekády je propojen se čtyřbitovým vstupem druhého dekodéru z kódu BCD na jeden z deseti. Výstupy pro desítková čísla nula až devět prvního dekodéru z kódu BCD na jeden z deseti jsou přes invertory prepojeny s pájecími body programovacího pole desítek. Vstupní svorky pracovního kontaktu a klidového kontaktu nulevacího tlačítka jsou uzemněny. Výstupní svorka pracovního kontaktu je prepojena se vsazovacím vstupem tvarovacího obvodu a výstupní svorka klidového kontaktu je prepojena s nulevacím vstupem tvarovacího obvodu. Negovaný výstup tvarovacího obvodu je prepojen se vstupem prvního hradla NAND a vstupní svorky pracovního kontaktu startovacího tlačítka a klidového kontaktu startovacího tlačítka jsou uzemněny. Výstupní svorka pracovního kontaktu tlačítka "start" je prepojena se vsazovacím vstupem tvarovacího obvodu a výstupní svorka klidového kontaktu je prepojena s nulevacím vstupem tvarovacího obvodu. Negovaný výstup tvarovacího obvodu je propojen jednak se vsazovacím vstupem vstupní paměti R-S a jednak se vsazovacím vstupem výstupní paměti R-S. Vstupní svorky pracovního kontaktu a klidového kontaktu stop - tlačítka jsou uzemněny, přičemž výstupní svorka pracovního kontaktu stop - tlačítka je propojena se vsazovacím vstupem tvarovacího obvodu. Výstupní svorka klidového kontaktu stop - tlačítka je propojena s nulovacím vstupem tvarovacího obvodu, jehož negovaný výstup je propojen s druhým nulovacím vstupem vstupní paměti R-S. Vstup čtvrtého hradla NAND je propojen s pátým pájecím bodem programovacího pole jednotek a vstup čtvrtého hradla NAND je propojen s šestým pájecím bodem programovacího pole desítek. Výstup čtvrtého hradla NAND je prepojen jednak s druhým nulovacím vstupem druhé výstupní paměti R-S a jednak se vstupem prvního hradla NAND, kde přímý výstup druhé výstupní paměti R-S je přes první konceový stupeň prepojen se začátkem vinutí cívky relé první pracovní operace a konec vinutí cívky tohoto relé je připojen ke zdroji. Vstup pátého hradla NAND je propojen se čtvrtým pájecím bodem programovacího pole jednotek a vstup pátého hradla NAND je prepojen s prvním pájecím bodem programovacího pole desítek. Výstup pátého hradla NAND je prepojen se vsazovacím vstupem třetí výstupní paměti R-S a vstup šestého hradla NAND je prepojen s třetím pájecím bodem programovacího pole jednotek a vstup šestého hradla NAND je prepojen se šestým pájecím bodem

programovacího pole desítek. Výstup šestého hradla NAND je propojen s druhým nulovacím vstupem třetí výstupní paměti R - S, jejíž přímý výstup je přes druhý koncevý stupeň propojen se začátkem vinutí cívky relé druhé pracovní operace. Kenec vinutí cívky tohoto relé je připojen ke zdroji. Vstup sedmého hradla NAND je propojen s pátým pájecím bodem programovacího pole jednotek a vstup sedmého hradla NAND je propojen s prvním pájecím bodem programovacího pole desítek. Výstup sedmého hradla NAND je propojen se vsazovacím vstupem čtvrté výstupní paměti R - S a vstup osmého hradla NAND je propojen s osmým pájecím bodem programovacího pole jednotek a vstup osmého hradla NAND je propojen s pátým pájecím bodem programovacího pole desítek. Výstup osmého hradla NAND je propojen s druhým nulovacím vstupem čtvrté výstupní paměti R - S, jejíž přímý výstup je přes třetí koncevý stupeň propojen se začátkem vinutí cívky relé třetí pracovní operace, přičemž kenec vinutí cívky tohoto relé je připojen ke zdroji. Vstup devátého hradla NAND je propojen s osmým pájecím bodem programovacího pole jednotek a vstup devátého hradla NAND je propojen s prvním pájecím bodem programovacího pole desítek. Výstup devátého hradla NAND je propojen se vsazovacím vstupem páté výstupní paměti R - S, kde dále vstup desátého hradla NAND je propojen s devátým pájecím bodem programovacího pole jednotek a vstup desátého hradla NAND je propojen s pájecím bodem programovacího pole desítek. Výstup desátého hradla NAND je propojen s druhým nulovacím vstupem páté výstupní paměti R - S, jejíž přímý výstup je přes čtvrtý koncevý stupeň propojen se začátkem vinutí cívky relé čtvrté pracovní operace. Kenec vinutí cívky tohoto relé je připojen ke zdroji.

Vstup jedenáctého hradla NAND je propojen s třetím pájecím bodem programovacího pole jednotek a vstup jedenáctého hradla NAND je propojen s druhým pájecím bodem programovacího pole desítek. Výstup jedenáctého hradla NAND je propojen se vsazovacím vstupem šesté výstupní paměti R - S, kde vstup dvanáctého hradla NAND je propojen s prvním pájecím bodem programovacího pole jednotek a vstup dvanáctého hradla NAND je propojen se čtvrtým pájecím bodem programovacího pole desítek. Výstup dvanáctého hradla NAND je propojen jednak s druhým nulovacím vstupem šesté výstupní paměti R - S a dále se vsazovacím vstupem sedmé výstupní paměti R - S. Přímý výstup této šesté výstupní paměti R - S je přes pátý koncevý stupeň propojen se začátkem vinutí cívky relé páté pracovní operace a kenec vinutí cívky tohoto relé je připojen ke zdroji. Vstup třináctého hradla NAND je připojen k devátému pájecímu bodu programovacího pole jednotek a vstup třináctého hradla NAND je připojen ke čtvrtému pájecímu bodu programovacího pole desítek, přičemž výstup třináctého hradla NAND je propojen jednak s druhým nulovacím vstupem sedmé výstupní paměti R - S a dále se vsazovacím vstupem osmé výstupní paměti R - S. Přímý výstup této sedmé výstupní paměti R - S je přes šestý koncevý stupeň propojen se začátkem vinutí cívky relé šesté pracovní operace a kenec vinutí cívky tohoto relé je připojen ke zdroji. Vstup čtrnáctého hradla NAND je připojen ke třetímu pájecímu bodu programovacího pole jednotek a vstup čtrnáctého hradla NAND je připojen k pátému pájecímu bodu programovacího pole desítek. Výstup čtrnáctého hradla NAND je propojen s druhým nulovacím vstupem osmé výstupní paměti R - S, jejíž přímý výstup je přes sedmý koncevý stupeň propojen se začátkem vinutí cívky relé sedmé pracovní operace a kenec vinutí cívky tohoto relé je připojen ke zdroji. Vstup patnáctého hradla NAND je propojen se čtvrtým pájecím bodem programovacího pole jednotek a vstup patnáctého hradla NAND je propojen s pátým pájecím bodem programovacího pole desítek. Výstup patnáctého hradla NAND je propojen se vsazovacím vstupem deváté výstupní paměti R - S a vstup šestnáctého hradla NAND je propojen s pátým pájecím bodem programovacího pole jednotek a vstup šestnáctého hradla NAND je propojen s pátým pájecím bodem programovacího pole desítek. Výstup šestnáctého hradla NAND je propojen s druhým nulovacím vstupem deváté výstupní paměti R - S, jejíž přímý výstup je přes osmý koncevý stupeň propojen se začátkem vinutí cívky relé osmé pracovní operace a kenec vinutí cívky tohoto relé je připojen ke zdroji.

Výhodou zapojení podle vynálezu je možnost odstranění všech mechanických spínacích prvků z těžkého hutního provedení, čímž se dosáhne snížení peruchevevosti. Další jeho výhodou je snížení vlastní potřeby elektrické energie a snížená potřeba montážního prostoru. Značnou jeho výhodou je jeho univerzálnost umožňující použití pro různé stroje a jednoduché naprogramování pracovního cyklu, také poměrně nízká pořizovací cena zařízení a to, že nevyžaduje žádné údržby.

Na výkresech je znázorněno schéma příkladného provedení zapojení podle vynálezu s konkrétním naprogramováním pracovního cyklu podle příkladného požadovaného časového diagramu. Na obr. 1 je schematicky zakreslena jeho jedna část a na obr. 2, 3, 4 jsou zakreslena bloková schémata jeho následujících částí, propojených vodiči, označenými symboly A1 až C1.

Zapojení podle vynálezu sestává z derivačního obvodu 1 nastavení paměti během zapnutí zdrojů, jehož první vstup a je propojen se zdrojem $+U_1$ pro napájení logiky a druhý vstup b je uzemněn. Výstup q derivačního obvodu 1 nastavení paměti během zapnutí zdrojů je propojen jednak se vstupem druhého hradla 13 NAND a současně s nulovacími vstupy x, aa, au desítkových čítačů 16, 17 a 19. Výstup druhého hradla 13 NAND je pak propojen současně s prvními nulovacími vstupy ba, ca, ca, ca, di, da, di, sh, ek výstupních pamětí 41, 47, 52, 57, 62, 66, 70 a 75 R - S s prvním nulovacím vstupem ek vstupní paměti 14 R - S. Negovaný výstup f tvarovacího obvodu 4 /klopný obvod R - S sestavený z hradel NAND/, je propojen se vstupem q prvního hradla 12 NAND. Vszovací vstup d tvarovacího obvodu 4 je přes pracovní kontakt 2 nulovacího tlačítka uzemněn a nulovací vstup a tvarovacího obvodu 4 je přes klidový kontakt 3 nulovacího tlačítka uzemněn. Negovaný výstup i tvarovacího obvodu 7, /klopný obvod R - S sestavený z hradel NAND/, je propojen jednak se vszovacím vstupem g vstupní paměti 14 R - S a dále se vszovacím vstupem ba druhé výstupní paměti 41 R - S. Vszovací vstup g tvarovacího obvodu 7 je přes pracovní kontakt 5 startovacího tlačítka uzemněn a nulovací vstup h tvarovacího obvodu 7 je přes klidový kontakt 6 startovacího tlačítka uzemněn. Negovaný výstup j tvarovacího obvodu 10 /klopný obvod R - S sestavený z hradel NAND/ je propojen s druhým nulovacím vstupem r vstupní paměti 14 R - S. Vszovací vstup i tvarovacího obvodu 10 je přes pracovní kontakt 8 stop-tlačítka uzemněn a nulovací vstup k tvarovacího obvodu 10 je přes klidový kontakt 9 stop-tlačítka uzemněn. Přímý výstup s vstupní paměti 14 R - S je propojen se vstupem i třetího hradla 15 NAND. Výstup generátoru 11 impulsu /AKO sestavený z hradel NAND/ je propojen se vstupem u třetího hradla 15 NAND. Výstup y třetího hradla 15 NAND je propojen s čítacím vstupem w prvního desítkového čítače 16 děliče kmitočtu. Výstup čtvrtého bitu x prvního desítkového čítače 16 děliče kmitočtu je propojen s čítacím vstupem z druhého desítkového čítače 17 první dekády. Výstupy čtyřbitového výstupního bitu /niblu/ ah, ac, ad a ae druhého desítkového čítače 17 první dekády jsou propojeny se vstupy af, ag, ah a ai čtyřbitového vstupu prvního dekodéru 18 z kódu BCD na jeden z deseti, přičemž výstup čtvrtého bitu aa druhého desítkového čítače 17 první dekády je zároveň propojen s čítacím vstupem at třetího desítkového čítače 17 první dekády je zároveň propojen s čítacím vstupem at třetího desítkového čítače 19 druhé dekády. Výstupy aj až aa pro desítková čísla nula až devět prvního dekodéru 18 z kódu BCD na jedna z deseti jsou přes inventory 21 až 30 propojeny s pájecími body OZ až 9Z programovacího pole 78 jednotek. Výstupy čtyřbitového výstupního bitu /niblu/ av, aw, ax a ay třetího desítkového čítače 19 druhé dekády jsou propojeny s čtyřbitovým vstupem ba, bb, bc a bd druhého dekodéru 20 z kódu BCD na jedna z deseti. Výstupy be až bn pro desítková čísla nula až devět druhého dekodéru 20 z kódu BCD na jeden z deseti jsou přes inventory 31 až 40 propojeny s pájecími body AA až JJ programovacího pole 79 desítek. Vstup ba čtvrtého hradla 44 NAND je propojen s pátým pájecím bodem 47 programovacího pole 78 jednotek. Vstup bi čtvrtého hradla 44 NAND je propojen se šestým pájecím bodem 47 programovacího pole 79 desítek. Výstup bu čtvrtého hradla 44 NAND je propojen jednak s druhým nulovacím vstupem ba druhé výstupní paměti 41 R - S a současně se vstupem m prvního hradla 12 NAND. Přímý výstup br druhé výstupní paměti 41 R - S je přes první koncový stupeň 42 propojen se začátkem vinutí cívky relé 43 první pracovní operace a konec vinutí cívky tohoto relé 43 je propojen se zdrojem $+U_2$. Vstup bv pátého hradla 45 je propojen se čtvrtým pájecím bodem 32 programovacího pole 78 jednotek a vstup bw pátého hradla 45 NAND je propojen s prvním pájecím bodem AA programovacího pole 79 desítek. Výstup bx pátého hradla 45 NAND je propojen se vszovacím vstupem cd třetí výstupní paměti 47 R - S, jejíž přímý výstup cg je přes druhý koncový stupeň 42 propojen se začátkem vinutí cívky relé 49 druhé pracovní operace. Konec vinutí cívky tohoto relé 49 je propojen se zdrojem $+U_2$. Vstup ca šestého hradla 46 NAND je propojen se třetím pájecím bodem 22 programovacího pole

78 jednotek a vstup ch šestého hradla 46 NAND je propojen se šestým pájecím bodem FF programovacího pole 79 desítek. Výstup cc šestého hradla 46 NAND je propojen s druhým nulovacím vstupem cf třetí výstupní paměti 47 R - S. Vstup ch sedmého hradla 50 NAND je propojen s pátým pájecím bodem 42 programovacího pole 78 jednotek a vstup ci sedmého hradla 50 NAND je propojen s prvním pájecím bodem AA programovacího pole 79 desítek. Výstup ci sedmého hradla 50 NAND je propojen s vsazovacím vstupem cn čtvrté výstupní paměti 52 R - S, jejíž přímý výstup cg je přes třetí koncový stupeň 53 propojen se začátkem vinutí cívky relé 54 třetí pracovní operace. Konec vinutí cívky tohoto relé 54 je propojen se zdrojem $+U_2$. Vstup ck osmého hradla 51 NAND je propojen s osmým pájecím bodem 72 programovacího pole 78 jednotek a vstup cl osmého hradla 51 NAND je propojen s pátým pájecím bodem EE programovacího pole 79 desítek. Výstup cm osmého hradla 51 NAND je propojen s druhým nulovacím vstupem cp čtvrté výstupní paměti 52 R - S. Vstup cr devátého hradla 55 NAND je propojen s osmým pájecím bodem 72 programovacího pole 78 jednotek a vstup cs devátého hradla 55 NAND je propojen s prvním pájecím bodem AA programovacího pole 79 desítek. Výstup ct devátého hradla 55 NAND je propojen s vsazovacím vstupem cx páté výstupní paměti 57 R - S, jejíž přímý výstup da je propojen přes čtvrtý koncový stupeň 58 se začátkem vinutí cívky relé 59 čtvrté pracovní operace. Konec vinutí cívky tohoto relé 59 je propojen se zdrojem $+U_2$. Vstup cu desátého hradla 56 NAND je propojen s devátým pájecím bodem 82 programovacího pole 78 jednotek a vstup cv desátého hradla 56 NAND je propojen s prvním pájecím bodem AA programovacího pole 79 desítek. Výstup dw desátého hradla 56 NAND je propojen s druhým nulovacím vstupem cz páté výstupní paměti 57 R - S. Vstup dh jedenáctého hradla 60 NAND je propojen s třetím pájecím bodem 22 programovacího pole 78 jednotek a vstup dc jedenáctého hradla 60 je propojen s druhým pájecím bodem 88 programovacího pole 79 desítek. Výstup dd jedenáctého hradla 60 NAND je propojen s vsazovacím vstupem dh šesté výstupní paměti 62 R - S, jejíž přímý výstup dk je propojen přes pátý koncový stupeň 63 se začátkem vinutí cívky relé 64 páté pracovní operace. Konec vinutí cívky tohoto relé 64 je propojen se zdrojem $+U_2$. Vstup de dvanáctého hradla 61 NAND je propojen s prvním pájecím bodem 00 programovacího pole 78 jednotek a vstup df dvanáctého hradla 61 NAND je propojen se čtvrtým pájecím bodem DD programovacího pole 79 desítek. Výstup dg dvanáctého hradla 61 NAND je současně propojen s druhým nulovacím vstupem di šesté výstupní paměti 62 R - S a se vsazovacím vstupem dl sedmé výstupní paměti 66 R - S, jejíž přímý výstup do je přes šestý koncový stupeň 67 propojen se začátkem vinutí cívky relé 68 šesté pracovní operace. Konec vinutí cívky tohoto relé 68 je propojen se zdrojem $+U_2$. Vstup dh třináctého hradla 65 NAND je propojen s devátým pájecím bodem 82 programovacího pole 78 jednotek a vstup dg třináctého hradla 65 NAND je propojen se čtvrtým pájecím bodem DD programovacího pole 79 desítek. Výstup dr třináctého hradla 65 NAND je současně propojen s druhým nulovacím vstupem dn sedmé výstupní paměti 66 R - S a se vsazovacím vstupem ds osmé výstupní paměti 70 R - S, jejíž přímý výstup dv je přes sedmý koncový stupeň 71 propojen se začátkem vinutí cívky relé 72 sedmé pracovní operace. Konec vinutí cívky tohoto relé 72 je propojen se zdrojem $+U_2$. Vstup dx čtrnáctého hradla 69 NAND je propojen se třetím pájecím bodem 22 programovacího pole 78 jednotek a vstup dy čtrnáctého hradla 69 NAND je propojen s pátým pájecím bodem EE programovacího pole 79 desítek. Výstup dz čtrnáctého hradla 69 NAND je propojen s druhým nulovacím vstupem du osmé výstupní paměti 70 R - S. Vstup ea patnáctého hradla 73 NAND je propojen se čtvrtým pájecím bodem 32 programovacího pole 78 jednotek a vstup eb šestnáctého hradla 73 NAND je propojen s pátým pájecím bodem EE programovacího pole 79 desítek. Výstup ec šestnáctého hradla 73 NAND je propojen se vsazovacím vstupem eg deváté výstupní paměti 75 R - S, jejíž přímý výstup ei je přes osmý koncový stupeň 76 propojen se začátkem vinutí cívky relé 77 osmé pracovní operace. Konec vinutí cívky tohoto relé 77 je propojen se zdrojem $+U_2$. Vstup ed šestnáctého hradla 74 NAND je propojen s pátým pájecím bodem 42 programovacího pole 78 jednotek a vstup ee šestnáctého hradla 74 NAND je propojen s pátým pájecím bodem EE programovacího pole 79 desítek. Výstup ef šestnáctého hradla 74 NAND je propojen s druhým nulovacím vstupem ei desáté výstupní paměti 75 R - S.

Ze provozu během zapnutí zdroje $+U_2$ pro napájení logiky, pro logiku vznikne na výstupu c derivačního obvodu 1 nastavení paměti během zapnutí napájení a změna úrovně LM a tato

přivedena na vstup u prvního hradla 12 NAND způsobí, že na jeho výstupu y vznikne impuls LHL, jenž se přivádí jednak na vstup druhého hradla 13 NAND, čímž na jeho výstupu vznikne impuls HLM, jímž se vsazují do nulového stavu všechny výstupní paměti 41 , 47 , 52 , 57 , 62 , 66 a 72 a na vstupní paměť 14 , na jejíž první nulovací vstupy hp , cp , co , cg , di , dm , dt , eh a ek je tento impuls MLM přiveden, je impuls LHL z výstupu y prvního hradla 12 NAND přiveden na nulovací vstupy x , aa , au prvního desítkového čítače 16 děliče kmitočtů druhého desítkového čítače 17 první dekády a třetího desítkového čítače 19 druhé dekády a tím tuto nuluje. Během zapnutí zdroje $+U_1$ pro logiku, jsou tudíž vsazeny do nulového stavu všechny desítkové čítače 16 , 17 a 19 a výstupní paměti R - S řídicí logiky. Řídicí impulsy o frekvenci 10 Hz jsou z výstupu generátoru 11 impulsem přivedeny na vstup u třetího hradla 15 NAND, ze kterého neprojdou na jeho výstup y , jelikož na druhém vstupu i třetího hradla 15 NAND je v tomto klidovém stavu přiveden signál "L" z přímého výstupu a vstupní paměti 14 R - S. Teprve po stlačení startovacího tlačítka sepne pracovní kontakt 2 a připojí signál L na vsezovací vstup g tvarovacího obvodu 7 , současně rozpojí klidový kontakt 6 a odpojí signál L od nulovacího vstupu h tvarovacího obvodu 7 . Jelikož stlačení startovacího tlačítka je krátkodobé, vznikne na negovaném výstupu i tvarovacího obvodu 7 impuls MLM. Tento se přivádí na vsezovací vstup g vstupní paměti 14 R - S a tím se tato vsadí a její přímý výstup a přejde do stavu H. Jelikož je přímý výstup a vstupní paměti 14 propojen s blokovacím vstupem i třetího hradla 15 NAND, je i na tomto signál H a řídicí impulsy se vstupu u třetího hradla 15 NAND procházejí v negované formě na jeho výstup y . Odtud jsou přivedeny na čítací vstup x prvního desítkového čítače 16 děliče kmitočtu jedna ku deseti, čímž se na jeho výstupu čtvrtého bitu y objeví řídicí impulsy o frekvenci 1 Hz, neboť nulovací vstup x má opět úroveň L. Tyto řídicí impulsy o frekvenci 1 Hz jsou nyní přivedeny na čítací vstup g druhého desítkového čítače 17 první dekády, jenž pracuje v kódu BCD. Jelikož i na jeho nulovacím vstupu aa je opět úroveň L, je tento čítán vzhůru v cyklech nula až devět. Čtyřbitový výstup ah , ag , ad a ae druhého desítkového čítače 17 první dekády je propojen s čtyřbitovým vstupem ef , eg , eh a ei prvního dekodéru 18 z kódu BCD na jednu z deseti, který se nyní mění v cyklech LLLL až MLLM. Na výstupech aj až aa prvního dekodéru 18 z kódu BCD na jeden z deseti pro desítková čísla nula až devět nyní s frekvencí 1 Hz cyklicky přestupuje signál L. Jelikož jsou výstupy aj až aa tohoto dekodéru 18 propojeny přes invertory 21 až 30 a pájecími body 02 až 07 programovacího pole 78 jednotek, přestupuje na těchto cyklicky s frekvencí 1 Hz signál H. Výstup ae čtvrtého bitu druhého desítkového čítače 17 první dekády je současně propojen s čítacím vstupem ai třetího desítkového čítače 19 druhé dekády, jenž pracuje v kódu BCD a je tudíž čítán vzhůru, když výstup čtvrtého bitu ae druhého desítkového čítače 17 první dekády přejde ze stavu H do stavu L, to je po deseti impulsích na čítacím vstupu g druhého desítkového čítače 17 první dekády vzhůru frekvencí $0,1$ Hz v cyklech deset až devadesát, jelikož i jeho nulovací vstup au je opět ve stavu L. Čtyřbitový výstup av , aw , ax , ay třetího desítkového čítače 19 druhé dekády je propojen se čtyřbitovým vstupem ba , bb , bc , bd druhého dekodéru 20 z kódu BCD na jeden z deseti, který se nyní mění v cyklech LLLL až MLLM. Na výstupech be až bu druhého dekodéru 20 z kódu BCD na jeden z deseti pro desítková čísla nula až devět s frekvencí $0,1$ Hz cyklicky přestupuje signál L, jelikož jsou výstupy be až bu tohoto dekodéru 20 propojeny přes invertory 31 až 40 a pájecími body AA až JY programovacího pole 79 desítek, přestupuje na těchto cyklicky s frekvencí $0,1$ Hz signál H. Zároveň se při stlačení startovací tlačítka přivádí signál L z výstupu i vstupního tvarovače 7 na vsezovací vstup hg druhé výstupní paměti 41 R - S. Tím je tato vsazena a její přímý výstup hr přejde do stavu H. Tento je přiveden na první vstup koncového stupně 42 , čímž se na jeho výstupu objeví potenciál nula voltů, jenž se přivádí na začátek vinutí cívky relé 43 první pracovní operace. Protože na konci vinutí cívky tohoto relé 43 je připojen zdroj $+U_2$, toto relé 43 sepne a uvede pomocí svých kontaktů do chodu vnější první pracovní cyklus řízeného stroje.

Další popis i příkladné připojení programovacího pole 78 jednotek a programovacího pole 79 desítek platí pro konkrétní požadovaný časový harmonogram řízeného stroje.

Různé časové hermonogramy pro řízení různých strojů lze pak jednoduchým způsobem dosáhnout různým zapojením programovacího pole 78 jednotek a programovacího pole 79 desítek. Jelikož vstup by pátého hradla 45 NAND je připojen ke čtvrtému pájecímu bodu 32 programovacího pole 78 jednotek a vstup bw pátého hradla 45 NAND je připojen k prvnímu pájecímu bodu AA programovacího pole 79 desítek, objeví se na obou těchto vstupech signál H po třech sekundách od započetí prvního pracovního cyklu. Tím přejde výstup bx pátého hradla 45 NAND do stavu L, jenž je přiveden na vsazovací vstup cd třetí výstupní paměti 47 R - S a tuto vsadí. Přímý výstup cg této paměti 47 R - S tímto přejde do stavu H, jenž je přiveden na vstup druhého koncového stupně 48. Tím se na jeho výstupu objeví potenciál nula voltů, jenž se přivádí na začátek vinutí cívky relé 49 druhé pracovní operace. Protože na konci vinutí cívky tohoto relé 49 je připojen zdroj $+U_2$, toto relé 49 sepne a uvede svými kontakty do chodu druhou pracovní operaci. Jelikož vstup ch sedmého hradla 50 NAND je připojen k pátému pájecímu bodu 42 programovacího pole 78 jednotek a vstup ci sedmého hradla 50 NAND je připojen k prvnímu pájecímu bodu AA programovacího pole 79 desítek, objeví se na obou těchto vstupech signál H po čtyřech sekundách od započetí prvního pracovního cyklu. Tím přejde výstup ci sedmého hradla 50 NAND do stavu L, jenž je přiveden na vsazovací vstup cn čtvrté výstupní paměti 52 R - S a tuto vsadí. Přímý výstup ca této paměti 52 R - S tímto přejde do stavu H, jenž je přiveden na vstup třetího koncového stupně 53. Tím se na jeho výstupu objeví potenciál nula voltů, jenž se přivádí na začátek vinutí cívky relé 54 třetí pracovní operace. Protože na konci vinutí cívky tohoto relé 54 je připojen zdroj $+U_2$, toto relé 54 sepne a svými kontakty uvede do chodu třetí pracovní operaci. Jelikož vstup cr devátého hradla 55 NAND je připojen k osmému pájecímu bodu 72 programovacího pole 78 jednotek a vstup ca devátého hradla 55 NAND je připojen k prvnímu pájecímu bodu AA programovacího pole 79 desítek, objeví se na obou těchto vstupech signál H po sedmi sekundách od započetí prvního pracovního cyklu. Tím přejde výstup ct devátého hradla 55 NAND do stavu L, jenž je přiveden na vsazovací vstup cx páté výstupní paměti 57 R - S a tuto vsadí. Přímý výstup da této paměti 57 R - S tímto přejde do stavu H, jenž je přiveden na vstup čtvrtého koncového stupně 58. Tím se na jeho výstupu objeví potenciál nula voltů, jenž se přivádí na začátek vinutí cívky relé 59 čtvrté pracovní operace. Protože vstup cu desátého hradla 56 NAND je připojen k devátému pájecímu bodu 82 programovacího pole 78 jednotek a vstup cy desátého hradla 56 NAND je připojen k prvnímu pájecímu bodu AA programovacího pole 79 desítek, objeví se na obou těchto vstupech signál H po osmi sekundách od započetí prvního pracovního cyklu. Tím se přejde výstup cw desátého hradla 56 NAND do stavu L, jenž je přiveden na druhý nulovací vstup cz páté výstupní paměti 57 R - S a tuto nuluje. Přímý výstup da této paměti 57 R - S tímto přejde do stavu L, čímž se na výstupu čtvrtého koncového stupně 58 objeví kladný potenciál zdroje $+U_2$, což má za následek odpadnutí relé 59 čtvrté pracovní operace a její ukončení. Protože vstup db jedenáctého hradla 60 NAND je připojen k třetímu pájecímu bodu 22 programovacího pole 78 jednotek a vstup dc jedenáctého hradla 60 NAND je připojen k druhému pájecímu bodu BB programovacího pole 79 desítek, objeví se na obou těchto vstupech signál H po dvanácti sekundách od započetí prvního pracovního cyklu.

Tím přejde výstup dd jedenáctého hradla 60 NAND do stavu L, jenž je přiveden na vsazovací vstup dh šesté výstupní paměti 62 R - S a tuto vsadí. Přímý výstup dk této paměti 62 R - S tímto přejde do stavu H, jenž je přiveden na vstup pátého koncového stupně 63. Tím se na jeho výstupu objeví potenciál QV nula voltů, jenž se přivádí na začátek vinutí cívky relé 64 páté pracovní operace. Protože na konci vinutí cívky tohoto relé 64 je připojen zdroj $+U_2$, toto relé 64 sepne a svými kontakty uvede do chodu pátou pracovní operaci. Jelikož vstup de dvanáctého hradla 61 NAND je připojen k prvnímu pájecímu bodu 02 programovacího pole 78 jednotek a vstup df dvanáctého hradla 61 NAND je připojen ke čtvrtému pájecímu bodu DD programovacího pole 79 desítek, objeví se na obou těchto vstupech signál H po třiceti sekundách od započetí první pracovní operace. Tím přejde výstup dg dvanáctého hradla 61 NAND do stavu L, jenž je přiveden jednak na druhý nulovací vstup di šesté výstupní paměti 62 R - S a tuto nuluje. Přímý výstup dk této paměti 62 R - S tím přejde do stavu L, čímž se na výstupu koncového stupně 63 objeví kladný potenciál zdroje $+U_2$, což má za následek odpadnutí relé 64 páté pracovní operace a její ukončení. Zároveň je signál L z výstupu dg dvanáctého hradla 61

NAND přiveden na vřazovací vstup dl sedmé výřupní paměti 66 R - S a tuto vsadí. Tím přejde její přímý výřup do stavu H, jenž je přiveden na vstup šestého koncového stupně 67. Tím se na jeho výřupu objeví potenciál nula voltů, jenž se přivádí na začátek vinutí relé 68 šesté pracovní operace. Protože na konci vinutí cívky tohoto relé 68 je připojen zdroj $+U_2$, toto relé 68 sepne a svými kontakty uvede do chodu šestou pracovní operaci. Jelikož vstup dp třináctého hradla 65 NAND je připojen k devátému pájecímu bodu 8Z programovacího pole 78 jednotek a vstup dq třináctého hradla 65 NAND je připojen ke čtvrtému pájecímu bodu DD třináctého hradla 65 NAND, objeví se na obou těchto vřupech signál H po třiceti osmi sekundách od započeti první pracovní operace. Tím přejde výřup dr třináctého hradla 65 NAND do stavu L, jenž je přiveden jednak na druhý nulovací vstup dn sedmé výřupní paměti 66 R - S a tuto nuluje. Přímý výřup do této paměti 66 R - S přejde do stavu L, čímž se na výřupu koncového stupně 67 objeví kladný potenciál zdroje $+U_2$, což má za následek odpadnutí relé 68 šesté pracovní operace a její ukončení. Zároveň je signál L z výřupu dr třináctého hradla 65 NAND přiveden na vřazovací vstup dg osmé výřupní paměti 70 R - S a tuto vsadí. Přímý výřup dy této paměti 70 R - S tímto přejde do stavu H, jenž je přiveden na vstup sedmého koncového stupně 71. Tím se na jeho výřupu objeví potenciál nula voltů, jenž se přivádí na začátek vinutí cívky relé 72 sedmé pracovní operace. Protože na konci vinutí cívky tohoto relé 72 je připojen zdroj $+U_2$, toto relé 72 sepne a svými kontakty uvede do chodu sedmou pracovní operaci. Jelikož vstup di čtrnáctého hradla 69 NAND je připojen ke třetímu pájecímu bodu 2Z programovacího pole 78 jednotek a vstup dv čtrnáctého hradla 69 NAND je připojen k pátému pájecímu bodu EE programovacího pole 79 desítek, objeví se na obou těchto vřupech signál H po čtyřiceti dvou sekundách od započeti první pracovní operace. Tím přejde výřup dz čtrnáctého hradla 69 NAND do stavu L, jenž je přiveden na druhý nulovací vstup du osmé výřupní paměti 70 R - S a tuto nuluje. Přímý výřup dy této paměti 70 tímto přejde do stavu L, čímž se na výřupu sedmého koncového stupně 71 objeví kladný potenciál zdroje $+U_2$, což má za následek odpadnutí relé 72 sedmé pracovní operace a její ukončení. Protože vstup ca patnáctého hradla 73 NAND je připojen ke čtvrtému pájecímu bodu 3Z programovacího pole 78 jednotek a vstup cb patnáctého hradla 73 NAND je připojen k pátému pájecímu bodu EE programovacího pole 79 desítek, objeví se na obou těchto vřupech signál H po čtyřiceti třech sekundách od započeti první pracovní operace. Tím přejde výřup cc patnáctého hradla 73 NAND do stavu L, jenž je přiveden na vřazovací vstup cg deváté výřupní paměti 75 R - S a tuto vsazuje. Přímý výřup ci této paměti 75 tímto přejde do stavu H, jenž je přiveden na vstup osmého koncového stupně 76. Tím se na jeho výřupu objeví potenciál nula voltů, jenž se přivádí na začátek vinutí cívky relé 77 osmé pracovní operace. Protože na konci vinutí cívky relé 77 je připojen zdroj $+U_2$, toto relé 77 sepne a svými kontakty uvede do chodu osmou pracovní operaci. Jelikož vstup cd šestnáctého hradla 74 NAND je připojen k pátému pájecímu bodu 4Z programovacího pole 78 jednotek a vstup ce šestnáctého hradla 74 NAND je připojen k pátému pájecímu bodu EE programovacího pole 79 desítek, objeví se na obou těchto vřupech signál H po čtyřiceti čtyřech sekundách od započeti první pracovní operace. Tím přejde výřup cf šestnáctého hradla 74 NAND do stavu L, jenž je přiveden na druhý nulovací vstup ci deváté výřupní paměti 75 R - S a tuto nuluje. Přímý výřup ci této paměti 75 tímto přejde do stavu L, čímž se na výřupu osmého koncového stupně 76 objeví kladný potenciál zdroje $+U_2$, což má za následek odpadnutí relé 77 osmé pracovní operace a její ukončení. Jelikož vstup ck osmého hradla 51 NAND je připojen k osmému pájecímu bodu 7Z programovacího pole 78 jednotek a vstup cl osmého hradla 51 NAND je připojen k pátému pájecímu bodu EE programovacího pole 79 desítek, objeví se na obou těchto vřupech signál H po čtyřiceti sedmi sekundách od započeti první pracovní operace. Tím přejde výřup cm osmého hradla 51 NAND do stavu L, jenž je přiveden na druhý nulovací vstup cn čtvrté výřupní paměti 52 R - S a tuto nuluje. Přímý výřup co této paměti 52 R - S tímto přejde do stavu L, čímž se na výřupu třetího koncového stupně 53 objeví kladný potenciál zdroje $+U_2$, což má za následek odpadnutí relé 54 a třetí pracovní operace a její ukončení. Protože vstup ca šestého hradla 46 NAND je připojen ke třetímu pájecímu bodu 2Z programovacího pole 78 jednotek a vstup cb šestého hradla 46 NAND je připojen k šestému pájecímu bodu FF programovacího pole 79 desítek, objeví se na obou těchto vřupech signál H po padesáti dvou sekundách od započeti první pracovní operace. Tím přejde výřup cc šestého hradla 46 NAND do stavu L, jenž je přiveden na druhý nulovací vstup cf třetí výřupní paměti 47 R - S a tuto nuluje. Přímý výřup

cg této paměti 47 tímto přejde do stavu L, čímž se na výstupu druhého koncového stupně 48 objeví kladný potenciál zdroje $+U_2$, což má za následek odpadnutí relé 49 druhé pracovní operace a její ukončení. Protože vstup ba čtvrtého hradla 44 NAND je připojen k pátému pájecímu bodu 42 programovacího pole 78 jednotek a vstup bi čtvrtého hradla 44 NAND je připojen k šestému pájecímu bodu 44 programovacího pole 79 desítek, objeví se na obou těchto vstupech signál H po padesáti čtyřech sekundách po započetí první pracovní operace. Tím přejde výstup bu čtvrtého hradla 44 NAND do stavu L, jenž je přiveden jednak na druhý nulovací vstup bg druhé výstupní paměti 41 R - S a tuto nuluje. Přímý výstup br této paměti 41 R - S tímto přejde do stavu L, čímž se na výstupu prvního koncového stupně 42 objeví kladný potenciál zdroje $+U_2$, což má za následek odpadnutí relé 43 první pracovní operace a její ukončení. Zároveň se přivádí signál L z výstupu bu čtvrtého hradla 44 NAND na vstup m prvního hradla 12 NAND, čímž proběhne stejný děj jako bude popsáno při stlačení nulovacího tlačítka, tj. všechny desítkové čítače 16, 17 a 19 jsou nulovány, dále všechny výstupní paměti 41, 47, 52, 57, 62, 66, 70 a 75 R - S jsou nulovány a vstupní paměť 14 R - S je nulována, čímž její přímý výstup a přejde do stavu L a jelikož je tento přiveden na blokovací vstup i třetího hradla 15 NAND, nemohou již dále procházet řídicí impulsy generátoru 11 impulsů se vstupu y třetího hradla 15 NAND na jeho výstup y a tím je celý řídicí obvod ve výchozím postavení a stlačením startovacího tlačítka lze uvést do chodu nový automatický cyklus.

Stlačí-li se během určité pracovní operace stop-tlačítko objeví se na negovaném výstupu 1 tvarovacího obvodu 10 krátkodobý impuls HLH, jenž je přiveden na druhý nulovací vstup r vstupní paměti 14 R - S a tuto nuluje. Tím její přímý výstup a přejde do stavu L. Jelikož je tento signál L přiveden na blokovací vstup i třetího hradla 15 NAND, nemohou již dále procházet řídicí impulsy generátoru 11 impulsu ze vstupu y třetího hradla 15 NAND na jeho výstup y. Tím řídicí obvod zůstane stát v příslušném kroku pracovní operace, při níž došlo ke stlačení stop-tlačítka. To znamená, že všechny doposud započaté pracovní operace zůstanou zachovány, pouze se nepokračuje automaticky se započatím dalších. S automatickým průběhem dalších pracovních operací lze pokračovat od místa přerušení po stlačení startovacího tlačítka. Stlačením nulovacího tlačítka se přes pracovní kontakt 2 nulovacího tlačítka přivádí na vsazovací vstup d tvarovacího obvodu 4 signál L. Současně se rozpojením klidového kontaktu 3 odejme signál L z nulovacího vstupu a tvarovacího obvodu 4, na jehož negovaném výstupu f se nyní, protože stlačení nulovacího tlačítka je krátkodobé, objeví impuls HLH. Tento se přivádí na vstup q prvního hradla 12 NAND. Na výstupu p prvního hradla 12 NAND se tímto objeví impuls LHL, pomocí něhož se nulují desítkové čítače 16, 17 a 19, protože se tento přivádí na jejich nulování vstupy x, aa a au. Dále se impuls LHL přivádí na vstup druhého hradla 13 NAND, jenž tento neguje, tudíž se na výstupu druhého hradla 13 NAND objeví impuls HLH. Pomocí tohoto se vsazují všechny výstupní paměti 41, 47, 52, 57, 62, 66, 70 a 75 R - S do nulové polohy, neboť je přiveden na jejich první nulovací vstupy bp, ca, co, cg, di, dm, dt, eh. Dále je tímto impulsem HLH nulována vstupní paměť 14 R - S, neboť je tento přiváděn na její první nulovací vstup ak. Tímto je celý řídicí obvod okamžitě převeden do výchozí polohy a všechny pracovní operace jsou zrušeny. Po stlačení startovacího tlačítka je možno opět započítat s novým cyklem pracovních operací.

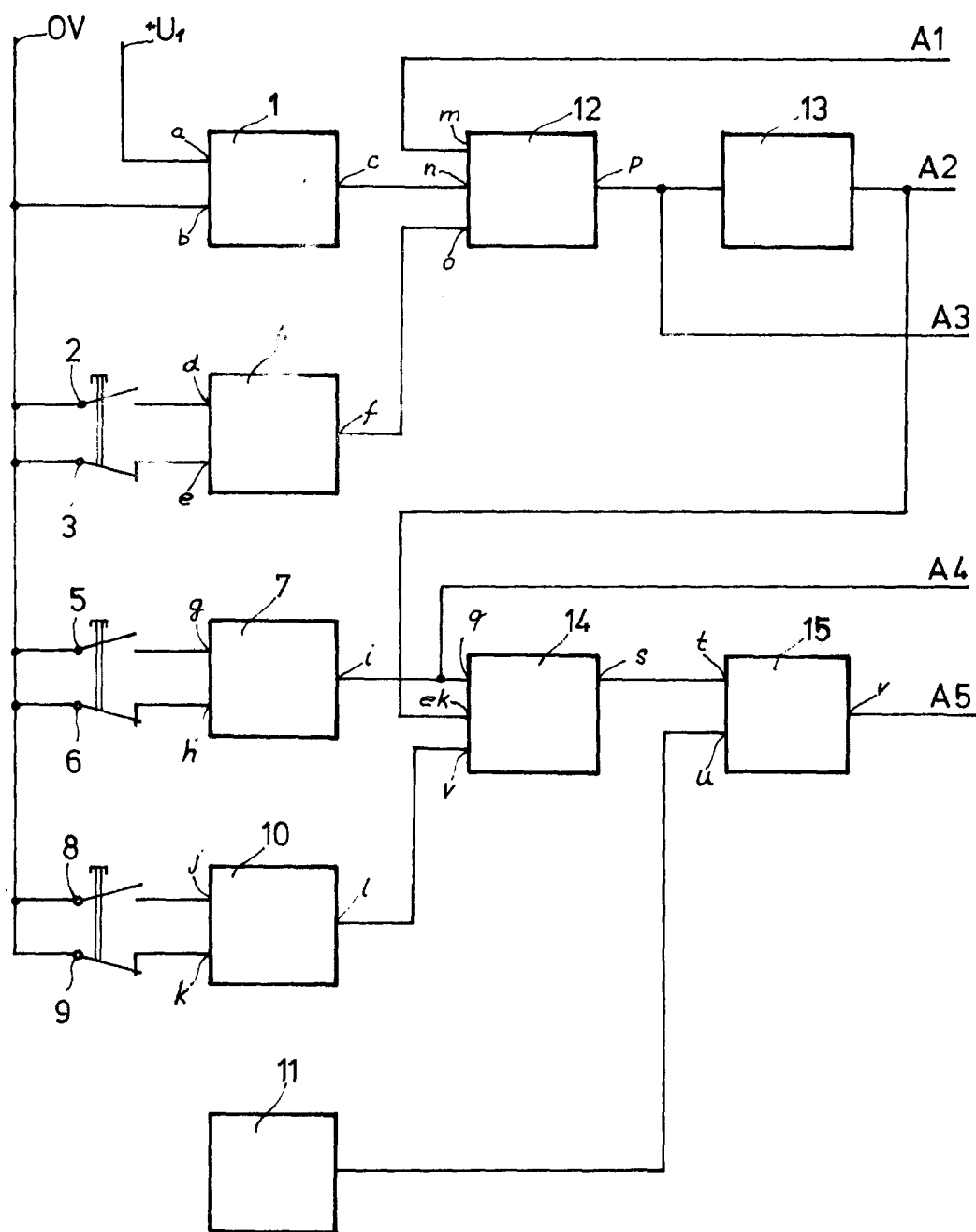
PŘEDMĚT VYNÁLEZU

Zepojení univerzální řídicí jednotky pro hutní stroje vyznačené tím, že sestává z derivečního obvodu /1/, jehož první vstup /a/ je propojen se zdrojem $+U_1$ pro napájení logiky a druhý vstup /b/ je uzemněn, přičemž jeho výstup /c/ je propojen se vstupem /n/ prvního hradla /12/ NAND, jehož výstup /p/ je propojen jednak se vstupem druhého hradla /13/ NAND a dále s nulovacími vstupy /x, aa a au/ prvního desítkového čítače /16/ děliče kmitočtu, druhého desítkového čítače /17/ první dekády a třetího desítkového čítače /19/ druhé dekády, přičemž výstup druhého hradla /13/ NAND je propojen jednak se všemi prvními nulovacími vstupy /bp, ca, co, cg, di, dm, dt, eh/ výstupních pamětí /41, 47, 52, 57, 62, 66, 70 a 75/ R-S a jednak s prvním nulovacím vstupem /ek/ vstupní paměti /14/ R-S, jejíž přímý výstup /s/

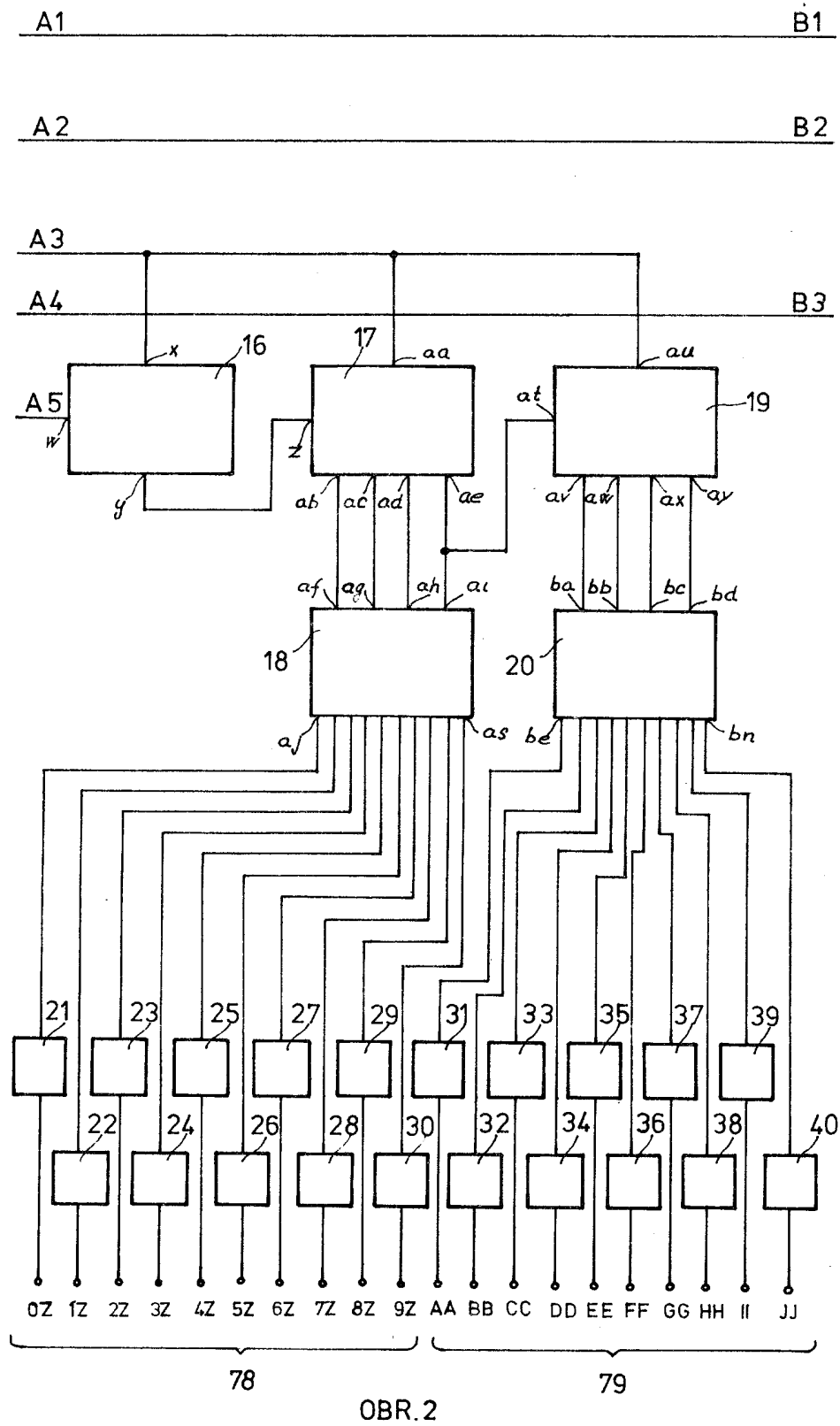
je propojen s blokovacím vstupem /t/ třetího hradla /15/ NAND, přičemž výstup generátoru /11/ impulsů je propojen s druhým vstupem /u/ třetího hradla /15/ NAND, kde výstup /v/ třetího hradla /15/ NAND je propojen s čítecím vstupem /w/ prvního desítkového čítače /16/ děliče kmitočtu a výstup /y/ čtvrtého bitu prvního desítkového čítače /17/ první dekády, přičemž výstup čtvrtého bitu /se/ tohoto druhého desítkového čítače /17/ první dekády je propojen s čítecím vstupem /et/ třetího desítkového čítače /19/ druhé dekády, kde čtyřbitový výstup /eb, ec, ed, ee/ druhého desítkového čítače /17/ první dekády je propojen s čtyřbitovým vstupem /ef, eg, eh, ei/ prvního dekodéru /18/ z kódu BCD na jeden z deseti a čtyřbitový výstup /av, aw, ax, ay/ třetího desítkového čítače /19/ druhé dekády je propojen se čtyřbitovým vstupem /be, bb, bc, bd/ druhého dekodéru /20/ z kódu BCD na jeden z deseti, kde výstupy /ej až es/ pro desítková čísla nula až devět prvního dekodéru /18/ z kódu BCD na jeden z deseti jsou přes inventory /21 až 30/ propojeny s pájecími body /OZ až 9Z/ programovacího pole /78/ jednotek a výstupy /be až bn/ pro desítková čísla nula až devět druhého dekodéru /20/ z kódu BCD na jeden z deseti jsou přes inventory /31 až 40/ propojeny s pájecími body /AA až JJ/ programovacího pole /79/ desítek, kde dále jsou vstupní svorky pracovního kontaktu /2/ a klidového kontaktu /3/ nulovacího tlačítka uzemněny, přičemž výstupní svorka pracovního kontaktu /2/ nulovacího tlačítka je propojena se vsazovacím vstupem /d/ tvarovacího obvodu /4/ vstupní svorka klidového kontaktu /3/ je propojena s nulovacím vstupem /e/ tvarovacího obvodu /4/, přičemž negovaný výstup /f/ tvarovacího obvodu /4/ je propojen se vstupem /o/ prvního hradla /12/ NAND, kde dále jsou vstupní svorky pracovního kontaktu /5/ startovacího tlačítka a klidového kontaktu /6/ startovacího tlačítka uzemněny a výstupní svorka pracovního kontaktu /5/ startovacího tlačítka je propojena se vsazovacím vstupem /g/ tvarovacího obvodu /7/ a výstupní svorka klidového kontaktu /6/ je propojena s nulovacím vstupem /h/ tvarovacího obvodu /7/, přičemž negovaný výstup /i/ tvarovacího obvodu /7/ je propojen jednak se vsazovacím vstupem /q/ vstupní paměti /14/ R-S a jednak se vsazovacím vstupem /bo/ druhé výstupní paměti /41/ R-S a vstupní svorky pracovního kontaktu /8/ a klidového kontaktu /9/ stop-tlačítka jsou uzemněny, přičemž výstupní svorka pracovního kontaktu /8/ stop-tlačítka je propojena se vsazovacím vstupem /j/ tvarovacího obvodu /10/ a výstupní svorka klidového kontaktu /9/ stop-tlačítka je propojena s nulovacím vstupem /k/ tvarovacího obvodu /10/, jehož negovaný výstup /l/ je propojen s druhým nulovacím vstupem /r/ vstupní paměti /14/ R-S, kde vstup /ba/ čtvrtého hradla /44/ NAND je propojen s pátým pájecím bodem /4Z/ programovacího pole /78/ jednotek a vstup /bt/ čtvrtého hradla /44/ NAND je propojen se šestým pájecím bodem /FF/ programovacího pole /79/ desítek, přičemž výstup /bu/ čtvrtého hradla /44/ NAND je propojen jednak s druhým nulovacím vstupem /bq/ druhé výstupní paměti /41/ R-S a jednak se vstupem /m/ prvního hradla /12/ NAND, kde přímý výstup /br/ druhé výstupní paměti /41/ R-S je přes první koncový stupeň /42/ propojen se začátkem vinutí cívky relé /43/ první pracovní operace a konec vinutí cívky tohoto relé /43/ je připojen ke zdroji $+U_2$, kde vstup /bv/ pátého hradla /45/ NAND je propojen se čtvrtým pájecím bodem /3Z/ programovacího pole /78/ jednotek a vstup /bw/ pátého hradla /45/ NAND je propojen s prvním pájecím bodem /AA/ programovacího pole /79/ desítek, kde výstup /bx/ pátého hradla /45/ NAND je propojen se vsazovacím vstupem /ed/ třetí výstupní paměti /47/ R-S a vstup /ca/ šestého hradla /46/ NAND je propojen se třetím pájecím bodem /2Z/ programovacího pole /78/ jednotek a vstup /cb/ šestého hradla /46/ NAND je propojen se šestým pájecím bodem /FF/ programovacího pole /79/ desítek, přičemž výstup /cc/ šestého hradla /46/ NAND je propojen s druhým nulovacím vstupem /cf/ třetí výstupní paměti /47/ R-S, jejíž přímý výstup /cg/ je přes druhý koncový stupeň /48/ propojen se začátkem vinutí cívky relé /49/ druhé pracovní operace, kde konec vinutí cívky tohoto relé /49/ je připojen ke zdroji $+U_2$ a kde vstup /ch/ sedmého hradla /50/ NAND propojen s pátým pájecím bodem /4Z/ programovacího pole /78/ jednotek a vstup /ci/ sedmého hradla /50/ NAND je propojen s prvním pájecím bodem /AA/ programovacího pole /79/ desítek, přičemž výstup /ej/ sedmého hradla /50/ NAND je propojen se vsazovacím vstupem /cn/ čtvrté výstupní paměti /52/ R-S, kde dále vstup /ck/ osmého hradla /51/ NAND je propojen s osmým pájecím bodem /7Z/ programovacího pole /78/ jednotek a vstup /cl/ osmého hradla /51/ NAND je propojen s pátým pájecím bodem /EE/ programovacího pole /79/ desítek a výstup /cm/ osmého hradla /51/ NAND je propojen s druhým nulovacím vstupem /cp/ čtvrté výstupní paměti /52/ R-S, jejíž přímý výstup /cq/ je přes třetí koncový stupeň /53/ propojen

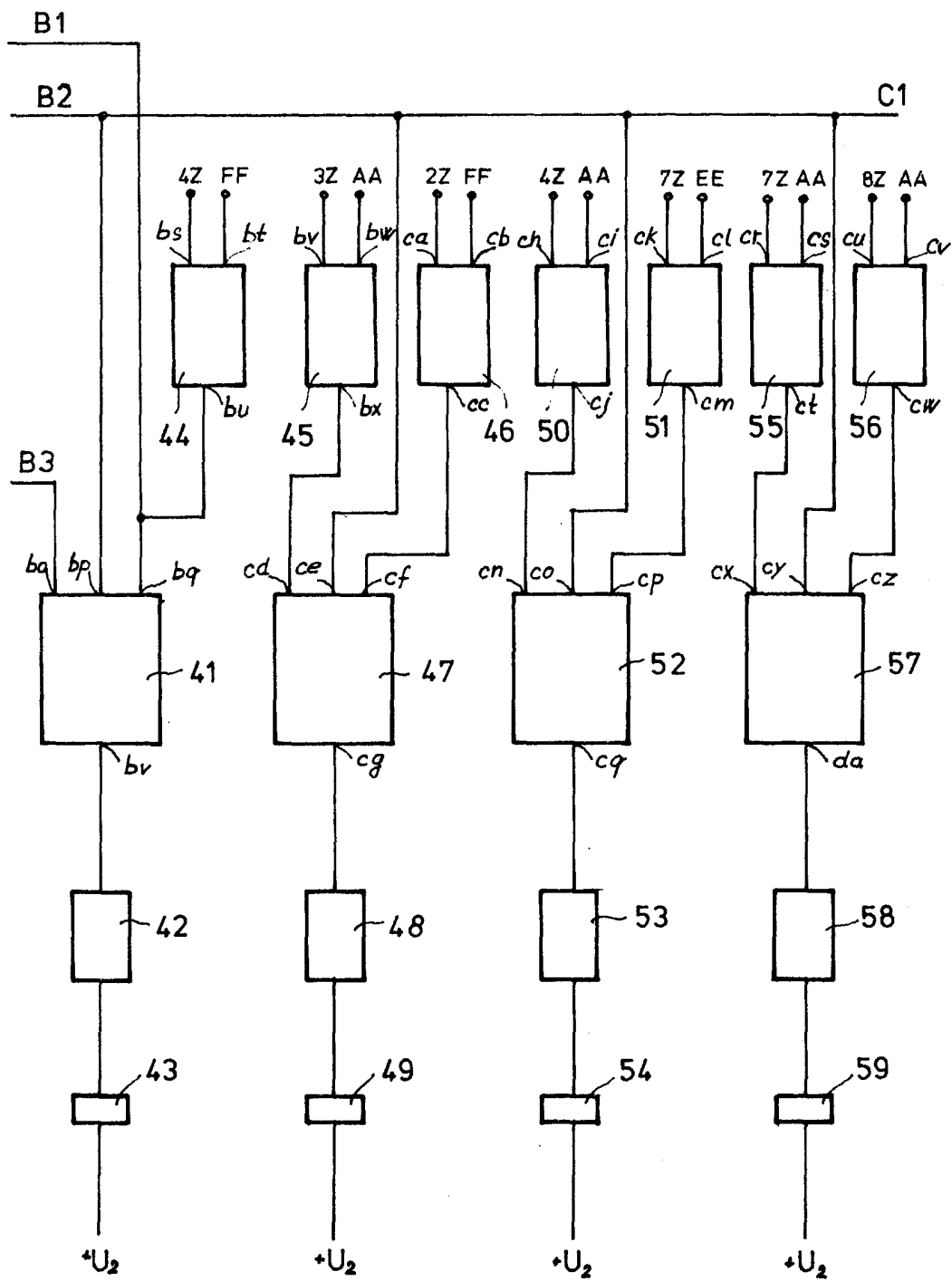
se začátkem vinutí cívky relé /54/ třetí pracovní operace, přičemž konec vinutí cívky tohoto relé /54/ je připojen ke zdroji $+U_2$, přičemž vstup /cr/ devátého hradla /55/ NAND je propojen s osmým pájecím bodem /72/ programovacího pole /78/ jednotek a vstup /cs/ devátého hradla /55/ NAND je propojen s prvním pájecím bodem /AA/ programovacího pole /79/ desítek a výstup /ct/ devátého hradla /55/ NAND je propojen se vsazovacím vstupem /cx/ páté výstupní paměti /57/ R-S, kde dále vstup /cu/ devátého hradla /56/ NAND je propojen s devátým pájecím bodem /8Z/ programovacího pole /78/ jednotek a vstup /cv/ desátého hradla /56/ NAND je propojen s prvním pájecím bodem /AA/ programovacího pole /79/ desítek a výstup /cw/ desátého hradla /56/ NAND je propojen s druhým nulovacím vstupem /cz/ páté výstupní paměti /57/ R-S, jejíž přímý výstup /da/ je přes čtvrtý koncový stupeň /58/ propojen se začátkem vinutí cívky relé /59/ čtvrté pracovní operace a konec vinutí cívky tohoto relé /59/ je připojen ke zdroji $+U_2$, přičemž vstup /db/ jedenáctého hradla /60/ NAND je propojen se třetím pájecím bodem /2Z/ programovacího pole /78/ jednotek a vstup /dc/ jedenáctého hradla /60/ NAND je propojen s druhým pájecím bodem /BB/ programovacího pole /79/ desítek a výstup /dd/ jedenáctého hradla /60/ NAND je propojen se vsazovacím vstupem /dh/ šesté výstupní paměti /62/ R-S, kde vstup /de/ dvanáctého hradla /61/ NAND je propojen s prvním pájecím bodem /OZ/ programovacího pole /78/ jednotek a vstup /df/ dvanáctého hradla /61/ NAND je propojen se čtvrtým pájecím bodem /DD/ programovacího pole /79/ desítek a kde výstup /dg/ dvanáctého hradla /61/ NAND je propojen jednak s druhým nulovacím vstupem /dj/ šesté výstupní paměti /62/ R-S a dále se vsazovacím vstupem /dl/ sedmé výstupní paměti /66/ R-S, přičemž přímý výstup /dk/ této šesté výstupní paměti /62/ R-S je přes pátý koncový stupeň /63/ propojen se začátkem vinutí cívky relé /64/ páté pracovní operace a konec vinutí cívky tohoto relé /64/ je připojen ke zdroji $+U_2$, kde vstup /dp/ třináctého hradla /65/ NAND je připojen k devátému pájecímu bodu /8Z/ programovacího pole /78/ jednotek a vstup /dq/ třináctého hradla /65/ NAND je připojen ke čtvrtému pájecímu bodu /DD/ programovacího pole /79/ desítek, přičemž výstup /dr/ třináctého hradla /65/ NAND je propojen jednak s druhým nulovacím vstupem /dn/ sedmé výstupní paměti /66/ R-S a dále se vsazovacím vstupem /ds/ osmé výstupní paměti /70/ R-S, kde přímý výstup /do/ této sedmé výstupní paměti /66/ R-S je přes šestý koncový stupeň /67/ propojen se začátkem vinutí cívky relé /68/ šesté pracovní operace a konec vinutí cívky tohoto relé /68/ je připojen ke zdroji $+U_2$ a kde dále vstup /dx/ čtrnáctého hradla /69/ NAND je připojen ke třetímu pájecímu bodu /2Z/ programovacího pole /78/ jednotek a vstup /dy/ čtrnáctého hradla /69/ NAND je připojen k pátému pájecímu bodu /EE/ programovacího pole /79/ desítek, přičemž výstup /dz/ čtrnáctého hradla /69/ NAND je propojen s druhým nulovacím vstupem /du/ osmé výstupní paměti /70/ R-S, jejíž přímý výstup /dv/ je přes sedmý koncový stupeň /71/ propojen se začátkem vinutí cívky relé /72/ sedmé pracovní operace a konec vinutí cívky tohoto relé /72/ je připojen ke zdroji $+U_2$ a vstup /ea/ patnáctého hradla /73/ NAND propojen se čtvrtým pájecím bodem /3Z/ programovacího pole /78/ jednotek a vstup /eb/ patnáctého hradla /73/ NAND je propojen s pátým pájecím bodem /EE/ programovacího pole /79/ desítek, kde výstup /ec/ patnáctého hradla /73/ NAND je propojen se vsazovacím vstupem /eg/ deváté výstupní paměti /75/ R-S a vstup /ed/ šestnáctého hradla /74/ NAND je dále propojen s pátým pájecím bodem /4Z/ programovacího pole /78/ jednotek a vstup /ee/ šestnáctého hradla /74/ NAND je propojen s pátým pájecím bodem /EE/ programovacího pole /79/ desítek, přičemž výstup /ef/ šestnáctého hradla /74/ NAND je propojen s druhým nulovacím vstupem /ei/ deváté výstupní paměti /75/ R-S, jejíž přímý výstup /ej/ je přes osmý koncový stupeň /76/ propojen se začátkem vinutí cívky relé /77/ osmé pracovní operace a konec vinutí cívky tohoto relé /77/ je připojen ke zdroji $+U_2$.

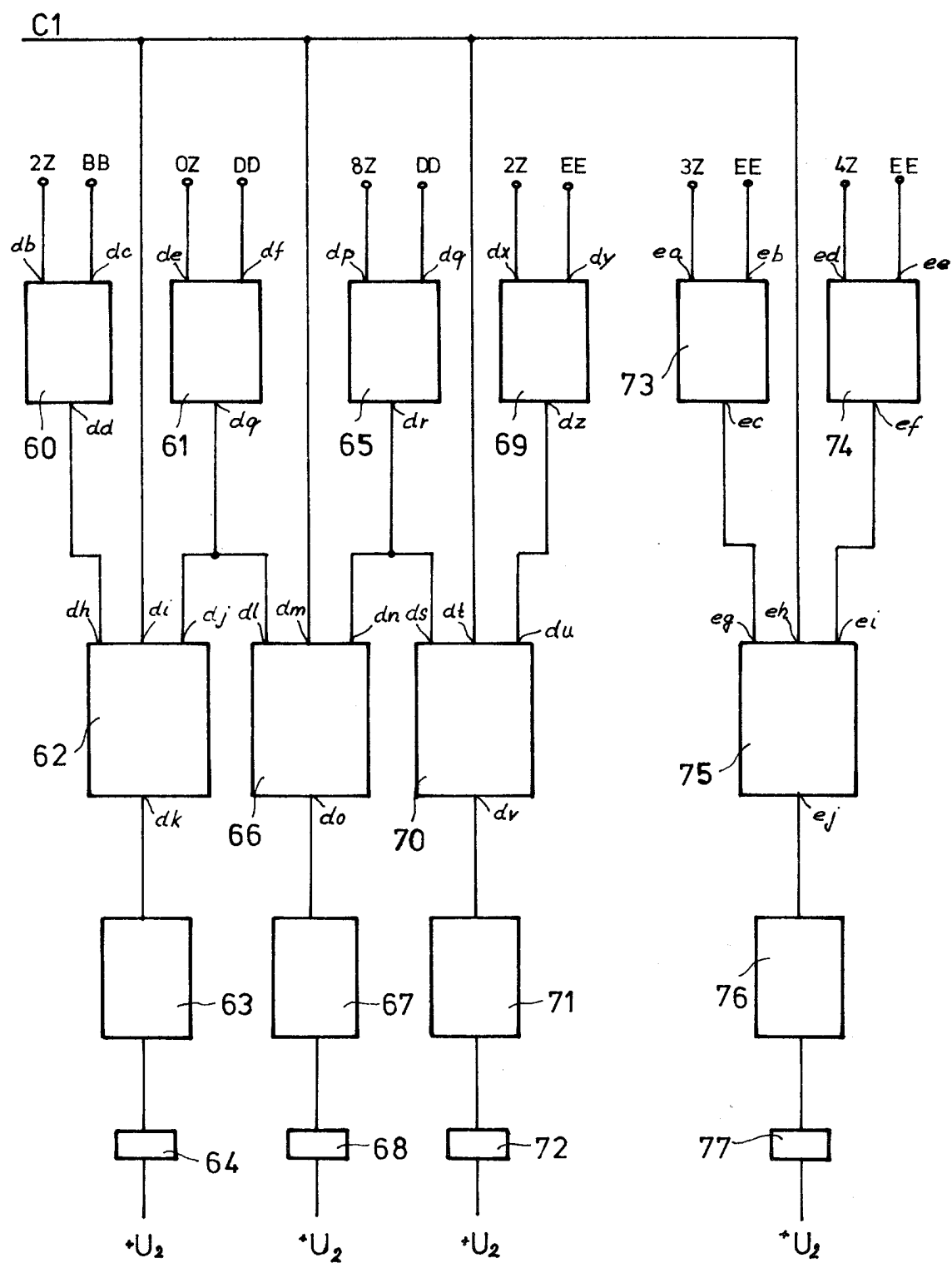
238657



OBR.1







OBR.4