

公告本

399301

399301

| | |
|------|------------|
| 申請日期 | 87.4.18 |
| 案 號 | 87105971 |
| 類 別 | (H) 21/268 |

A4
C4

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------|---------------|---|
| 一、發明 新型名稱 | 中 文 | 位元線的製造方法 |
| | 英 文 | |
| 二、發明 創作人 | 姓 名 | 1 許堯凱 2 洪允錠 |
| | 國 籍 | 中華民國 |
| | 住、居所 | 1 新竹市民族路 67 巷 1 弄 18 號 2 新竹市科學園區竹村 7 路 203 號 3 樓 |
| 三、申請人 | 姓 名 (名稱) | 聯誠資訊有限公司 聯誠資訊有限公司 |
| | 國 籍 | 中華民國 |
| | 住、居所 (事務所) | 新竹科學工業園區新竹市力行二路三號 |
| | 代 表 人 姓 名 | 曹興誠 |

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (/)

本發明是有關於一種半導體的製程，且特別是有關於一種位元線，藉以使位元線之間距變小，以降低其阻抗，而進一步增加積體電路單元密度的製造方法。

積體電路記憶體元件係由成陣列排列的記憶胞 (Memory Cell) 組合而成，記憶胞係位於呈平行排列且埋入基底的導線，以及垂直排列且位於基底上的導線帶，兩者之間的交錯面上。這種記憶體的一個明顯的例子就是唯讀記憶體，也就是單幕式唯讀記憶體。

第 1 圖係繪示單幕式唯讀記憶體的一個小部份 (四個記憶胞) 的上視圖，第 2 圖則為第 1 圖中所示單幕式唯讀記憶體之剖面圖。

請參照第 1 圖，單幕式記憶體形成於具有 P 型表面的基底 10 上，且包括形成有成陣列排列的埋入式位元線 (Buried Bit Line) 12、14、16，其形成方法係藉由選擇性的摻雜基底 10 以形成 N 型的位元線。而相互平成排列的多晶矽字元線 (Word Line) 18、20，則在基底 10 的表面上伸展開來，且其排列方向係與位元線垂直。字元線 18 與 20 之間具有一層隔離用的氧化矽。

通常單幕式唯讀記憶體係使用一種共享的位元線結構。位元線 12、14、16 係為場效應電晶體 (Field Effect Transistor Metal Oxide Semiconductor; FET MOS) 的源 / 汲極 (Source/Drain) 區，字元線 18、20 則係為場效應電晶體的閘極，而位於字元線下方與鄰接位元線的區域 22、24、26、28 則係為場效應電晶體的通道 (Channel) 區。

五、發明說明 (2)

而資料之儲存則係藉由改變個別的電晶體的傳輸性質來達成。其特徵在於可藉由調整電晶體的啓始電壓大小，來改變電晶體儲存的資料。因此，可藉由選擇不同陣列的電晶體的啓始電壓(Threshold Voltage)大小來達成唯讀記憶體的程式化。選擇啓始電壓的大小的方法則是藉由植入摻質來達成。

第 2 圖係繪示沿著第 1 圖中 2-2' 虛線所得之唯讀記憶體的剖面結構。通常，形成埋入式位元線的方法，係以一適當的罩幕(未顯示)覆蓋基底 10，然後植入 N 型的摻質於基底 10 中以形成位元線 12、14、16。然後，將已摻雜摻質的基底 10 置入高溫的氧化環境中，藉以活化位元線中的摻質。以及在基底 10 的表面上形成氧化層。氧化層包括一層較薄的閘極氧化層 30 位於通道區 22 與 24 上，以及較厚的氧化層 32 覆蓋位元線 12、14、16。較厚的氧化層 32 較厚的原因是因為位元線 12、14、16 中的濃摻雜 N 型離子的氧化擴散速率遠大於通道 22、24 中的淡摻雜 P 型離子的擴散速率。當氧化層完成之後，然後形成一層已摻雜的多晶矽覆蓋氧化層 32，然後定義此層多晶矽以形成場效應電晶體的閘極電極 18。閘極電極 18 係作為唯讀記憶體的字元線之用。

當第 1 圖與第 2 圖所示之唯讀記憶體之尺寸越做越小，則埋入式位元線 12、14、16 之間的寬度就會變小，且位元線之間的空間也會變小。越小的位元線，則其電阻會越大，因此會降低唯讀記憶體的資料存取速度。且位元線之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

間的空間越小，則容易在正常的操作電壓之下產生擊穿(Funchthrough)現象。一旦產生擊穿現象則會造成電晶體失去控制，而限制了電晶體的尺寸大小。因此必須製造一種尺寸小，但不會減少元件效能的埋入式位元線結構。

有鑑於此，本發明的主要目的就是在，提供一種位元線的製造方法，以避免因為元件尺寸降低而產生的擊穿現象，且可得到一較低電阻的位元線。

根據本發明的上述及其他目的，提出一種位元線的製造方法，包括下列步驟：在半導體基底上形成並定義一氧化層，接著在半導體基底暴露出的表面上，進行磊晶層(Epitaxial)的成長。之後，在氧化層的側壁形成第一間隙壁，接著形成第二間隙壁於第一間隙壁上。去除部分的磊晶層與半導體基底，以形成一溝渠；於除掉第二間隙壁後，在溝渠內形成一層襯氧化層。之後，形成複晶矽的導電層於溝渠中，並進行離子植入與回火的步驟，在回蝕導電層後形成埋入式的位元線。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖係繪示習知單幕式唯讀記憶體的上視圖；

第 2 圖係繪示第 1 圖之單幕式唯讀記憶體之剖面圖；

以及

第 3A 圖至第 3E 圖繪示依照本發明一較佳實施例的一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

種位元線的製造流程圖。

圖式標記說明：

- 10 基底
- 12.14.16.320 位元線
- 18.20 字元線
- 22.24.26.28 通道區
- 30 閘極氧化層
- 31 較厚的氧化層
- 300 半導體基底
- 302 氧化層
- 304 光阻層
- 306 氧化層之開口
- 308 磊晶層
- 308' 剩餘的磊晶層
- 310 第一間隙壁
- 312 第二間隙壁
- 314 溝渠
- 316 襯氧化層
- 318 淺接合

實施例

第 3A 圖至第 3E 圖繪示係依照本發明一較佳實施例的一種位元線的製造流程圖。請參照第 3A 圖，首先在一半導體基底 300(比如矽基底)上形成一層氧化層 302，形成的方式比如熱氧化法，厚度約為 2000~4000Å。之後，形成光

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

阻層 304 於氧化層 302 上，進行微影蝕刻製程，定義出位元線的圖案，對氧化層 302 進行蝕刻，而形成開口 306 暴露出部分半導體基底 300。

接著，請參照第 3B 圖，將光阻層 304 自氧化層 302 上移除，形成磊晶層 308(Epitaxial)於開口 306 所暴露出的半導體基底 300 上，形成磊晶層的方法比如為選擇性沈積法，故磊晶層只會沈積在矽的表面，而不會沈積於氧化矽的表面上，沈積的磊晶層厚度約為 200~500Å。於磊晶層形成後，接著在開口 306 的側壁上形成第一間隙壁 310；其中第一間隙壁 310 的形成，比如將氮化矽層形成於磊晶層 308 形成後的結構上，再對氮化矽層進行回蝕法而形成第一間隙壁 310。

之後，請參照第 3C 圖，在第一間隙壁 310 旁形成第二間隙壁 312，第二間隙壁的材質比如為二氧化矽，比如以熱氧化法形成。於第二間隙壁 312 形成後，去除部分的磊晶層 308 與半導體基底 300，以在基底 300 中形成溝渠 314。其中，形成溝渠 314 的方法比如以選擇性蝕刻，形成的深度約為 0.4~0.8 μm ；第二間隙壁 312 係在此形成溝渠 314 的蝕刻步驟中，提供一蝕刻阻擋效果，使被第二間隙壁 312 覆蓋的磊晶層 308' 不會在蝕刻過程中被去除。

接著，請參照第 3D 圖，在溝渠 314 形成後將第二間隙壁 312 移除；接著在溝渠 314 中形成一層襯氧化層(Liner Oxide Layer)316，襯氧化層 316 比如以熱氧化法形成，厚度約為 300~500Å。其中，在形成襯氧化層 316 時，第一間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

隙壁 310 係用以保護其下方的剩餘的磊晶層 308'，避免磊晶層 308' 在熱氧化的過程中反應成二氧化矽。

之後，請參照第 3E 圖，將第一間隙壁 310 移除後，形成一層導電層於上述結構上，導電層的材質比如為複晶矽，厚度約為 2000~4000Å(未顯示)；之後，進行離子植入步驟並進行回火(Anneal)，植入摻質比如砷(As)，濃度約為 $10^{15}\sim 10^{16}/\text{cm}^2$ ，回火的步驟會使得植入導電層的摻質透過磊晶層 308'，在半導體基底 300 中形成 N^+ 接合(Junction)318。接著，對導電層進行回蝕暴露出氧化層 302，以在溝渠 314 中形成導電的位元線 320。

因為，接合部分係用擴散原理形成，其深度與均勻度容易控制，故利用控制對複晶矽摻雜的濃度，以及回火的步驟即可形成淺接合(Shallow Junction)；而且利用複晶矽填充在溝渠內，用以作為位元線的材料，可以得到一低的阻值，提高元件的效能。

因此，本發明的主要特徵在於，提供一種位元線的製造方法，以複晶矽形成一較低電阻的位元線，且利用位元線與半導體基底間形成的磊晶層，提供一淺接合，所形成的埋入式位元線在鄰接通道區的淺接合處濃度較淡，可以避免擊穿效應。

本發明的另一主要特徵在於，利用氮化矽的第一間隙壁，與熱氧化法形成的第二間隙壁，保護其下方的磊晶層；第二間隙壁在蝕刻形成溝渠時，提供了一蝕刻阻擋的效用，使得磊晶層不會在蝕刻步驟中完全被去除，而第一間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

隙壁則在形成襯氧化層的步驟中，保護磊晶層不致被氧化。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 位元線的製造方法)

一種位元線的製造方法，係在半導體基底上形成並定義一氧化層，接著在半導體基底暴露出的表面上，進行磊晶層的成長。之後，在氧化層的側壁形成第一間隙壁，接著形成第二間隙壁於第一間隙壁上。去除部分的磊晶層與半導體基底，以形成一溝渠；於除掉第二間隙壁後，在溝渠內形成一層襯氧化層。之後，形成複晶矽的導電層於溝渠中，並進行離子植入與回火，在回蝕導電層後形成埋入式的位元線。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

- 1.一種位元線的製造方法，包括下列步驟：
提供一半導體基底；
形成一氧化層於該半導體基底上，其中該氧化層具有一開口，暴露出部份該半導體基底；
形成一磊晶層於暴露出的該半導體基底上；
形成一第一間隙壁於該氧化層之該開口之側壁；
形成一第二間隙壁於該第一間隙壁上；
去除部份該磊晶層與該半導體基底，以在該半導體基底中形成一溝渠；
去除該第二間隙壁；
形成一層襯氧化層於該溝渠內；
去除該第一間隙壁；
形成一導電層於該氧化層上與該溝渠內；
進行一離子植入步驟並回火；以及
回蝕該導電層，以暴露出該氧化層。
- 2.如申請專利範圍第 1 項所述之方法，其中該氧化層的厚度約為 2000~4000Å。
- 3.如申請專利範圍第 1 項所述方法，其中該磊晶層的厚度約為 200~500Å。
- 4.如申請專利範圍第 1 項所述之方法，其中該第一間隙壁之材質為氮化矽。
- 5.如申請專利範圍第 1 項所述方法，其中該第二間隙壁之材質為二氧化矽。
- 6.如申請專利範圍第 1 項所述之方法，其中該襯氧化

六、申請專利範圍

層的厚度約為 300~500Å。

7.如申請專利範圍第 1 項所述之方法，其中該導電層之材質為複晶矽。

8.如申請專利範圍第 7 項所述之方法，其中該導電層之厚度約為 2000~4000Å。

9.如申請專利範圍第 1 項所述之方法，其中該離子植入步驟係植入砷離子。

10.如申請專利範圍第 9 項所述之方法，其中該砷離子的濃度約為 10^{15} ~ $10^{16}/\text{cm}^2$ 。

11.一種位元線的製造方法，包括下列步驟：

提供一半導體基底；

形成一氧化層於該半導體基底上，其中該氧化層具有一開口，暴露出部份該半導體基底；

形成一磊晶層於暴露出的該半導體基底上；

形成一氮化矽間隙壁於該氧化層之該開口之側壁；

形成一二氧化矽間隙壁於該氮化矽間隙壁上；

去除部份該磊晶層與該半導體基底，以在該半導體基底中形成一溝渠；

去除該二氧化矽間隙壁；

形成一層襯氧化層於該溝渠內；

去除該氮化矽間隙壁；

形成一複晶矽層於該氧化層上與該溝渠內；

植入一離子並回火；以及

回蝕該複晶矽層至暴露出該氧化層為止。

裝

訂

線

六、申請專利範圍

12.如申請專利範圍第 11 項所述之方法，其中該氧化層係以熱氧化法形成。

13.如申請專利範圍第 11 項所述之方法，其中該氧化層的厚度約為 2000~4000Å。

14.如申請專利範圍第 11 項所述方法，其中該磊晶層的厚度約為 200~500Å。

15.如申請專利範圍第 6 項所述之方法，其中該二氧化矽間隙壁係以氧化法形成。

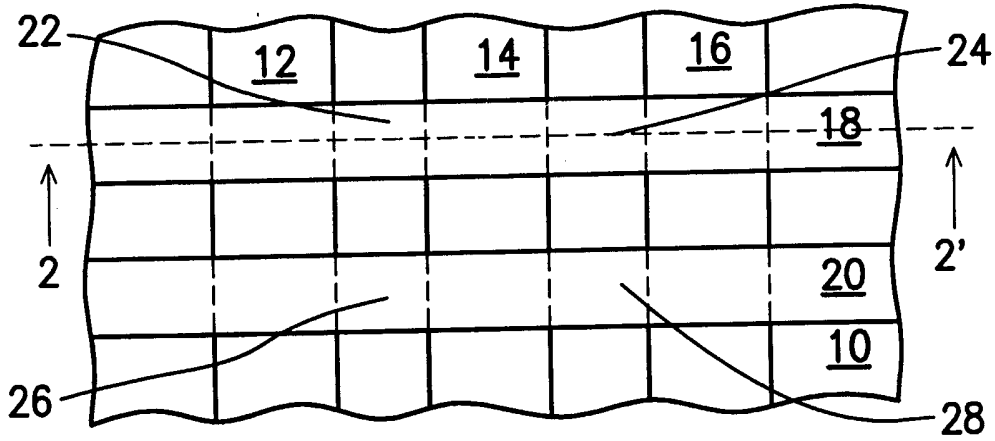
16.如申請專利範圍第 11 項所述之方法，其中該襯氧化層的厚度約為 300~500Å。

17.如申請專利範圍第 11 項所述之方法，其中該複晶矽層之厚度約為 2000~4000Å。

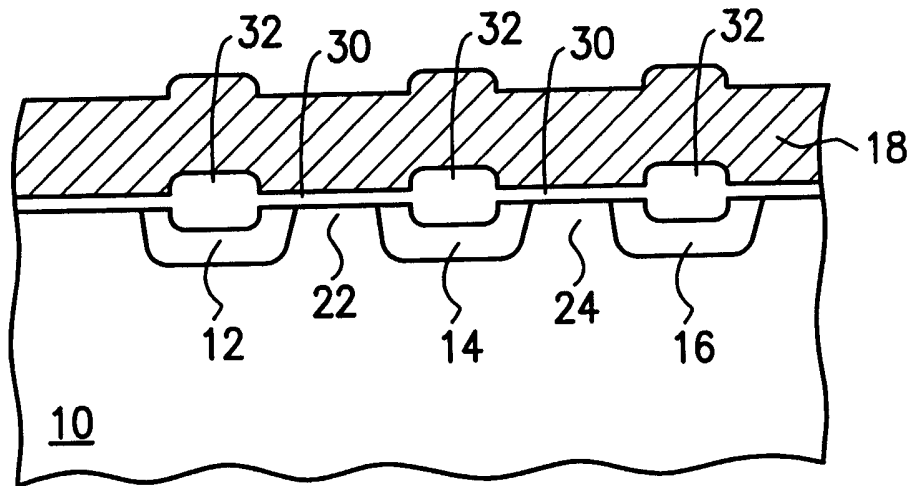
18.如申請專利範圍第 11 項所述之方法，其中該離子係為砷離子。

19.如申請專利範圍第 18 項所述之方法，其中該砷離子的濃度約為 $10^{15} \sim 10^{16}/\text{cm}^2$ 。

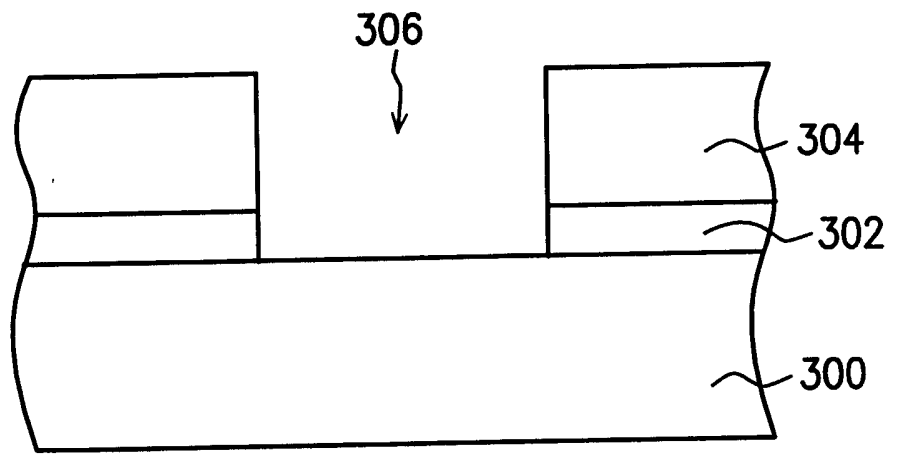
2715TW



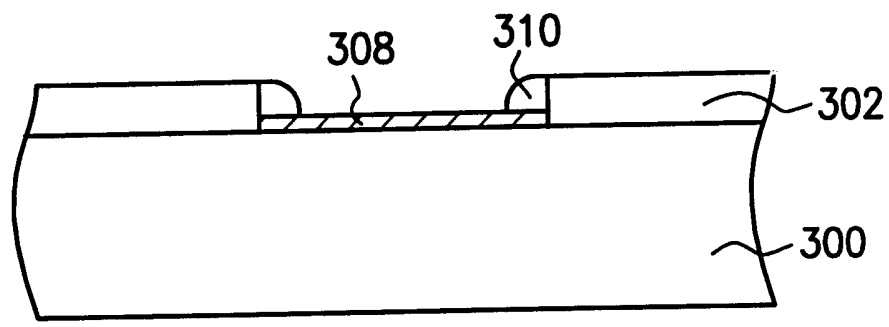
第 1 圖



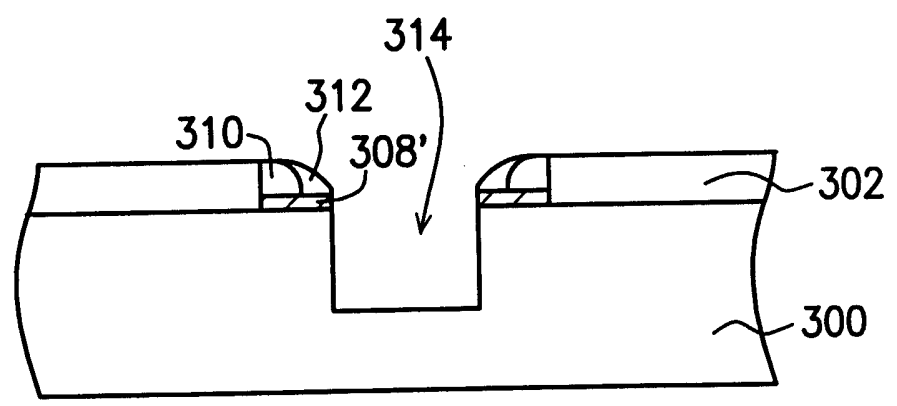
第 2 圖



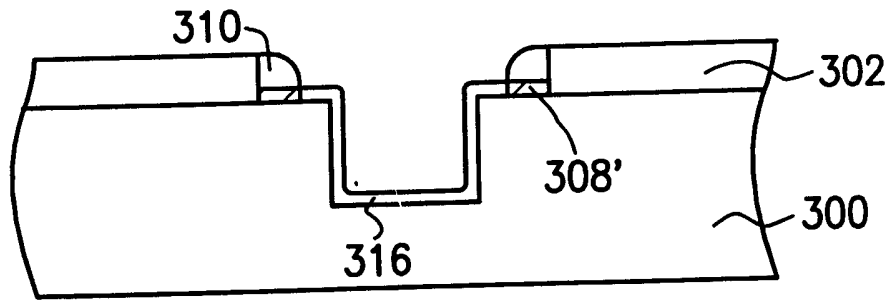
第3A圖



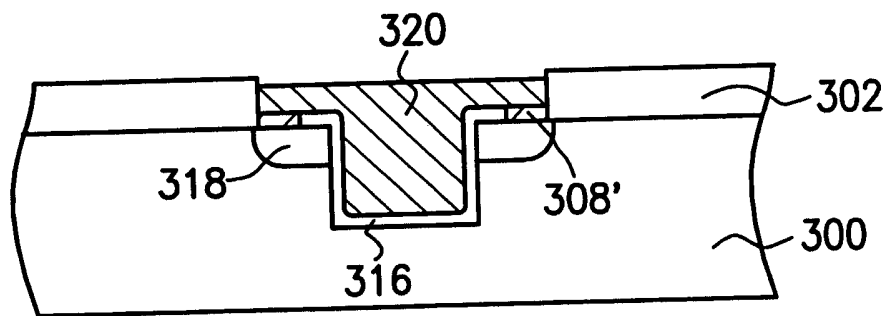
第3B圖



第3C圖



第3D圖



第3E圖