

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95138229

※申請日期：95 年 10 月 17 日

※IPC 分類：G09G 3/30 (2006.01)

一、發明名稱：

(中) 顯示裝置及其驅動方法及電子設備

(英) Display device, driving method thereof, and electronic appliance

二、申請人：(共 1 人)

1. 姓 名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地 址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 1 人)

1. 姓 名：(中) 加藤太一

(英) KATO, TAICHI

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ； 2005/10/21 ； 2005-307715 ☒ 有主張優先權

五、中文發明摘要

發明之名稱：顯示裝置及其驅動方法及電子設備
本發明之目的在於校正由於電晶體的特性而發生的閘信號的上升的不一致。在一顯示裝置中，藉由使用檢查電路和信號修正電路，正確地顯示黑。在某些情形中，當由於電晶體的特性等使得閘信號發生遲延時，有可能不能以顯示黑的時序正確地顯示黑。這種情況下，藉由檢查電路偵測出閘信號的異常，且藉由信號修正電路校正閘信號。

六、英文發明摘要

發明之名稱：**DISPLAY DEVICE, DRIVING METHOD THEREOF,
AND ELECTRONIC APPLIANCE**

It is an object to correct a gap of a rise of a gate signal caused by characteristics of a transistor. In a display device, black is accurately displayed by using an inspecting circuit and a signal correcting circuit. In the case where a gate signal lags due to characteristics of a transistor, and the like, black cannot be accurately displayed at timing to display black in some cases. In such a case, a defect of the gate signal is detected by the inspecting circuit, and the gate signal is corrected by the signal correcting circuit.

七、指定代表圖：

(一)、本案指定代表圖為：第 (4) 圖

(二)、本代表圖之元件代表符號簡單說明：

221：電路 A

225：輸出部分

204：源信號線

313：G2WE 線

224：電路 D

226：輸出部分

222：電路 B

223：電路 C

227：輸出部分

228：輸出部分

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

(1)

九、發明說明

【發明所屬之技術領域】

本發明係關於顯示裝置。此外，本發明係關於在顯示部分具有顯示裝置的電子設備。

【先前技術】

近年來，由自發光型的發光元件形成像素的薄型顯示裝置引人注目。作為發光元件，有機發光二極體（Organic Light Emitting Diode；OLED），電致發光（Electro Luminescence；EL）元件受到了注目，並已經被用於 EL 顯示器。

當將多灰度的圖像顯示於使用如上述的發光元件的顯示裝置時，可以舉如下驅動方法；類比驅動法（類比灰度法）和數位驅動法（數位灰度法）。

類比驅動法是通過連續地控制在發光元件流過的電流的大小，而獲得灰度的方法。此外，數位驅動法是根據兩種狀態驅動的方法。該兩種狀態是；發光元件為導通（ON）狀態（亮度大約為 100% 的點燈（light on）的狀態）和為截止（OFF）狀態（亮度大約為 0%，即非點燈（light off）的狀態）。

其次將簡單地說明採用了時間灰度法的顯示裝置的像素結構的一個例子以及其驅動。圖 1 所示的電路具有電晶體 201、電晶體 202、發光元件 203。電晶體 201 的閘電極連接於閘信號線 205，第一電極連接於源信號線 204，

(2)

並且第二電極連接於電晶體 202 的閘電極。電晶體 202 的第一電極連接於電源線 206，並且第二電極連接於發光元件 203 的第一電極。發光元件 203 的第二電極連接於相對電極。

注意，因為薄膜電晶體（下面稱為 TFT）從其結構上很難定義源極和汲極。所以在此，將一個電極稱作第一電極，而將另一個電極稱作第二電極。一般在 N 通道型電晶體中，電位低的電極成為源極電極，而電位高的電極成為汲極電極，並且在 P 通道型電晶體中，電位高的電極成為源極電極，而電位低電極則成為汲極電極。因此，在電路工作的說明中，在關於閘極電極/源極之間的電壓等的記載中，依據上述標準。

其次，使用圖 2 的時序圖說明圖 1。以 SWE211（源寫入刪除選擇信號）決定被選擇的源信號線 204。此外，以 G1WE212（閘寫入選擇信號）和 G2WE213（閘刪除選擇信號）決定被選擇的閘信號線 205。根據該源信號線 204 的信號和閘信號線 205 的信號決定發光元件 203 是否點燈。在此，關於任意的佈線，將數位信號“1”記為高電平的 H(High level)，並且將“0”記為低電平的 L(Low level)。但是，“0”意味的不僅是接地電壓，也可以是共通電位。也可以以其電位高於任意的閾值的狀態為 H，以其電位低於任意的閾值的狀態為 L。

當源信號 214 為 H 時寫入黑，但是如果此時閘信號 215 不是 H 的話，則此資料不被反映到發光元件 203。此

(3)

外，當源信號 214 為 L 時，資料被寫入，亦即白色。然而，如果閘信號 215 不是 H 的話，則資料不被反映到發光元件 203。

隨後敘述數位驅動法。當單獨使用數位驅動法時，其只能表示 2 個灰度，因此建議與顯示多灰度的驅動法如面積灰度法或者時間灰度法組合。面積灰度法是將副像素設於像素內，而根據其發光面積的大小來顯示灰度的方法（例如參照專利文件 1）。此外，時間灰度法是通過控制發光期間的長短或者發光的次數，來顯示灰度的方法（例如參照專利文件 2 及 3）。

專利文件 1 專利公開 HEI11-73158 號

專利文件 2 專利公開 2001-5426 號

專利文件 3 專利公開 2001-343933 號

【發明內容】

在上述的時間灰度法中，根據源信號線 204 和閘信號線 205 決定發光元件 203 是否點燈。因此，有必要使源信號線 204 和閘信號線 205 的信號正確地輸入到電晶體 201 和發光元件 203。

但是，實際上由於 TFT 的特性等發生遲延，因此閘信號 215 的時序發生偏差。這在顯示黑時特別顯明。下面參照圖 3 進行說明。當顯示黑時，由於因遲延等發生的極微小的偏差（在圖 3 中表示的 $T/8$ 的偏差），在圖 3 中，本來當源信號線的源信號 214 成為 H 時，閘信號線的閘

(4)

信號 215 應該成為 H。但是由於閘信號 215 的偏差，即使源信號 214 成為 L，閘信號 215 也為 H 的狀態而寫入資料。於是，本來顯示黑的像素會顯示微小的白，而導致顯示不良的問題。

因此，當設計面板時，本來應考慮 TFT 的特性而進行設計，但是由於高精細化等，考慮面板內所有的 TFT 的特性是很困難的。

鑒於上述問題，本發明之目的是通過更正確地掌握發光元件的點燈或不點燈，即不良信號的位置來提供防止顯示不良的顯示裝置。

本發明提出一種信號修正電路及檢查電路。所述信號修正電路及檢查電路可以將信號正確地輸入到電晶體和發光元件。特別是提供一種信號修正電路及檢查電路，其中當顯示黑時，通過正確地掌握顯示不良的信號的位置，可以將正確的信號輸入到電晶體和發光元件。

具體地，使發光元件在點燈時和不點燈時成為不同的信號。本發明著重於不點燈時的信號，而具有如下電路結構；在發光元件為點燈狀態時，不妨礙其工作地檢查信號，在發生不良信號時將不良信號修正為正確的信號，而且可以將信號連續地輸入到電晶體和發光元件。

本發明的一種模式是一種顯示裝置，其包括：第一佈線；第二佈線；連接於所述第一佈線及所述第二佈線，且當第一佈線被選擇時，從所述第二佈線寫入信號的像素；以及當所述第二佈線的信號變化時，檢測所述第一佈線是

(5)

否被選擇的資訊的電路。

此外，本發明的另一種模式是一種顯示裝置，其包括：第一佈線；第二佈線；將信號輸出到所述第一佈線的驅動電路；連接於所述第一佈線及所述第二佈線，且當第一佈線被選擇時，從第二佈線寫入信號的像素；以及當上述第二佈線的信號變化時，檢測上述第一佈線是否被選擇的資訊的檢查電路，其中所述驅動電路具有根據輸入進來的由所述檢查電路檢測的資訊，修正輸出到所述第一佈線的信號的時序的信號修正電路。

此外，本發明的另一種模式是在上述結構中，所述信號修正電路具有複數個緩衝電路，且所述複數個緩衝電路串聯連接，且修正輸出到所述第一佈線的信號的時序。

此外，本發明的另一種模式是包括上述結構的顯示裝置的電子設備。

此外，本發明的另一種模式是一種顯示裝置的驅動方法，其中所述顯示裝置包括：第一佈線；第二佈線；將信號輸出到所述第一佈線的第一驅動電路；將信號輸出到所述第二佈線的第二驅動電路；以及連接於所述第一佈線及所述第二佈線，且當第一佈線被選擇時，從第二佈線寫入信號的像素，且當所述第二佈線的信號變化時，所述第一驅動電路檢測所述第一佈線是否被選擇的資訊，並對輸出到所述第一佈線的信號進行時序的修正。

本發明的另一種模式是在所述驅動方法中，將串連連接的複數個緩衝電路用於所述時序的修正。

(6)

根據本發明，即使不良的信號輸入到寫入電晶體和發光元件，也可以簡單地判斷在面板內的不良的有無，並且可以縮短檢查所需要的時間。此外，本發明的顯示裝置在即使不良信號輸入到寫入電晶體和發光元件的情況下，由於具有掌握不良信號的位置並修正該不良信號的電路結構，因此可以減少顯示不良，而且可以將正確的信號輸入到寫入電晶體和發光元件。

【實施方式】

關於本發明的實施方式將參照附圖給予說明。但是，本發明不局限於以下說明，所屬領域的普通人員可以很容易地理解一個事實就是其模式和詳細內容可以被變換為各種各樣的形式，而不脫離本發明的宗旨及範圍。因此，本發明不應該被解釋為僅限定在實施方式所記載的內容中。

注意，在用於說明實施方式的所有的圖面中，同一部分或者具有同樣的功能的部分使用相同的符號，並省略其重復的說明。

實施方式 1

在本實施方式中，對本發明的檢查電路及可以適用該檢查電路的顯示裝置和其驅動方法進行說明。

首先，對顯示裝置的驅動方法，使用圖 16 進行說明。

在定址周期 T_{a1} 中，從第一行對閘信號線順序地輸入

(7)

信號，而選擇任意的像素。當像素被選擇時，信號從源信號線輸入到像素。並且，信號一旦從源信號線寫入到像素，直到信號再次被寫入，該像素保持該信號。在持續周期 T_{s1} 中，由該被寫入的信號控制各個像素的點燈不點燈。換句話說，在完成了來自源信號線的信號的寫入工作的行中，按照寫入的信號，像素立即變成點燈或不點燈的狀態。相同的工作進行到最後一行，定址周期 T_{a1} 結束。然後，從持續周期結束的行開始順序地轉移到下一子幀周期的信號寫入工作。以類似的方式，在定址周期 T_{a2} ， T_{a3} ， T_{a4} 中，信號輸入到像素，由該信號控制在持續周期 T_{s2} ， T_{s3} ， T_{s4} 中的各個像素的點燈或不點燈。接著，將刪除工作的開始設定為持續周期 T_{s4} 的結束時間。因為，當在各行的刪除時間 T_e 內將寫入到像素的信號刪除時，直到向下一個像素寫入信號，與寫入到像素的信號無關地迫使定址周期為不點燈。換句話說，從刪除時間 T_e 開始的行的像素結束持續周期。

這樣，可以提供不用分開定址周期和持續周期，比定址周期更短，高灰度且高占空比的顯示裝置。在此，占空比是相對於 1 個幀周期的點燈期間的比例。此外，由於可以將瞬間亮度降低，因此可以提高顯示元件的可靠性。

上述的驅動方式在圖 1 所示的電路結構中可以實現。如圖 16B 所示那樣，在一個水平期間中，通過設置寫入時間和刪除時間，可以顯示如圖 16A 中的 T_{a4} 和 T_{s4} 那樣的持續時間比定址時間短時的灰度。例如，如圖 15 所示

(8)

那樣，將一個水平期間分割成兩個期間。在此，假定前半期間是寫入時間而後半期間是刪除時間。換句話說，在圖 15 中，在一個水平期間中，寫入時間是 (1)，刪除時間是 (2)。在被分割的水平期間中，選擇各個閘信號線 205，將相應於此時的信號輸入到源信號線 204。例如，在任意的一個水平期間的前半期間中選擇第 i 行，而在後半期間中選擇第 j 行。於是，在一個水平期間中，可以恰似同時選擇了兩行一樣地工作。換句話說，使用每一個水平期間的前半期間的寫入時間，在寫入時間 T_{b1} 至 T_{b4} 中將來自源信號線 204 的信號寫入到像素。並且，在此刻的一個水平期間的後半期間的刪除時間中不選擇像素。此外，使用另一水平期間的後半期間的刪除時間，在刪除時間 T_e 中，將來自源信號線 204 的信號輸入到像素。在此刻的一個水平期間的前半期間的寫入時間中不選擇像素。通過上述方法，可以提供具有開口率高的像素的顯示裝置，而且可以提高成品率。

此外，在圖 14 中示出如上述那樣驅動的顯示裝置的電路結構的一個例子。

在圖 14 中，顯示裝置包括：第一驅動電路 1401、第二驅動電路 1402、第三驅動電路 1405、像素部分 1403。在該像素部分 1403 中，相應閘信號線 $G1$ 至 G_m 和源信號線 $S1$ 至 S_n ，而矩陣狀地設置像素。第二驅動電路 1402 包括：第一移位暫存器電路 1406、開關 1408。該開關 1408 控制第一移位暫存器電路 1406 和每個閘信號線 $G1$

(9)

至 G_m 之間的導通或非導通。只要是能夠根據需要控制導通或者非導通的部件就可以作為開關 1408 而使用，其可以由電晶體等構成。此外，第三驅動電路 1405 包括：第二移位暫存器電路 1407、開關 1409。該開關 1409 控制第二移位暫存器電路 1407 和每個閘信號線 G_1 至 G_m 之間的導通或非導通。只要是能夠根據需要控制導通或者非導通的部件，就可以作為該開關 1409 而適用，其可以由電晶體等構成。

注意，閘信號線 G_p （表示閘信號線 G_1 至 G_m 中的任一個）相當於圖 1 的閘信號線 205，源信號線 S_q （表示閘信號線 S_1 至 S_n 中的任一個）相當於圖 1 的源信號線 204。

時鐘信號（ G_CLK ）、時鐘反轉信號（ G_CLKB ）、起始脈衝信號（ G_SP ）、閘寫入選擇信號（ $G1WE$ ）等的信號輸入到第二驅動電路 1402。然後，根據該信號，將選擇像素的信號輸出到被選擇的像素行的閘信號線 G_p （閘信號線 G_1 至 G_m 中的任一個）。注意，此刻被輸出的信號是如圖 15 的時序圖所示那樣，在一個水平期間的前半期間中被輸出的脈衝。換句話說，從第一移位暫存器電路 1406 輸出的信號只當開關 1408 開時才被輸出到閘信號線 G_1 至 G_m 。

時鐘信號（ R_CLK ）、時鐘反轉信號（ R_CLKB ）、起始脈衝信號（ R_SP ）、閘刪除選擇信號（ $G2WE$ ）等的信號輸入到第三驅動電路 1405。然後，根據該信號，將

(10)

選擇像素的信號輸出到被選擇的像素行的閘信號線 R_i （閘信號線 R_1 至 R_m 中的任一個）。注意，此時被輸出的信號是如圖 15 的時序圖所示那樣，在一個水平期間的後半期間中被輸出的脈衝。換句話說，從第二移位暫存器電路 1407 輸出的信號只當開關 1409 為開時才被輸出到閘信號線 G_1 至 G_m 。

此外，時鐘信號（ S_CLK ）、時鐘反轉信號（ S_CLKB ）、起始脈衝信號（ S_SP ）、數位視頻信號（Digital Video Data）、輸出控制信號（ SWE ）等的信號輸入到第一驅動電路 1401。然後，根據該信號，將相應於各列的像素的信號輸入到各源信號線 S_1 至 S_n 。由輸出控制信號（ SWE ）控制從第一驅動電路 1401 輸出的信號。

因此，輸入到源信號線 S_1 至 S_n 的數位視頻信號寫入到由從第二驅動電路 1402 輸入到閘信號線 G_p （閘信號線 G_1 至 G_m 中的任一個）的信號選擇的像素行的各列的像素 1404。然後，由閘信號線 G_1 至 G_m 選擇各個像素的行，並將相應於每個像素 1404 的數位視頻信號寫入到所有的像素。然後，每個像素 1404 將被寫入的數位視頻信號的資料保持一段期間。每個像素 1404 通過將數位視頻信號保持一段期間，可以維持點燈或者不點燈的狀態。

此外，使像素不點燈的刪除信號從源信號線 S_1 至 S_n 寫入到由從第三驅動電路 1405 輸入到閘信號線 G_p （閘信號線 G_1 至 G_m 中的任一個）的信號選擇的像素行的各行

(11)

的像素 1404。然後通過由閘信號線 $G1$ 至 Gm 選擇各個像素的行，可以設定不點燈期間。例如，根據從第三驅動電路 1405 輸入到閘信號線 Gp 的信號，第 p 行的像素被選擇的時間是在圖 16 中的刪除時間 T_e 。

接著，在圖 4 中表示本發明的檢查電路結構的一個例子。該檢查電路包括：源信號線 204、 $G2WE$ 線 313、電路 A221、電路 B222、電路 C223 及電路 D224。

在圖 4 中，源信號線 204 和 $G2WE$ 線 313 連接於電路 A221 的輸入部分。源信號線 204 連接於電路 B222 的輸入部分。電路 A221 的輸出部分和電路 B222 的輸出部分連接於電路 C223 的輸入部分。電路 A221 的輸出部分和電路 C223 的輸出部分連接於電路 D224 的輸入部分，從電路 D 的輸出部分輸出檢查結果。

下面對電路 A221，電路 B222，電路 C223 及電路 D224 的工作進行說明。當 L 和 L 或者 H 和 H 輸入到電路 A221 的輸入部分時，L 被輸出。此外，當 H 和 L 或者 L 和 H 輸入時，H 被輸出。即，成為圖 5A 的真值表。當 L 輸入到電路 B222 的輸入部分時，H 被輸出。此外，當輸入有 H 時，L 被輸出。即，成為圖 5B 的真值表。當 L 和 L 或者 H 和 H 輸入到電路 C223 的輸入部分時，H 被輸出。此外，當輸入有 H 和 L 或者 L 和 H 時，L 被輸出。即，成為圖 5C 的真值表。當 L 和 L、L 和 H 或者 H 和 L 輸入到電路 D224 的輸入部分時，L 被輸出。此外，當輸入有 H 和 H 時，L 被輸出。即，成為圖 5D 真

(12)

值表。

下面，參照圖 6 就圖 4 的電路工作詳細地進行說明。在圖 6 中，將輸出部分 225 的信號作為信號 245，將輸出部分 226 的信號作為信號 246，將輸出部分 227 的信號作為信號 247，將輸出部分 228 的信號作為信號 248。

首先，對圖 6 的虛線的邊線（e）的信號進行說明。L 和 L 輸入到電路 A221，而輸出部分 225 的信號 245 成為 L。L 輸入到電路 B222，而輸出部分 228 的信號 248 成為 H。電路 A221 的輸出部分 225 的信號 245 的 L 和電路 B222 的輸出部分 228 的信號 248 的 H 輸入到電路 C223，而輸出部分 226 的信號 246 成為 L。電路 A221 的輸出部分 225 的信號 245 的 L 和電路 C223 的輸出部分 226 的信號 246 的 L 輸入到電路 D224，而輸出部分 227 的信號 247 成為 H。

其次，對圖 6 的虛線的邊線（f）的信號進行說明。H 和 L 輸入到電路 A221，而輸出部分 225 的信號 245 成為 H。H 輸入到電路 B222，而輸出部分 228 的信號 248 成為 L。電路 A221 的輸出部分 225 的信號 245 的 H 和電路 B222 的輸出部分 228 的信號 248 的 L 輸入到電路 C223，而輸出部分 226 的信號 246 成為 L。電路 A221 的輸出部分 225 的信號 245 的 H 和電路 C223 的輸出部分 226 的信號 246 的 L 輸入到電路 D224，而輸出部分 227 的信號 247 成為 H。

接著，對圖 6 的虛線的邊線（g）的信號進行說明。

(13)

H 和 H 輸入到電路 A221，而輸出部分 225 的信號 245 成爲 L。H 輸入到電路 B222，而輸出部分 228 的信號 248 成爲 L。電路 A221 的輸出部分 225 的信號 245 的 L 和電路 B222 的輸出部分 228 的信號 248 的 L 輸入到電路 C223，而輸出部分 226 的信號 246 成爲 H。電路 A221 的輸出部分 225 的信號 245 的 L 和電路 C223 的輸出部分 226 的信號 246 的 H 輸入到電路 D224，而輸出部分 227 的信號 247 成爲 H。

接著，對圖 6 的虛線的邊線 (h) 的信號進行說明。L 和 H 輸入到電路 A221，而輸出部分 225 的信號 245 成爲 H。L 輸入到電路 B222，而輸出部分 228 的信號 248 成爲 H。電路 A221 的輸出部分 225 的信號 245 的 H 和電路 B222 的輸出部分 228 的信號 248 的 H 輸入到電路 C223，而輸出部分 226 的信號 246 成爲 H。電路 A221 的輸出部分 225 的信號 245 的 H 和電路 C223 的輸出部分 226 的信號 246 的 H 輸入到電路 D224，而輸出部分 227 的信號 247 成爲 L。

如上述所示，顯示不良的信號，就是當源信號線的信號成爲 L，並且 G2WE213 成爲 H 時，由輸出部分 227 的信號 247 可以檢測出信號的延遲。當信號 247 是 H 時判斷其爲正常，而當輸出 L 時判斷其爲異常。這樣，通過參照電路 D 的輸出，可以檢測出源信號的遲延的有無。

實施方式 2

(14)

對本發明的檢查電路的與實施方式 1 不同的方式參照圖 7 進行說明。本實施方式的輸出與其他實施方式的相同。

圖 7 的檢查電路包括：源信號線 204、G2WE 線 313、，電路 E231、電路 F232、電路 B233、電路 F234、電路 D235。

源信號線 204 和 G2WE 線 313 連接於電路 E231 的輸入部分。源信號線 204 和 G2WE 線 313 連接於電路 F232 的輸入部分。源信號線 204 連接於電路 B233 的輸入部分。電路 E231 的輸出部分 236 和電路 F232 的輸出部分 237 連接於電路 F234 的輸入部分。電路 F234 的輸出部分 239 和電路 B233 的輸出部分 238 連接於電路 D235 的輸入部分，從電路 D 的輸出部分 240 輸出檢查結果。

下面，對如下電路即電路 F232、電路 B233、電路 F234、電路 D235 的工作進行說明。電路 B233 和電路 D235 的工作與在實施方式 1 中說明了的圖 4 中的電路 B222 及電路 D224 的工作相同。當輸入 L 和 L、L 和 H 或者 H 和 L 到電路 E231 的輸入部分時，L 被輸出。此外，只當 H 和 H 輸入到輸入部分時，H 被輸出。即，成為圖 8A 的真值表。，當 L 和 H、H 和 L 或者 H 和 H 輸入到電路 F232 和電路 F234 的各個輸入部分時，L 被輸出。此外，只當 L 和 L 輸入到輸入部分時，H 被輸出。即，成為圖 8B 的真值表。

下面，參照圖 9 對圖 7 的電路工作進行說明。

(15)

對圖 9 的虛線的邊線 (k) 的信號進行說明。L 和 L 的信號輸入到電路 E231，而輸出部分 236 的信號 336 成爲 L。L 和 L 的信號也輸入到電路 F232，而輸出部分 237 的信號 337 成爲 H。L 的信號輸入到電路 B233，而輸出部分 238 的信號 338 成爲 H。電路 E231 的輸出部分 236 的信號 336 的 L 和電路 F232 的輸出部分 237 的信號 337 的 H 輸入到電路 F234，而輸出部分 239 的信號 339 成爲 L。電路 F234 的輸出部分 239 的信號 339 的 L 和電路 B233 的輸出部分 238 的信號 338 的 H 輸入到電路 D235 的輸入部分，而輸出部分 240 的信號 340 成爲 H。。

接著，對圖 9 的虛線的邊線 (l) 的信號進行說明。H 和 L 的信號輸入到電路 E231，而輸出部分 236 的信號 336 成爲 L。H 和 L 的信號也輸入到電路 F232，而輸出部分 237 的信號 337 成爲 L。H 的信號輸入到電路 B233，而輸出部分 238 的信號 338 成爲 L。電路 E231 的輸出部分 236 的信號 336 的 L 和電路 F232 的輸出部分 237 的信號 337 的 L 輸入到電路 F234，而輸出部分 239 的信號 339 成爲 H。電路 F234 的輸出部分 239 的信號 339 的 H 和電路 B233 的輸出部分 238 的信號 338 的 L 輸入到電路 D235 的輸入部分，而輸出部分 240 的信號 340 成爲 H。

接著，對圖 9 的虛線的邊線 (m) 的信號進行說明。H 和 H 的信號輸入到電路 E231，而輸出部分 236 的信號 336 成爲 H。H 和 H 的信號也輸入到電路 F232，而輸出部分 237 的信號 337 成爲 L。H 的信號輸入到電路 B233，而

(16)

輸出部分 238 的信號 338 成爲 L。電路 E231 的輸出部分 236 的信號 336 的 H 和電路 F232 的輸出部分 237 的信號 337 的 L 輸入到電路 F234，而輸出部分 239 的信號 339 成爲 L。電路 F234 的輸出部分 239 的信號 339 的 L 和電路 B233 的輸出部分 238 的信號 338 的 L 輸入到電路 D235 的輸入部分，而輸出部分 240 的信號 340 成爲 H。

接著，對圖 9 的虛線的邊線 (n) 的信號進行說明。L 和 H 的信號輸入到電路 E231，而輸出部分 236 的信號 336 成爲 L。L 和 H 的信號也輸入到電路 F232，而輸出部分 237 的信號 337 成爲 L。L 的信號輸入到電路 B233，而輸出部分 238 的信號 338 成爲 H。電路 E231 的輸出部分 236 的信號 336 的 L 和電路 F232 的輸出部分 237 的信號 337 的 L 輸入到電路 F234，而輸出部分 239 的信號 339 成爲 H。電路 F234 的輸出部分 239 的信號 339 的 H 和電路 B233 的輸出部分 238 的信號 338 的 H 輸入到電路 D235 的輸入部分，而輸出部分 240 的信號 340 成爲 L。

如上述所示，與實施方式 1 相同，可以進行信號的檢測。顯示不良的信號，就是當源信號線的信號成爲 L，並且 G2WE213 成爲 H 時，由輸出部分 240 的信號 340 可以檢測出信號的延遲。當信號 340 是 H 時判斷其爲正常，而當輸出 L 時判斷其爲異常。這樣，通過參照電路 D 的輸出，可以檢測出源信號的遲延的有無。

實施方式 3

(17)

在圖 10 中表示合併本發明的檢查電路和信號修正電路而形成的電路的一個例子。將圖 4 所示的電路用於檢查電路。也可以使用圖 7 的電路來代替圖 4 的電路。

圖 10 的電路包括：虛線（o）包圍的計數電路、虛線（p）包圍的計數電路、虛線（q）包圍的源信號線的緩衝電路。此外，在圖 11 中表示檢查電路的結構的一個例子。該檢查電路包括：源信號線 204、G2WE 線 313、電路 A221、電路 B222、電路 C223、電路 D224。

首先，對虛線（o）包圍的計數電路進行說明。開信號線 250 連接於 JK 正反器電路 253、JK 正反器電路 254、JK 正反器電路 255 的 CK 部分。檢查電路的輸出部分 227 連接於 JK 正反器電路 253 的 RESET（重置）部分。（圖 10 中 251 連接於 227。）JK 正反器電路 253 的 Q 部分連接於 JK 正反器電路 254 的 RESET 部分。此外，該 JK 正反器電路 253 的 Q 部分也連接於 JK 正反器電路 253 的 J 部分和 K 部分。JK 正反器電路 254 的 Q 部分連接於 JK 正反器電路 255 的 RESET 部分。此外，該 JK 正反器電路 254 的 Q 部分也連接於 JK 正反器電路 254 的 J 部分和 K 部分。JK 正反器電路 255 的 Q 部分連接於圖 11 的檢查電路輸入部分的開關 281 的開電極 257。此外，該 JK 正反器電路 255 的 Q 部分也連接於 JK 正反器電路 255 的 J 部分和 K 部分。注意，圖 11 為在圖 4 的輸入部分中設置開關 281 的結構。

對虛線（p）包圍的計數電路進行說明。檢查電路的

(18)

輸出部分 227 仲介電路 B260 連接於 D 正反器電路 263、D 正反器電路 264、D 正反器電路 265 的 CK 部分。重置信號線 261 連接於 D 正反器電路 263、D 正反器電路 264、D 正反器電路 265 的 RESET 部分。D 正反器電路 263 的 Q 部分連接於 D 正反器電路 264 的 D 部分及電路 F262 的輸入部分。D 正反器電路 264 的 Q 部分連接於 D 正反器電路 265 的 D 部分及電路 F262 的輸入部分。電路 F262 的輸出部分連接於 D 正反器電路 263 的 D 部分。

虛線 (p) 包圍的計數電路的輸出部分 266 由於在本發明的電路結構中不使用，所以採用連接於地線等不影響圖 10 中的電路的結構即可。

對虛線 (q) 包圍的開信號線的緩衝電路電路進行說明。將緩衝電路 275 及佈線 276 新加到現有的緩衝電路電路中。電路 F271 的輸入部分連接於 D 正反器電路 263 及 D 正反器電路 264 的 Q 部分。電路 F271 的輸出部分連接於開關 273 的開電極。開關 272 的開電極連接於 D 正反器電路 263 的 Q 部分。開關 274 連接於 D 正反器電路 264 的 Q 部分。緩衝電路 275 的輸入部分連接於開關 272，而輸出部分連接於開關 273 和緩衝電路 288 之間。佈線 276 與緩衝電路 277 的輸入部分、開關 273 及緩衝電路 288 連接。

下面，對圖 10 及圖 11 的電路圖的工作，用圖 12 進行說明。

圖 12 的信號 241 所示的檢查電路的輸出輸入到圖 10

(19)

的虛線（o）包圍的電路中的 JK 正反器電路 253 的 RESET 部分。信號 241 是從圖 4 的檢查電路的輸出部分 227 或者從圖 7 的檢查電路的輸出部分 240 輸出的信號。因此，重置 JK 正反器電路 253。重置後，從輸入到 JK 正反器電路 253 的 CK 部分的閘信號線 250 的信號，就是從圖 12 的信號 242 的上升（rising）開始讀取。其他的 JK 正反器電路 254 及 JK 正反器電路 255 也進行相同的工作。由於上述的工作，如圖 12 的信號 243 所示那樣，從輸出部分 256 輸出的信號 243 在以閘信號線 250 的信號 242 為基準而數的三個周期的時間成為 H 的信號。該信號輸入到圖 11 的開關 281。當輸出的信號 243 為 H 時，將開關 281 與開關 281 的閘電極 257 連接以便使開關 281 為關。因此，信號 243 一旦成為 H，圖 11 的檢查電路不工作。此外，當信號 243 從 H 變到 L 時，開關 281 為開，圖 11 的檢查電路重新開始工作。

重置信號輸入到圖 10 的虛線（p）包圍的計算電路的 D 正反器電路 263 的 RESET 部分。該重置信號是當從圖 11 的檢查電路輸出 L 的信號時，成為 H 的信號。換句話說，可伸介電路 B 連接圖 11 的檢查電路的輸出部分。圖 11 的檢查電路的輸出伸介電路 B260 輸入到 D 正反器電路 263 的 CK 部分。當該圖 11 的檢查電路的輸出為 L 時，D 正反器電路 263 的 Q 部分成為 H。直到再次從檢查電路輸出 L，D 正反器電路 263 的 Q 部分保持 H。此外，當再次從檢查電路輸出 L 時，D 正反器電路 263 的 Q 部分成為

(20)

L，而 D 正反器電路 264 的 Q 部分成爲 H。在此，直到再次從檢查電路輸出 L，也保持 H。

D 正反器電路 263 的 Q 部分和 D 正反器電路 264 的 Q 部分連接於圖 10 的虛線 (q) 包圍的電路中的電路 F271。該電路是只當輸入有 L 和 L 時才輸出 H 的電路。因此，當圖 11 的檢查電路的輸出爲 H 時，L 和 L 被輸入，而輸出成爲 H。此外，當圖 11 的檢查電路的輸出變爲 L 時，L 和 H 或者 H 和 L 被輸入，而輸出成爲 L。開關 272、開關 273 及開關 274 是當各個的閘電極爲 H 時成爲開，而當各個的閘電極爲 L 時成爲關的開關。開關 273 是當閘電極爲 L 時成爲開，而當閘電極爲 H 時成爲關的開關。開關 272 根據 D 正反器電路 263 的 Q 部分的狀態，而決定開或者關。開關 273 只當 L 和 L 輸入到電路 F271 時才成爲關。

在圖 11 的檢查電路中，當輸出 L 時，圖 10 的虛線 (p) 包圍的電路中的 D 正反器電路 263 的 Q 部分成爲 H。因此，與開關 273 成爲關同時，開關 272 成爲開，而通過開關 272 連接於緩衝電路 275。因此閘信號線的緩衝電路的整體變長，從而可以將閘信號線的信號延遲，結果是可以修正不良。在以閘信號線 250 的信號 242 爲標準的三個周期的時間中維持該狀態。其後，使圖 11 的檢查電路再次工作而檢查，當正常時維持現狀。當異常時，圖 11 的檢查電路輸出 L，因爲圖 10 的虛線 (q) 包圍的電路的 D 正反器電路 263 的 Q 部分成爲 L，D 正反器電路 264

(21)

的 Q 部分成爲 H，所以開關 272 爲開，而開關 273 爲關，開關 274 爲開。其後，進行與上述的工作相同的工作。

綜上所述，根據本發明的實施方式，當從源信號線的驅動電路輸出寫入到像素的信號時，如果閘信號線的驅動電路的信號的時序發生偏差，通過檢測出該偏差的不良信號並且對該信號進行校正，可以按照來自源驅動器的信號修正掃描信號的時序，以可以防止顯示不良。

因此，本發明適用於電池驅動的電子設備的顯示部分、大尺寸的顯示裝置及電子設備的顯示部分等。作爲搭載的例子，例如可以搭載到：電視裝置（電視機，電視接收機）、數位相機，數位攝像機、攜帶型電話裝置（攜帶型電話機）、PDA 等的攜帶型資訊終端、攜帶型遊戲機、監視器、電腦、汽車音響等的具有顯示部分的音頻再現裝置、家用遊戲機等的具有記錄介質的圖像再現裝置等。

對上述的搭載例子，參照圖 13 進行說明。圖 13A 表示攜帶型資訊終端；圖 13B 表示數位視頻相機；圖 13C 表示攜帶型電話機；圖 13D 表示攜帶型電視裝置；圖 13E 表示筆記本型電腦；圖 13F 表示電視裝置。在各個顯示部分 300 至 305 中，搭載使用了本發明的發光裝置。

【圖式簡單說明】

圖 1 是像素電路圖；

圖 2 是在本發明中的正常的時序圖；

圖 3 是在本發明中的有不良的時序圖；

(22)

圖 4 是 檢 查 電 路 圖 1 ；

圖 5A 至 圖 5D 是 真 值 表 1 ；

圖 6 是 圖 4 的 電 路 結 構 的 時 序 圖 ；

圖 7 是 檢 查 電 路 圖 2 ；

圖 8A 至 圖 8B 是 真 值 表 2 ；

圖 9 是 圖 7 的 電 路 結 構 的 時 序 圖 ；

圖 10 是 信 號 修 正 電 路 圖 ；

圖 11 是 檢 查 電 路 圖 3 ；

圖 12 是 圖 11 的 電 路 結 構 的 時 序 圖 ；

圖 13A 至 圖 13F 是 說 明 使 用 了 發 光 裝 置 的 電 子 設 備
的 圖 ；

圖 14 是 說 明 顯 示 裝 置 的 結 構 的 圖 ；

圖 15 是 圖 14 的 顯 示 裝 置 的 時 序 圖 ；

圖 16A 至 圖 16B 是 說 明 驅 動 方 法 的 圖 。

【 主 要 元 件 符 號 說 明 】

201：電 晶 體

202：電 晶 體

203：發 光 元 件

204：源 信 號 線

205：閘 信 號 線

214：源 信 號

215：閘 信 號

221：電 路 A

(23)

222 : 電 路 B

223 : 電 路 C

224 : 電 路 D

225 : 輸 出 部 分

226 : 輸 出 部 分

227 : 輸 出 部 分

228 : 輸 出 部 分

231 : 電 路 E

232 : 電 路 F

233 : 電 路 B

234 : 電 路 F

236 : 輸 出 部 分

237 : 輸 出 部 分

238 : 輸 出 部 分

239 : 輸 出 部 分

240 : 輸 出 部 分

241 : 信 號

242 : 信 號

243 : 信 號

245 : 信 號

246 : 信 號

247 : 信 號

248 : 信 號

250 : 閘 信 號 線

(24)

253 : JK 正反器 電路

254 : JK 正反器 電路

255 : JK 正反器 電路

256 : 輸 出 部 分

257 : 閘 電 極

260 : 電 路 B

261 : 重 置 信 號 線

262 : 電 路 F

263 : D 正反器 電路

264 : D 正反器 電路

265 : D 正反器 電路

266 : 輸 出 部 分

271 : 電 路 F

272 : 開 關

273 : 開 關

274 : 開 關

275 : 緩 衝 電 路

276 : 佈 線

277 : 緩 衝 電 路

281 : 開 關

313 : G2WE 線

337 : 信 號

338 : 信 號

339 : 信 號

(25)

340：信號

1401：第一驅動電路

1402：第二驅動電路

1403：像素部分

1404：像素

1405：第三驅動電路

1406：第一移位暫存器電路

1407：第二移位暫存器電路

1408：開關

1409：開關

十、申請專利範圍

1. 一種顯示裝置，包括：

一 閘信號線；

一 源信號線；

一 像素，連接至該閘信號線及該源信號線，且當該閘信號線被選擇時，該像素從該源信號線被寫入信號；

一 移位暫存器電路，經由一開關連接至該閘信號線，該開關配置為控制介於該閘信號線與該移位暫存器電路間的傳導；

一 佈線，被輸入用於控制該開關之信號；以及

一 檢查電路，連接至該源信號線及該佈線，當該開關從導通狀態變成截止狀態時，該檢查電路檢測該源信號線之電位是否為不使像素發出光線之電位。

2. 一種顯示裝置，包括：

一 閘信號線；

一 源信號線；

一 驅動電路，將信號輸出到該閘信號線，且包括一移位暫存器電路，經由一開關連接至該閘信號線；

一 像素，連接至該閘信號線及該源信號線，且當該閘信號線被選擇時，該像素從該源信號線被寫入信號；

一 佈線，被輸入用於控制該開關之信號；以及

一 檢查電路，連接至該源信號線及該佈線，當該開關從導通狀態變成截止狀態時，該檢查電路檢測該源信號線之電位是否為不使像素發出光線之電位，

其中該驅動電路包括一信號修正電路，該信號修正電路根據由該檢查電路所檢測之該資料，用於修正將信號輸出到該閘信號線的時序。

3. 如申請專利範圍第 2 項之顯示裝置，其中該信號修正電路包括第一至第三緩衝電路，且根據第一狀態、第二狀態或第三狀態，修正將信號輸出到該閘信號線的該時序，在該第一狀態中信號通過該第一及第二緩衝電路被輸出，在該第二狀態中信號通過該第一至第三緩衝電路被輸出，在該第三狀態中信號通過該第一緩衝電路被輸出。

4. 如申請專利範圍第 2 項之顯示裝置，

其中該信號修正電路包括複數個緩衝電路，且

其中該複數個緩衝電路係串聯連接。

5. 如申請專利範圍第 4 項之顯示裝置，其中該時序的修正係使用串聯連接的該複數個緩衝電路。

6. 一種電子設備，包括如申請專利範圍第 1 項或第 2 項之顯示裝置。

7. 一種顯示裝置的驅動方法，該顯示裝置包括：一閘信號線；一源信號線；一像素，連接至該閘信號線及該源信號線，且當該閘信號線被選擇時，該像素從該源信號線被寫入信號；一移位暫存器電路，經由一開關連接至該閘信號線，該開關配置為控制介於該閘信號線與該移位暫存器電路間的傳導；一佈線，被輸入用於控制該開關之信號；以及一檢查電路，連接至該源信號線及該佈線，該驅動方法包括：

當該開關從導通狀態變成截止狀態時，檢測該源信號線之電位是否為不使像素發出光線之電位。

8. 一種顯示裝置，包括：

一閘信號線；

一源信號線；

一第一驅動電路，將信號輸出到該閘信號線，且包括一移位暫存器電路，經由一開關連接至該閘信號線；

一第二驅動電路，將信號輸出到該源信號線；

一像素，連接至該閘信號線及該源信號線，且當閘信號線被選擇時，該像素從源信號線被寫入信號；

一佈線，被輸入用於控制該開關之信號；以及

一檢查電路，連接至該源信號線及該佈線，當該開關從導通狀態變成截止狀態時，該檢查電路檢測該源信號線之電位是否為不使像素發出光線之電位，

其中該第一驅動電路進一步包括一信號修正電路，該信號修正電路根據由該檢查電路所檢測之該資料，用於修正將信號輸出到該閘信號線的時序。

9. 如申請專利範圍第 8 項之顯示裝置，

其中該信號修正電路包括複數個緩衝電路，且

其中該複數個緩衝電路係串聯連接。

10. 如申請專利範圍第 9 項之顯示裝置，其中當該信號的時序延遲時，該串聯連接的複數個緩衝電路的個數與正常的情況相比有所減少。

11. 如申請專利範圍第 9 項之顯示裝置，當該信號的

時序提早時，該複數個緩衝電路的串聯連接的個數與正常的情況相比有所增加。

12. 如申請專利範圍第 8 項之顯示裝置，其中該信號修正電路包括第一至第三緩衝電路，且根據第一狀態、第二狀態或第三狀態，修正將信號輸出到該閘信號線的時序，在該第一狀態中信號通過該第一及第二緩衝電路被輸出，在該第二狀態中信號通過該第一至第三緩衝電路被輸出，在該第三狀態中信號通過該第一緩衝電路被輸出。

13. 一種顯示裝置，包括：

一 閘信號線；

一 源信號線；

一 像素，連接至該閘信號線及該源信號線，且當閘信號線被選擇時，該像素從源信號線被寫入信號；

一 第一驅動電路，將信號輸出到該閘信號線，且包括一第一移位暫存器電路，經由一第一開關連接至該閘信號線；

一 第二驅動電路，將信號輸出到該閘信號線，且包括一第二移位暫存器電路，經由一第二開關連接至該閘信號線，該第二開關配置為控制介於該閘信號線與該第一移位暫存器電路間的傳導；

一 第三驅動電路，將信號輸出到該源信號線；

一 第一佈線，被輸入用於控制該第一開關之信號；

一 第二佈線，被輸入用於控制該第二開關之信號；以

及

一 檢 查 電 路 ， 連 接 至 該 源 信 號 線 及 該 佈 線 ， 當 該 開 關
從 導 通 狀 態 變 成 截 止 狀 態 時 ， 該 檢 查 電 路 檢 測 該 源 信 號 線
之 電 位 是 否 為 不 使 像 素 發 出 光 線 之 電 位 。

圖 1

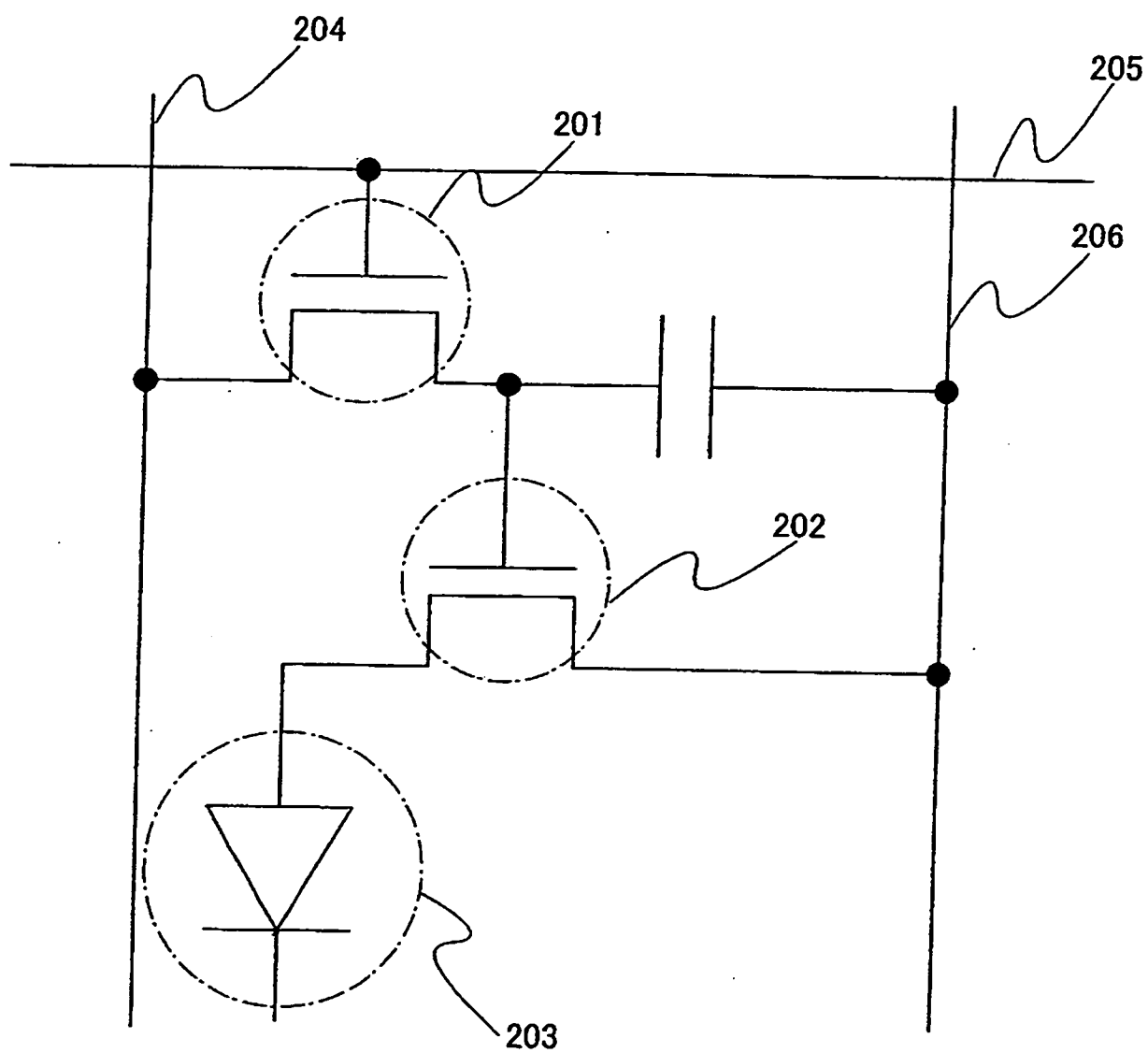


圖2

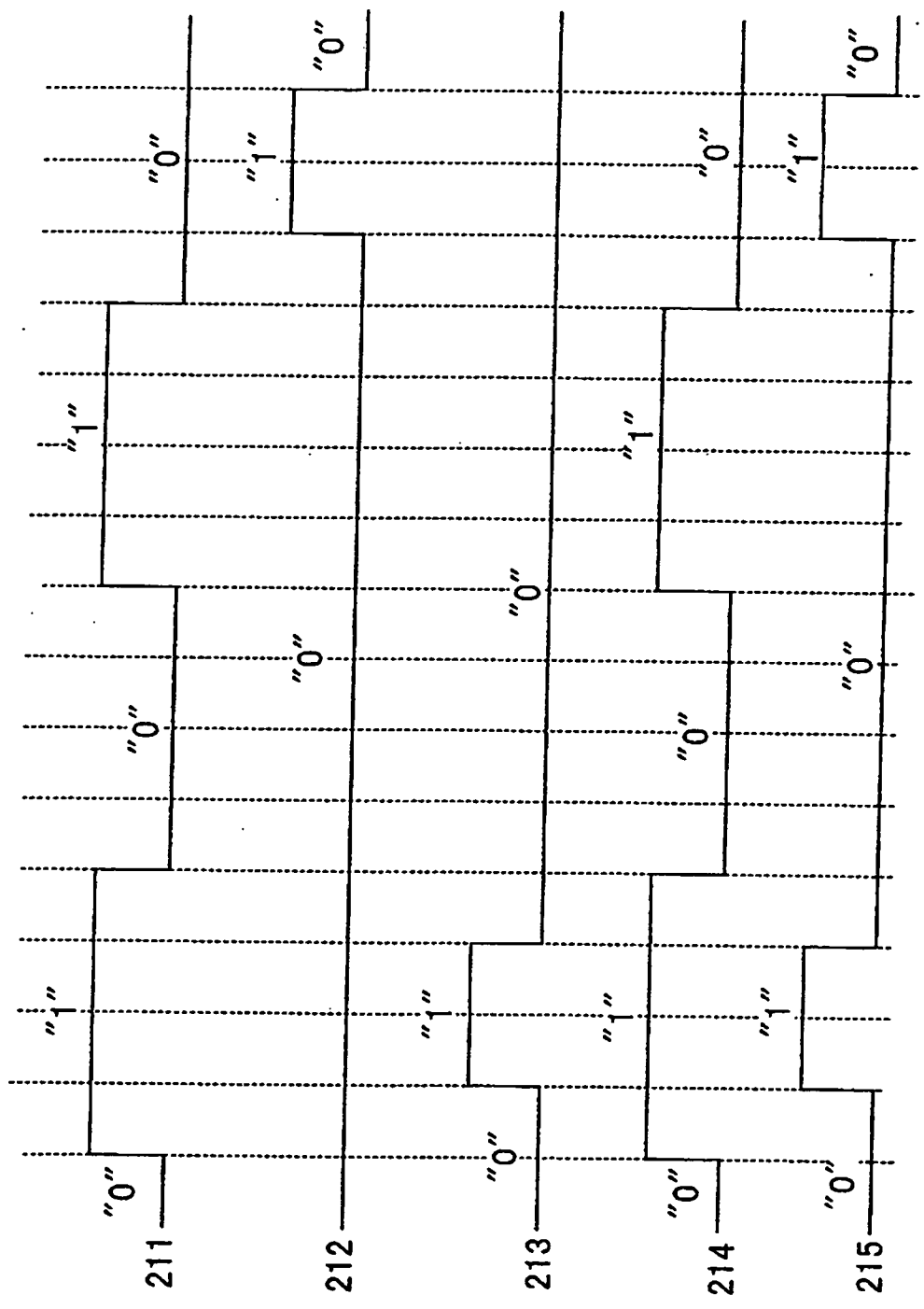


圖3

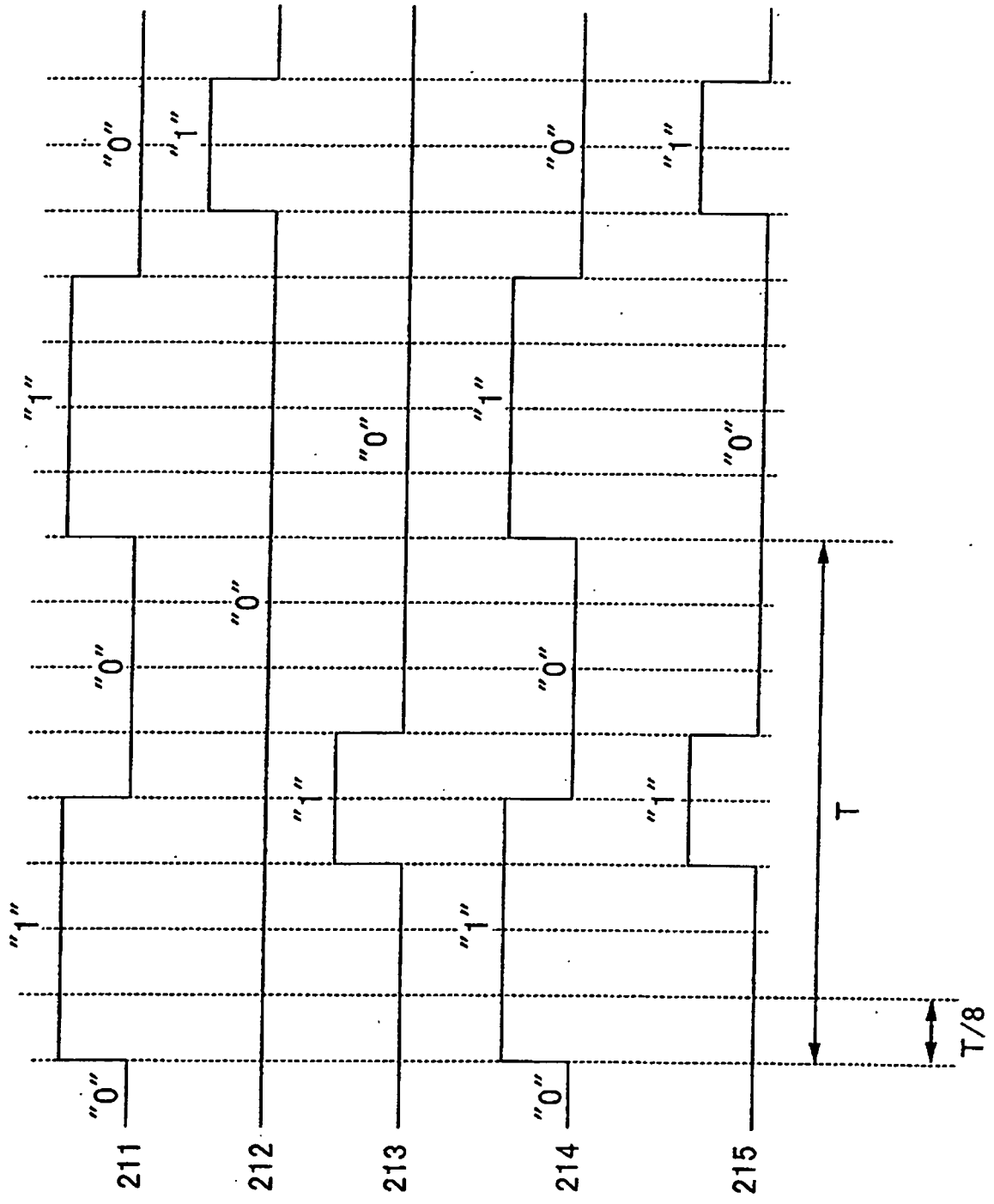


圖 4

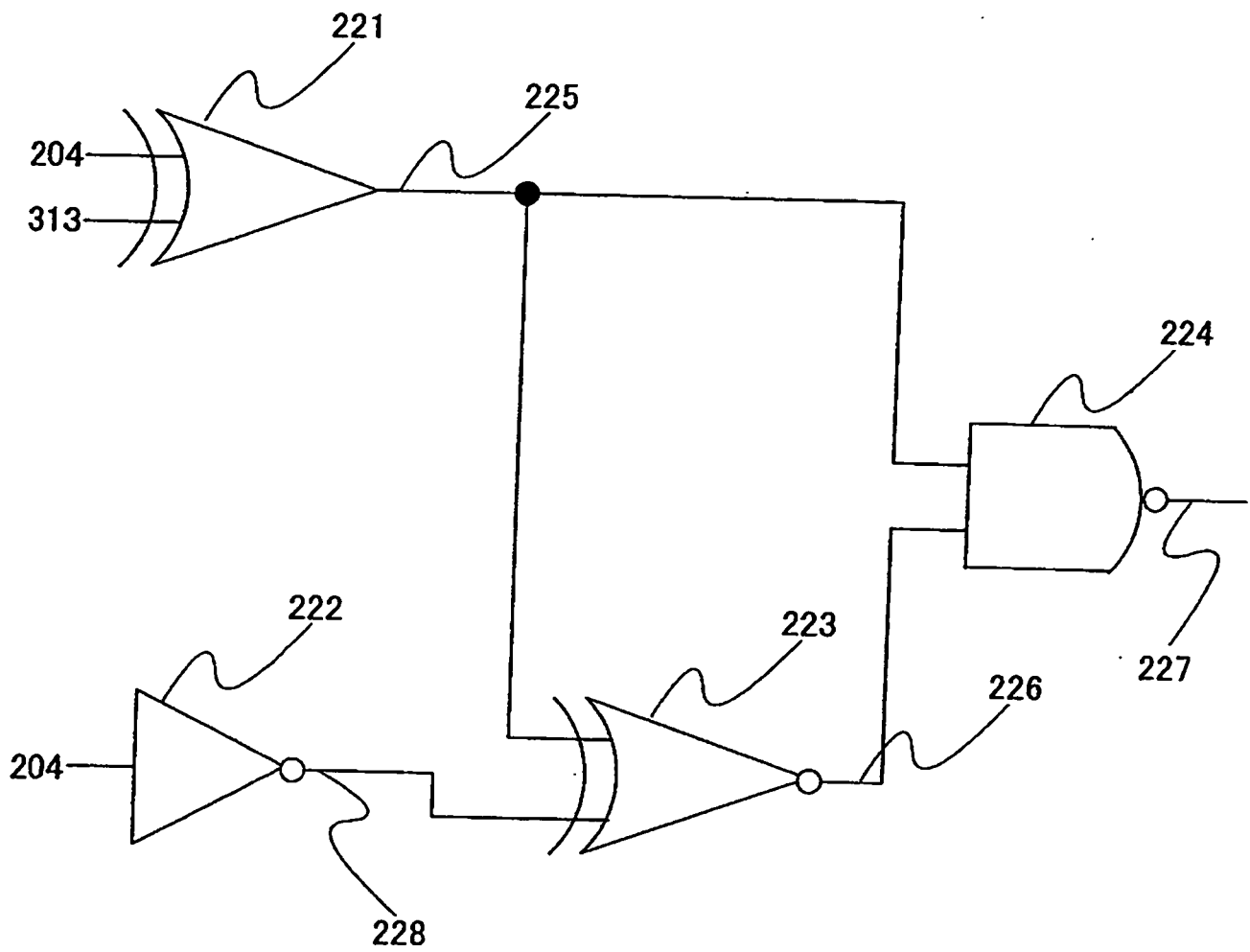


圖 5A

輸入		輸出
L	L	L
L	H	H
H	L	H
H	H	L

圖 5B

輸入	輸出
L	H
H	L

圖 5C

輸入		輸出
L	L	H
L	H	L
H	L	L
H	H	H

圖 5D

輸入		輸出
L	L	H
L	H	H
H	L	H
H	H	L

回 9

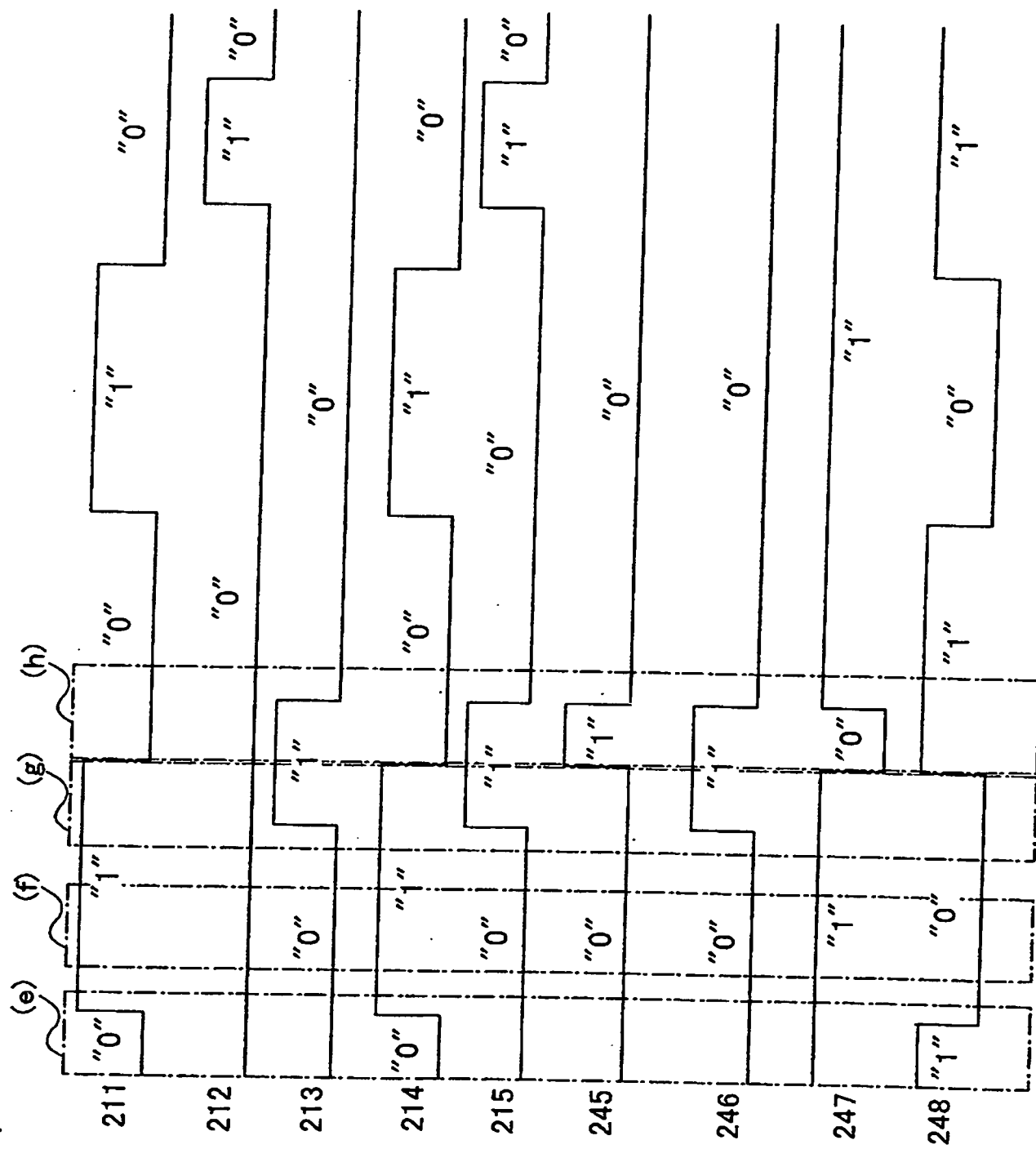


圖 7

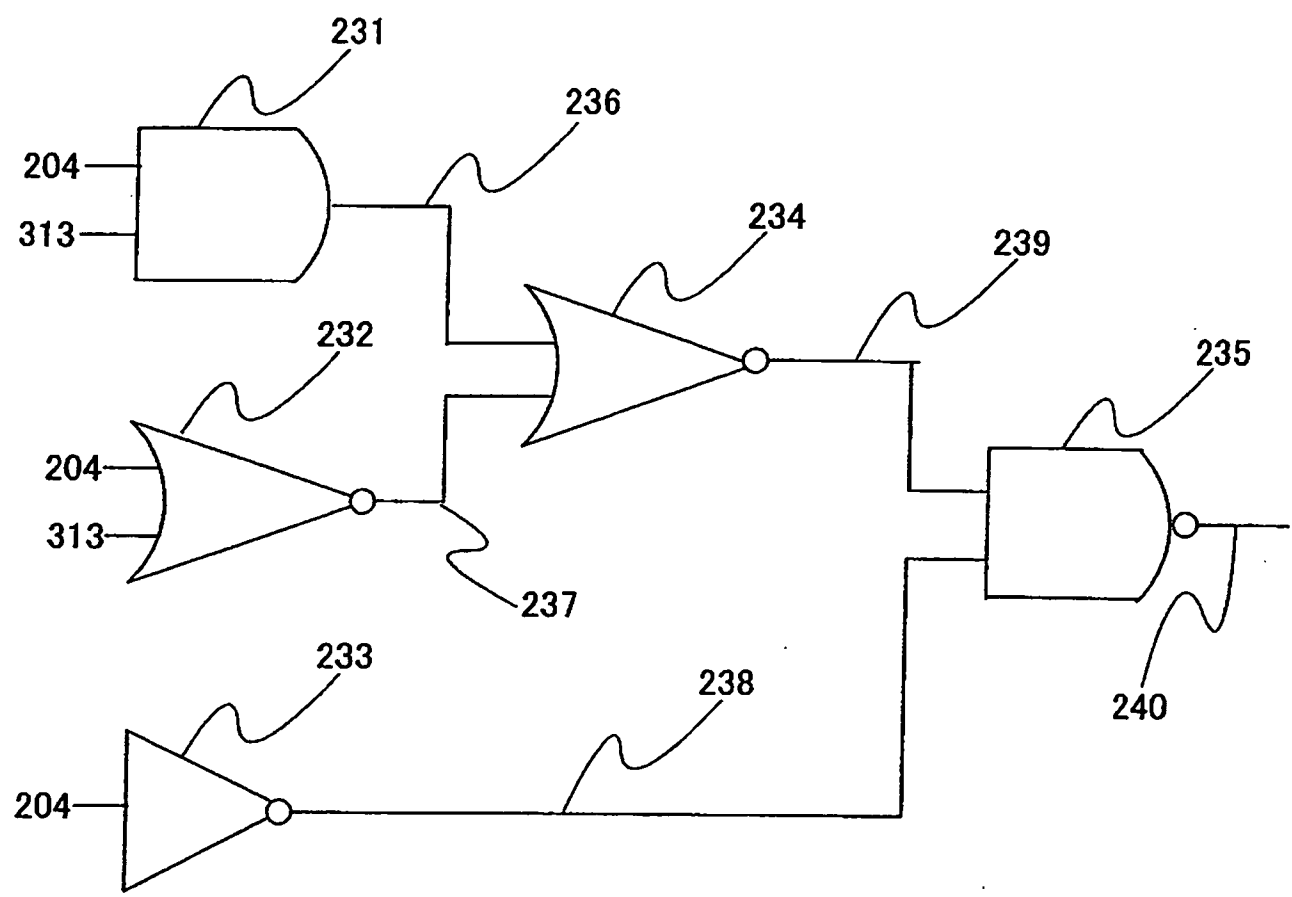


圖 8A

輸入		輸出
L	L	L
L	H	L
H	L	L
H	H	H

圖 8B

輸入		輸出
L	L	H
L	H	L
H	L	L
H	H	L

圖9

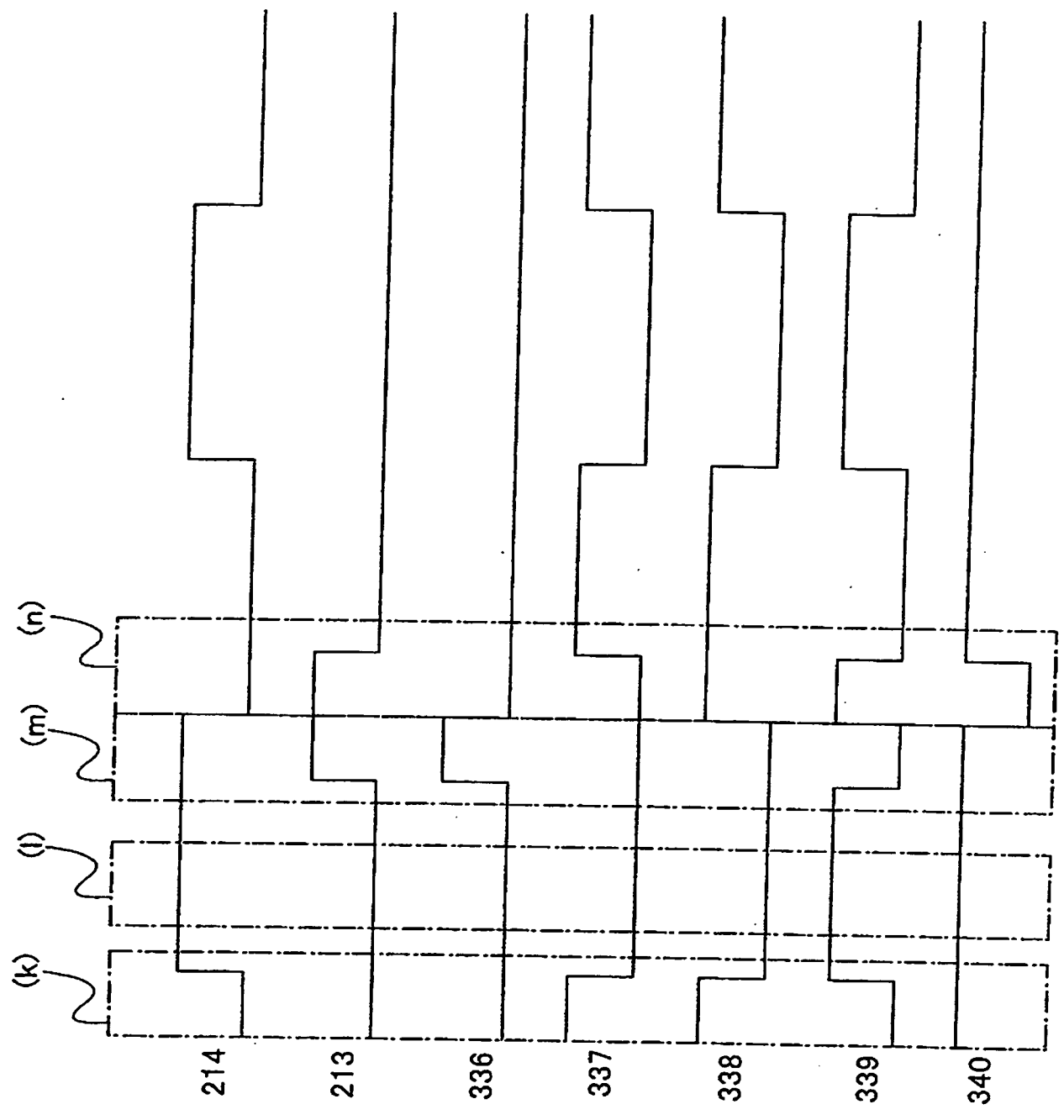


圖10

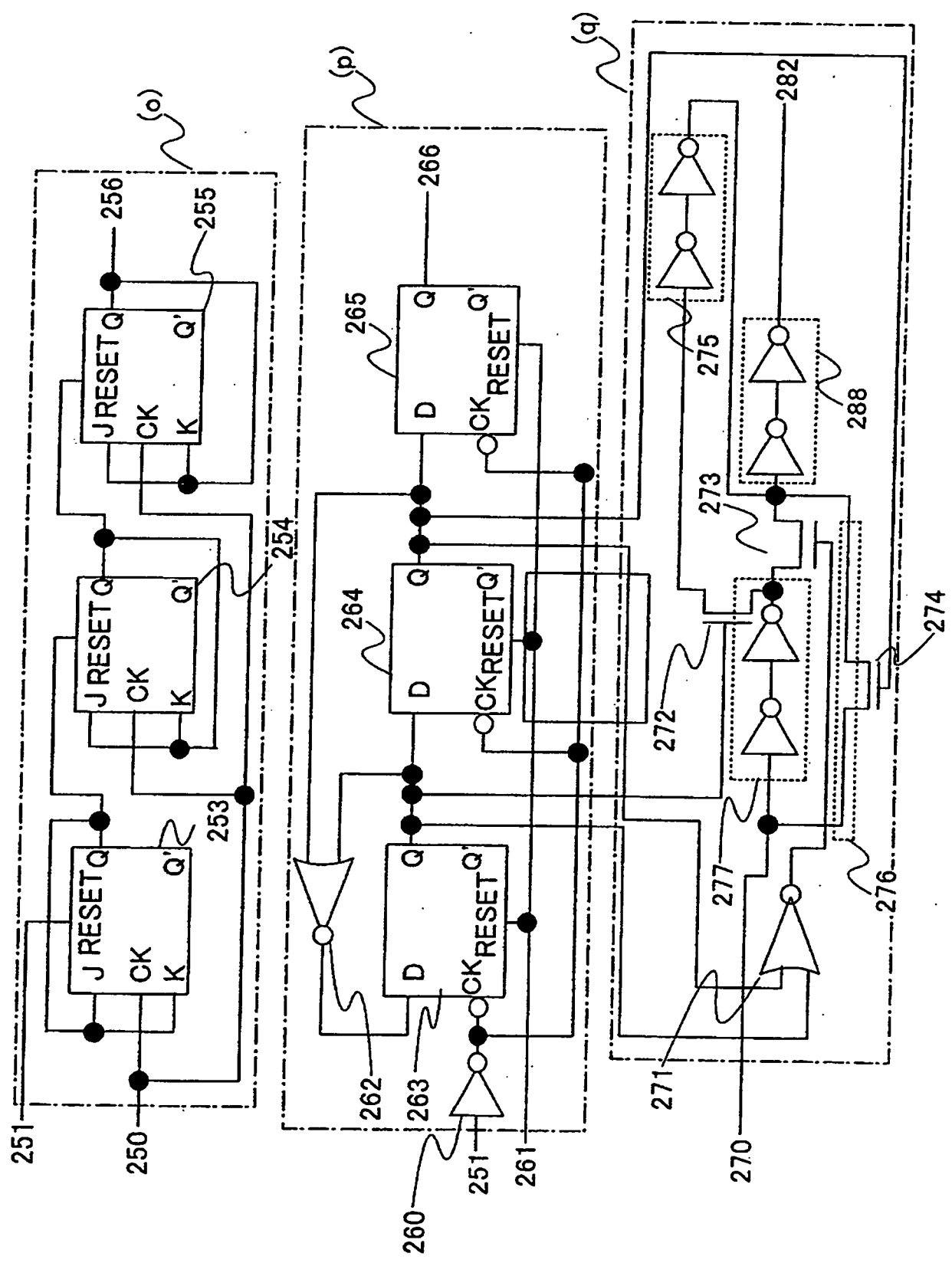


圖11

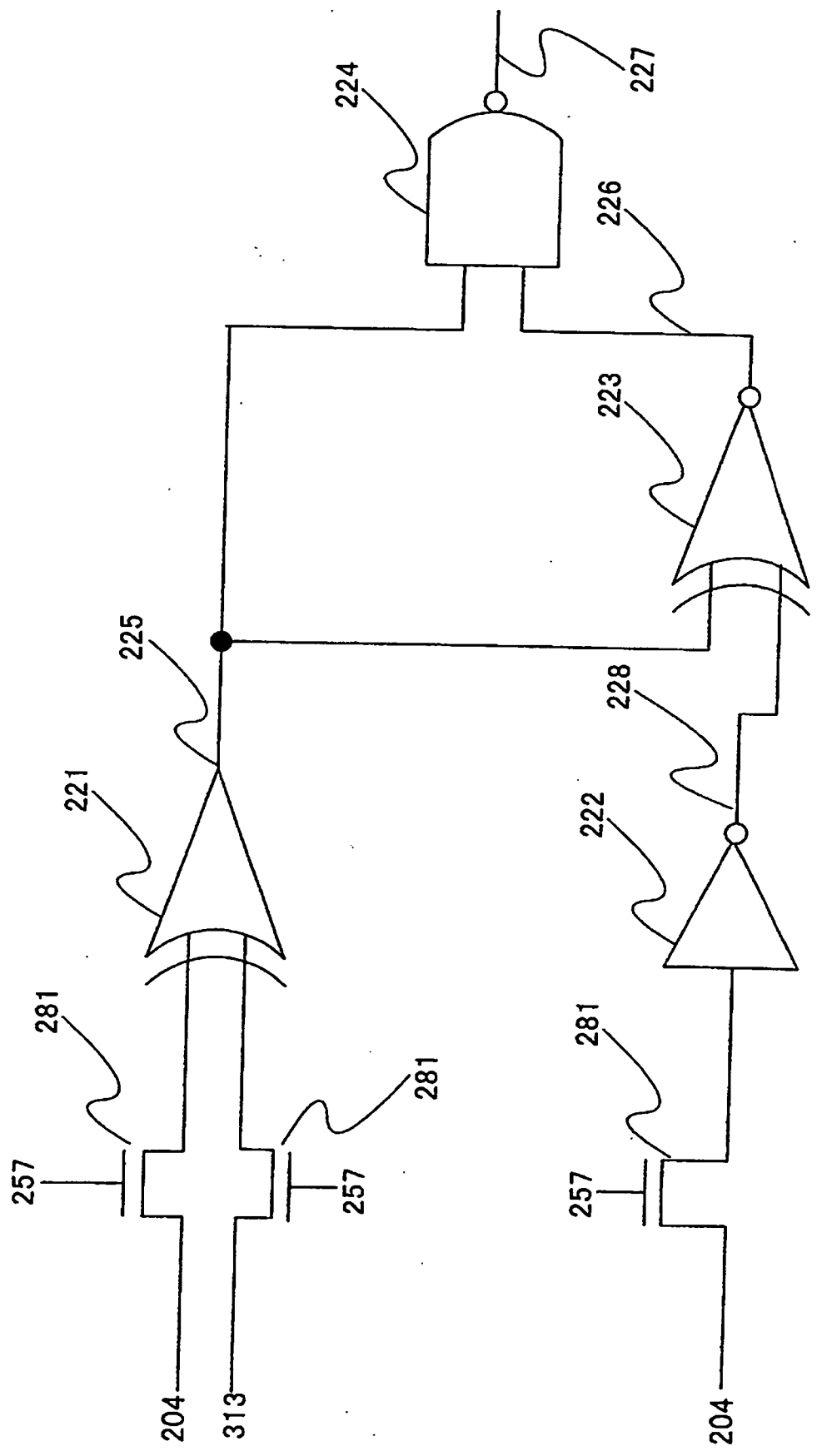


圖12

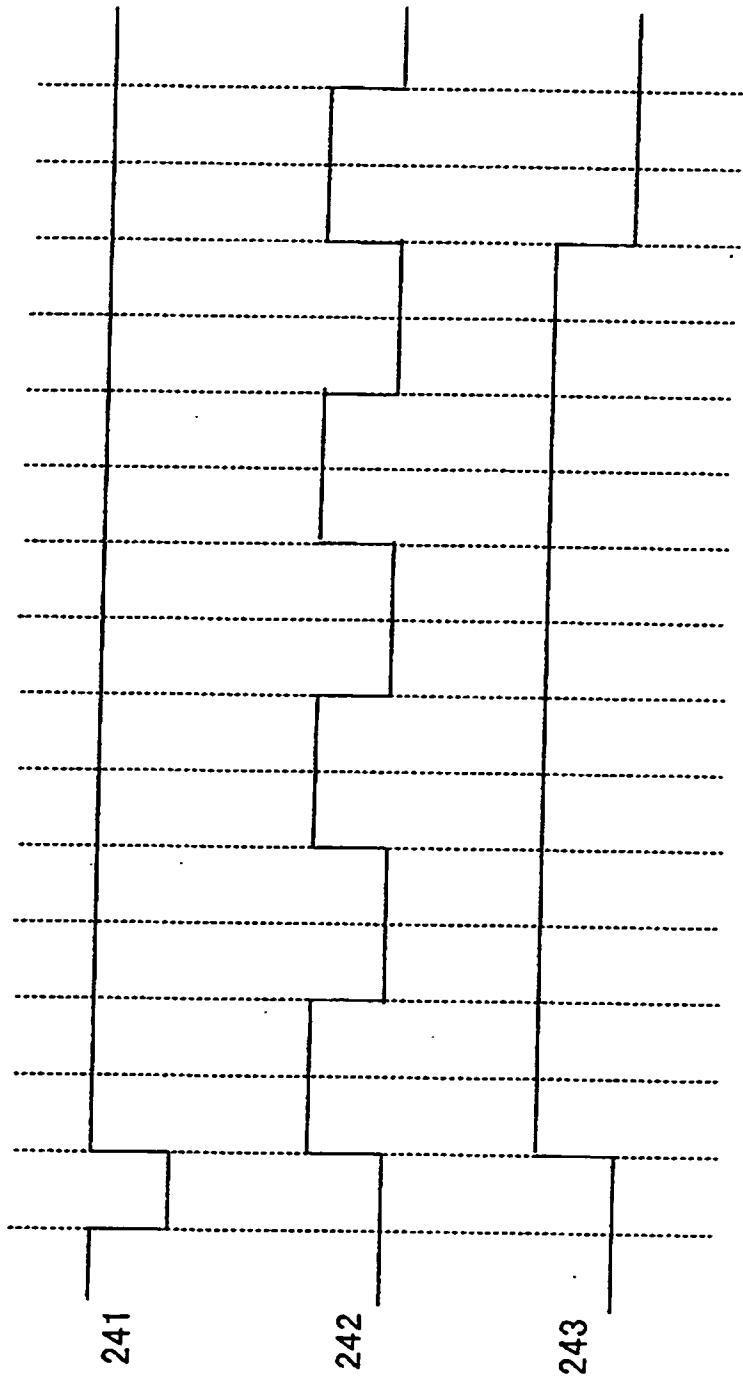


圖 13A

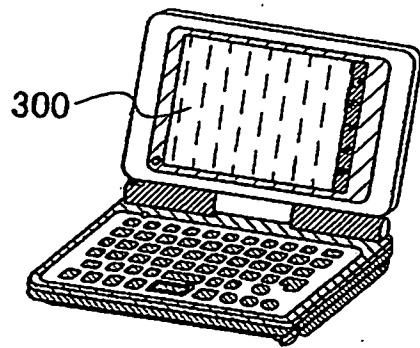


圖 13B

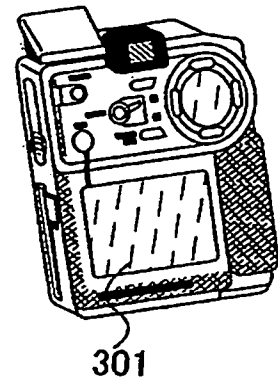


圖 13C

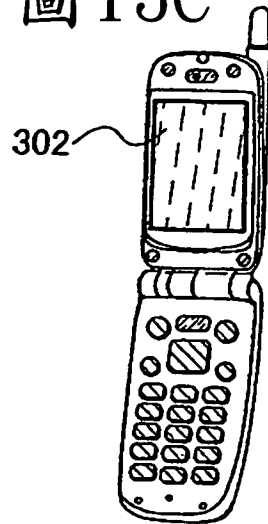


圖 13D

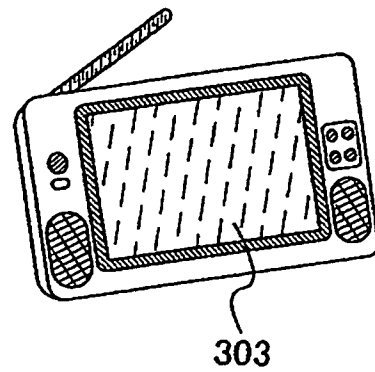


圖 13E

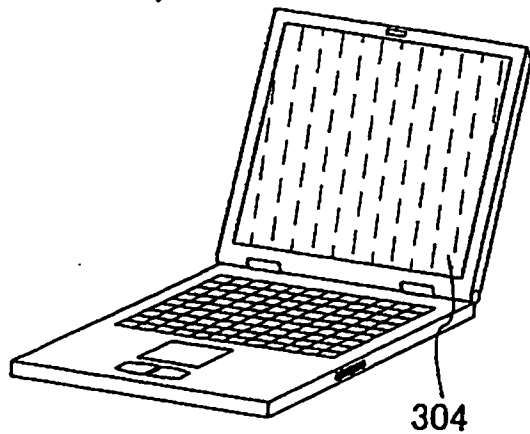


圖 13F

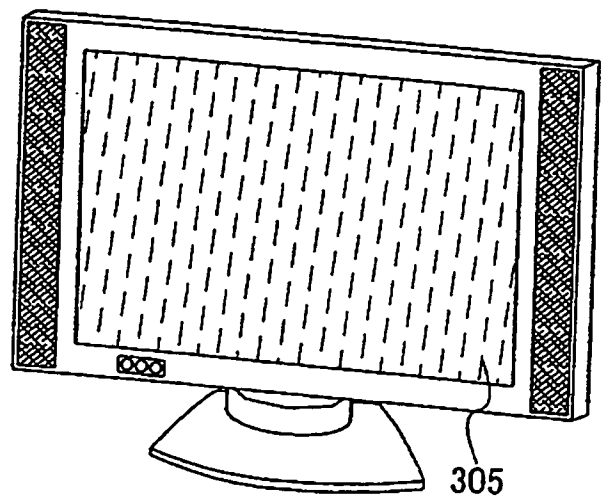


圖14

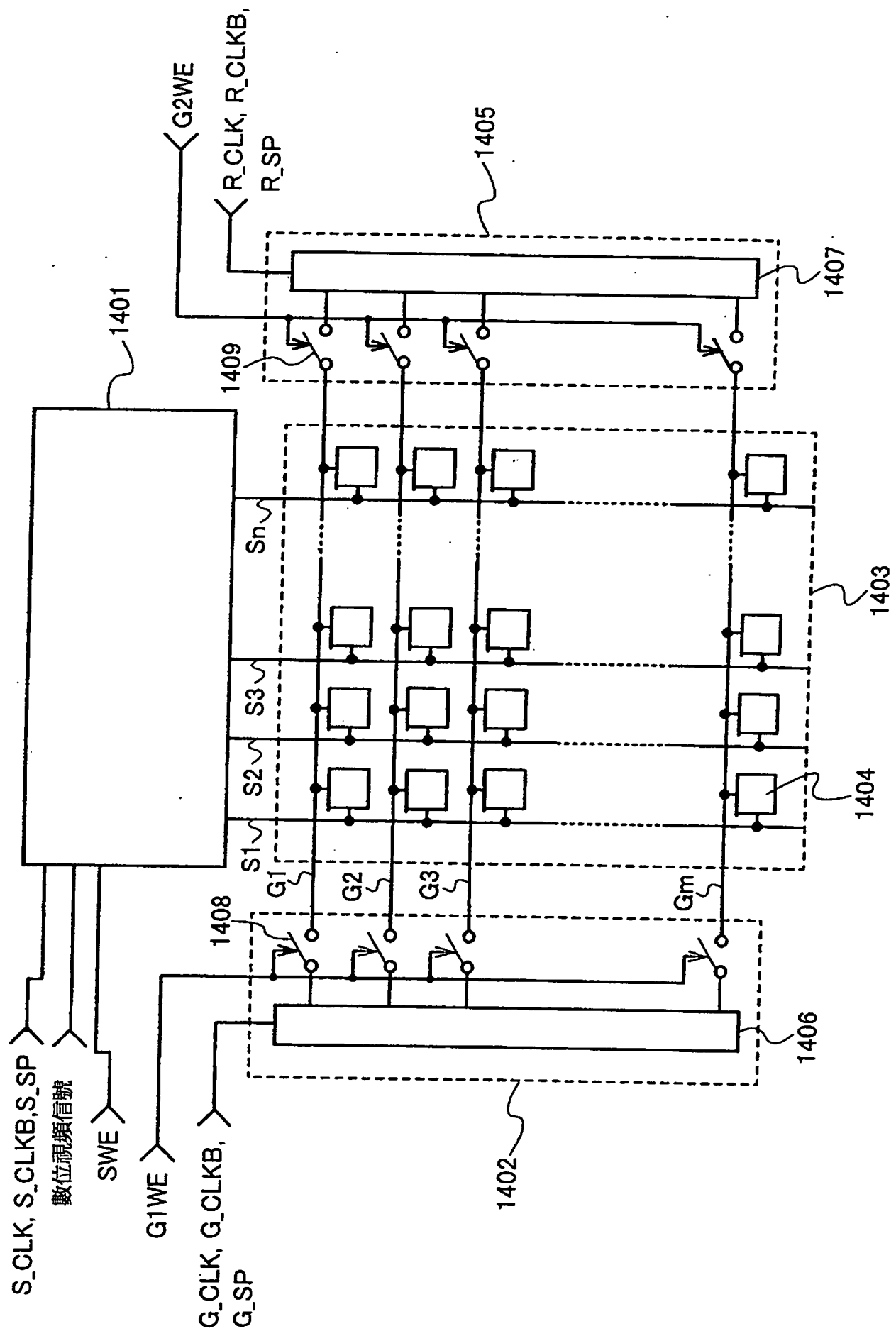


圖15

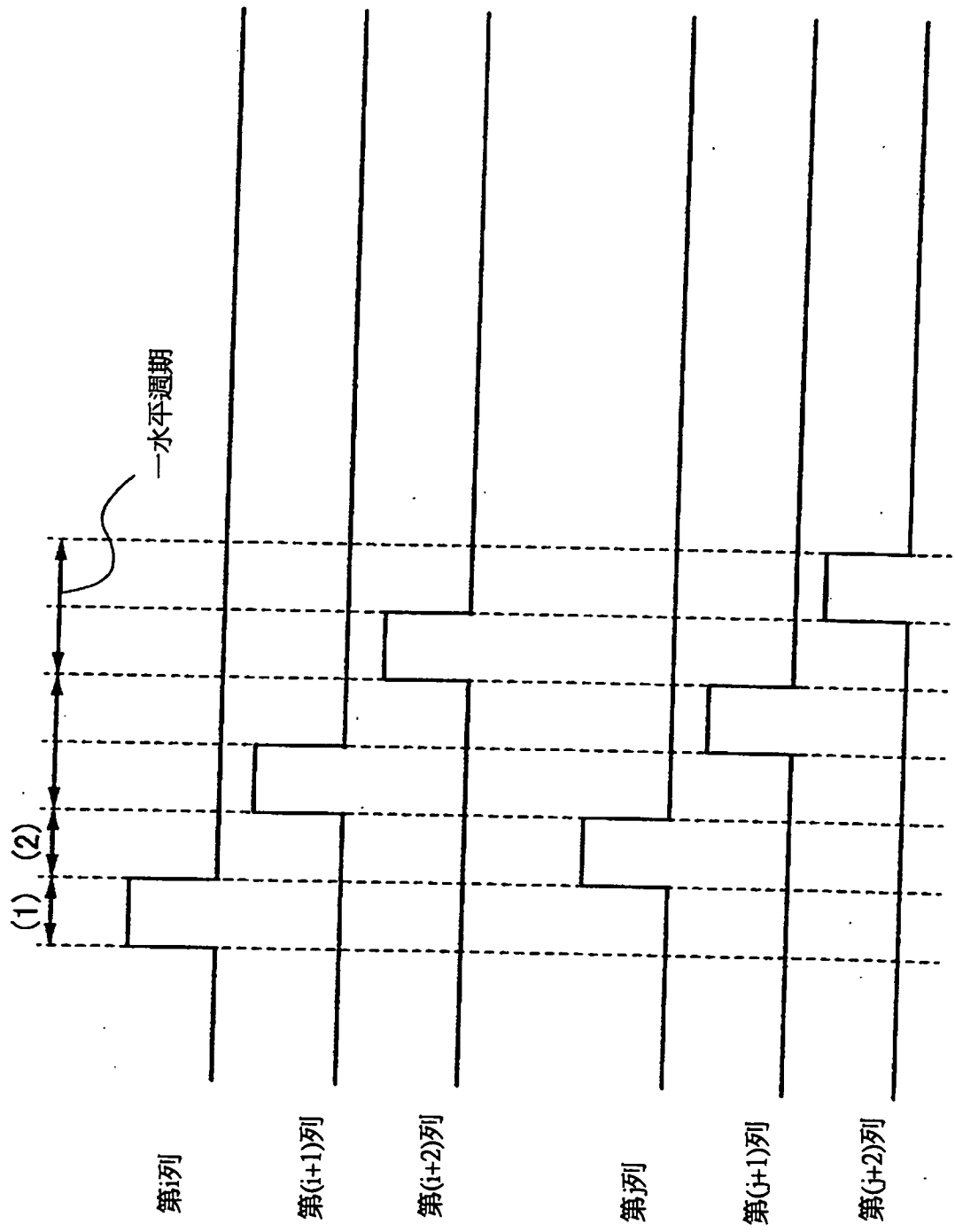


圖16A

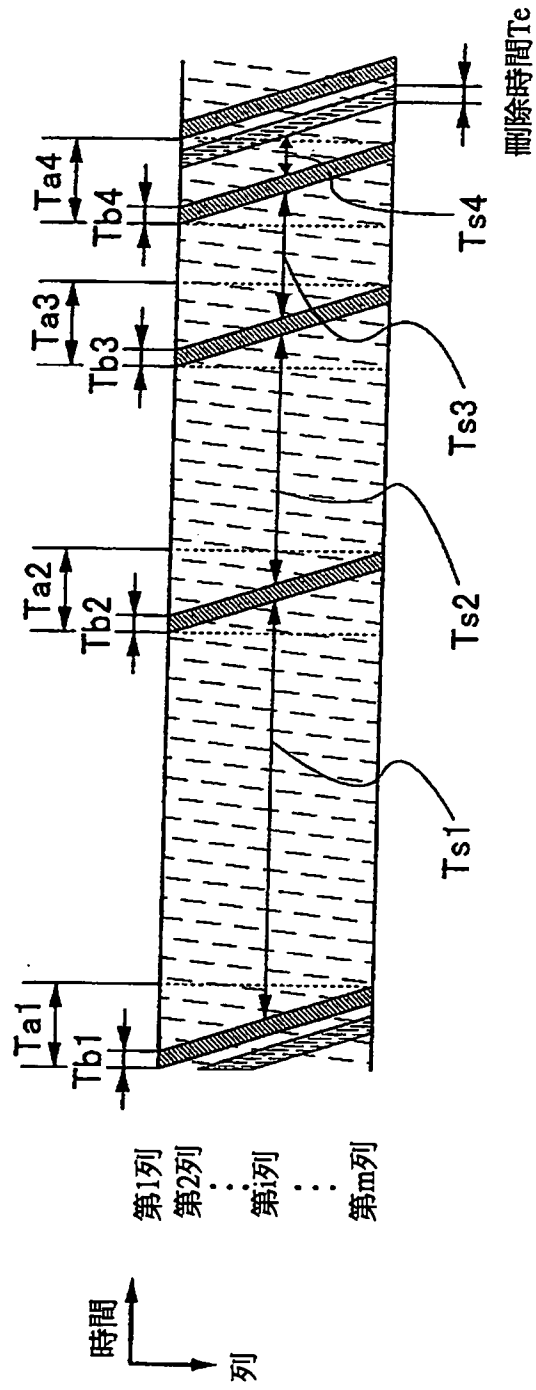


圖16B

