

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6073112号
(P6073112)

(45) 発行日 平成29年2月1日(2017.2.1)

(24) 登録日 平成29年1月13日(2017.1.13)

(51) Int.Cl. F 1
G 0 5 F 3 / 3 0 (2006.01) G 0 5 F 3 / 3 0

請求項の数 3 (全 21 頁)

| | |
|---|--|
| <p>(21) 出願番号 特願2012-249484 (P2012-249484) (22) 出願日 平成24年11月13日(2012.11.13) (65) 公開番号 特開2014-98984 (P2014-98984A) (43) 公開日 平成26年5月29日(2014.5.29) 審査請求日 平成27年8月27日(2015.8.27)</p> | <p>(73) 特許権者 302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号 (74) 代理人 110001195 特許業務法人深見特許事務所 (72) 発明者 深澤 光弥 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内 (72) 発明者 古澤 賢治 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内 審査官 柳下 勝幸</p> |
|---|--|

最終頁に続く

(54) 【発明の名称】 基準電圧発生回路

(57) 【特許請求の範囲】

【請求項1】

バンドギャップ基準電圧を生成するバンドギャップリファレンス回路と、
 前記バンドギャップ基準電圧を平滑化するためのフィルタ回路と備え、
 前記バンドギャップリファレンス回路は、
差動入力端子に第1の入力電圧および第2の入力電圧が入力されるオペアンプを含むように構成され、前記オペアンプの出力電圧に基づいて前記バンドギャップ基準電圧を生成する基準電圧回路と、

クロック信号に同期して、前記第1の入力電圧を受ける前記差動入力端子と、前記第2の入力電圧を受ける前記差動入力端子とを交互に切替えるためのスイッチ回路とを含み、

前記クロック信号が第1の論理レベルのときに、前記基準電圧回路は、前記差動入力端子の一方に前記第1の入力電圧が入力され、前記差動入力端子の他方に前記第2の入力電圧が入力され、第1の電圧値の前記バンドギャップ基準電圧を生成する一方で、

前記クロック信号が第2の論理レベルのときに、前記基準電圧回路は、前記差動入力端子の一方に前記第2の入力電圧が入力され、前記差動入力端子の他方に前記第1の入力電圧が入力され、前記第1の電圧値とは異なる第2の電圧値の前記バンドギャップ基準電圧を生成するように構成され、

前記フィルタ回路は、

第1のクロック周期において、前記第1の電圧値の前記バンドギャップ基準電圧により充電される第1の容量素子と、

10

20

前記第1のクロック周期において、前記第2の電圧値の前記バンドギャップ基準電圧により充電される第2の容量素子と、

前記第1のクロック周期の直前または直後の第2のクロック周期において、前記第1の電圧値の前記バンドギャップ基準電圧により充電される第3の容量素子と、

前記第2のクロック周期において、前記第2の電圧値の前記バンドギャップ基準電圧により充電される第4の容量素子とを含み、

前記第2のクロック周期において、前記第1および第2の容量素子の充電電圧の平均値に対応する大きさの前記バンドギャップ基準電圧を出力し、前記第1のクロック周期において、前記第3および第4の容量素子の充電電圧の平均値に対応する大きさの前記バンドギャップ基準電圧を出力する、基準電圧発生回路。

10

【請求項2】

前記フィルタ回路は、

入力端子と前記第1から第4の容量素子の各々との間に接続される第1から第4のスイッチと、

出力端子と前記第1から第4の容量素子の各々との間に接続される第5から第8のスイッチとをさらに含み、

前記クロック信号を用いて、前記第1から第8のスイッチのオン・オフを制御するための制御信号を生成する制御信号生成回路をさらに備える、請求項1に記載の基準電圧発生回路。

【請求項3】

20

前記基準電圧回路は、

出力端子と前記第1の入力電圧の入力端子との間に接続され、抵抗値が調整可能な第1の抵抗素子と、

前記出力端子と前記第2の入力電圧の入力端子との間に接続され、抵抗値が調整可能な第2の抵抗素子とをさらに含む、請求項1または2に記載の基準電圧発生回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、温度依存性の少ない基準電圧を発生する基準電圧発生回路に関する。

【背景技術】

30

【0002】

半導体装置の高精度化のためには、温度変化に対する基準電圧の変動が極めて小さいものが要求される。このような基準電圧を生成する回路として、バンドギャップリファレンス(BGR: Band Gap Reference)回路が広く用いられている。BGR回路は、一般的に、正の温度依存性を有する電圧と負の温度依存性を有する電圧とを適当な比率で加算することによって温度への依存が少ない基準電圧を生成するように構成される。

【0003】

しかしながら、実際のBGR回路においては、構成要素であるオペアンプが、素子ばらつきに起因して2つの入力電圧が完全に一致せず、入力電圧に電圧差(以下、オフセット電圧と称する。)を有している。そのため、オペアンプのオフセット電圧の影響を受けて、基準電圧の精度が低下するという問題があった。

40

【0004】

このようなオフセット電圧の影響を無くすために、たとえば米国特許第6462612号明細書(特許文献1)には、チョッパ回路を導入したBGR回路が提案されている。このBGR回路は、オペアンプのオフセット電圧成分をチョッパ回路を利用して交流成分に変換する。そして、この交流成分をローパスフィルタ(LPF: Low Pass Filter)回路によって取り除くことにより、オフセット電圧成分を含まない理想的な基準電圧を発生させる。

【先行技術文献】

【特許文献】

50

【 0 0 0 5 】

【特許文献 1】米国特許第 6 4 6 2 6 1 2 号明細書

【特許文献 2】特開 2 0 0 6 - 3 1 9 9 2 1 号公報

【特許文献 3】特開平 1 1 - 1 6 1 3 5 5 号公報

【特許文献 4】特開平 1 1 - 3 0 5 7 3 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

上記の特許文献 1 に記載された技術において、LPF 回路には抵抗素子および容量素子を組合せて成る RC フィルタが適用される。なお、RC フィルタは、その抵抗素子の抵抗値および容量素子の容量値の選択によって周波数特性が決まる。

10

【 0 0 0 7 】

一方、BGR 回路は、半導体装置の基準電圧源として広く用いられる回路であるため、消費電流が小さく、かつ占有面積が小さいことが要求される。低消費電流のためにはオペアンプのセトリング時間を短くすることができない。そのため、チョッパ回路を制御するスイッチ信号の周波数（チョッパ周波数）を高い周波数に設定することができない。

【 0 0 0 8 】

低い周波数のスイッチ信号を用いてオフセット電圧成分を除去するためには、LPF 回路のカットオフ周波数をチョッパ周波数よりも低い周波数に設定する必要がある。しかしながら、RC フィルタは、カットオフ周波数を低下させるに従って、抵抗素子の抵抗値および容量素子の容量値の少なくとも一方が大きくなるため、LPF 回路の占有面積が大きくなってしまい、BGR 回路の回路規模が増大するという問題が生じる。その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

20

【課題を解決するための手段】

【 0 0 0 9 】

一実施の形態による基準電圧発生回路は、バンドギャップ基準電圧を生成するバンドギャップリファレンス回路と、バンドギャップ基準電圧を平滑化するためのフィルタ回路と備える。バンドギャップリファレンス回路は、一方の差動入力端子に第 1 の入力電圧を受け、かつ、他方の差動入力端子に第 2 の入力電圧を受けるオペアンプを含むように構成され、オペアンプの出力電圧に基づいてバンドギャップ基準電圧を生成する基準電圧回路と、クロック信号に同期して、第 1 の入力電圧を受ける差動入力端子と、第 2 の入力電圧を受ける差動入力端子とを交互に切替えるためのスイッチ回路とを含む。フィルタ回路は、クロック信号に同期して動作し、直近の 1 クロック周期におけるバンドギャップ基準電圧の移動平均値を演算する。

30

【発明の効果】

【 0 0 1 0 】

上記の一実施の形態によれば、基準電圧発生回路において、精度の高い基準電圧を小さな回路規模で生成することができる。

【図面の簡単な説明】

【 0 0 1 1 】

40

【図 1】一実施の形態による基準電圧発生回路の構成を示す回路図である。

【図 2】図 1 におけるオペアンプの構成の一例を示す回路図である。

【図 3】図 2 のスイッチ回路 SWA, SWB 1 の構成の一例を示す回路図である。

【図 4】図 2 のスイッチ回路 SWB 2 の構成の一例を示す回路図である。

【図 5】クロック信号 CLK, CLKB のタイミングと分圧電圧 VDIV との関係を示す図である。

【図 6】図 1 の LPF 回路の動作を示すタイミング図である。

【図 7】図 6 の期間 T1, T2 における LPF 回路の動作を説明するための図である。

【図 8】図 6 の期間 T3, T4 における LPF 回路の動作を説明するための図である。

【図 9】一実施の形態による基準電圧発生回路の効果を示すための図である。

50

【図10】この発明の実施の形態2による基準電圧発生回路の構成を示す回路図である。

【図11】図10における抵抗素子の構成の一例を示す回路図である。

【図12】実施の形態2による基準電圧回路11Aにおけるトリミング方法を説明する図である。

【図13】一般的なBGR回路の構成を示す回路図である。

【図14】従来のチョッパ型BGR回路の構成の一例を示す回路図である。

【発明を実施するための形態】

【0012】

以下、一実施の形態について図面を参照して詳しく説明する。なお、同一または相当する部分には同一の参照符号を付して、その説明を繰返さない。

10

【0013】

[従来の基準電圧発生回路の概略構成]

最初に、従来の基準電圧発生回路の概略構成および問題点について、図面を用いて説明する。図13は、従来の基準電圧発生回路として用いられる一般的なBGR回路の構成を示す回路図である。

【0014】

図13を参照して、BGR回路100は、ダイオードD11、D12と、抵抗素子R11～R13と、オペアンプAMP2とを備える。ダイオードD11、D12は、pnpバイポーラトランジスタで構成されている。以下、従来のBGR回路の動作を簡単に説明する。

20

【0015】

pnpバイポーラトランジスタのベース・エミッタ間電圧あるいは、pn接合の順方向電圧を V_{be} とすると、pn接合の順方向電圧と絶対温度との関係は、式(1)により表わすことができる。

【0016】

$$V_{be} = V_{eg} - aT \quad \dots (1)$$

ここで、 V_{eg} はシリコンのバンドギャップ電圧であり、 a は V_{be} の温度依存性であり、 T は絶対温度である。

【0017】

また、pnpバイポーラトランジスタのエミッタ電流 I_E と電圧 V_{be} との関係は、式(2)により与えられる。

30

【0018】

$$I_E = I_0 \exp(qV_{be}/kT) \quad \dots (2)$$

ここで、 I_0 は定数(エミッタ面積に比例)であり、 q は電子の電荷であり、 k はボルツマン定数である。

【0019】

オペアンプAMP2の負帰還により、オペアンプAMP2の電圧利得が十分大きい場合には、オペアンプAMP2の入力ノードIMおよび入力ノードIPの電位が略等しくなる。このとき、抵抗素子R11、R12の抵抗値をたとえば1:n(nは正数)に設定しておくこと、ダイオードD11、D12に流れる電流 I_{11} 、 I_{12} の大きさはn:1となり、 $I_{11} = n \times I_{12}$ の関係が成り立つ。

40

【0020】

ダイオードD12のエミッタ面積をダイオードD11のエミッタ面積のn倍とし、かつ、ダイオードD11のベース・エミッタ間電圧を V_{be1} とし、ダイオードD12のベース・エミッタ間電圧を V_{be2} とすると、上記式(2)より、式(3)、(4)が得られる。

【0021】

$$n \times I_{12} = I_0 \exp(qV_{be1}/kT) \quad \dots (3)$$

$$I_{12} = n \times I_0 \exp(qV_{be2}/kT) \quad \dots (4)$$

上記式(3)、(4)から I_{12} を消去するととともに、 $V_{be1} - V_{be2} = V_b$

50

eと表わすと、式(5)が得られる。

【0022】

$$V_{be} = (kT/q) \ln(n^2) \cdots (5)$$

上記式(5)により、ダイオードD11とダイオードD12とのベース・エミッタ間電圧の差 V_{be} は、ダイオードD11, D12の電流密度比の対数($\ln(n^2)$)と熱電圧(kT/q)とで与えられる。

【0023】

なお、 V_{be} は、抵抗素子R13の両端の電位差となるため、抵抗素子R12, R13には $V_{be}/R13$ の電流が流れる。したがって、抵抗素子R12の両端の電位差 V_{R12} は、式(6)で表される。

【0024】

$$V_{R12} = V_{be} \times R12 / R13 \cdots (6)$$

上記のように、入力IMの電位は入力IPの電位 V_{be1} と等しくなるので、基準電圧 V_{bgr} の電位は式(7)で表される。

【0025】

$$V_{bgr} = V_{be1} + V_{be} \times R12 / R13 \cdots (7)$$

ここで、上記式(1)に示したように、pn接合の順方向電圧 V_{be} は温度の上昇に伴って減少する負の温度依存性を持つ。一方、上記式(5)に示すように、 V_{be} は温度に比例して大きくなる。したがって、適切に定数を選ぶことによって V_{be1} の変化分を $V_{be} \times R12 / R13$ で相殺することにより、基準電圧 V_{bgr} の値を温度に依存しないように設計することができる。

【0026】

このように、従来のBGR回路100では、回路定数を適切に選ぶことで、温度依存の少ない基準電圧を比較的簡単な回路で発生することができる。その一方で、CMOS回路でBGR回路100を構成する場合、製造プロセスの変動などによる素子ばらつきに起因して、オペアンプAMP2の2つの入力電圧の間に電圧差(オフセット電圧)が生じてしまう。図13のオペアンプAMP2では、IAMP2は理想オペアンプを示し、 V_{os} はオフセット電圧を示している。このオペアンプAMP2のオフセット電圧 V_{os} によって、BGR回路100における抵抗素子R13の両端の電位差が $V_{be} + V_{os}$ となるため、基準電圧 V_{bgr} は、式(8)で表される値となる。

【0027】

$$V_{bgr} = V_{be1} + V_{os} + (V_{be} + V_{os}) \times R12 / R13 \cdots (8)$$

上記式(8)に示されるように、従来のBGR回路100では、オペアンプAMP2のオフセット電圧 V_{os} の影響を受けて基準電圧 V_{bgr} の精度が低下するという問題があった。このようなオフセット電圧 V_{os} の影響を低減するため、最近では、たとえば特許文献1に記載されるような、オフセット電圧 V_{os} を相殺するように内部動作を切替える、いわゆるチョッパ回路を導入したBGR回路が提案されている。このようなBGR回路は、チョッパ型BGR回路(Chopper Stabilized Bandgap Reference Circuit)とも称される。

【0028】

図14は、従来のチョッパ型BGR回路の構成の一例を示す回路図である。

図14を参照して、チョッパ型BGR回路110は、図13に示すBGR回路100に対して、スイッチSW21~SW24、スイッチ信号発生回路120、およびLPF回路130をさらに設けたものである。図13で説明した要素と同一の要素については、同一の符号を付すとともに、詳細な説明を省略する。

【0029】

スイッチSW21は、入力ノードIMおよび理想オペアンプIAMP2の非反転入力端子(+端子)の間に接続される。スイッチSW22は、入力ノードIMおよび理想オペアンプIAMP2の反転入力端子(-端子)の間に接続される。スイッチSW23は、入力ノードIPおよび非反転入力端子の間に接続される。スイッチSW24は、入力ノードI

10

20

30

40

50

Pおよび反転入力端子の間に接続される。スイッチSW22, SW23は、スイッチ信号発生回路120から供給されるスイッチ信号1に応じてオン・オフが制御される。スイッチSW21, SW24は、スイッチ信号発生回路120から供給されるスイッチ信号2に応じてオン・オフが制御される。スイッチ信号発生回路120は、スイッチSW22およびSW23と、スイッチSW21およびSW24とが相補にオン・オフするように、スイッチ信号1, 2を生成する。

【0030】

スイッチ信号1がH(論理ハイ)レベルとなる期間、図14に示すように、スイッチSW22, SW23がオン(導通)されるとともに、スイッチSW21, SW24がオフ(非導通)される。この場合、チョッパ型BGR回路110は、図13に示すBGR回路100と同様に動作する。このとき、オペアンプAMP2のオフセット電圧 V_{os} は、理想的な基準電圧(理想値)に加算されて、オペアンプAMP2から出力される。たとえば理想値を V_{bgr} とすると、オペアンプAMP2の出力電圧は $V_{bgr} + V_{os}$ となる。

10

【0031】

一方、スイッチ信号2がHレベルとなる期間では、スイッチSW21, SW24がオンされるとともに、スイッチSW22, SW23がオフされる。これにより、入力ノードIM, IPと理想アンプIAMP2の差動入力端子(+端子、-端子)との接続が切替わる。このときのオペアンプAMP2の出力電圧は、 $V_{bgr} - V_{os}$ となる。

【0032】

このように、オペアンプAMP2の出力電圧は、スイッチ信号1, 2に同期して、 $V_{bgr} + V_{os}$ と、 $V_{bgr} - V_{os}$ とが交互に切替えられる。すなわち、スイッチ信号1がHレベルの期間に出力電圧に発生するオフセット電圧 V_{os} と、スイッチ信号2がHレベルの期間に出力電圧に発生するオフセット電圧 V_{os} とは極性が逆でかつ絶対値が等しくなる。よって、出力電圧は平均的には理想値 V_{bgr} に等しい電圧となる。

20

【0033】

そして、このオペアンプAMP2の出力電圧を、抵抗素子R14および容量素子C11から成るLPF回路130に入力し、その直流成分を取り出すと、オフセット電圧成分を含まない基準電圧を出力することができる。このように、従来のチョッパ型BGR回路110では、オフセット電圧成分をスイッチ信号1, 2を用いて周波数変調することによって交流成分に変換する。そして、その周波数変調したオフセット電圧成分を、LPF回路130で取り除くことによって、理想的な基準電圧 V_{bgr} を得ている。

30

【0034】

ここで、BGR回路においては、半導体装置の基準電圧源として広く用いられる回路であるため、消費電流が小さく、かつ占有面積が小さいことが要求される。低消費電流のためには内蔵するオペアンプのセトリング時間を短くすることができない。そのため、チョッパ型BGR回路のチョッパ動作を制御するスイッチ信号1, 2の周波数(以下、チョッパ周波数とも称する。)を高い周波数に設定することができない。

【0035】

低い周波数のスイッチ信号1, 2を用いてオフセット電圧成分を除去するためには、LPF回路のカットオフ周波数をチョッパ周波数よりも低い周波数に設定することが必要となる。図14に示すようにLPF回路を抵抗素子R14および容量素子C11を組合せたRCフィルタで構成した場合、カットオフ周波数を低下させるに従って、抵抗素子R14の抵抗値および容量素子C11の容量値が大きくなる。その結果、LPF回路の占有面積が大きくなってしまい、BGR回路の回路規模が増大するという問題が生じる。

40

【0036】

したがって、一実施の形態では、以下のように、フィルタ特性が受動素子の値に依存しないLPF回路を用いてチョッパ型BGR回路を構成する。これにより、小回路規模の基準電圧発生回路を実現する。

【0037】

[実施の形態1による基準電圧発生回路の構成]

50

図1は、実施の形態1による基準電圧発生回路の構成を示す回路図である。一実施の形態による基準電圧発生回路1は、半導体装置外から供給される外部電源電圧VCCを降圧して基準電圧VREFを生成する。基準電圧VREFは、BGR回路10によって温度の変化によらず一定の値になるように制御される。

【0038】

バッファ回路2は、外部電源電圧VCCによって動作し、基準電圧発生回路1により生成された基準電圧VREFに等しい大きさの内部電源電圧VDDを生成する。バッファ回路2は、一例として、ボルテージフォロワ回路により構成される。バッファ回路2は、生成した内部電源電圧VDDを内部回路(図示せず)に供給する。バッファ回路2は、内部回路に供給する電流量を増加させるために設けられる。半導体装置がマイクロコンピュータの場合、内部回路には、中央処理装置(CPU: Central Processing Unit)、RAM(Random Access Memory)、および周辺LSI(Large Scale Integration)などが含まれる。内部電源電圧VDDは、内部回路の駆動電圧として用いられる。

10

【0039】

図1を参照して、一実施の形態による基準電圧発生回路1は、BGR回路10と、LPF回路20と、制御信号生成回路30とを備える。

【0040】

BGR回路10は、外部電源電圧VCCを受けてバンドギャップ基準電圧VBGRを生成する基準電圧回路11と、生成したバンドギャップ基準電圧VBGRを分圧することによって分圧電圧VDIVを生成する分圧回路13を含む。BGR回路10には、内蔵するオペアンプAMP1のオフセット電圧Vosの影響を低減するため、上述したチョッパ型BGR回路が適用される。

20

【0041】

LPF回路20は、制御信号生成回路30から与えられる制御信号S1~S8に応じて動作することにより、分圧電圧VDIVからオペアンプAMP1のオフセット電圧成分を除去する。LPF回路20の出力電圧VFILTは、基準電圧VREFとしてバッファ回路2に供給される。

【0042】

以下、BGR回路10、LPF回路20、および制御信号生成回路30の各々の構成の一例について説明する。

30

【0043】

(BGR回路の構成)

BGR回路10は、PMOS(Positive-channel Metal Oxide Semiconductor)トランジスタMP1と、オペアンプAMP1と、抵抗素子R1~R5と、ダイオードD1, D2と、スイッチ回路SWA, SWBとを含む。ダイオードD1, D2は、pnpバイポーラトランジスタで構成される。PMOSTランジスタMP1、オペアンプAMP1、スイッチ回路SWA, SWB、抵抗素子R1, R2, R4、およびダイオードD1, D2は、基準電圧回路11を構成する。抵抗素子R3, R5は、分圧回路13を構成する。

【0044】

PMOSTランジスタMP1は、外部電源電圧VCCを受ける電源ノードVCCと、バンドギャップ基準電圧VBGRを分圧回路13に出力する出力ノード12との間に接続される。PMOSTランジスタMP1のゲートは、オペアンプAMP1の出力端子に接続される。

40

【0045】

抵抗素子R1およびダイオードD1は、この順で出力ノード12および接地ノードGNDの間に直列に接続される。抵抗素子R2, R4およびダイオードD2は、この順で出力ノード12および接地ノードGNDの間に直列に接続される。ダイオードD1は、アノードが抵抗素子R1に接続され、カソードが接地ノードGNDに接続される。抵抗素子R1およびダイオードD1の接続ノード(入力ノード15)は、オペアンプAMP1の反転入力端子(-端子)に接続される。ダイオードD2は、アノードが抵抗素子R4に接続され

50

、カソードが接地ノードGNDに接続される。抵抗素子R2およびR4の接続ノード(入力ノード16)は、オペアンプAMP1の非反転入力端子(+端子)に接続される。

【0046】

スイッチ回路SWAは、オペアンプAMP1の差動入力端子(-端子、+端子)と、入力ノード15および16との間に設けられる。スイッチ回路SWBは、オペアンプAMP1の差動入力端子(+端子、-端子)と出力端子との間に設けられる。なお、スイッチ回路SWBは、図3に示すスイッチ回路SWB1, SWB2を総称したものである。スイッチ回路SWA, SWBは、クロック信号CLK, CLKBに同期してオン・オフ動作が制御される。クロック信号CLK, CLKBは互いに相補な信号である。一例として、クロック信号CLKBは、制御信号生成回路30においてクロック信号CLKを反転させることにより生成される。

10

【0047】

抵抗素子R3およびR5は、出力ノード12および接地ノードGNDの間に、この順に直列に接続される。抵抗素子R3およびR5の接続ノード(分圧ノード)14からは、バンドギャップ基準電圧VBGRを分圧した分圧電圧VDIVが出力される。分圧回路13の分圧比をとすると、分圧電圧VDIVは、バンドギャップ基準電圧VBGRに分圧比を乗じた値に等しい。

【0048】

図2は、図1におけるオペアンプAMP1の構成の一例を示す回路図である。

図2を参照して、オペアンプAMP1は、一例として、折り返しカスコード(Folded Cascode)型のオペアンプにより構成される。具体的には、オペアンプAMP1は、PMOSトランジスタMP2, MP3, MP4からなる差動入力部32と、NMOSトランジスタMN1~MN4からなる折り返しカスコード型カレントミラー部34と、PMOSトランジスタMP5~MP8からなる折り返しカスコード型カレントミラー部36とを含む。

20

【0049】

差動入力部32において、PMOSトランジスタMP2は、ソースがPMOSトランジスタMP4のドレインに接続され、ドレインがNMOS(Negative-channel Metal Oxide Semiconductor)トランジスタMN3およびMN1の接続ノード(ノード43)に接続される。PMOSトランジスタMP3は、ソースがPMOSトランジスタMP4のドレインに接続され、ドレインがNMOSトランジスタMN4およびMN2の接続ノード(ノード44)に接続される。PMOSトランジスタMP2のゲートはオペアンプAMP1の非反転入力端子(+端子)に対応し、PMOSトランジスタMP3のゲートはオペアンプAMP1の反転入力端子(-端子)に対応する。

30

【0050】

折り返しカスコード型カレントミラー部34において、NMOSトランジスタMN1およびMN2のゲート結合には、バイアス電圧VBN1が印加される。NMOSトランジスタMN3およびMN4のゲート結合には、バイアス電圧VBN2が印加される。

【0051】

折り返しカスコード型カレントミラー部36において、PMOSトランジスタMP7およびMP8のゲート結合には、バイアス電圧VBP2が印加される。PMOSトランジスタMP5およびMP6のゲート結合は、PMOSトランジスタMP7のドレイン(ノード41)に接続される。PMOSトランジスタMP8のドレイン(ノード42)は、オペアンプAMP1の出力端子に対応する。すなわち、PMOSトランジスタMP8のドレインは、PMOSトランジスタMP1(図1)のゲートに接続される。

40

【0052】

スイッチ回路SWAは、入力ノード15および16と、PMOSトランジスタMP2のゲート(非反転入力端子)およびPMOSトランジスタMP3のゲート(反転入力端子)との間に接続される。スイッチ回路SWAは、制御信号生成回路30からのクロック信号CLK, CLKBに同期して、入力ノード15およびPMOSトランジスタMP3のゲ-

50

トが接続され、かつ、入力ノード16およびPMOSトランジスタMP2のゲートが接続された状態と、入力ノード15およびPMOSトランジスタMP2のゲートが接続され、かつ、入力ノード16およびPMOSトランジスタMP3のゲートが接続された状態とを切替える。

【0053】

スイッチ回路SWB1は、NMOSトランジスタMN1およびMN2と、NMOSトランジスタMN3およびMN4との間に接続される。スイッチ回路SWB1は、制御信号生成回路30からのクロック信号CLK, CLKBに同期して、NMOSトランジスタMN1およびMN3が接続され、かつ、NMOSトランジスタMN2およびMN4が接続された状態と、NMOSトランジスタMN1およびMN4が接続され、かつ、NMOSトランジスタMN2およびMN3が接続された状態とを切替える。

10

【0054】

図3は、図2のスイッチ回路SWA, SWB1の構成の一例を示す回路図である。

図3を参照して、スイッチ回路SWA, SWB1の各々は、2つの入力端子IN1, IN2と2つの出力端子OUT1, OUT2との間に接続された4つのNMOSトランジスタMN5~MN8を含む。具体的には、NMOSトランジスタMN5は入力端子IN1および出力端子OUT1の間に接続され、NMOSトランジスタMN6は入力端子IN1および出力端子OUT2の間に接続される。NMOSトランジスタMN7は入力端子IN2および出力端子OUT1の間に接続され、NMOSトランジスタMN8は入力端子IN2および出力端子OUT2の間に接続される。

20

【0055】

クロック信号CLKBがHレベルとなる期間(=クロック信号CLKがLレベルとなる期間)において、NMOSトランジスタMN5およびMN8がオンされるとともに、NMOSトランジスタMN6およびMN7がオフされる。この場合、差動入力部32は、入力ノード15およびPMOSトランジスタMP3のゲートが接続され、かつ、入力ノード16およびPMOSトランジスタMP2のゲートが接続された状態となる。また、折り返しカスコード型カレントミラー部34は、NMOSトランジスタMN1およびMN3が接続され、かつ、NMOSトランジスタMN2およびMN4が接続された状態となる。

【0056】

一方、クロック信号CLKがHレベルとなる期間(=クロック信号CLKBがLレベルとなる期間)において、NMOSトランジスタMN6およびMN7がオンされるとともに、NMOSトランジスタMN5およびMN8がオフされる。この場合、差動入力部32は、入力ノード15およびPMOSトランジスタMP2のゲートが接続され、かつ、入力ノード16およびPMOSトランジスタMP3のゲートが接続された状態となる。また、折り返しカスコード型カレントミラー部34は、NMOSトランジスタMN1およびMN4が接続され、かつ、NMOSトランジスタMN2およびMN3が接続された状態となる。

30

【0057】

再び図2を参照して、スイッチ回路SWB2は、PMOSトランジスタMP5およびMP6と、PMOSトランジスタMP7およびMP8との間に接続される。スイッチ回路SWB2は、制御信号生成回路30からのクロック信号CLK, CLKBに同期して、PMOSトランジスタMP5およびMP7が接続され、かつ、PMOSトランジスタMP6およびMP8が接続された状態と、PMOSトランジスタMP5およびMP8が接続され、かつ、PMOSトランジスタMP6およびMP7が接続された状態とを切替える。

40

【0058】

図4は、図2のスイッチ回路SWB2の構成の一例を示す回路図である。

図4を参照して、スイッチ回路SWB2は、2つの入力端子IN3, IN4と2つの出力端子OUT3, OUT4との間に接続された4つのPMOSトランジスタMP9~MP12を含む。PMOSトランジスタMP9は入力端子IN3および出力端子OUT3の間に接続され、PMOSトランジスタMP10は入力端子IN3および出力端子OUT4の間に接続される。PMOSトランジスタMP11は入力端子IN4および出力端子OUT

50

3の間に接続され、PMOSトランジスタMP12は入力端子IN4および出力端子OUT4の間に接続される。

【0059】

クロック信号CLKがLレベルとなる期間(=クロック信号CLKBがHレベルとなる期間)において、PMOSトランジスタMP9およびMP12がオンされるとともに、PMOSトランジスタMP10およびMP11がオフされる。この場合、折り返しカスコード型カレントミラー部36は、PMOSトランジスタMP5およびMP7が接続され、かつ、PMOSトランジスタMP6およびMP8が接続された状態となる。

【0060】

一方、クロック信号CLKBがLレベルとなる期間(=クロック信号CLKがHレベルとなる期間)において、PMOSトランジスタMP10およびMP11がオンされるとともに、PMOSトランジスタMP9およびMP12がオフされる。この場合、折り返しカスコード型カレントミラー部36は、PMOSトランジスタMP5およびMP8が接続され、かつ、PMOSトランジスタMP6およびMP7が接続された状態となる。

【0061】

このように、スイッチ回路SWA, SWB1, SWB2は、クロック信号CLK, CLKBに同期して、2つの信号を真っ直ぐに伝える状態と、2つの信号を交差させて(入れ替えて)伝える状態とを切替える。具体的には、クロック信号CLKBがHレベルとなる期間、スイッチ回路SWA, SWB1, SWB2はいずれも、2つの信号を真っ直ぐに伝える。この場合、オペアンプAMP1からは、理想的な出力にオフセット電圧 V_{os} が加算されて出力される。以下では、クロック信号CLKBがHレベルとなる期間に基準電圧回路11から出力されるバンドギャップ基準電圧を、理想値を V_{BGR} として、例えば $V_{BGRH} = V_{BGR} + V_{os}$ とする。

【0062】

一方、クロック信号CLKがHレベルとなる期間、スイッチ回路SWA, SWB1, SWB2はいずれも2つの信号を交差させて伝える。この場合、オペアンプAMP1からは、理想的な出力からオフセット電圧 V_{os} が減算されて出力される。以下では、クロック信号CLKがHレベルとなる期間に基準電圧回路11から出力されるバンドギャップ基準電圧を、理想値を V_{BGR} として、例えば $V_{BGL} = V_{BGR} - V_{os}$ とする。このように、バンドギャップ基準電圧 V_{BGR} の電圧値は、クロック信号CLK, CLKBに同期して V_{BGRH} または V_{BGL} に切替わる。すなわち、基準電圧回路11は、チョッパ型BGR回路を実現する。

【0063】

再び図1を参照して、基準電圧回路11において、オペアンプAMP1は、入力ノード15, 16の電圧 V_{IM} , V_{IP} が等しくなるように、PMOSトランジスタMP1に流れる電流(すなわち、入力ノード15, 16に流れる電流 I_1 , I_2)を制御する。抵抗素子 R_1 , R_2 , R_4 の抵抗値およびダイオード D_1 , D_2 の電流密度比を適切に選ぶことによって、出力ノード12から温度依存性の少ないバンドギャップ基準電圧 V_{BGR} を出力することができる。なお、バンドギャップ基準電圧 V_{BGR} は、上述したクロック信号CLK, CLKBを用いたチョッパ動作によって周波数変調されたオペアンプAMP1のオフセット電圧成分を含んでいる。

【0064】

分圧回路13は、バンドギャップ基準電圧 V_{BGR} を分圧比 β で分圧することによって分圧電圧 V_{DIV} を生成する。分圧電圧 V_{DIV} は分圧ノード14から出力される。図5は、クロック信号CLK, CLKBのタイミングと分圧電圧 V_{DIV} との関係を示している。分圧電圧 V_{DIV} は、クロック信号CLKBがHレベルとなる期間、バンドギャップ基準電圧 V_{BGRH} ($= V_{BGR} + V_{os}$)に分圧回路13の分圧比 β を乗じた値となる。一方、分圧電圧 V_{DIV} は、クロック信号CLKがHレベルとなる期間、バンドギャップ基準電圧 V_{BGL} ($= V_{BGR} - V_{os}$)に分圧比 β を乗じた値となる。以下の説明では、クロック信号CLKBがHレベルとなる期間の分圧電圧 V_{DIV} の電圧値を V_{DI}

10

20

30

40

50

VHと記し、クロック信号CLKがHレベルとなる期間の分圧電圧VDIVの電圧値をVDIVLとも表記する。

【0065】

(LPF回路の構成および動作)

LPF回路20は、クロック信号CLK, CLKBに同期して変化する分圧電圧VDIVからオペアンプAMP1のオフセット電圧成分を除去することにより、分圧電圧VDIVを平滑化する。

【0066】

具体的には、図1を参照して、LPF回路20は、4個の容量素子C1~C4と、8個のスイッチSW1~SW8とを含む。4個の容量素子C1~C4は、LPF回路20の入力ノード22と接地ノードGNDとの間に互いに並列に接続される。容量素子C1~C4の各容量はほぼ等容量に設定される。

10

【0067】

容量素子C1および入力ノード22の間には、スイッチSW1が接続される。さらに容量素子C1およびLPF回路20の出力ノード24の間には、スイッチSW2が接続される。同様に、容量素子C2および入力ノード22の間にはスイッチSW3が接続され、容量素子C2および出力ノード24の間にはスイッチSW4が接続される。容量素子C3および入力ノード22の間にはスイッチSW5が接続され、容量素子C3および出力ノード24の間にはスイッチSW6が接続される。容量素子C4および入力ノード22の間にはスイッチSW7が接続され、容量素子C4および出力ノード24の間にはスイッチSW8

20

【0068】

スイッチSW1~SW8は、それぞれ制御信号生成回路30からの制御信号S1~S8にตอบสนองしてオン・オフされる。具体的には、スイッチSW1~SW8は、対応する制御信号S1~S8がHレベルのときにオン(導通)状態となり、対応する容量素子C1~C4と入力ノード22(または出力ノード24)とを接続する。また、スイッチSW1~SW8は、対応する制御信号S1~S8がLレベルのときにオフ(非導通)状態となり、対応する容量素子C1~C4を入力ノード22(または出力ノード24)から切り離す。

【0069】

制御信号生成回路30は、クロック信号CLKを用いて制御信号S1~S8を生成する。制御信号S1~S8は、クロック信号CLKの複数倍の周期を有する信号である。本実施の形態では、制御信号S1~S8はクロック信号CLKの2倍の周期を有する。

30

【0070】

以下、図1のLPF回路20の動作について説明する。

図6は、図1のLPF回路20の動作を示すタイミング図である。図6には、クロック信号CLK, CLKBの波形とともに、スイッチSW1~SW8に供給される制御信号S1~S8の波形、およびLPF回路20の入力電圧(分圧電圧VDIV)および出力電圧VFILT(基準電圧VREF)の波形が示される。

【0071】

図6を参照して、制御信号S1~S8は、クロック信号CLKの周期Tcの2倍の周期を有する。このうち、制御信号S1, S3, S5, S7は1/4周期(すなわち、クロック信号CLKの1/2周期)においてHレベルに設定され、残りの3/4周期(すなわち、クロック信号CLKの3/2周期)においてLレベルに設定される。制御信号S1, S3, S5, S7は、この順にHレベルとなる期間が切替わる。図6では、制御信号S1がHレベルとなる期間(時刻t1~t2)を期間T1とし、制御信号S3がHレベルとなる期間(時刻t2~t3)を期間T2とし、制御信号S5がHレベルとなる期間(時刻t3~t4)を期間T3とし、制御信号S7がHレベルとなる期間(時刻t4~t5)を期間T4とする。なお、時刻t5以降は、上記の期間T1~T4を1組として、複数組が連続的に設けられる。

40

【0072】

50

制御信号 S 2 , S 4 , S 6 , S 8 は、1 / 2 周期 (すなわち、クロック信号 C L K の 1 周期) において H レベルに設定され、残りの 1 / 2 周期 (すなわち、クロック信号 C L K の 1 周期) において L レベルに設定される。なお、制御信号 S 2 , S 4 と制御信号 S 6 , S 8 とは、互いに相補な信号である。図 6 では、制御信号 S 2 , S 4 は、期間 T 1 および T 2 において L レベルに設定され、期間 T 3 および T 4 において H レベルに設定される。一方、制御信号 S 6 , S 8 は、期間 T 1 および T 2 において H レベルに設定され、期間 T 3 および T 4 において L レベルに設定される。

【 0 0 7 3 】

なお、スイッチ S W 1 , S W 2 が同時にオンするのを確実に防止するために、制御信号 S 1 , S 2 にはスイッチ S W 1 , S W 2 が同時にオフとなるノンオーバーラップ期間が設けられる。制御信号 S 3 , S 4、制御信号 S 5 , S 6、および制御信号 S 7 , S 8 においても同様にノンオーバーラップ期間が設けられる。

10

【 0 0 7 4 】

図 5 に示したように、分圧電圧 V D I V の値は、クロック信号 C L K , C L K B の半周期ごとに V D I V H または V D I V L に切替わる。期間 T 1 , T 3 において分圧電圧 V D I V の値は V D I V H となり、期間 T 2 , T 4 において分圧電圧 V D I V の値は V D I V L となる。

【 0 0 7 5 】

図 7 は、図 6 の期間 T 1 , T 2 における L P F 回路 2 0 の動作を説明するための図である。図 7 (a) には期間 T 1 におけるスイッチ S W 1 ~ S W 8 の動作が示され、図 7 (b) には期間 T 2 におけるスイッチ S W 1 ~ S W 8 の動作が示される。

20

【 0 0 7 6 】

図 7 (a) を参照して、時刻 t 1 で制御信号 S 1 , S 6 , S 8 が H レベルに設定されると、スイッチ S W 1 , S W 6 , S W 8 がオン状態になる。スイッチ S W 1 がオン状態となり、入力ノード 2 2 および接地ノード G N D の間に容量素子 C 1 が接続されると、容量素子 C 1 に分圧電圧 V D I V (= V D I V H) が供給される。期間 T 1 の間、容量素子 C 1 は分圧電圧 V D I V によって充電される。これにより、容量素子 C 1 の充電電圧 V 1 は V D I V H に到達する。

【 0 0 7 7 】

さらに、時刻 t 1 でスイッチ S W 6 , S W 8 がオン状態になることにより、出力ノード 2 4 および接地ノード G N D の間に容量素子 C 3 , C 4 が並列に接続される。これにより、上述した容量素子 C 1 の充電動作と並行して、容量素子 C 3 および C 4 の間で電荷の授受が行なわれる。期間 T 1 における出力ノード 2 4 の出力電圧 V F I L T は、容量素子 C 3 の充電電圧 V 3 および容量素子 C 4 の充電電圧 V 4 を用いて、式 (8) で表される。

30

【 0 0 7 8 】

$$V F I L T = 1 / 2 \cdot (V 3 + V 4) \quad \dots (8)$$

図 7 (b) を参照して、時刻 t 2 では、制御信号 S 1 が L レベルに切替わるとともに、制御信号 S 3 , S 6 , S 8 が H レベルに設定される。これにより、スイッチ S W 1 がオフ状態になるため、容量素子 C 1 の充電が停止する。一方、スイッチ S W 3 がオン状態となり、入力ノード 2 2 および接地ノード G N D の間に容量素子 C 2 が接続される。期間 T 2 の間、容量素子 C 2 は分圧電圧 V D I V (= V D I V L) によって充電される。これにより、容量素子 C 2 の充電電圧 V 2 は V D I V L に到達する。

40

【 0 0 7 9 】

なお、スイッチ S W 6 , S W 8 は期間 T 2 においてもオン状態になるため、上述した期間 T 1 と同様に、容量素子 C 3 および C 4 の間で電荷の授受が行なわれる。したがって、出力ノード 2 4 からは、上記式 (8) で表される出力電圧 V F I L T が出力される。

【 0 0 8 0 】

このように、L P F 回路 2 0 では、期間 T 1 に分圧電圧 V D I V H による容量素子 C 1 の充電動作が行なわれ、期間 T 2 に分圧電圧 V D I V L による容量素子 C 2 の充電動作が行なわれる。さらに、この期間 T 1 および T 2 において、容量素子 C 3 の充電電圧 V 3 お

50

よび容量素子 C 4 の充電電圧 V 4 を平均化した電圧が出力ノード 2 4 から出力される。

【 0 0 8 1 】

図 8 は、図 6 の期間 T 3 , T 4 における L P F 回路 2 0 の動作を説明するための図である。図 8 (a) には期間 T 3 におけるスイッチ S W 1 ~ S W 8 の動作が示され、図 8 (b) には期間 T 4 におけるスイッチ S W 1 ~ S W 8 の動作が示される。

【 0 0 8 2 】

図 8 (a) を参照して、時刻 t 3 で制御信号 S 2 , S 4 , S 5 が H レベルに設定されると、スイッチ S W 2 , S W 4 , S W 5 がオン状態になる。スイッチ S W 5 がオン状態となり、入力ノード 2 2 および接地ノード G N D の間に容量素子 C 3 が接続されると、容量素子 C 3 に分圧電圧 V D I V (= V D I V H) が供給される。期間 T 3 の間、容量素子 C 3 は分圧電圧 V D I V によって充電される。これにより、容量素子 C 3 の充電電圧 V 3 は V D I V H に到達する。

10

【 0 0 8 3 】

さらに、時刻 t 3 でスイッチ S W 2 , S W 4 がオン状態になることにより、出力ノード 2 4 および接地ノード G N D の間に容量素子 C 1 , C 2 が並列に接続される。これにより、上述した容量素子 C 3 の充電動作と並行して、容量素子 C 1 および C 2 の間で電荷の授受が行なわれる。期間 T 3 における出力ノード 2 4 の出力電圧 V F I L T は、容量素子 C 1 の充電電圧 V 1 および容量素子 C 2 の充電電圧 V 2 を用いて、式 (9) で表される。

【 0 0 8 4 】

$$V F I L T = 1 / 2 \cdot (V 1 + V 2) \cdot \cdot \cdot (9)$$

20

図 8 (b) を参照して、時刻 t 4 では、制御信号 S 5 が L レベルに切替わるとともに、制御信号 S 2 , S 4 , S 7 が H レベルに設定される。これにより、スイッチ S W 5 がオフ状態になるため、容量素子 C 3 の充電が停止する。一方、スイッチ S W 7 がオン状態となり、入力ノード 2 2 および接地ノード G N D の間に容量素子 C 4 が接続される。期間 T 4 の間、容量素子 C 4 は分圧電圧 V D I V (= V D I V L) によって充電される。これにより、容量素子 C 4 の充電電圧 V 4 は V D I V L に到達する。

【 0 0 8 5 】

なお、スイッチ S W 2 , S W 4 は期間 T 4 においてもオン状態になるため、上述した期間 T 3 と同様に、容量素子 C 1 および C 2 の間で電荷の授受が行なわれる。したがって、出力ノード 2 4 からは、上記式 (9) で表される出力電圧 V F I L T が出力される。

30

【 0 0 8 6 】

このように、L P F 回路 2 0 では、期間 T 3 に分圧電圧 V D I V H による容量素子 C 3 の充電動作が行なわれ、期間 T 4 に分圧電圧 V D I V L による容量素子 C 4 の充電動作が行なわれる。さらに、この期間 T 3 および T 4 において、容量素子 C 1 の充電電圧 V 1 および容量素子 C 2 の充電電圧 V 2 を平均化した電圧が出力ノード 2 4 から出力される。

【 0 0 8 7 】

ここで、上述した期間 T 1 , T 2 における容量素子 C 1 , C 2 の充電動作によって、容量素子 C 1 の充電電圧 V 1 は V D I V H に相当し、容量素子 C 2 の充電電圧 V 2 は V D I V L に相当する。したがって、出力電圧 V F I L T は、式 (1 0) のように書換えることができる。

40

【 0 0 8 8 】

$$V F I L T = 1 / 2 \cdot (V D I V H + V D I V L) \cdot \cdot \cdot (1 0)$$

すなわち、出力電圧 V F I L T は、直近の 1 クロック周期 (期間 T 1 , T 2) における分圧電圧 V D I V の平均値 (移動平均値) に相当する。なお、期間 T 3 , T 4 において容量素子 C 3 , C 4 の充電動作が行なわれることにより、容量素子 C 3 の充電電圧 V 3 は V D I V H に相当し、容量素子 C 4 の充電電圧 V 4 は V D I V L に相当する。したがって、直後の 1 クロック周期 (期間 T 3 , T 4) における出力電圧 V F I L T についても、上記式 (1 0) のように書換えることができる。

【 0 0 8 9 】

このように、L P F 回路 2 0 は、1 クロック周期における分圧電圧 V D I V を 1 / 2 ク

50

ロック周期ごとに容量素子に保持（サンプリング）し、直後の1クロック周期において、その保持した2つの分圧電圧 V_{DIV} の平均値を演算する。すなわち、LPF回路20は、直近の1クロック周期における分圧電圧 V_{DIV} の移動平均値を演算する移動平均フィルタを構成する。この結果、図6に示すように、LPF回路20の出力電圧 V_{FILT} は、 V_{DIVH} および V_{DIVL} の平均値に平滑化され、オペアンプAMP1のオフセット電圧成分が除去されたものとなる。

【0090】

なお、図1の基準電圧発生回路1では、LPF回路20を、1クロック周期における分圧電圧 V_{DIV} （ V_{DIVH} 、 V_{DIVL} ）によりそれぞれ充電される2個の容量素子 C_1 、 C_2 （または C_3 、 C_4 ）からなる第1の容量素子対と、直近の1クロック周期における分圧電圧 V_{DIV} の移動平均値を出力する2個の容量素子 C_3 、 C_4 （または C_1 、 C_2 ）からなる第2の容量素子対とで構成し、これら2つの容量素子対を用いてインターリーブ方式で移動平均を行なう。これにより、出力ノード24に出力電圧 V_{FILT} を出力し続けることができる。なお、インターリーブ方式を実現するためには、LPF回路20を構成する容量素子対の個数は2以上であればよい。

10

【0091】

また、各容量素子対を構成する容量素子の個数は、2の倍数であればよい。容量素子対を構成する容量素子の個数を増やすことによって、複数の容量素子間の容量ばらつきが移動平均値に与える影響を低減することができる。その一方で、容量素子対全体の容量が大きくなるため、充電に時間がかかることになる。

20

【0092】

以上説明したように、一実施の形態による基準電圧発生回路1は、LPF回路20に移動平均フィルタを適用する。これにより、LPF回路にRCフィルタを適用する従来のチョッパ型BGR回路110（図13）と比較して、LPF回路の占有面積を小さくすることができる。以下に、図9を用いて、一実施の形態による基準電圧発生回路1の効果について説明する。

【0093】

図9(a)には、BGR回路10の出力電圧 V_{DIV} に含まれるオペアンプAMP1のオフセット電圧成分が示される。オペアンプAMP1のオフセット電圧成分は、クロック信号 CLK 、 $CLKB$ に基づいたチョッパ動作によって周波数変調される。その結果、オフセット電圧成分は、クロック信号 CLK の周波数（チョッパ周波数） f_{clk} の交流成分に変換される（図9(b)参照）。

30

【0094】

図9(c)には、LPF回路にRCフィルタ（図13）を適用した場合の周波数特性が示される。上記のように、RCフィルタのカットオフ周波数 f_c は、抵抗素子の抵抗値およびコンデンサの容量値が大きくなるに従って低くなる。図9(d)に示すように、RCフィルタのカットオフ周波数 f_c がチョッパ周波数 f_{clk} より低くなるように抵抗値および容量値を設定することにより、オフセット電圧成分が除去される。ただし、低消費電流の観点からチョッパ周波数 f_{clk} を低下させる場合、RCフィルタの占有面積が増大してしまう。

40

【0095】

図9(e)には、LPF回路に移動平均フィルタ（図1）を適用した場合の周波数特性が示される。一般的に、移動平均フィルタにおいて、ノッチ周波数は、動作周波数（サンプリング周波数）およびサンプリング点の数によって決まる。本実施の形態では、図6に示したように、クロック信号 CLK の1/2周期ごとに分圧電圧 V_{DIV} のサンプリングを行ない、そのサンプリングした2点での分圧電圧 V_{DIV} の平均値を演算する。したがって、移動平均フィルタのノッチ周波数は、クロック信号 CLK の周波数（チョッパ周波数） f_{clk} によって決定され、容量素子 $C_1 \sim C_4$ の容量値に依存しない。これによれば、チョッパ周波数 f_{clk} と移動平均フィルタの動作周波数との比率を調整することによって、例えば図9(f)に示すように、移動平均フィルタの最初のノッチ周波数とチョ

50

ツパ周波数 f_{clk} とを一致させることができる。この結果、オフセット電圧成分を効率良く除去することができる。

【0096】

このように、一実施の形態による基準電圧発生回路1では、基準電圧回路11のチョッパ動作を制御するクロック信号CLKを用いて、LPF回路20を構成する移動平均フィルタの制御信号S1～S8を生成する。これにより、移動平均フィルタのノッチ周波数をチョッパ周波数 f_{clk} に一致させることができ、チョッパ周波数 f_{clk} を有するオフセット電圧成分を効率良く除去することができる。なお、移動平均フィルタのノッチ周波数は、RCフィルタのカットオフ周波数とは異なり、受動素子の抵抗値および容量値に依存しないため、チョッパ周波数 f_{clk} を低下させてもLPF回路の占有面積が大きくなる
10

【0097】

[実施の形態2]

図10は、この発明の実施の形態2による基準電圧発生回路の構成を示す回路図である。実施の形態2による基準電圧発生回路1Aは、図1に示す基準電圧発生回路1における基準電圧回路11を、基準電圧回路11Aに置き換えたものである。

【0098】

図10を参照して、基準電圧回路11Aは、図1に示す基準電圧回路11において、抵抗素子R1, R2に代えて、抵抗素子R6, R7を設けたものである。基準電圧発生回路1Aの全体構成は、抵抗素子R6, R7を除いて、図1と同様であるので、詳細な説明は繰り返さない。
20

【0099】

抵抗素子R6は、出力ノード12と入力ノード15との間に接続される。抵抗素子R7は、出力ノード12と入力ノード16との間に接続される。抵抗素子R6およびR7は、それぞれ、トリミングコードに応じて抵抗値が変更可能に構成される。図11は、抵抗素子R6の構成の一例を示す回路図である。

【0100】

図11を参照して、抵抗素子R6は、出力ノード12および入力ノード15の間に直列に接続された複数の抵抗素子50と、複数のトランスマッションゲート52とを含む。複数のトランスマッションゲート52は、複数の抵抗素子50の少なくとも一部とそれぞれ並列に設けられ、互いに対応するトランスマッションゲート52と抵抗素子50とが並列に接続される。各トランスマッションゲート52のオン・オフは、トリミングコードTRMによって決まる。これにより、抵抗素子R6の抵抗値は、トリミングコードTRMに応じて調整可能になっている。
30

【0101】

再び図10を参照して、基準電圧回路11Aは、上記式(7)に示したように、負の温度依存性を有するダイオードD1のベース・エミッタ間電圧 V_{be1} と、正の温度依存性を持つダイオードD1およびD2間のベース・エミッタ間電圧差 V_{be} とを適当な比率
40

【0102】

しかしながら、半導体装置の製造プロセスの変動が生じると、実際の V_{be1} および V_{be} の温度依存性が設計値からずれてしまう可能性がある。本実施の形態2による基準電圧発生回路1Aでは、トリミングコードTRMによって抵抗素子R6, R7の抵抗値を微調整することによって、このようなプロセス変動に起因したずれを補償することができる。

【0103】

以下に、実施の形態2による基準電圧回路11Aにおけるトリミング方法について説明
50

する。図12に、基準電圧回路11Aの出力電圧 V_{REF} の温度特性を示す。図12の縦軸には出力電圧 V_{REF} が示され、横軸には温度 T が示される。

【0104】

図12(a)は、オペアンプAMP1のオフセット電圧 V_{os} およびプロセス変動のない状態(理想状態)での出力電圧 V_{REF} の温度特性を示す。出力電圧 V_{REF} は、温度変化に対してほとんど変化せず、その変動幅が数mVに抑えられている。

【0105】

これに対して、図12(b)には、オペアンプAMP1のオフセット電圧 V_{os} およびプロセス変動がある状態での出力電圧 V_{REF} の温度特性が示される。なお、図12(b)において、破線は理想状態での出力電圧 V_{REF} を示す。プロセス変動が生じると、基準電圧発生回路においては、抵抗素子およびMOSトランジスタなどの特性値が変動するため、一次の温度係数が変動する。これにより、出力電圧 V_{REF} の温度特性は、一例として矢印[1]に示す方向に変化し、細実線に示すような特性となる。温度変化に対する出力電圧 V_{REF} の変動幅が大きくなる。

【0106】

さらに、オペアンプAMP1のオフセット電圧 V_{os} の影響を受けて0次の温度係数が変化することにより、出力電圧 V_{REF} は矢印[2]に示すように、オフセット電圧 V_{os} に応じた電圧分だけシフトする。結果として、出力電圧 V_{REF} の温度特性は、太実線に示すような特性となり、理想状態での温度特性から大きくずれてしまう。

【0107】

この温度特性のずれを補償するため、基準電圧発生回路では、抵抗素子 R_6 、 R_7 を用いて温度特性をトリミングする。具体的には、所定の温度 T_0 での出力電圧 V_{REF} をモニタし、モニタした出力電圧 V_{REF} が温度 T_0 での出力電圧 V_{REF} の理想値と一致するように、抵抗素子 R_6 、 R_7 の抵抗値を調整する。抵抗素子 R_6 、 R_7 の抵抗値を変更することによって温度特性の一次の温度係数のみが変わる。これにより出力電圧 V_{REF} は、矢印[3]に示すように、温度特性の傾きを変化させながら理想状態に近づけられる。

【0108】

しかしながら、上記のトリミングは特定の温度 T_0 での出力電圧 V_{REF} のみに向けて行なわれるため、トリミング後の温度特性には不要な1次の温度係数が残ってしまう。その結果、トリミング後の温度特性は、図9(c)に示すように、理想状態からかけはなれたものとなる虞がある。

【0109】

これに対して、本実施の形態による基準電圧発生回路では、BGR回路10におけるチョッパ動作およびLPF回路20による平滑化によって、出力電圧 V_{REF} からオフセット電圧成分が除去される。そのため、出力電圧 V_{REF} の温度特性には、図9(d)に実線で示すように、プロセス変動による1次の温度係数の変動のみが現れる。したがって、上記のように、特定の温度 T_0 での出力電圧 V_{REF} に基づいて抵抗素子 R_6 、 R_7 の抵抗値を調整することによって、容易に温度特性を理想状態に近づけることができる。このように、実施の形態2による基準電圧発生回路1Aによれば、BGR回路10Aの精度がより一層向上されるため、温度およびプロセス変動に依存しない基準電圧を安定的に生成することができる。

【0110】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【符号の説明】

【0111】

1, 1A 基準電圧発生回路、2 バッファ回路、10, 10A, 100 BGR回路、11, 11A 基準電圧回路、13 分圧回路、20 LPF回路、30 制御信号生

10

20

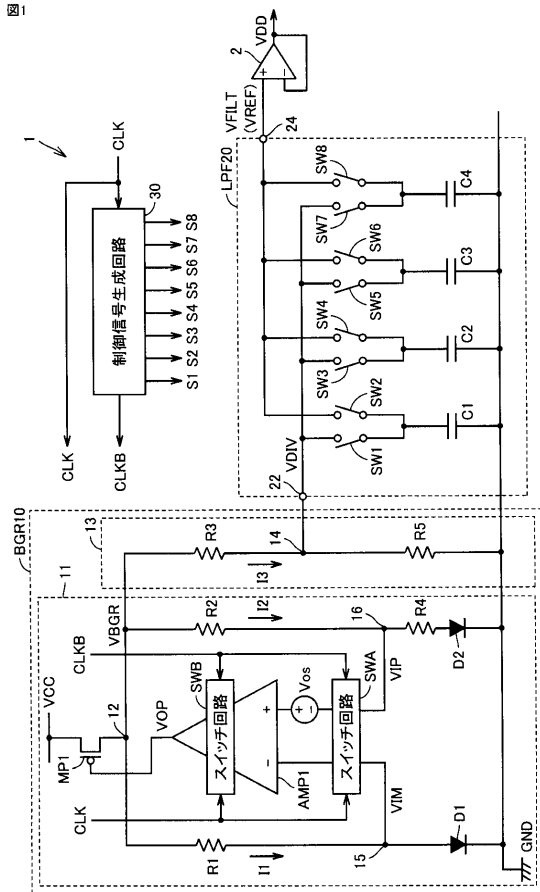
30

40

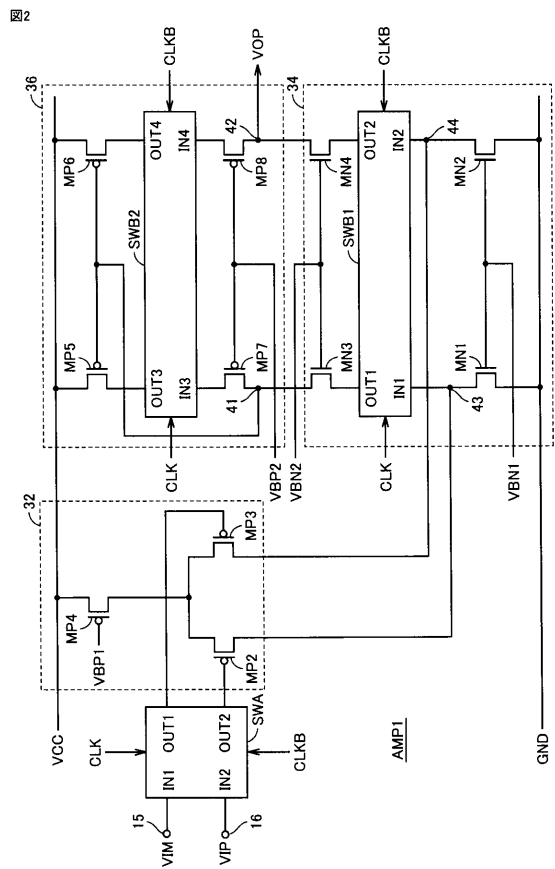
50

成回路、32 差動入力部、34, 36 折り返しカスコード型カレントミラー部、11
 1 チョッパ型BGR回路、120 スイッチ信号発生回路、AMP1, AMP2 オペ
 アンプ、R1~R5 抵抗素子、D1, D2, D11, D12 ダイオード、SWA, S
 WB1, SWB2 スイッチ回路、C1~C4 容量素子、SW1~SW8, SW21~
 SW24 スイッチ。

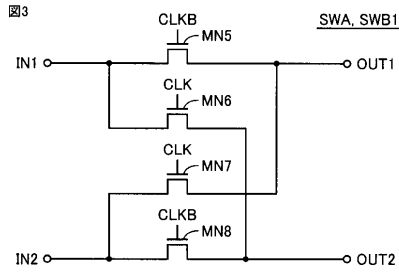
【図1】



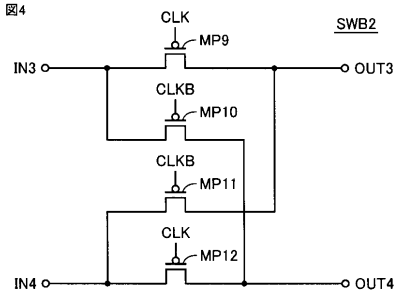
【図2】



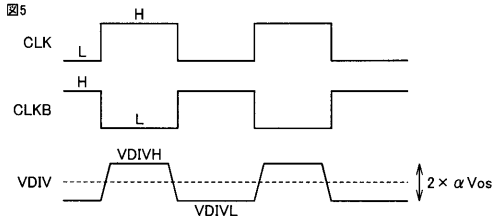
【 図 3 】



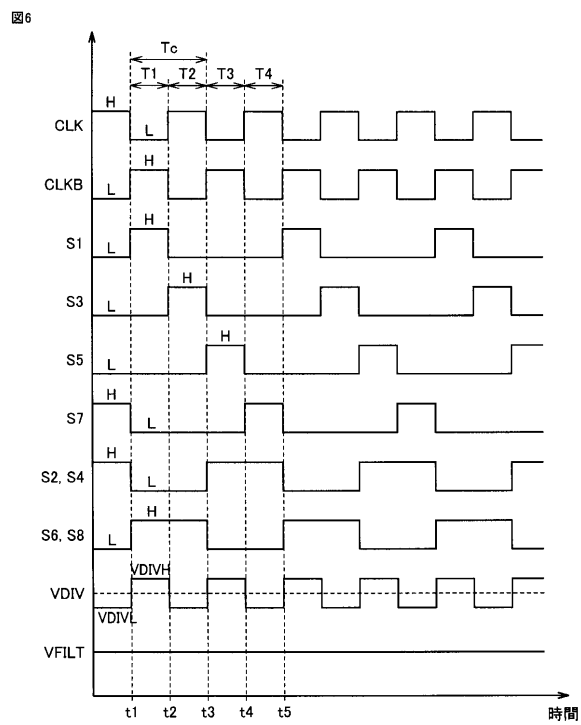
【 図 4 】



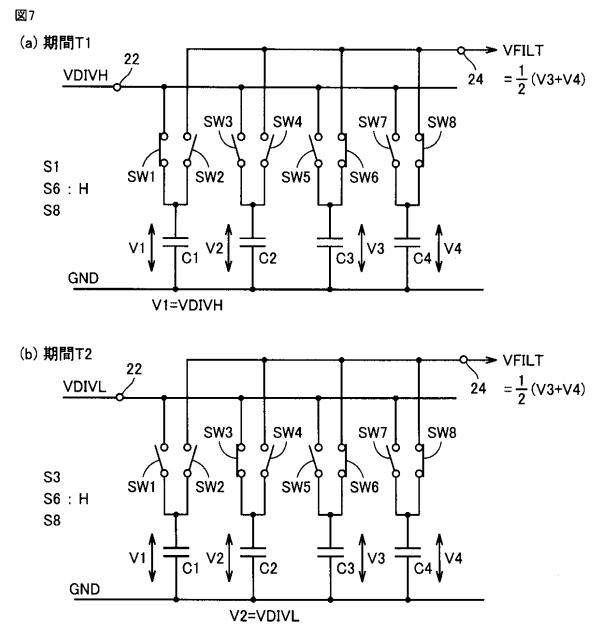
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

- (56)参考文献 特開2010-170470(JP,A)
特開2009-130736(JP,A)
特表昭57-500809(JP,A)
国際公開第2010/064436(WO,A1)

- (58)調査した分野(Int.Cl., DB名)
G05F 1/12-7/00