

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-287578

(P2008-287578A)

(43) 公開日 平成20年11月27日(2008.11.27)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/00 (2006.01)	G06F 12/00 550E	5B058
G06K 17/00 (2006.01)	G06F 12/00 597U	5B060
G06F 3/08 (2006.01)	G06K 17/00 D	5B065
	G06F 3/08 A	

審査請求 未請求 請求項の数 11 O L (全 31 頁)

(21) 出願番号	特願2007-132936 (P2007-132936)	(71) 出願人	000002369
(22) 出願日	平成19年5月18日 (2007. 5. 18)		セイコーエプソン株式会社
			東京都新宿区西新宿2丁目4番1号
		(74) 代理人	100090479
			弁理士 井上 一
		(74) 代理人	100104710
			弁理士 竹腰 昇
		(74) 代理人	100124626
			弁理士 榎並 智和
		(74) 代理人	100124682
			弁理士 黒田 泰
		(72) 発明者	加賀谷 隆一
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

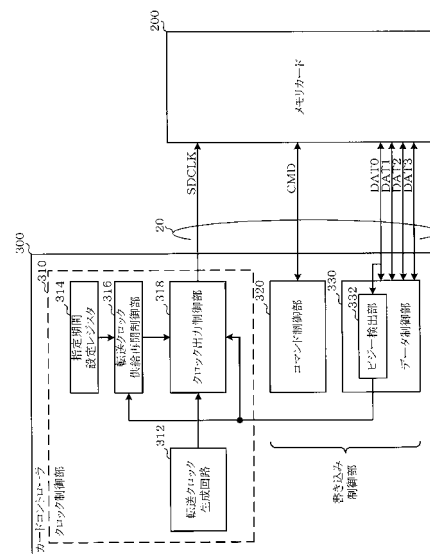
(54) 【発明の名称】 メモリコントローラ、情報処理装置及び電子機器

(57) 【要約】

【課題】 ライト動作時やイレース動作時の消費電力を削減するメモリコントローラ、情報処理装置及び電子機器を提供する。

【解決手段】 転送クロックに同期して入力されたコマンドに対しデータのアクセスをその内部クロックに同期して行うメモリにアクセスするためのメモリコントローラは、前記転送クロックの出力制御を行うクロック出力制御部と、メモリに対してライトコマンドを発行し、転送クロックに同期してライトデータを出力して前記メモリへの該ライトデータの書き込み制御を行う書き込み制御部と、前記メモリのビジー状態を検出するビジー検出部とを含む。ライトコマンド発行後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、クロック出力制御部が、所与の第1の指定期間だけ前記メモリに対して前記転送クロックの供給を停止し、その後該転送クロックの供給を開始する。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

転送クロックに同期して入力されたコマンドに対しデータのアクセスをその内部クロックに同期して行うメモリにアクセスするためのメモリコントローラであって、

前記転送クロックの出力制御を行うクロック出力制御部と、

前記メモリに対してライトコマンドを発行し、前記転送クロックに同期してライトデータを出力して前記メモリへの該ライトデータの書き込み制御を行う書き込み制御部と、

前記メモリのビジー状態を検出するビジー検出部とを含み、

前記ライトコマンド発行後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、

10

前記クロック出力制御部が、所与の第 1 の指定期間だけ前記メモリに対して前記転送クロックの供給を停止し、その後該転送クロックの供給を開始することを特徴とするメモリコントローラ。

【請求項 2】

請求項 1 において、更に、

前記メモリに対してイレースコマンドを発行し、前記メモリの記憶情報のイレース制御を行うイレース制御部を含み、

前記イレースコマンドに対応するレスポンスを前記メモリから受信した後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、

20

前記クロック出力制御部が、所与の第 2 の指定期間だけ前記メモリに対して前記転送クロックの供給を停止し、その後該転送クロックの供給を開始することを特徴とするメモリコントローラ。

【請求項 3】

請求項 2 において、

前記第 1 の指定期間が、前記第 2 の指定期間より短いことを特徴とするメモリコントローラ。

【請求項 4】

転送クロックに同期して入力されたコマンドに対しデータのアクセスをその内部クロックに同期して行うメモリにアクセスするためのメモリコントローラであって、

前記転送クロックの出力制御を行うクロック出力制御部と、

30

前記メモリに対してライトコマンドを発行し、前記転送クロックに同期してライトデータを出力して前記メモリに該ライトデータの書き込み制御を行う書き込み制御部と、

前記メモリのビジー状態を検出するビジー検出部とを含み、

前記ライトコマンド発行後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、前記クロック出力制御部が、第 1 の周波数の前記転送クロックに代えて前記第 1 の周波数より低い第 2 の周波数の前記転送クロックを前記メモリに供給し、

その後、前記ビジー検出部により前記メモリの非ビジー状態が検出されたとき、前記クロック出力制御部が、前記第 2 の周波数の前記転送クロックに代えて前記第 1 の周波数の前記転送クロックを前記メモリに供給することを特徴とするメモリコントローラ。

【請求項 5】

40

請求項 1 又は 4 において、更に、

前記メモリに対してイレースコマンドを発行し、前記メモリの記憶情報のイレース制御を行うイレース制御部を含み、

前記イレースコマンドに対応するレスポンスを前記メモリから受信した後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、前記クロック出力制御部が、第 1 の周波数の前記転送クロックに代えて前記第 1 の周波数より低い第 3 の周波数の前記転送クロックを前記メモリに供給し、

その後、前記ビジー検出部により前記メモリの非ビジー状態が検出されたとき、前記クロック出力制御部が、前記第 3 の周波数の前記転送クロックに代えて前記第 1 の周波数の前記転送クロックを前記メモリに供給することを特徴とするメモリコントローラ。

50

【請求項 6】

転送クロックに同期して入力されたコマンドに対しデータのアクセスをその内部クロックに同期して行うメモリにアクセスするためのメモリコントローラであって、

前記転送クロックの出力制御を行うクロック出力制御部と、

前記メモリに対してイレースコマンドを発行し、前記メモリの記憶情報のイレース制御を行うイレース制御部と、

前記メモリのビジー状態を検出するビジー検出部とを含み、

前記イレースコマンドに対応するレスポンスを前記メモリから受信した後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、前記クロック出力制御部が、第 1 の周波数の前記転送クロックに代えて前記第 1 の周波数より低い第 3 の周波数の前記転送クロックを前記メモリに供給し、

10

その後、前記ビジー検出部により前記メモリの非ビジー状態が検出されたとき、前記クロック出力制御部が、前記第 3 の周波数の前記転送クロックに代えて前記第 1 の周波数の前記転送クロックを前記メモリに供給することを特徴とするメモリコントローラ。

【請求項 7】

請求項 1 乃至 3、5 又は 6 いずれかにおいて、

前記クロック出力制御部が、

前記メモリがビジー状態になった場合に前記転送クロックの供給を停止したとき、前記ビジー状態が解除される直前に前記転送クロックの供給を再開することを特徴とするメモリコントローラ。

20

【請求項 8】

請求項 1 乃至 7 のいずれかにおいて、更に、

前記ビジー検出部が、

前記メモリコントローラと前記メモリとの間に接続されるデータラインの状態に基づいて前記ビジー状態を検出することを特徴とするメモリコントローラ。

【請求項 9】

請求項 1 乃至 8 のいずれかにおいて、

前記メモリが、

M M C (MultiMediaCard) 規格、S D (Secure Digital) 規格、S D I O (Secure Digital Input/Output) 規格又は C E - A T A (Consumer Electronics-AT Attachment) 規格に準拠したメモリカードであることを特徴とするメモリコントローラ。

30

【請求項 10】

請求項 1 乃至 9 のいずれか記載のメモリコントローラと、

前記メモリコントローラに対してライトコマンド又はイレースコマンドの発行を制御する制御マスタとを含むことを特徴とする情報処理装置。

【請求項 11】

前記メモリが挿抜されるメモリ装着部と、

請求項 10 記載の情報処理装置とを含むことを特徴とする電子機器。

【発明の詳細な説明】**【技術分野】**

40

【0001】

本発明は、メモリコントローラ、情報処理装置及び電子機器に関する。

【背景技術】**【0002】**

近年、パーソナルコンピュータやその周辺機器（例えばプリンタ装置、スキャナ装置又は複合機）に限らず、携帯電話機、携帯情報端末（Personal Digital Assistant：PDA）やオーディオプレーヤ等の携帯型の情報機器、ロボット装置、デジタルカメラ、ビデオカメラ、全地球測位システム（Global Positioning System：GPS）装置、テレビ受信装置、プロジェクタ等の電子機器に、データストレージ用途にフラッシュメモリカードが使用される機会が多くなっている。

50

【 0 0 0 3 】

フラッシュメモリカードには、その用途に応じて、種々の規格、バージョンが規定されている。例えば動画データ、静止画データ又は音楽データを携帯するために可搬性に優れ、大容量のフラッシュメモリとして、MMC (MultiMediaCard) 規格、SD (Secure Digital) 規格に準拠したフラッシュメモリカード、又はSDIO (SD Input/Output) 規格に準拠したI/Oデバイスがある。また、例えば携帯機器や家庭用電化製品の小型化により小型のコネクタ形状や高速なデータ転送が可能なHDD装置として、CE-ATA (Consumer Electronics-AT Attachment) 規格に準拠した記憶装置がある。

【 0 0 0 4 】

ところで、このようなフラッシュメモリカードにアクセスするためには、転送クロックをフラッシュメモリカードに供給してその規格で規定されたコマンド (制御コマンド) を発行する必要がある。そして、該フラッシュメモリに対し該転送クロックに同期してライトデータを入力させたりリードデータを出力させたりする。

10

【 0 0 0 5 】

このようなフラッシュメモリカードに転送クロックを供給してアクセスする技術は、例えば特許文献1及び特許文献2に開示されている。特許文献1には、SDメモリカードの内部にPLL (Phase Locked Loop) 回路が内蔵されていることを利用して、リードコマンドを発行後、該リードコマンドに対する応答をSDメモリカードから受けてからデータが読み出されるまでのリードデータ待ち時間中に、SDメモリカードへの転送クロックの供給を停止させる技術が開示されている。また、特許文献2には、ホスト機において煩雑な操作を行うことなく、ユーザデータを消去できるメモリカードに関する技術が開示されている。

20

【特許文献1】特開2003-76952号公報

【特許文献2】特開2006-39966号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

ところで、フラッシュメモリカードは、複数の規格間の互換性を保ちながら、内部のメモリ構造を意識することなくデータアクセスできるようにコントローラを内蔵する。更に、SDメモリカードでは、エラー訂正機能や著作権保護機能等も容易に実現できるようになっている。このため、フラッシュメモリカードは制御レジスタを備え、該制御レジスタにアクセスすることでカード内部メモリにプログラミングできる。

30

【 0 0 0 7 】

このようなカード内部メモリへのプログラミング時には、主にライト動作やイレース動作が頻繁に行われる上、ライト動作やイレース動作はリード動作よりも長く、数マイクロ秒から数秒程度の時間を要する。そのため、カード内部メモリへのプログラミング時の低消費電力化が求められている。従って、フラッシュメモリカードのライト動作時やイレース動作時の消費電力を低減させた方が、より低消費電力化の効果が得られる場合がある。

【 0 0 0 8 】

しかしながら、特許文献1及び特許文献2に開示された技術では、リード動作時の低消費電力化を図ることができるものの、ライト動作時やイレース動作時の消費電力を削減できず、カード内部メモリへのプログラミング時の低消費電力を図ることができなかった。そのため、フラッシュメモリカードのアクセス時の低消費電力化の効果が十分ではなかった。

40

【 0 0 0 9 】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、ライト動作時やイレース動作時の消費電力を削減するメモリコントローラ、情報処理装置及び電子機器を提供することにある。

【課題を解決するための手段】

【 0 0 1 0 】

50

上記課題を解決するために本発明は、

転送クロックに同期して入力されたコマンドに対しデータのアクセスをその内部クロックに同期して行うメモリにアクセスするためのメモリコントローラであって、

前記転送クロックの出力制御を行うクロック出力制御部と、

前記メモリに対してライトコマンドを発行し、前記転送クロックに同期してライトデータを出力して前記メモリへの該ライトデータの書き込み制御を行う書き込み制御部と、

前記メモリのビジー状態を検出するビジー検出部とを含み、

前記ライトコマンド発行後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、

前記クロック出力制御部が、所与の第 1 の指定期間だけ前記メモリに対して前記転送クロックの供給を停止し、その後該転送クロックの供給を開始するメモリコントローラに係る。

10

【0011】

本発明においては、ライトコマンド発行後にメモリがビジー状態になったときに、コマンド及び転送データを転送するための同期用クロックとして転送クロックの供給を停止し、その後の第 1 の指定期間経過後に転送クロックの供給を開始する。こうすることで、ライトコマンド発行後にメモリがビジー状態の期間に、転送クロックを供給し続ける必要がなくなるので、少なくとも第 1 の指定期間において転送クロックの供給を停止することで消費電力を削減できるようになる。第 1 の指定期間が数マイクロ秒から数ミリ秒という期間の場合には、本発明による消費電力の削減効果は著しい。

20

【0012】

また本発明に係るメモリコントローラでは、更に、

前記メモリに対してイレースコマンドを発行し、前記メモリの記憶情報のイレース制御を行うイレース制御部を含み、

前記イレースコマンドに対応するレスポンスを前記メモリから受信した後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、

前記クロック出力制御部が、所与の第 2 の指定期間だけ前記メモリに対して前記転送クロックの供給を停止し、その後該転送クロックの供給を開始することができる。

【0013】

本発明においては、イレースコマンド発行後にメモリがビジー状態になったときに、コマンド及び転送データを転送するための同期用クロックとして転送クロックの供給を停止し、その後の第 2 の指定期間経過後に転送クロックの供給を開始する。こうすることで、上記の効果に加えて、イレースコマンド発行後にメモリがビジー状態の期間に、転送クロックを供給し続ける必要がなくなるので、少なくとも第 2 の指定期間において転送クロックの供給を停止することで消費電力を削減できるようになる。

30

【0014】

また本発明に係るメモリコントローラでは、

前記第 1 の指定期間が、前記第 2 の指定期間より短くてもよい。

【0015】

本発明によれば、一般に、イレース動作時にメモリがビジー状態になる期間が長いので、第 1 の指定期間が第 2 の指定期間より短くすることで、ビジー状態の期間に合わせた低消費電力化を図ることができる。

40

【0016】

また本発明は、

転送クロックに同期して入力されたコマンドに対しデータのアクセスをその内部クロックに同期して行うメモリにアクセスするためのメモリコントローラであって、

前記転送クロックの出力制御を行うクロック出力制御部と、

前記メモリに対してライトコマンドを発行し、前記転送クロックに同期してライトデータを出力して前記メモリに該ライトデータの書き込み制御を行う書き込み制御部と、

前記メモリのビジー状態を検出するビジー検出部とを含み、

50

前記ライトコマンド発行後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、前記クロック出力制御部が、第１の周波数の前記転送クロックに代えて前記第１の周波数より低い第２の周波数の前記転送クロックを前記メモリに供給し、

その後、前記ビジー検出部により前記メモリの非ビジー状態が検出されたとき、前記クロック出力制御部が、前記第２の周波数の前記転送クロックに代えて前記第１の周波数の前記転送クロックを前記メモリに供給するメモリコントローラに關係する。

【００１７】

本発明においては、ライトコマンド発行後にメモリがビジー状態になったときに、コマンド及び転送データを転送するための同期用クロックとして転送クロックを、より周波数の低い第２の周波数の転送クロックに切り替えて供給し、その後にメモリが非ビジー状態になったときに元の第１の周波数の転送クロックに切り替えて供給する。こうすることで、転送クロックの供給停止等の制御を行う期間を予め計測して設定することなく、ライトコマンド発行後にメモリがビジー状態の期間に、周波数の高い転送クロックを供給し続ける必要がなくなる。また、無駄に長期間、周波数の高い転送クロックの供給し続ける必要がなくなるので、クロックパルスの出力を低減することができるため低消費電力化を実現できる。

【００１８】

また本発明に係るメモリコントローラでは、更に、

前記メモリに対してイレースコマンドを発行し、前記メモリの記憶情報のイレース制御を行うイレース制御部を含み、

前記イレースコマンドに対応するレスポンスを前記メモリから受信した後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、前記クロック出力制御部が、第１の周波数の前記転送クロックに代えて前記第１の周波数より低い第３の周波数の前記転送クロックを前記メモリに供給し、

その後、前記ビジー検出部により前記メモリの非ビジー状態が検出されたとき、前記クロック出力制御部が、前記第３の周波数の前記転送クロックに代えて前記第１の周波数の前記転送クロックを前記メモリに供給することができる。

【００１９】

本発明においては、イレースコマンド発行後にメモリがビジー状態になったときに、コマンド及び転送データを転送するための同期用クロックとして転送クロックを、より周波数の低い第３の周波数の転送クロックに切り替えて供給し、その後にメモリが非ビジー状態になったときに元の第１の周波数の転送クロックに切り替えて供給する。こうすることで、上記の効果に加えて、転送クロックの供給停止等の制御を行う期間を予め計測して設定することなく、イレースコマンド発行後にメモリがビジー状態の期間に、周波数の高い転送クロックを供給し続ける必要がなくなる。また、無駄に長期間、周波数の高い転送クロックの供給し続ける必要がなくなるので、クロックパルスの出力を低減することができるため低消費電力化を実現できる。

【００２０】

また本発明は、

転送クロックに同期して入力されたコマンドに対しデータのアクセスをその内部クロックに同期して行うメモリにアクセスするためのメモリコントローラであって、

前記転送クロックの出力制御を行うクロック出力制御部と、

前記メモリに対してイレースコマンドを発行し、前記メモリの記憶情報のイレース制御を行うイレース制御部と、

前記メモリのビジー状態を検出するビジー検出部とを含み、

前記イレースコマンドに対応するレスポンスを前記メモリから受信した後に前記ビジー検出部により前記メモリのビジー状態が検出されたとき、前記クロック出力制御部が、第１の周波数の前記転送クロックに代えて前記第１の周波数より低い第３の周波数の前記転送クロックを前記メモリに供給し、

その後、前記ビジー検出部により前記メモリの非ビジー状態が検出されたとき、前記ク

10

20

30

40

50

ロック出力制御部が、前記第 3 の周波数の前記転送クロックに代えて前記第 1 の周波数の前記転送クロックを前記メモリに供給するメモリコントローラに係する。

【 0 0 2 1 】

本発明においては、イレースコマンド発行後にメモリがビジー状態になったときに、コマンド及び転送データを転送するための同期用クロックとして転送クロックを、より周波数の低い第 3 の周波数の転送クロックに切り替えて供給し、その後にメモリが非ビジー状態になったときに元の第 1 の周波数の転送クロックに切り替えて供給する。こうすることで、転送クロックの供給停止等の制御を行う期間を予め計測して設定することなく、イレースコマンド発行後にメモリがビジー状態の期間に、周波数の高い転送クロックを供給し続ける必要がなくなる。また、無駄に長期間、周波数の高い転送クロックの供給し続ける必要がなくなるので、クロックパルスの出力を低減することができるため低消費電力化を実現できる。

10

【 0 0 2 2 】

また本発明に係るメモリコントローラでは、

前記クロック出力制御部が、

前記メモリがビジー状態になった場合に前記転送クロックの供給を停止したとき、前記ビジー状態が解除される直前に前記転送クロックの供給を再開することができる。

【 0 0 2 3 】

本発明によれば、転送クロックの供給に伴う消費電力を削減しながら、ビジー状態が解除されたときに、引き続きライト動作やイレース動作を継続できる。

20

【 0 0 2 4 】

また本発明に係るメモリコントローラでは、更に、

前記ビジー検出部が、

前記メモリコントローラと前記メモリとの間に接続されるデータラインの状態に基づいて前記ビジー状態を検出することができる。

【 0 0 2 5 】

本発明によれば、S D 規格等の市場に広く受け入れられているメモリカードのビジー状態を簡素な構成で検出できる。

【 0 0 2 6 】

また本発明に係るメモリコントローラでは、

前記メモリが、

M M C (MultiMediaCard) 規格、S D (Secure Digital) 規格、S D I O (Secure Digital Input/Output) 規格又は C E - A T A (Consumer Electronics-AT Attachment) 規格に準拠したメモリカードであってもよい。

30

【 0 0 2 7 】

本発明によれば、市場に流通する M M C 規格、S D 規格、S D I O 規格のみならず C E - A T A 規格のメモリへのライト動作やイレース動作の低消費電力化を実現できる。

【 0 0 2 8 】

また本発明は、

上記のいずれか記載のメモリコントローラと、

前記メモリコントローラに対してライトコマンド又はイレースコマンドの発行を制御する制御マスタとを含む情報処理装置に係する。

40

【 0 0 2 9 】

本発明によれば、ライト動作時やイレース動作時の消費電力を削減するメモリコントローラが適用された情報処理装置を提供できる。

【 0 0 3 0 】

また本発明は、

前記メモリが挿抜されるメモリ装着部と、

上記記載の情報処理装置とを含む電子機器に係する。

【 0 0 3 1 】

50

本発明によれば、ライト動作時やイレース動作時の消費電力を削減する、メモリが挿抜される電子機器を提供できる。

【発明を実施するための最良の形態】

【0032】

以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。

【0033】

1. 情報処理装置

以下の実施形態では、メモリカードにアクセスするためのメモリコントローラが情報処理装置としてのホストシステムに適用されているものとする。

【0034】

図1に、本実施形態における情報処理装置が適用された電子機器の構成例のブロック図を示す。

【0035】

図1の構成を有する電子機器としては、例えばパーソナルコンピュータ、その周辺機器（例えばプリンタ装置、スキャナ装置又は複合機）、携帯電話機、携帯情報端末、オーディオプレーヤ、ロボット装置、デジタルカメラ、ビデオカメラ、GPS装置、テレビ受信装置、プロジェクタ等がある。

【0036】

電子機器10は、情報処理装置としてのホストシステム100と、メモリカード（広義には記憶装置）200とを含み、ホストシステム100とメモリカード200とがカードバス20を介して接続されている。電子機器10では、メモリカード200に対する制御コマンドを発行することにより、メモリカード200にデータを書き込んだり、メモリカード200からデータを読み出したりすることができる。メモリカード200は、例えばフラッシュメモリカードやHDD装置である。

【0037】

ホストシステム100は、制御マスタ126と、カードコントローラ（メモリコントローラ）130とを含む。制御マスタ126は、中央演算処理装置（Central Processing Unit: CPU）110、メモリ120を含む。CPU110、メモリ120及びカードコントローラ130は、システムバス122を介して接続されている。従って、CPU110は、システムバス122を介してメモリ120又はカードコントローラ130にアクセスできる。そして、CPU110が、メモリ120に格納されたプログラムを読み込んで該プログラムに対応した処理を実行する。

【0038】

カードコントローラ130とメモリカード200とは、カードバス20を介して接続され、CPU110が、カードコントローラ130からメモリカード200に対して発行する制御コマンドを生成する制御を行う。メモリカード200を「デバイス」と定義すると、カードコントローラ130はホスト側を制御する「ホストコントローラ」と定義することができる。

【0039】

カードバス20は、転送クロックSDCLKが伝送されるクロックライン、制御コマンドCMD及びレスポンスが伝送されるコマンドライン、例えば4ビット（又は8ビット）の転送データDAT0 - DAT3が伝送されるデータラインを有する。カードコントローラ130が、転送クロックSDCLKに同期してコマンドCMDを発行する。そして、転送クロックSDCLKに同期して例えば4ビットの転送データDAT0 - DAT3が送受信される。また、コマンドCMDの種類によっては、メモリカード200が制御コマンドCMDに対するレスポンスとして、例えばコマンドラインを用いてレスポンスを返すことができる。

【0040】

10

20

30

40

50

以下では、メモリカード 200 が SD 規格に準拠したフラッシュメモリカードであり、カードバス 20 には SD 規格に準拠したシーケンスで制御コマンドやレスポンス、転送データの送受信が行われるものとする。

【0041】

図 2 に、図 1 のカードバス 20 の説明図を示す。

【0042】

カードバス 20 は、クロックライン、コマンドライン及びデータラインを有する。カードバス 20 のうちクロックラインを除いて双方向の信号ラインであるため、コマンドライン及びデータラインの各ラインがプルアップされている。

【0043】

より具体的には、コマンドラインは、所与の高電位側電源線 VDD との間にプルアップ抵抗 R_{CMD} を介してプルアップ接続されている。転送データ DAT0 が伝送されるデータラインは、所与の高電位側電源線 VDD との間にプルアップ抵抗 R_{DAT0} を介してプルアップ接続されている。転送データ DAT1 が伝送されるデータラインは、所与の高電位側電源線 VDD との間にプルアップ抵抗 R_{DAT1} を介してプルアップ接続されている。転送データ DAT2 が伝送されるデータラインは、所与の高電位側電源線 VDD との間にプルアップ抵抗 R_{DAT2} を介してプルアップ接続されている。転送データ DAT3 が伝送されるデータラインは、所与の高電位側電源線 VDD との間にプルアップ抵抗 R_{DAT3} を介してプルアップ接続されている。

【0044】

なおクロックラインは、カードコントローラ 130 側の図示しないクロックドライバによりプッシュプル動作で駆動される。なお、このクロックラインも、他のラインと同様にプルアップ接続されてもよい。

【0045】

SD 規格のメモリカード 200 にアクセスする場合、データ転送が不要な期間に転送クロック SCLK を停止させることで消費電力を削減できる。その一方、転送クロック SCLK を停止させることで、カードコントローラ 130 からのコマンドの送出、メモリカード 200 からのレスポンスの受信、データラインを介してデータの送受信ができなくなる。

【0046】

図 3 に、図 1 のメモリカード 200 の構成例のブロック図を示す。

【0047】

メモリカード 200 は、カード I/F 回路 210、PLL 回路 212、カード I/F 制御回路 220、カード制御レジスタ部 230、メモリ I/F 回路 240、メモリコア部 250 を含む。

【0048】

カード I/F 回路 210 は、カードバス 20 を伝送される信号のインタフェース処理を行う。カード I/F 制御回路 220 は、カード I/F 回路 210 を制御してカードバス 20 に信号を出力する制御を行ったり、カードバス 20 からの信号を入力する制御を行ったりする。カード I/F 回路 210 は、転送クロック SCLK に同期して入力された転送データやコマンドデータを図示しないバッファにバッファリングしたり、該バッファにバッファリングされた転送データやレスポンスデータを転送クロック SCLK に同期して出力したりする。

【0049】

PLL 回路 212 は、図示しない発振器からの発振出力を逡倍して、転送クロック SCLK とは異なる内部クロックを生成する。PLL 回路 212 によって生成された内部クロックは、メモリカード 200 の各部に供給され、メモリカード 200 は内部クロックに同期して動作する。より具体的には、カード I/F 回路 210 にバッファリングされたデータは、内部クロックに同期して読み出されてメモリカード 200 の内部に取り込まれる。また、メモリカード 200 の内部から出力されるデータは、内部クロックに同期してカ

10

20

30

40

50

ード I / F 回路 2 1 0 でバッファリングされ、転送クロック S D C L K に同期して外部に出力される。従って、メモリカード 2 0 0 は、転送クロック S D C L K の供給が停止されたとしても、メモリカード 2 0 0 の内部で、内部クロックに同期してメモリにアクセスできるようになっている。即ち、メモリカード 2 0 0 は、転送クロックに同期して入力されたコマンドに対しデータのアクセスをその内部クロックに同期して行うことができる。

【 0 0 5 0 】

カード制御レジスタ部 2 3 0 は、複数の制御レジスタを有する。例えば、カード制御レジスタ部 2 3 0 は、動作条件レジスタ (Operation Conditions Resister : O C R)、カード識別レジスタ (Card IDentification register : C I D)、カード特性データレジスタ (Card-Specific Data register : C S D)、相対カードアドレスレジスタ (Relative Card Address register : R C A)、ドライバステージレジスタ (Driver Stage Register : D S R)、S D コンフィギュレーションレジスタ (SD Configuration Register : S C R)、S D ステータスレジスタ (SD Status Register : S S R)、カードステータスレジスタ (Card Status Register : C S R)等を含む。

10

【 0 0 5 1 】

カード I / F 制御回路 2 2 0 は、カード制御レジスタ部 2 3 0 の設定データに基づいてメモリカード 2 0 0 の各部を制御すると共に、その制御結果をカード制御レジスタ部 2 3 0 に格納する制御を行う。

【 0 0 5 2 】

メモリ I / F 回路 2 4 0 は、カード I / F 制御回路 2 2 0 の制御により、メモリコア部 2 5 0 のメモリ素子にデータを書き込んだり、メモリコア部 2 5 0 のメモリ素子からデータを読み出したりする制御を行う。

20

【 0 0 5 3 】

メモリコア部 2 5 0 は、複数のメモリ素子を有する。メモリ I / F 回路 2 4 0 は、予め割り当てられたアドレスに対応したメモリ素子からデータを読み出したり、該アドレスに対応したメモリ素子にデータを書き込んだりすることができる。

【 0 0 5 4 】

2 . 比較例

上記のようなメモリカード 2 0 0 に対し、カードコントローラ 1 3 0 がライトコマンドを発行すると、メモリカード 2 0 0 はライトデータを取得後、メモリコア部 2 5 0 にデータの書き込みを行う。また、カードコントローラ 1 3 0 がメモリカード 2 0 0 に対してイレースコマンドを発行すると、メモリカード 2 0 0 は、メモリコア部 2 5 0 のデータ消去 (記憶情報の消去)を行う。

30

【 0 0 5 5 】

このようなメモリカード 2 0 0 の内部のメモリコア部 2 5 0 へのアクセス時には、メモリカード 2 0 0 はビジー状態となる。ビジー状態となったメモリカード 2 0 0 は、転送データ D A T 0 が送受信されるデータラインを L レベルに駆動することでカードコントローラ 1 3 0 にその状態を通知する。メモリカード 2 0 0 がビジー状態になると、カードコントローラ 1 3 0 とメモリカード 2 0 0 との間でデータ転送を行うことができず、カードコントローラ 1 3 0 は、メモリカード 2 0 0 のビジー状態が解除されるまで待機してデータ転送を中断する必要がある。

40

【 0 0 5 6 】

図 4 に、本実施形態の比較例におけるライト動作時のタイミングの一例を示す。

【 0 0 5 7 】

図 4 では、転送クロック S D C L K、コマンド C M D、転送データ D A T 0 のタイミングのみを模式的に示している。そのため、コマンド C M D の送出クロック数や転送データ D A T 0 の送出クロック数は厳密なものではない。

【 0 0 5 8 】

図 4 において、本比較例におけるカードコントローラがメモリカード 2 0 0 に対してライト転送を行う場合、該カードコントローラがメモリカード 2 0 0 に対してライトコマン

50

ドを発行する(WC1)。図4では、カードコントローラが、コマンドラインを介してスタートビット「S」とエンドビット「E」で挟まれたコマンドデータを、コマンドラインを介して送出している。その後、コマンドラインを介して、メモリカード200からライトコマンドを正常に受領した旨のレスポンスを受け取ると(RS1)、カードコントローラは、データラインを介してメモリカード200にライトデータを送出する(WD1、WD2)。図4では、レスポンスやライトデータもまた、スタートビット「S」で始まりエンドビット「E」で挟まれたデータである。

【0059】

メモリカード200は、ライトデータを内部バッファに取得し、該バッファに空きがあればデータ取得を継続し、空きが無くなるとメモリアダプタ部250にデータの書き込みを行う。このメモリアダプタ部250への書き込みの際、メモリカード200は、転送データDAT0が伝送されるデータラインをLレベルに駆動し、カードコントローラに対してビジー状態であることを通知して、データ転送の中断を要求する(BS1)。

【0060】

カードコントローラは、メモリカード200のビジー状態を検知すると、ライトデータの送出を中断し、ビジー状態が解除されるまで待機しなければならない。そのため、本比較例におけるカードコントローラは、ビジー状態解除検出期間T1において、ビジー状態の解除を検出するためにクロックラインを介して、コマンド及び転送データを転送するための同期用クロックとして転送クロックSDCLKを供給し続ける必要が生じる。

【0061】

その一方、カードコントローラは、ビジー状態が通知されている間はデータ転送ができない上に、上述のビジー状態解除検出期間T1は数マイクロ秒から数ミリ秒という長い期間である。従って、上述のビジー状態解除検出期間T1に、転送クロックSDCLKを供給し続けることは、無駄な電力を消費してしまうという問題がある。

【0062】

図4では、ライト動作時の消費電力について述べたが、イレース動作時についても同様である。

【0063】

図5に、本実施形態の比較例におけるイレース動作時のタイミングの一例を示す。

【0064】

図5では、転送クロックSDCLK、コマンドCMD、転送データDAT0のタイミングのみを模式的に示している。そのため、コマンドCMDの送出クロック数や転送データDAT0の送出クロック数は厳密なものではない。

【0065】

図5において、本比較例におけるカードコントローラがメモリカード200に対してイレース動作を行う場合、該カードコントローラがメモリカード200に対してイレースコマンドを発行する(WC2)。その後、カードコントローラは、コマンドラインを介して、メモリカード200からイレースコマンドを正常に受領した旨のレスポンスを受け取る(RS2)。メモリカード200の内部では、メモリアダプタ部250において公知のイレース動作を行う。イレース動作中は、メモリカード200は、転送データDAT0が伝送されるデータラインをLレベルに駆動し、カードコントローラに対してビジー状態であることを通知して、データ転送の中断を要求する(BS2)。

【0066】

このとき、メモリカード200の種類によっては、レスポンスの送出の前に、ビジー状態を通知したり、ビジー状態の通知を開始してからレスポンスを送出したりする。いずれの場合でも、カードコントローラは、メモリカード200のビジー状態を検知すると、コマンドの送出やデータ転送を中断し、ビジー状態が解除されるまで待機しなければならない。そのため、本比較例におけるカードコントローラは、例えばビジー状態解除検出期間T2において、ビジー状態の解除を検出するためにクロックラインを介して、コマンド及び転送データを転送するための同期用クロックとして転送クロックSDCLKを供給し続

10

20

30

40

50

ける必要が生じる。

【0067】

この場合でも、カードコントローラは、ビジー状態が通知されている間はデータ転送ができない上に、上述のビジー状態解除検出期間T2は、図4のビジー状態解除検出期間T1より長い数秒という期間である。従って、上述のビジー状態解除検出期間T2に、転送クロックSDCLKを供給し続けることは、無駄な電力を消費してしまうという問題がある。

【0068】

そこで、以下の実施形態では、カードコントローラが、ライト動作時又はイレース動作時の無駄な転送クロックSDCLKの供給に伴う消費電力の低減を図る。

10

【0069】

2. カードコントローラ(メモリコントローラ)

2.1 第1の実施形態

図6に、第1の実施形態におけるカードコントローラの構成例のブロック図を示す。図6において、図1と同一部分には同一符号を付し、適宜説明を省略する。また、図6のカードコントローラは、図1のカードコントローラ130に適用できる。

【0070】

第1の実施形態におけるカードコントローラ300は、ライト動作時の転送クロック供給停止及び転送クロック供給再開制御を行うことで、低消費電力化を図る。このようなカードコントローラ300は、クロック制御部310と、コマンド制御部320と、データ制御部330とを含む。クロック制御部310は、カードバス20のクロックラインの出力制御を行う。コマンド制御部320は、カードバス20のコマンドラインの入出力制御を行う。データ制御部330は、カードバス20のデータラインの入出力制御を行う。

20

【0071】

より具体的には、クロック制御部310は、転送クロック生成回路312、指定期間設定レジスタ314、転送クロック供給再開制御部316、クロック出力制御部318を含む。転送クロック生成回路312は、第1の周波数の転送クロックSDCLKを生成する。指定期間設定レジスタ314は、図1の制御マスタ126(CPU110)によりアクセス可能なレジスタであり、転送クロックSDCLKの供給が停止されてから転送クロックSDCLKの供給再開までの期間に対応した設定データが設定される。転送クロック供給再開制御部316は、指定期間設定レジスタ314の設定データに対応した期間が経過したときに、転送クロックSDCLKの供給再開を制御する。クロック出力制御部318は、メモリカード200に対して転送クロックSDCLKの供給を停止したり再開したりする。

30

【0072】

コマンド制御部320は、コマンドラインを介してメモリカード200にコマンドを発行することができる。より具体的には、コマンド制御部320は、ライトコマンドの発行と、該ライトコマンドに対応するレスポンスの受信制御を行う。

【0073】

データ制御部330は、ビジー検出部332を含む。ビジー検出部332は、転送データDAT0が伝送されるデータラインを監視して、メモリカード200からのビジー状態の通知を検出する。より具体的には、ビジー検出部332は、コマンド制御部320によってライトコマンドが発行された後の所定のビジー状態検出タイミングにおいて上記のデータラインを監視して、該データラインがLレベルのときにメモリカード200からビジー状態が検出されたことを認識する。ビジー検出部332の検出結果は、転送クロック供給再開制御部317及びクロック出力制御部318に供給される。

40

【0074】

コマンド制御部320及びデータ制御部330は、書き込み制御部として機能する。即ち、この書き込み制御部は、メモリカード200に対してライトコマンドを発行し、転送クロックに同期してライトデータを出力してメモリカード200に該ライトデータの書き

50

込み制御を行う。

【 0 0 7 5 】

クロック出力制御部 3 1 8 は、転送クロック生成回路 3 1 2 で生成された転送クロック S D C L K を出力している際に、ビジー検出部 3 3 2 によりメモリカード 2 0 0 のビジー状態が検出されたとき、転送クロック S D C L K の供給を停止する。転送クロック供給再開制御部 3 1 6 は、ビジー検出部 3 3 2 によりメモリカード 2 0 0 のビジー状態が検出されたとき、内部のカウンタによるカウント動作を開始させる。そして、このカウント動作の結果、指定期間設定レジスタ 3 1 4 の設定データに対応した期間である第 1 の指定期間が経過すると、転送クロック供給再開制御部 3 1 6 は、クロック出力制御部 3 1 8 に対し

10

【 0 0 7 6 】

図 7 に、第 1 の実施形態におけるカードコントローラ 3 0 0 によるライト動作のタイミングの一例を示す。

【 0 0 7 7 】

図 7 では、転送クロック S D C L K、コマンド C M D、転送データ D A T 0 のタイミングのみを模式的に示している。そのため、コマンド C M D の送出クロック数や転送データ D A T 0 の送出クロック数は厳密なものではない。

20

【 0 0 7 8 】

図 7 において、カードコントローラ 3 0 0 がメモリカード 2 0 0 に対してライトコマンドを発行する (W C 1 0)。図 7 では、カードコントローラ 3 0 0 が、コマンドラインを介してスタートビット「 S 」とエンドビット「 E 」で挟まれたコマンドデータを、コマンドラインを介して送出している。その後、コマンドラインを介して、メモリカード 2 0 0 からライトコマンドを正常に受領した旨のレスポンスを受け取ると (R S 1)、カードコントローラ 3 0 0 は、データラインを介してメモリカード 2 0 0 にライトデータを送出する (W D 1 0、W D 2 0)。図 7 では、レスポンスやライトデータもまた、スタートビット「 S 」で始まりエンドビット「 E 」で挟まれたデータである。

【 0 0 7 9 】

30

メモリカード 2 0 0 は、ライトデータを内部バッファに取得し、該バッファに空きがあればデータ取得を継続し、空きが無くなるとメモリコア部 2 5 0 にデータの書き込みを行う。このメモリコア部 2 5 0 への書き込みの際、メモリカード 2 0 0 は、転送データ D A T 0 が伝送されるデータラインを L レベルに駆動し、カードコントローラに対してビジー状態であることを通知して、データ転送の中断を要求する (B S 1 0)。

【 0 0 8 0 】

カードコントローラ 3 0 0 は、ビジー検出部 3 3 2 によりメモリカード 2 0 0 のビジー状態を検知すると、クロック出力制御部 3 1 8 により転送クロック S D C L K の供給を停止する。この場合、転送クロック S D C L K が L レベルに固定されることで、転送クロック S D C L K の供給が停止される。

40

【 0 0 8 1 】

指定期間設定レジスタ 3 1 4 には、メモリカード 2 0 0 がビジー状態になった時点から該ビジー状態が解除される直前の時点までの所与の第 1 の指定期間 T 1 1 に対応した設定データが設定されている。この第 1 の指定期間 T 1 1 は、予め計測して得られた時間であってもよい。いずれにしても、メモリカード 2 0 0 が一旦ビジー状態になった後に該ビジー状態が解除される直前に、転送クロックの供給を再開できればよい。こうして、第 1 の指定期間 T 1 1 経過後に、転送クロック供給再開制御部 3 1 6 により転送クロック S D C L K の供給が再開される。その結果、メモリカード 2 0 0 のビジー状態が解除された時点で、カードコントローラ 3 0 0 のビジー検出部 3 3 2 は、ビジー状態解除検出期間 T 1 0 にビジー状態の解除を検出できる。そのため、ビジー状態解除検出期間 T 1 0 に、コマン

50

ド及び転送データを転送するための同期用クロックとして転送クロックSDCLKを供給し続けることなく、少なくとも第1の指定期間T11において転送クロックSDCLKの供給を停止することで消費電力を削減できるようになる。第1の指定期間T11は、数マイクロ秒から数ミリ秒という長い期間であるため、第1の実施形態における消費電力の削減効果は著しい。

【0082】

2.2 第2の実施形態

図8に、第2の実施形態におけるカードコントローラの構成例のブロック図を示す。図8において、図1又は図6と同一部分には同一符号を付し、適宜説明を省略する。また、図8のカードコントローラは、図1のカードコントローラ130に適用できる。

10

【0083】

第2のカードコントローラ400は、イレース動作時の転送クロック供給停止及び転送クロック供給再開制御を行うことで、低消費電力化を図る。このようなカードコントローラ400は、クロック制御部410と、コマンド制御部420と、データ制御部430とを含む。クロック制御部410は、カードバス20のクロックラインの出力制御を行う。コマンド制御部420は、カードバス20のコマンドラインの入出力制御を行う。データ制御部430は、カードバス20のデータラインの入出力制御を行う。

【0084】

より具体的には、クロック制御部410は、転送クロック生成回路312、指定期間設定レジスタ414、転送クロック供給再開制御部316、クロック出力制御部318を含む。転送クロック生成回路312は、第1の周波数の転送クロックSDCLKを生成する。指定期間設定レジスタ414は、図1の制御マスタ126(CPU110)によりアクセス可能なレジスタであり、転送クロックSDCLKの供給が停止されてから転送クロックSDCLKの供給再開までの期間に対応した設定データが設定される。転送クロック供給再開制御部316は、指定期間設定レジスタ414の設定データに対応した期間が経過したときに、転送クロックSDCLKの供給再開を制御する。クロック出力制御部318は、メモリカード200に対して転送クロックSDCLKの供給を停止したり再開したりする。

20

【0085】

データ制御部430は、ビジー検出部432を含む。ビジー検出部432は、転送データDAT0が伝送されるデータラインを監視して、メモリカード200からのビジー状態の通知を検出する。より具体的には、ビジー検出部432は、コマンド制御部420によってライトコマンドが発行された後の所定のビジー状態検出タイミングにおいて上記のデータラインを監視して、該データラインがLレベルのときにメモリカード200からビジー状態が検出されたことを認識する。ビジー検出部432の検出結果は、転送クロック供給再開制御部317及びクロック出力制御部318に供給される。

30

【0086】

コマンド制御部420は、コマンドラインを介してメモリカード200にコマンドを発行することができる。より具体的には、コマンド制御部420は、イレースコマンドの発行と、該イレースコマンドに対応するレスポンスの受信制御を行う。

40

【0087】

コマンド制御部420及びデータ制御部430は、イレース制御部として機能する。即ち、このイレース制御部は、メモリカード200に対してイレースコマンドを発行し、メモリカード200の記憶情報のイレース制御を行う。

【0088】

クロック出力制御部318は、転送クロック生成回路312で生成された転送クロックSDCLKを出力している際に、イレースコマンドに対応するレスポンス(より具体的にはレスポンスのエンドビット)をコマンド制御部420が受信した後にビジー検出部432によりメモリカード200のビジー状態が検出されたとき、転送クロックSDCLKの供給を停止する。転送クロック供給再開制御部316は、イレースコマンドに対応するレ

50

スポンズを受信した後にビジー状態が検出されたとき、内部のカウンタによるカウント動作を開始させる。そして、このカウント動作の結果、指定期間設定レジスタ414の設定データに対応した期間である第2の指定期間が経過すると、転送クロック供給再開制御部316は、クロック出力制御部318に対して転送クロックSDCLKの供給再開を指示する。従って、クロック出力制御部318は、イレースコマンド発行後に該イレースコマンドに対応するレスポンスを受信した後にメモリカード200がビジー状態になったとき、所与の第2の指定期間だけメモリカード200に対して転送クロックSDCLKの供給を停止し、その後該転送クロックの供給を開始することができる。

【0089】

図9に、第2の実施形態におけるカードコントローラ400によるイレース動作のタイミングの一例を示す。

【0090】

図9では、転送クロックSDCLK、コマンドCMD、転送データDAT0のタイミングのみを模式的に示している。そのため、コマンドCMDの送出クロック数や転送データDAT0の送出クロック数は厳密なものではない。

【0091】

図9において、カードコントローラ400がメモリカード200に対してイレースコマンドを発行する(WC20)。図9では、カードコントローラ400が、コマンドラインを介してスタートビット「S」とエンドビット「E」で挟まれたコマンドデータを、コマンドラインを介して送出している。その後、コマンドラインを介して、メモリカード200からイレースコマンドを正常に受領した旨のレスポンス(より具体的には正常なレスポンスのエンドビット)を受け取る(RS20)。メモリカード200の内部では、メモリコア部250において公知のイレース動作を行う。イレース動作中は、メモリカード200は、転送データDAT0が伝送されるデータラインをLレベルに駆動し、カードコントローラ400に対してビジー状態であることを通知して、データ転送の中断を要求する(BS20)。

【0092】

このとき、メモリカード200の種類によっては、レスポンスの送出の前に、ビジー状態を通知したり、ビジー状態の通知を開始してからレスポンスを送出したりする。いずれの場合でも、カードコントローラ400は、コマンド制御部420において、メモリカード200からのレスポンスのエンドビットの受信を検出する。このレスポンスのエンドビットを受信すると、ビジー検出部432においてメモリカード200のビジー状態の検出を開始する。

【0093】

カードコントローラ400は、ビジー検出部432によりメモリカード200のビジー状態を検知すると、クロック出力制御部318により転送クロックSDCLKの供給を停止する。この場合、転送クロックSDCLKがLレベルに固定されることで、転送クロックSDCLKの供給が停止される。

【0094】

指定期間設定レジスタ414には、メモリカード200がビジー状態になった時点から該ビジー状態が解除される直前の時点までの所与の第2の指定期間T21に対応した設定データが設定されている。この第2の指定期間T21は、予め計測して得られた時間であってもよい。いずれにしても、メモリカード200が一旦ビジー状態になった後に、レスポンス受信後に該ビジー状態が解除される直前に、転送クロックの供給を再開できればよい。こうして、第2の指定期間T21経過後に、転送クロック供給再開制御部316により転送クロックSDCLKの供給が再開される。その結果、メモリカード200のビジー状態が解除された時点で、カードコントローラ400のビジー検出部432は、ビジー状態解除検出期間T20においてビジー状態の解除を検出できる。そのため、ビジー状態解除検出期間T20に、コマンド及び転送データを転送するための同期用クロックとして転送クロックSDCLKを供給し続けることなく、少なくとも第2の指定期間T21におい

10

20

30

40

50

て転送クロック S D C L K の供給を停止することで消費電力を削減できるようになる。第 2 の指定期間 T 2 1 は、数秒という長い期間であるため、第 2 の実施形態における消費電力の削減効果は著しい。

【 0 0 9 5 】

なお、図 8 の構成において、コマンド制御部 4 2 0 及びデータ制御部 4 3 0 が、第 1 の実施形態における書き込み制御部の機能を有していてもよい。この場合、第 2 の実施形態におけるカードコントローラ 4 0 0 が、書き込み制御部とイレース制御部とを有し、第 1 の実施形態におけるライト動作における転送クロックの供給停止制御及び供給再開制御を行うことができる。なお、第 1 の指定期間 T 1 1 は、第 2 の指定期間 T 2 1 より短くなるように設定されることが望ましい。

10

【 0 0 9 6 】

2 . 3 第 3 の実施形態

第 1 の実施形態では、クロック出力制御部 3 1 8 が第 1 の指定期間に転送クロック S D C L K の供給を停止していたが、第 3 の実施形態では転送クロック S D C L K の供給を停止することなく、該転送クロック S D C L K を間欠的にメモリカード 2 0 0 に供給する。こうすることで、ビジー状態解除検出期間 T 1 0 では第 1 の実施形態と比較して消費電力が増えるが、第 1 の実施形態のように第 1 の指定期間 T 1 1 の測定等を不要にできる。

【 0 0 9 7 】

図 1 0 に、第 3 の実施形態におけるカードコントローラの構成例のブロック図を示す。図 1 0 において、図 1 又は図 6 と同一部分には同一符号を付し、適宜説明を省略する。また、図 1 0 のカードコントローラは、図 1 のカードコントローラ 1 3 0 に適用できる。

20

【 0 0 9 8 】

第 3 の実施形態におけるカードコントローラ 5 0 0 は、ライト動作時の転送クロックの切替制御を行うことで、低消費電力化を図る。このようなカードコントローラ 5 0 0 は、クロック制御部 5 1 0 と、コマンド制御部 3 2 0 と、データ制御部 3 3 0 とを含む。

【 0 0 9 9 】

クロック制御部 5 1 0 は、カードバス 2 0 のクロックラインの出力制御を行う。より具体的には、クロック制御部 5 1 0 は、転送クロック生成回路 3 1 2、間欠クロック生成回路 5 1 7、クロック出力制御部（クロック切替部）5 1 8 を含む。転送クロック生成回路 3 1 2 は、第 1 の周波数の転送クロック S D C L K を生成する。間欠クロック生成回路 5 1 7 は、第 1 の周波数の転送クロックに基づいて、第 1 の周波数より低い第 2 の周波数の転送クロックを生成する。

30

【 0 1 0 0 】

クロック出力制御部 5 1 8 は、ライトコマンド発行後にビジー検出部 3 3 2 によりメモリカード 2 0 0 のビジー状態が検出されたとき、第 1 の周波数の転送クロックに代えて第 2 の周波数の転送クロックをメモリカード 2 0 0 に供給する。その後、クロック出力制御部 5 1 8 は、ビジー検出部 3 3 2 によりメモリカード 2 0 0 の非ビジー状態が検出されたとき、第 2 の周波数の転送クロックに代えて第 1 の周波数の転送クロックをメモリカード 2 0 0 に供給する。

【 0 1 0 1 】

図 1 1 に、第 3 の実施形態におけるカードコントローラ 5 0 0 によるライト動作のタイミングの一例を示す。

40

【 0 1 0 2 】

図 1 1 では、転送クロック S D C L K、コマンド C M D、転送データ D A T 0 のタイミングのみを模式的に示している。そのため、コマンド C M D の送出クロック数や転送データ D A T 0 の送出クロック数は厳密なものではない。図 1 1 において、図 7 と同一部分には同一符号を付し、適宜説明を省略する。

【 0 1 0 3 】

第 3 の実施形態では、ライトコマンド発行後にビジー検出部 3 3 2 によりメモリカード 2 0 0 のビジー状態が検出されたとき、第 1 の周波数の転送クロックに代えて、第 1 の周

50

波数より低い第2の周波数の転送クロックがクロックラインに出力される。その後、ビジー検出部332によりメモリカード200の非ビジー状態が検出されたとき、第2の周波数の転送クロックに代えて、第1の周波数の周波数の転送クロックがクロックラインに出力される。

【0104】

従って、メモリカード200のビジー状態検出期間において、第2の周波数の転送クロックが出力される。こうすることで、第1の実施形態のように第1の指定期間T11を指定することなく、メモリカード200のビジー状態の期間における転送クロックSDCLKの出力に伴う消費電力を削減できるようになる。

【0105】

10

2.4 第4の実施形態

第2の実施形態では、クロック出力制御部318が第2の指定期間に転送クロックSDCLKの供給を停止していたが、第4の実施形態では転送クロックSDCLKの供給を停止することなく、該転送クロックSDCLKを間欠的にメモリカード200に供給する。こうすることで、ビジー状態解除検出期間T20では第3の実施形態と比較して消費電力が増えるが、第2の実施形態のように第3の指定期間T21の測定等を不要にできる。

【0106】

図12に、第4の実施形態におけるカードコントローラの構成例のブロック図を示す。図12において、図1、図8又は図10と同一部分には同一符号を付し、適宜説明を省略する。また、図12のカードコントローラは、図1のカードコントローラ130に適用できる。

20

【0107】

第4の実施形態におけるカードコントローラ600は、イレーズ動作時の転送クロックの切替制御を行うことで、低消費電力化を図る。このようなカードコントローラ600は、クロック制御部610と、コマンド制御部420と、データ制御部430とを含む。

【0108】

クロック制御部610は、カードバス20のクロックラインの出力制御を行う。より具体的には、クロック制御部610は、転送クロック生成回路312、間欠クロック生成回路617、クロック出力制御部(クロック切替部)518を含む。転送クロック生成回路312は、第1の周波数の転送クロックSDCLKを生成する。間欠クロック生成回路617は、第1の周波数の転送クロックに基づいて、第1の周波数より低い第3の周波数の転送クロックを生成する。

30

【0109】

クロック出力制御部518は、イレーズコマンド発行後に該イレーズコマンドに対応するレスポンスをメモリカード200から受信した後にビジー検出部432によりメモリカード200のビジー状態が検出されたとき、第1の周波数の転送クロックに代えて第3の周波数の転送クロックをメモリカード200に供給する。その後、クロック出力制御部518は、ビジー検出部432によりメモリカード200の非ビジー状態が検出されたとき、第3の周波数の転送クロックに代えて第1の周波数の転送クロックをメモリカード200に供給する。

40

【0110】

図13に、第4の実施形態におけるカードコントローラ600によるイレーズ動作のタイミングの一例を示す。

【0111】

図13では、転送クロックSDCLK、コマンドCMD、転送データDAT0のタイミングのみを模式的に示している。そのため、コマンドCMDの送出クロック数や転送データDAT0の送出クロック数は厳密なものではない。図13において、図9と同一部分には同一符号を付し、適宜説明を省略する。

【0112】

第4の実施形態では、イレーズコマンド発行後に該イレーズコマンドに対応するレスポ

50

ンスが正常に受信される（該レスポンスのエンドビットが正常に受信される）と、ビジー検出部 4 3 2 はメモリカード 2 0 0 のビジー状態を検出する。ビジー検出部 4 3 2 によりメモリカード 2 0 0 のビジー状態が検出されたとき、第 1 の周波数の転送クロックに代えて、第 1 の周波数より低い第 3 の周波数の転送クロックがクロックラインに出力される。その後、ビジー検出部 4 3 2 によりメモリカード 2 0 0 の非ビジー状態が検出されたとき、第 3 の周波数の転送クロックに代えて、第 1 の周波数の周波数の転送クロックがクロックラインに出力される。

【 0 1 1 3 】

従って、メモリカード 2 0 0 のビジー状態検出期間において、第 2 の周波数の転送クロックが出力される。こうすることで、第 2 の実施形態のように第 2 の指定期間 T 2 1 を指定することなく、メモリカード 2 0 0 のビジー状態の期間における転送クロック S D C L K の出力に伴う消費電力を削減できるようになる。

10

【 0 1 1 4 】

2 . 5 その他

以上のような第 1 ～ 第 4 の実施形態で説明したライト動作時及びイレース動作時の制御を任意に組み合わせてもよい。

【 0 1 1 5 】

図 1 4 に、上述の実施形態の組み合わせの説明図を示す。

【 0 1 1 6 】

例えば、ライト動作時に転送クロックの供給を停止する第 1 の実施形態の構成において、第 2 又は第 4 の実施形態のようにイレース動作時の転送クロックの制御を行うことができる。

20

【 0 1 1 7 】

また、例えば、ライト動作時に間欠クロックを出力する第 3 の実施形態の構成において、第 2 又は第 4 の実施形態のようにイレース動作時の転送クロックの制御を行うことができる。

【 0 1 1 8 】

2 . 6 具体的な構成例

次に、上述の実施形態を実現する図 1 のカードコントローラ 1 3 0 の具体的な構成例について説明する。

30

【 0 1 1 9 】

2 . 6 . 1 第 1 の構成例

第 1 の構成例におけるカードコントローラ 1 3 0 は、ライト動作時に第 1 又は第 3 の実施形態のように転送クロックの出力制御を行うと共に、イレース動作時に第 2 又は第 4 の実施形態のように転送クロックの出力制御を行うものとする。

【 0 1 2 0 】

図 1 5 に、第 1 の構成例におけるカードコントローラ 1 3 0 のハードウェア構成例を示す。

【 0 1 2 1 】

第 1 の構成例におけるカードコントローラ 1 3 0 は、制御インタフェース（InterFace：I / F）回路 1 3 2、F I F O（First-In First-Out）I / F 回路 1 3 4、コントローラ制御レジスタ部 1 3 6、クロック制御部 1 3 8、制御ロジック部 1 4 0、ドライバ部 1 5 0、ビジー検出部 1 5 2 を含む。制御ロジック部 1 4 0 は、コマンドシーケンサ 1 4 2、データシーケンサ 1 4 4 を含む。

40

【 0 1 2 2 】

制御 I / F 回路 1 3 2 は、システムバス 1 2 2 を介して C P U 1 1 0 やメモリ 1 2 0 との間で送受信される制御信号や制御データのインタフェース処理を行う。C P U 1 1 0 は、制御 I / F 回路 1 3 2 を介してコントローラ制御レジスタ部 1 3 6 の各制御レジスタに制御データを設定できる。

【 0 1 2 3 】

50

F I F O I / F 回路 1 3 4 は、システムバス 1 2 2 を介して C P U 1 1 0 やメモリ 1 2 0 との間で送受信される制御信号や制御データのインタフェース処理を行う。システムバス 1 2 2 を介してメモリ 1 2 0 から読み出されたデータは、F I F O I / F 回路 1 3 4 においてバッファリングされた後、制御ロジック部 1 4 0 に供給される。また、メモリカード 2 0 0 から読み出されたデータは、F I F O I / F 回路 1 3 4 においてバッファリングされた後に、システムバス 1 2 2 を介して C P U 1 1 0 又はメモリ 1 2 0 に出力される。

【 0 1 2 4 】

コントローラ制御レジスタ部 1 3 6 は、1 又は複数の制御レジスタを有し、各制御レジスタにはカードコントローラ 1 3 0 を制御するための制御データが設定される。コントローラ制御レジスタ部 1 3 6 の各制御レジスタに設定された制御データに対応した制御信号に基づいて、カードコントローラ 1 3 0 の各部が制御される。

10

【 0 1 2 5 】

クロック制御部 1 3 8 は、カードコントローラ 1 3 0 の各部にクロックを供給すると共に、カードバス 2 0 を構成するクロックラインに転送クロック S D C L K を出力する制御を行う。クロック制御部 1 3 8 は、図 6 のクロック制御部 3 1 0、図 8 のクロック制御部 4 1 0、図 1 0 のクロック制御部 5 1 0、図 1 2 のクロック制御部 6 1 0 の機能を有する。

【 0 1 2 6 】

コマンドシーケンサ 1 4 2 は、コントローラ制御レジスタ部 1 3 6 の制御レジスタの制御データに基づいて、カードバス 2 0 を構成するコマンドラインを介してメモリカード 2 0 0 に対してコマンドを発行する制御を行う。

20

【 0 1 2 7 】

データシーケンサ 1 4 4 は、コントローラ制御レジスタ部 1 3 6 の制御レジスタの制御データに基づいて、カードバス 2 0 を構成するデータラインを介してメモリカード 2 0 0 との間でデータを送受信する制御を行う。

【 0 1 2 8 】

ドライバ部 1 5 0 は、コマンドシーケンサ 1 4 2 の制御結果に基づいてコマンドラインの信号の入出力制御を行う。また、データシーケンサ 1 4 4 の制御結果に基づいてデータラインの信号の入出力制御を行う。

【 0 1 2 9 】

30

ビジー検出部 1 5 2 は、転送データ D A T 0 が伝送されるデータラインの信号と、コマンドシーケンサ 1 4 2 の制御結果と、データシーケンサ 1 4 4 の制御結果とが入力され、カードバスを介して接続されるメモリカード 2 0 0 のライトコマンド発行後又はイレースコマンド発行後のビジー状態を検出できる。

【 0 1 3 0 】

図 1 6 に、図 1 5 のドライバ部 1 5 0 の構成の概要を示す。

【 0 1 3 1 】

ドライバ部 1 5 0 は、クロックラインを駆動して転送クロック S D C L K を出力するドライバと、コマンドラインに接続される第 1 の入出力ドライバと、データラインに接続される第 2 の入出力ドライバとを含む。

40

【 0 1 3 2 】

第 1 の入出力ドライバは、コマンドシーケンサ 1 4 2 によって制御されコマンドラインを駆動して制御コマンドを出力する出力ドライバと、コマンドラインを介して入力されるレスポンスを受信するための入力ドライバとを含む。コントローラ制御レジスタ部 1 3 6 の制御レジスタの内容に基づいてコマンドシーケンサ 1 4 2 によって生成された制御コマンドが、第 1 の入出力ドライバの出力ドライバによりコマンドラインに出力される。そして、該制御コマンドに対応してメモリカード 2 0 0 から出力されたレスポンスが、第 1 の入出力ドライバの入力ドライバで受信される。

【 0 1 3 3 】

第 2 の入出力ドライバは、データシーケンサ 1 4 4 によって制御されデータラインを駆

50

動して転送データを入力する出力ドライバと、データラインを介して入力される転送データを受信するための入力ドライバとを含む。コントローラ制御レジスタ部136の制御レジスタの内容に基づいて、FIFO I/F回路134からのデータが、データシーケンサ144の制御により、転送データとして第2の入出力ドライバの出力ドライバを介してデータラインに出力される。そして、メモリカード200から出力されたレスポンスが、第1の入出力ドライバの入力ドライバで受信される。

【0134】

図17に、図15のコマンドシーケンサ142の動作説明図を示す。

【0135】

コマンドシーケンサ142は、複数のステートを有し、各ステートに応じた制御を行う。各ステートには、予め遷移条件が決められており、該遷移条件を満足することで次のステートに遷移する。

【0136】

電源投入(SQ1)後の初期状態では、コマンドシーケンサ142は、IDLEステートST1に遷移する。制御マスタ126で実行される上位アプリケーションからメモリカード200に対して制御コマンドの発行指示(SQ2)があると、コマンドシーケンサ142は、SEND_CMDステートST2に遷移する。

【0137】

SEND_CMDステートST2では、制御マスタ126が、カードコントローラ130の制御レジスタに制御コマンドを発行するためのコマンド指定情報やそのパラメータ情報を制御レジスタに設定する。そして、上位アプリケーションからの制御コマンドの発行指示を受けて制御マスタ126が、カードコントローラ130の図示しない制御コマンド発行指示レジスタにアクセス(SQ3)すると、コマンドシーケンサ142は、RCV_RESPステートST3に遷移する。

【0138】

RCV_RESPステートST3では、制御ロジック部140が、コマンドラインを介してメモリカード200からのレスポンスデータを受信する。そして、正常なレスポンスのエンドビットの受信が完了する(SQ4)と、コマンドシーケンサ142は、END8CLKステートST4に遷移する。

【0139】

END8CLKステートST4では、転送クロックSDCLKの8クロック分だけ待機する。そして、転送クロックSDCLKの8クロック分の期間が経過する(SQ5)と、コマンドシーケンサ142は、IDLEステートST1に遷移する。

【0140】

図17において、イレースコマンド発行後にRCV_RESPステートST3でレスポンスが正常に受信されたことが検出されたときに、コマンドシーケンサ142がビジー検出部152に通知する。

【0141】

図18に、図15のデータシーケンサ144の動作説明図を示す。

【0142】

データシーケンサ144は、複数のステートを有し、各ステートに応じた制御を行う。各ステートには、予め遷移条件が決められており、該遷移条件を満足することで次のステートに遷移する。

【0143】

電源投入(SQ10)後の初期状態では、データシーケンサ144は、IDLEステートST10に遷移する。制御マスタ126で実行される上位アプリケーションからメモリカード200に対して制御コマンドの発行指示があると、その制御コマンドの種類によって遷移先のステートが変わる。

【0144】

IDLEステートST10において、上位アプリケーションから発行指示された制御コ

10

20

30

40

50

マンドがライトコマンドのとき (S Q 1 1)、データシーケンサ 1 4 4 は、 C H K _ B U S Y ステート S T 1 1 に遷移する。

【 0 1 4 5 】

C H K _ B U S Y ステート S T 1 1 では、メモリカード 2 0 0 がビジー状態か否かが検出される。 C H K _ B U S Y ステート S T 1 1 において、メモリカード 2 0 0 の非ビジー状態が検出されたとき (S Q 1 2)、データシーケンサ 1 4 4 は、 W R _ D A T ステート S T 1 2 に遷移する。 C H K _ B U S Y ステート S T 1 1 において、メモリカード 2 0 0 のビジー状態が検出されたとき (S Q 1 3)、データシーケンサ 1 4 4 は、 C H K _ B U S Y ステート S T 1 1 を繰り返す。

【 0 1 4 6 】

W R _ D A T ステート S T 1 2 において、データシーケンサ 1 4 4 は、メモリカード 2 0 0 に対してライトデータを送出する制御を行う。 1 ブロック分のライトデータを送出すると (S Q 1 4)、データシーケンサ 1 4 4 は、 C R C S T ステート S T 1 3 に遷移する。

【 0 1 4 7 】

C R C S T ステート S T 1 3 では、データシーケンサ 1 4 4 は、ライトデータの C R C ステータスをチェックし、 C R C ステータスが正常ならば (S Q 1 6)、データシーケンサ 1 4 4 は、 C H K _ B U S Y ステート S T 1 4 に遷移する。

【 0 1 4 8 】

C H K _ B U S Y ステート S T 1 4 では、メモリカード 2 0 0 がビジー状態か否かが検出される。 C H K _ B U S Y ステート S T 1 4 においてメモリカード 2 0 0 のビジー状態が検出されたとき (S Q 1 7)、データシーケンサ 1 4 4 は、 C O N T _ S D C L K ステート S T 1 5 に遷移する。

【 0 1 4 9 】

C O N T _ S D C L K ステート S T 1 5 では、第 1 の実施形態において、転送クロック S D C L K の供給停止を制御するための制御信号を出力する。また、第 3 の実施形態において、転送クロックを間欠クロックに切り替える制御信号を出力する。そして、 C O N T _ S D C L K ステート S T 1 5 において再開要求があったとき (S Q 1 8)、データシーケンサ 1 4 4 は、 C H K _ B U S Y ステート S T 1 4 に遷移する。この再開要求は、第 1 の実施形態では第 1 の指定期間が経過したことを示すカウンタの動作結果信号であり、第 3 の実施形態ではビジー検出部においてメモリカード 2 0 0 の非ビジー状態が検出されたことを示す信号である。

【 0 1 5 0 】

C H K _ B U S Y ステート S T 1 4 において、メモリカード 2 0 0 の非ビジー状態が検出され次のブロックの転送が必要なとき (S Q 1 5)、データシーケンサ 1 4 4 は、 W R _ D A T ステート S T 1 2 に遷移する。非ビジー状態が検出され次のブロックの転送が不要なとき (S Q 1 9)、データシーケンサ 1 4 4 は、 E N D 8 C L K ステート S T 2 0 に遷移する。

【 0 1 5 1 】

E N D 8 C L K ステート S T 2 0 では、転送クロック S D C L K の 8 クロック分だけ待機する。そして、転送クロック S D C L K の 8 クロック分の期間が経過する (S Q 2 1) と、データシーケンサ 1 4 4 は、 T r a n _ C m p ステート S T 2 2 に遷移する。

【 0 1 5 2 】

T r a n _ C m p ステート S T 2 2 では、データシーケンサ 1 4 4 が、制御マスタ 1 2 6 に対して転送終了割り込みを発生させる制御が行われる。転送終了割り込みを発生した後 (S Q 2 3)、データシーケンサ 1 4 4 は、 I D L E ステート S T 1 0 に遷移する。

【 0 1 5 3 】

I D L E ステート S T 1 0 において、上位アプリケーションから発行指示された制御コマンドがリードコマンドのとき (S Q 3 1)、データシーケンサ 1 4 4 は、 R D _ D A T ステート S T 3 1 に遷移する。

10

20

30

40

50

【0154】

R D _ D A T ステート S T 3 1 では、データシーケンサ 1 4 4 は、メモリカード 2 0 0 から 1 ブロック分のリードデータを読み出す制御を行う。次のブロックのリードデータを読み出す必要があるとき (S Q 3 2)、データシーケンサ 1 4 4 は、R D _ D A T ステート S T 3 1 を繰り返す。R D _ D A T ステート S T 3 1 において、次のブロックのリードデータを読み出す必要がないとき (S Q 3 3)、データシーケンサ 1 4 4 は、E N D 8 C L K ステート S T 3 2 に遷移する。

【0155】

E N D 8 C L K ステート S T 3 2 では、転送クロック S D C L K の 8 クロック分だけ待機する。そして、転送クロック S D C L K の 8 クロック分の期間が経過する (S Q 3 4) と、データシーケンサ 1 4 4 は、T r a n _ C m p ステート S T 2 2 に遷移する。

10

【0156】

I D L E ステート S T 1 0 において、上位アプリケーションから発行指示された制御コマンドがイレースコマンドのとき (S Q 4 1)、データシーケンサ 1 4 4 は、R B U S Y ステート S T 4 1 に遷移する。

【0157】

R B U S Y ステート S T 4 1 では、データシーケンサ 1 4 4 は、メモリカード 2 0 0 からのレスポンスを受信し、メモリカード 2 0 0 の種類 (規格、バージョン) によって変化するビジー状態の検出タイミングをマスク制御して特定する。R B U S Y ステート S T 4 1 において、メモリカード 2 0 0 からの正常なレスポンスのエンドビットが受信され、メモリカード 2 0 0 の種類によって特定されるビジー状態の検出タイミングになる (S Q 4 2) と、データシーケンサ 1 4 4 は、C H K _ B U S Y ステート S T 4 2 に遷移する。

20

【0158】

C H K _ B U S Y ステート S T 4 2 では、メモリカード 2 0 0 がビジー状態か否かが検出される。C H K _ B U S Y ステート S T 4 2 においてメモリカード 2 0 0 のビジー状態が検出されたとき (S Q 4 3)、データシーケンサ 1 4 4 は、C O N T _ S D C L K ステート S T 4 3 に遷移する。

【0159】

C O N T _ S D C L K ステート S T 4 3 では、第 2 の実施形態において、転送クロック S D C L K の供給停止を制御するための制御信号を出力する。また、第 4 の実施形態において、転送クロックを間欠クロックに切り替える制御信号を出力する。そして、C O N T _ S D C L K ステート S T 4 3 において再開要求があったとき (S Q 4 4)、データシーケンサ 1 4 4 は、C H K _ B U S Y ステート S T 4 2 に遷移する。この再開要求は、第 2 の実施形態では第 2 の指定期間が経過したことを示すカウンタの動作結果信号であり、第 4 の実施形態ではビジー検出部においてメモリカード 2 0 0 の非ビジー状態が検出されたことを示す信号である。

30

【0160】

C H K _ B U S Y ステート S T 4 2 において、メモリカード 2 0 0 の非ビジー状態が検出されたとき (S Q 4 5)、データシーケンサ 1 4 4 は、E N D 8 C L K ステート S T 4 4 に遷移する。

40

【0161】

E N D 8 C L K ステート S T 4 4 では、転送クロック S D C L K の 8 クロック分だけ待機する。そして、転送クロック S D C L K の 8 クロック分の期間が経過する (S Q 4 6) と、データシーケンサ 1 4 4 は、T r a n _ C m p ステート S T 2 2 に遷移する。

【0162】

図 1 8 において、C O N T _ S D C L K ステート S T 1 5 又は C O N T _ S D C L K ステート S T 4 3 において、第 1 ~ 第 4 の実施形態で説明した転送クロックの供給停止及び再開、間欠クロックへの切替制御が行われる。

【0163】

2 . 6 . 2 第 2 の構成例

50

第１の構成例では、第１～第４の実施形態で説明したライト動作時及びイレース動作時の転送クロックの出力制御を行うハードウェア構成例について説明したが、本発明がこれに限定されるものではない。第２の構成例では、第１及び第３の実施形態で説明したライト動作時の転送クロックの出力制御を行うものとする。

【０１６４】

図１９に、第２の構成例におけるカードコントローラ１３０のハードウェア構成例を示す。図１９において、図１５と同一部分には同一符号を付し、適宜説明を省略する。

【０１６５】

第２の構成例におけるカードコントローラが第１の構成例におけるカードコントローラと異なる点は、データシーケンサとビジー検出部である。

【０１６６】

図１９において、データシーケンサ１４５は、第１の構成例と異なり、イレース動作時の転送クロックの出力制御を行わないように制御する。また、ビジー検出部１５３は、データシーケンサ１４５の制御結果と転送データＤＡＴ０が伝送されるデータラインとに基づいて、メモリカード２００がビジー状態か否かを検出する。

【０１６７】

図２０に、図１９のデータシーケンサ１４５の動作説明図を示す。

【０１６８】

図２０において、図１８と同一部分には同一符号を付し、適宜説明を省略する。図２０の状態遷移図が図１８の状態遷移図と異なる点は、ＲＢＵＳＹステートＳＴ４１において、メモリカード２００からの正常なレスポンスのエンドビットが受信される（ＳＱ４２）、データシーケンサ１４４が、ＥＮＤ８ＣＬＫステートＳＴ４４に遷移する点である。

【０１６９】

従って、図１９のデータシーケンサ１４５は、イレースコマンドが発行されたとしても、転送クロックの供給停止制御や間欠クロックへの切替制御を行わない。

【０１７０】

なお、当業者であれば、第２及び第４の実施形態で説明したイレース動作時の転送クロックの出力制御のみを行う場合も同様にハードウェアを構成できる。

【０１７１】

３．電子機器

次に、第１～第４の実施形態におけるカードコントローラが適用されるホストシステムを含む電子機器の構成例を示す。

【０１７２】

図２１に、本実施形態における電子機器としてのデジタルスチルカメラの構成例のブロック図を示す。

【０１７３】

図２１において、図１と同一部分には同一符号を付し、適宜説明を省略する。

【０１７４】

電子機器１０は、電荷結合素子（Charge Coupled Device：以下、ＣＣＤ）イメージセンサ８００、ＡＤ変換器、メモリ８２０、クロック生成回路８３０、ホストシステム１００、ソケット（スロット、メモリ装着部、カード装着部、メモリカード装着部）８４０を含む。

【０１７５】

ＣＣＤイメージセンサ８００は、複数の受光素子を有し、各受光素子に光が入射することにより発生した電荷を読み出して、画像を電気信号に変換する。ＣＣＤイメージセンサ８００によって電気信号に変換された画像データは、ＡＤ変換器８１０によりデジタル信号に変換された後、メモリ８２０にバッファリングされる。

【０１７６】

クロック生成回路８３０は、電子機器１０の基本クロックやホストシステム１００の基本クロックを生成する。

10

20

30

40

50

【 0 1 7 7 】

図 2 1 のプログラムメモリ 1 2 0 は、図 1 のメモリ 1 2 0 として機能する。

【 0 1 7 8 】

ソケット 8 4 0 には、メモリカード 2 0 0 が挿抜される。メモリカード 2 0 0 がソケット 8 4 0 に挿入された状態で、カードバス 2 0 を介してカードコントローラ 1 3 0 とメモリカード 2 0 0 との間で S D 規格に従ったアクセスが行われる。

【 0 1 7 9 】

ホストシステム 1 0 0 の制御により、メモリ 8 2 0 に蓄えられた画像データをメモリカード 2 0 0 に書き込んだり、メモリカード 2 0 0 から画像データを読み出してメモリ 8 2 0 に蓄積させたりできる。

10

【 0 1 8 0 】

図 2 1 のような電子機器 1 0 によれば、メモリカード 2 0 0 へのライト動作時やイレーズ動作時に著しい低消費電力効果が得られ、メモリカード 2 0 0 内部メモリへのプログラミング時の低消費電力を図ることができるようになる。

【 0 1 8 1 】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。本実施形態におけるメモリカードは、フラッシュメモリカードに限定されるものではない。本実施形態におけるメモリカードに代えて、H D D 装置、D V D 装置、又は光ディスク装置であってもよい。

【 0 1 8 2 】

20

更に、コマンド設定情報は上述の実施形態において説明したものに限定されるものではなく、例えば S D 規格と同様の思想に基づく規格や S D 規格を発展させた規格のライト動作やイレーズ動作、例えば M M C 規格と同様の思想に基づく規格や M M C 規格を発展させた規格のライト動作やイレーズ動作、例えば S D I O 規格と同様の思想に基づく規格や S D I O 規格を発展させた規格のライト動作やイレーズ動作、例えば C E - A T A 規格と同様の思想に基づく規格や C E - A T A 規格を発展させた規格のライト動作やイレーズ動作にも本発明は適用できる。

【 図面の簡単な説明 】

【 0 1 8 3 】

【 図 1 】 本実施形態における情報処理装置が適用された電子機器の構成例のブロック図。

30

【 図 2 】 図 1 のカードバスの説明図。

【 図 3 】 図 1 のメモリカードの構成例のブロック図。

【 図 4 】 本実施形態の比較例におけるライト動作時のタイミングの一例を示す図。

【 図 5 】 本実施形態の比較例におけるイレーズ動作時のタイミングの一例を示す図。

【 図 6 】 第 1 の実施形態におけるカードコントローラの構成例のブロック図。

【 図 7 】 第 1 の実施形態におけるカードコントローラによるライト動作のタイミングの一例を示す図。

【 図 8 】 第 2 の実施形態におけるカードコントローラの構成例のブロック図。

【 図 9 】 第 2 の実施形態におけるカードコントローラによるイレーズ動作のタイミングの一例を示す図。

40

【 図 1 0 】 第 3 の実施形態におけるカードコントローラの構成例のブロック図。

【 図 1 1 】 第 3 の実施形態におけるカードコントローラによるライト動作のタイミングの一例を示す図。

【 図 1 2 】 第 4 の実施形態におけるカードコントローラの構成例のブロック図。

【 図 1 3 】 第 4 の実施形態におけるカードコントローラによるイレーズ動作のタイミングの一例を示す図。

【 図 1 4 】 第 1 ~ 第 4 の実施形態の組み合わせの説明図。

【 図 1 5 】 第 1 の構成例におけるカードコントローラのハードウェア構成例を示す図。

【 図 1 6 】 図 1 5 のドライバ部の構成の概要を示す図。

【 図 1 7 】 図 1 5 のコマンドシーケンサの動作説明図。

50

【図 18】図 15 のデータシーケンサの動作説明図。

【図 19】第 2 の構成例におけるカードコントローラのハードウェア構成例を示す図。

【図 20】図 19 のデータシーケンサの動作説明図。

【図 21】本実施形態における電子機器としてのデジタルスチルカメラの構成例のブロック図。

【符号の説明】

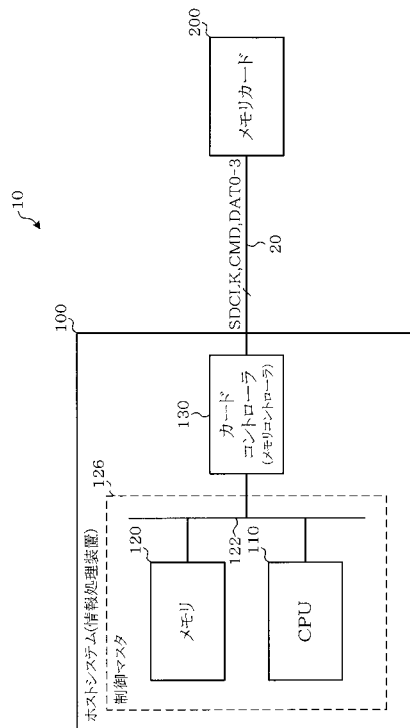
【0184】

10 電子機器、 20 カードバス、 100 ホストシステム、 110 CPU、
120 メモリ、 122 システムバス、
130、300、400、500、600 カードコントローラ、
132 制御 I/F 回路、 134 FIFO I/F 回路、
136 コントローラ制御レジスタ部、 138 クロック制御部、
140 制御ロジック部、 142 コマンドシーケンサ、
144、145 データシーケンサ、 150 ドライバ部、
152、153、332、432 ビジー検出部、 200 メモリカード、
210 カード I/F 回路、 212 PLL 回路、 220 カード I/F 制御回路、
230 カード制御レジスタ部、 240 メモリ I/F 回路、
250 メモリコア部、 310、410、510、610 クロック制御部、
312 転送クロック生成回路、 314、414 指定期間設定レジスタ、
316 転送クロック供給再開制御部、 318、518 クロック出力制御部、
320、420 コマンド制御部、 330、430 データ制御部、
517、617 間欠クロック生成回路

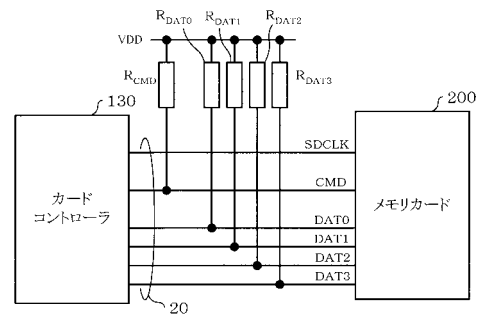
10

20

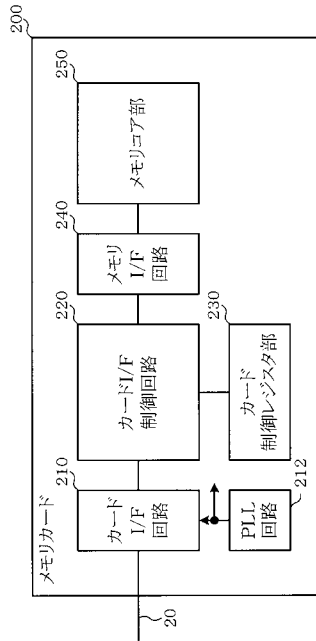
【図 1】



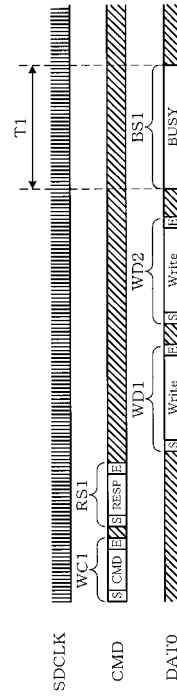
【図 2】



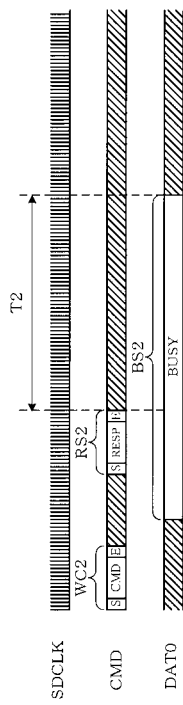
【 図 3 】



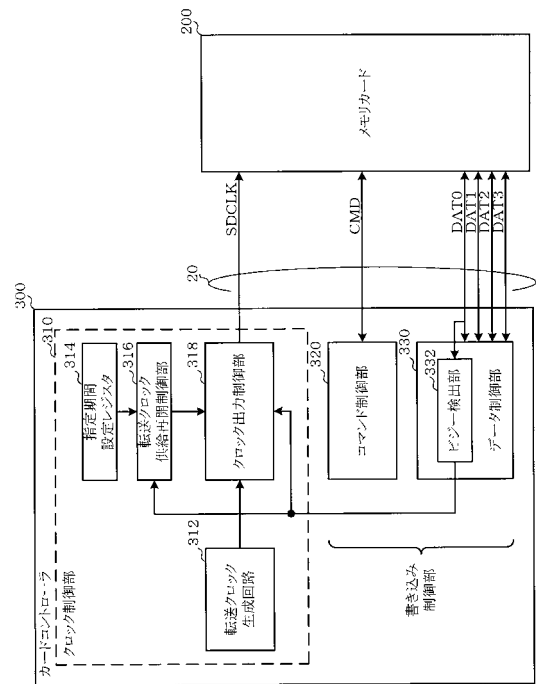
【 図 4 】



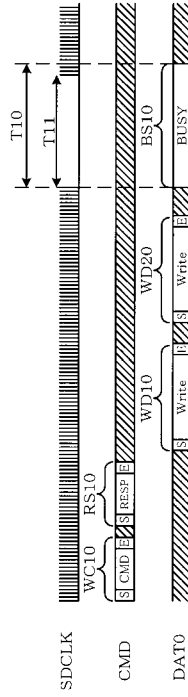
【 図 5 】



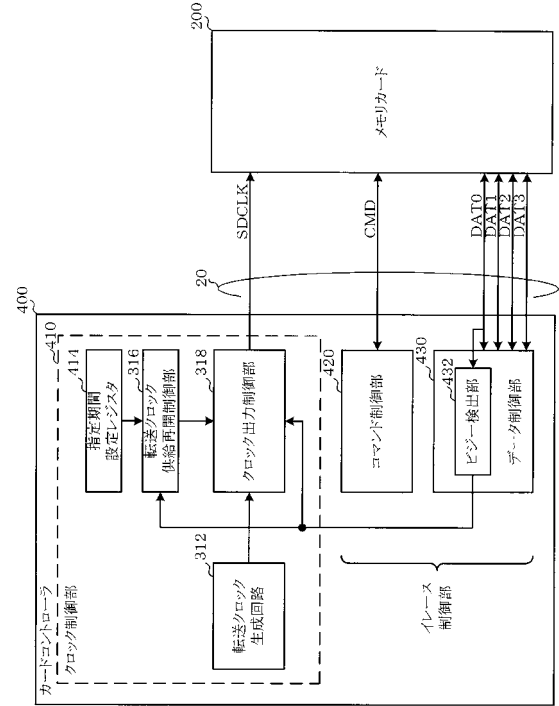
【 図 6 】



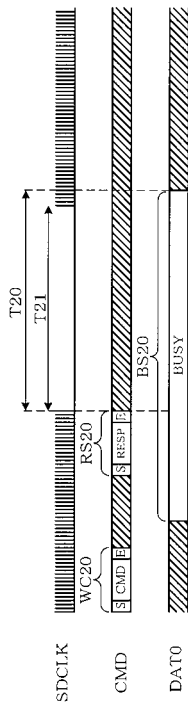
【図 7】



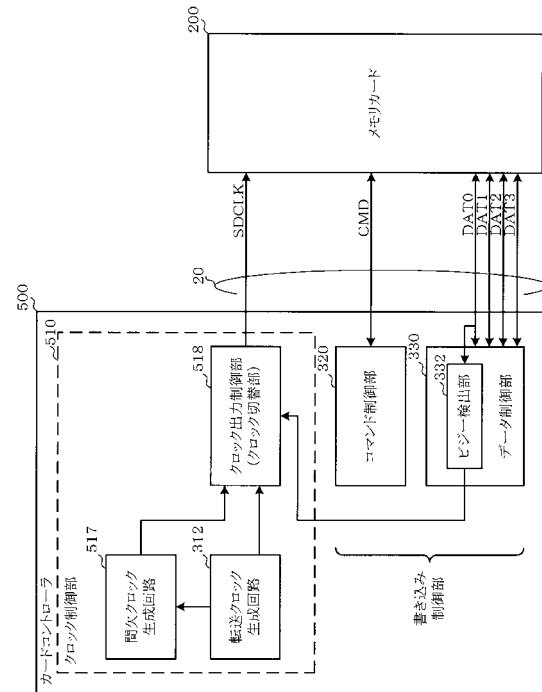
【図 8】



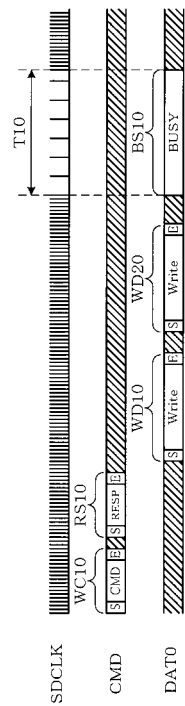
【図 9】



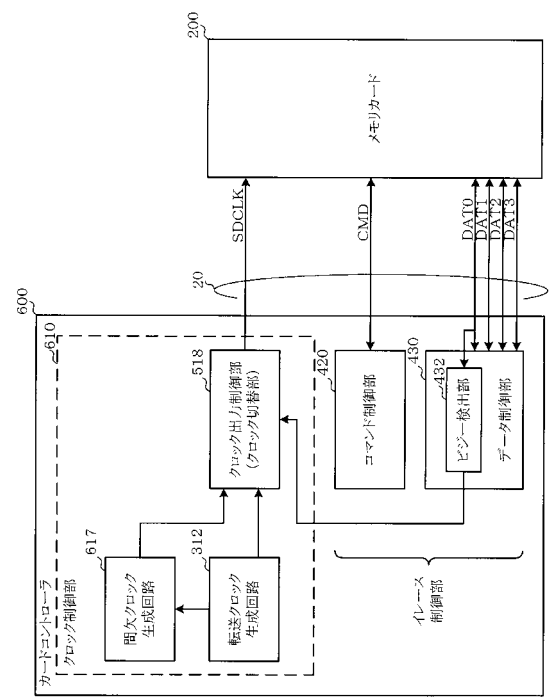
【図 10】



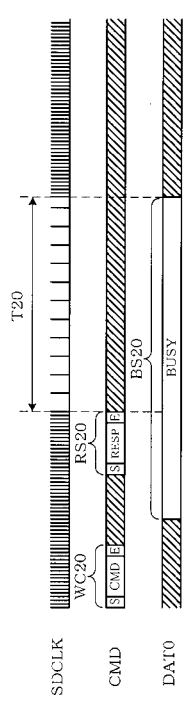
【図 1 1】



【図 1 2】



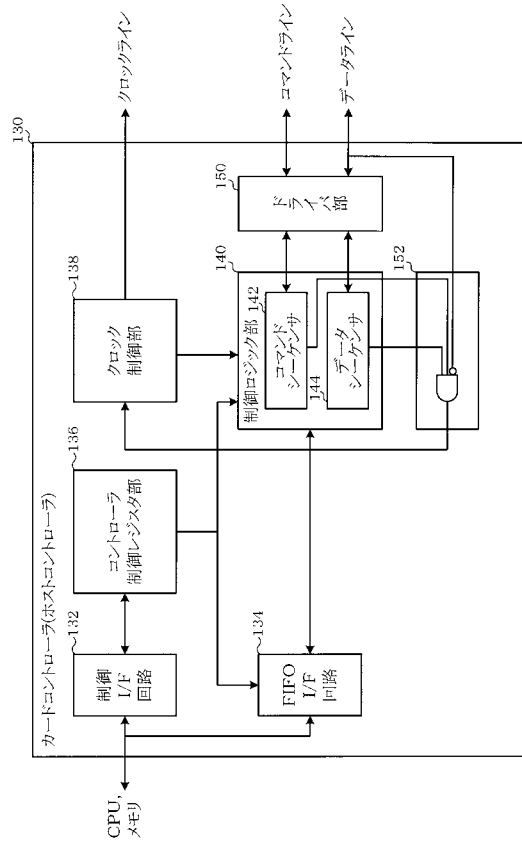
【図 1 3】



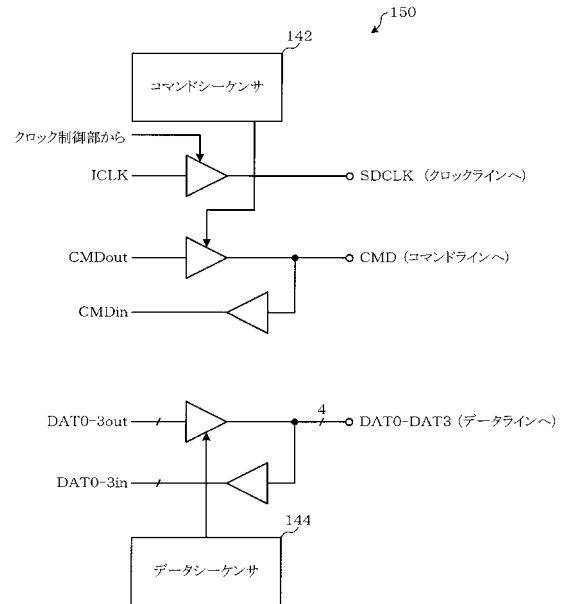
【図 1 4】

ライト動作	イレース動作
転送クロックの供給停止後に再開 (第1の実施形態)	転送クロックの供給停止後に再開 (第2の実施形態)
	転送クロックを間欠クロックに切替 (第4の実施形態)
	制御なし
転送クロックを間欠クロックに切替 (第3の実施形態)	転送クロックの供給停止後に再開 (第2の実施形態)
	転送クロックを間欠クロックに切替 (第4の実施形態)
	制御なし
制御なし	転送クロックの供給停止後に再開 (第2の実施形態)
	転送クロックを間欠クロックに切替 (第4の実施形態)

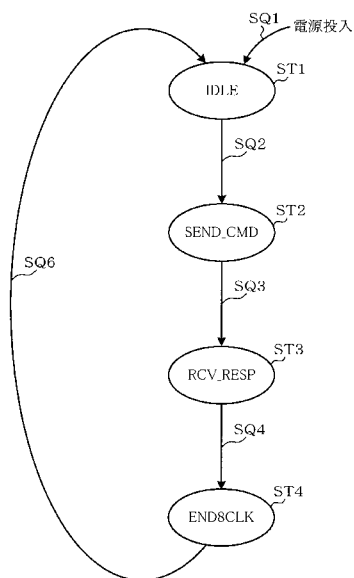
【図 15】



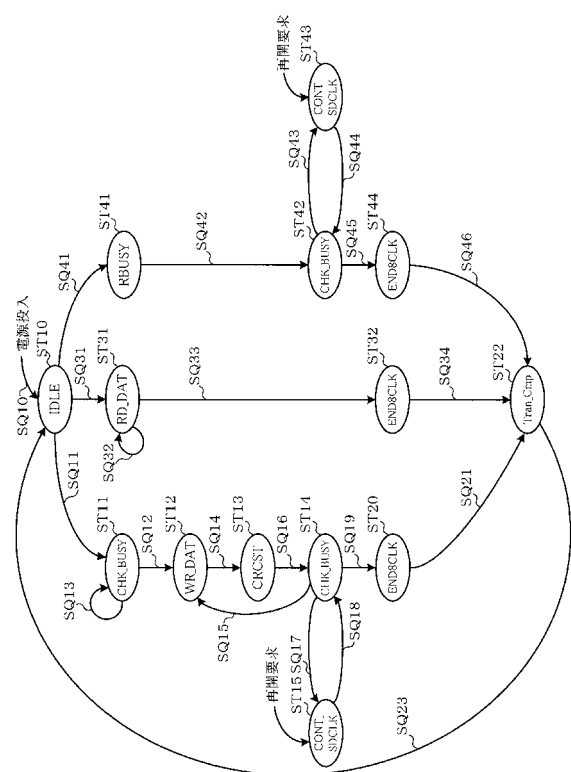
【図 16】



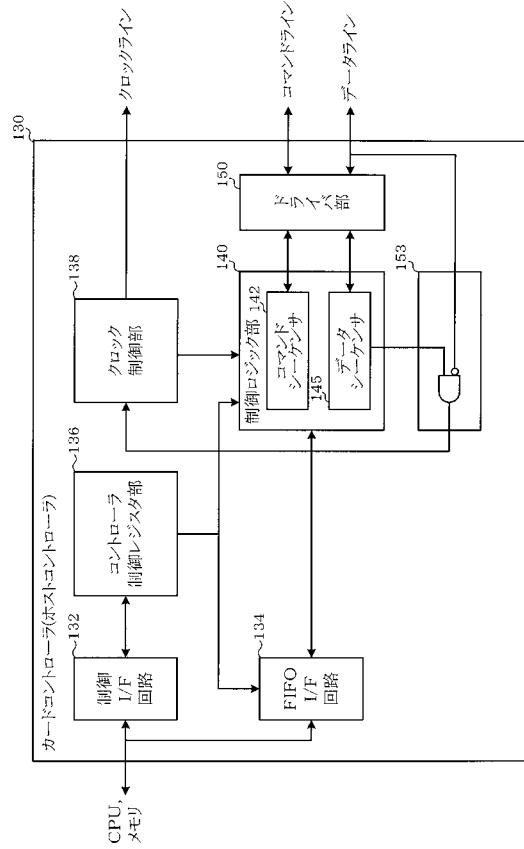
【図 17】



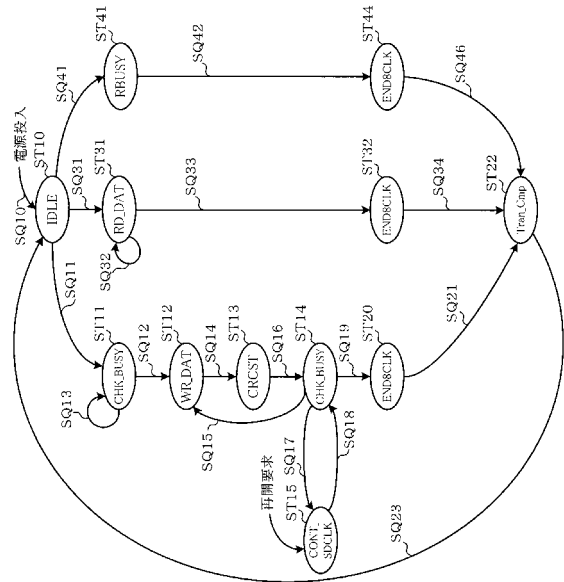
【図 18】



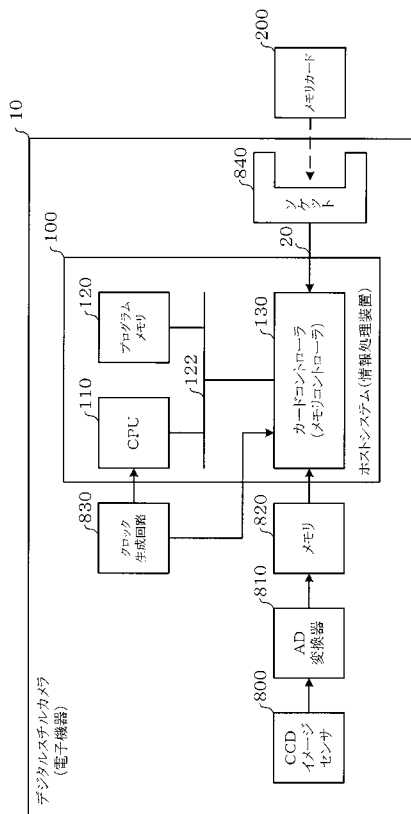
【図 19】



【図 20】



【図 21】



フロントページの続き

(72)発明者 小島 和則
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 西田 治雄
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 5B058 CA23 KA21

5B060 CC03 MM09

5B065 BA09 CA15