

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷



[12] 发明专利申请公开说明书

H01L 23/48

H01L 23/495

H01L 23/50

H01L 21/60

[21] 申请号 200510059136.0

[43] 公开日 2005年10月12日

[11] 公开号 CN 1681116A

[22] 申请日 2005.3.24

[21] 申请号 200510059136.0

[30] 优先权

[32] 2004.3.25 [33] JP [31] 088266/2004

[71] 申请人 三洋电机株式会社

地址 日本大阪府

共同申请人 关东三洋半导体股份有限公司

[72] 发明人 落合公

[74] 专利代理机构 北京市柳沈律师事务所

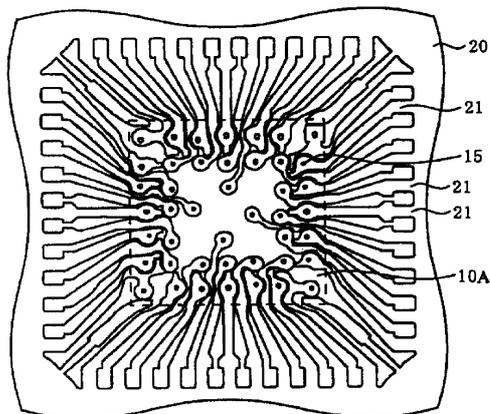
代理人 李贵亮 杨 梧

权利要求书2页 说明书7页 附图4页

[54] 发明名称 半导体装置

[57] 摘要

一种半导体装置，最大限度缩小在外部连接介质上载置半导体芯片构成的半导体装置的外形尺寸，同时，最大限度抑制其电气特性的劣化。本发明的半导体装置包括半导体芯片(10A)和具有多个引线端子(21)的引线架(20)，其特征在于，半导体芯片(10A)包括：形成于其表面上的多个焊盘电极(11)；贯通该半导体芯片(10A)的至少一个通孔(12)；通过通孔(12)与焊盘电极(11)电连接的柱状电极(13)；与柱状电极(13)电连接的突起电极(15)。另外，引线架(20)的多个引线端子(21)中的至少一个延伸到可与突起电极(15)连接的位置而形成，与突起电极(15)连接。



I S S N 1 0 0 8 - 4 2 7 4

1、一种半导体装置，包括半导体芯片和具有多个连接部的外部连接介质，其特征在于，所述半导体芯片包括：形成于其第一主面上的多个焊盘电极；贯通该半导体芯片的至少一个通孔；通过所述通孔和所述焊盘电极电连接的柱状电极；与所述柱状电极电连接的突起电极，其中，所述多个连接部中的至少一个延伸到可和所述突起电极连接的位置，并与所述突起电极连接。

2、如权利要求 1 所述的半导体装置，其特征在于，在所述半导体芯片的第二主面上形成有与所述柱状电极连接的配线层，在所述配线层上形成有所述突起电极。

3、如权利要求 2 所述的半导体装置，其特征在于，所述突起电极从所述柱状电极的正上方离开所述柱状电极而形成。

4、如权利要求 1 所述的半导体装置，其特征在于，在所述柱状电极上形成有所述突起电极。

5、如权利要求 1、2、3、4 中任一项所述的半导体装置，其特征在于，所述多个连接部中的至少一个和所述多个焊盘电极中的至少一个介由导线连接。

6、一种半导体装置，包括半导体芯片和具有多个连接部的外部连接介质，其特征在于，具有在所述半导体芯片背面设置的多个电极部，所述多个连接部中的至少一个延伸到可与所述电极部连接的位置，与所述电极部连接。

7、如权利要求 6 所述的半导体装置，其特征在于，在所述半导体芯片的背面上形成有与所述电极部连接的配线层，且在所述配线层上形成有突起电极。

8、如权利要求 7 所述的半导体装置，其特征在于，所述突起电极从所述电极部的正上方离开所述柱状电极而形成。

9、如权利要求 6 所述的半导体装置，其特征在于，在所述电极部上形成有突起电极。

10、如权利要求 6、7、8、9 中任一项所述的半导体装置，其特征在于，所述半导体芯片具有形成于其表面上的多个焊盘电极，所述多个连接部中的

至少一个和所述多个焊盘电极中的至少一个介由导线连接。

11、如权利要求 1、2、3、4、6、7、8、9 中任一项所述的半导体装置，其特征在于，所述外部连接介质是引线架，所述连接部是引线端子。

12、如权利要求 1、2、3、4、6、7、8、9 中任一项所述的半导体装置，
5 其特征在于，所述外部连接介质是具有导电图案的挠性电极片，所述连接部通过该导电图案形成在该挠性电极片上。

半导体装置

5 技术领域

本发明涉及半导体装置，特别是涉及在外部连接介质上载置半导体芯片而构成的半导体装置。

背景技术

10 目前，IC（Integrated Circuit）等半导体芯片的封装技术可知有利用环氧树脂等密封材料密封半导体芯片的模制封装等。在这样的封装技术中，半导体芯片在利用密封材料密封前就被载置于作为外部连接介质的引线架的岛部，和引线架的引线端子连接。下面，参照附图说明在引线架上搭载半导体芯片构成的现有例的半导体装置。

15 图5是在引线架上搭载半导体芯片构成的现有例的半导体装置的概略剖面图。如图5所示，在半导体芯片40（例如IC）的第一主面即表面上形成有焊盘电极41。在此，半导体芯片40的第二主面即背面和岛部50粘接。另外，半导体芯片40的焊盘电极41介由由金属线构成的接合引线52与引线架50的引线端子51电连接（即接合）。

20 另外，图中未图示，载置有半导体芯片40的引线架50通过例如环氧树脂等密封材料密封。

另外，关联的技术文献可列举以下专利文献1。

专利文献1：特开平08-051179号公报

25 但是，在所述的半导体装置中，由于焊盘电极41和引线端子51利用接合引线52的配线连接，故产生了半导体装置的外形尺寸大这样的问题。

另外，由于接合引线52作为细线形成，故在印刷电路板上安装了半导体装置时，存在动作时的导通电阻升高，同时发热量增大这样的问题。结果导致半导体装置的电气特性劣化。

30 因此，本发明最大限度使在外部连接介质上载置半导体芯片构成的半导体装置缩小，同时，最大限度抑制其电气特性的劣化。

发明内容

本发明是鉴于所述问题点而开发的，提供一种半导体装置，其包括半导体芯片和具有多个连接部的外部连接介质，其特征在于，半导体芯片包括：形成于其第一主面上的多个焊盘电极；贯通该半导体芯片的至少一个通孔；
5 通过通孔和焊盘电极电连接的柱状电极；与柱状电极电连接的突起电极，其中，多个连接部中的至少一个延伸到可和突起电极连接的位置，并与突起电极连接。

本发明的半导体装置在所述结构的基础上，在半导体芯片的第二主面上形成有与柱状电极连接的配线层，在配线层上形成有突起电极。另外，突起
10 电极从柱状电极的正上方与柱状电极分开而形成。或在柱状电极上形成有突起电极。

本发明的半导体装置在所述结构的基础上，外部连接介质是引线架，所述连接部是引线端子。或，外部连接介质是具有导电图案的挠性电极片，连接部通过该导电图案形成在该挠性电极片上。

15 另外，本发明的半导体装置在所述结构的基础上，多个连接部中的至少一个介由导线和多个焊盘电极中的至少一个连接。

根据本发明，由于焊盘电极和引线端子的连接未通过接合引线的配线进行，故与利用接合引线的配线连接时相比，可最大限度缩小半导体装置的外形尺寸。

20 另外，根据本发明，与接合引线这样的细线相比，焊盘电极和引线端子的连接介由面积大且长度短的柱状电极及突起电极连接。由此，可在印刷线路板上安装了半导体装置时，将动作时的导通电阻抑制得极低。且伴随导通电阻的降低，可将动作时的发热抑制得极低。另外，由于半导体芯片与引线架连接未介由接合引线，故引线架起到散热片的作用，在产生所述动作时的
25 发热时，与介由接合引线的情况相比，可提高半导体装置的散热性能。结果可最大限度抑制半导体装置的电气特性的劣化。

附图说明

图 1 是本发明第一实施例的半导体装置的上面图；
30 图 2(a)、(b)是图 1 的半导体装置的概略剖面图；
图 3 是本发明第二实施例的半导体装置的上面图；

图 4(a)、(b)是图 3 的半导体装置的概略剖面图；

图 5 是现有例的半导体装置的概略剖面图。

具体实施方式

5 下面，参照附图说明本发明第一实施例的半导体装置。图 1 是第一实施例的半导体装置的上视图，显示作为外部连接介质的引线架的附近。图 2(a)、(b)是从图 1 的半导体装置一端到另一端的概略剖面图。

如图 1 所示，例如 IC 这样的半导体芯片 10A 被载置在作为外部连接介质的引线架 20 上。之后，图中虽未特别图示，但载置半导体芯片 10A 的引线架 20 利用例如环氧树脂等密封材料密封，由此，构成一个半导体装置。

图 1 中从半导体芯片 10A 的第一主面即表面透过其第二主面即背面侧来显示。在此，在半导体芯片 10A 的表面形成有未图示的焊盘电极 11，在半导体芯片 10A 的背面形成有多个突起电极 15。另外，该半导体芯片 10A 不限于 IC，例如也可以是无源元件等其它器件。

15 引线架 20 由作为连接部的多个引线端子 21 构成。这些引线端子 21 延伸到分别和形成于半导体芯片 10A 背面的突起电极 15 连接的位置。另外，各引线端子 21 以规定的间隔相互分开形成，以使其不相互短路。

在此，从所述的半导体装置的剖面看，如图 2 (a) 的概略剖面图所示，在半导体芯片 10A 的表面形成有多个焊盘电极 11。而且，从半导体芯片 10A 20 的背面到各焊盘电极 11 形成贯通半导体芯片 10A 的通孔 12。另外，在半导体芯片 10A 的背面及通孔 12 的侧壁形成有由例如 SiO_2 膜或 SiN 膜构成的未图示的绝缘膜。

在通孔 12 的底部露出焊盘电极 11。在包括该通孔 12 的半导体芯片 10A 的背面形成有与焊盘电极 11 电连接的未图示的势垒层。该势垒层是由例如 25 氮化钛 (TiN) 构成的金属层。或，只要可作为阻挡层起作用，则势垒层也可以由氮化钛 (TiN) 以外的金属构成。例如，势垒层也可以是由钨化钛 (TiW)、氮化钽 (TaN)、及上述金属的化合物构成的势垒层。

另外，在势垒层上形成有未图示的籽晶层。该籽晶层由例如铜 (Cu) 构成，是用于后述的柱状电极 13 及配线层 14 的镀敷成长的镀敷电极。然后， 30 在籽晶层上通过例如镀敷成长形成有由例如铜 (Cu) 构成的柱状电极 13 及配线层 14。在此，柱状电极 13 形成在通孔 12 内，且介由未图示的势垒层及

籽晶层与焊盘电极 11 连接。配线层 14 与柱状电极 13 连接，形成在半导体芯片 10A 的背面上。

配线层 14 在半导体芯片 10A 背面的所希望区域延伸，可形成所希望的条数。

- 5 柱状电极 13 及配线层 14 通过镀铜 (Cu) 形成，但不限于此，也可以利用其它的方法形成。例如，柱状电极 13 及配线层 14 也可以通过在镀锡 (Sn) 后，进一步镀铜 (Cu) 来形成。或，柱状电极 13 及配线层 14 也可以通过 CVD 法或 MOCVD 法利用埋入铜 (Cu) 等金属的方法形成。另外，柱状电极 13 及配线层 14 也可以通过使用铝 (Al) 等金属的喷溅法形成。
- 10 在配线层 14 上形成有突起电极 15。在此，突起电极 15 最好在配线层 14 上形成在和柱状电极 13 的形成位置(即通孔 12 的形成位置)分开的位置。该突起电极 15 形成由例如球状焊锡构成的电极。或，突起电极 15 也可以不是由焊锡，而是由其它形状及材质构成的电极。例如，突起电极 15 也可以是镀敷形成的电极。另外，由于该突起电极 15 形成于配线层 14 上，故可适当地选择其数量或在配线层 14 上的形成位置而形成。

另一方面，形成引线架 20，使其多个引线端子 21 延伸到突起电极 15 上。在此，引线架 20 例如由铜 (Cu) 或铜 (Cu) 合金等构成，该引线端子 21 的配置通过例如冲切成形进行图案形成。或，引线架 20 也可以由所述以外的金属构成，也可以通过蚀刻加工等冲切成形以外的方法形成图案。
- 20 另外，图中虽未图示，但引线端子 21 的不与突起电极 15 连接的一侧的端部在沿与半导体芯片 10A 的第一或第二边平行的线上排列。而且，在引线架 20 上电连接该半导体芯片 10A 的各突起电极 15 和各引线端子 21，使半导体芯片 10A 的背面与引线端子 21 对向。形成例如环氧树脂等未图示的密封材料，覆盖半导体芯片 10A 的表面及引线架 20 上，
- 25 即，本实施例的半导体装置是将半导体芯片 10A 载置在引线架 20 上，且利用密封材料密封而构成的装置。而且，该半导体装置被载置在印刷电路板上，且引线端子 21 的不与突起电极 15 连接的一侧的端部与该印刷电路板的连接部连接。

如上所述，在本实施例的半导体装置中，半导体芯片 10A 的焊盘电极
- 30 11 和引线架 20 的引线端子 21 不使用现有例可见的接合引线 52，而介由通孔 12 的柱状电极 13 及突起电极 15 电连接。这样的焊盘电极 11 和引线端子

21 的连接与利用接合引线连接的情况相比,可最大限度缩小半导体装置外形尺寸的大小。

与接合引线这样的细线相比,焊盘电极 11 和引线端子 21 的连接介由断面积大且长度短的柱状电极 13 及突起电极 15 进行。由此,在半导体装置安装在印刷线路板上时,可将动作时的导通电阻抑制得极低。

伴随导通电阻的降低,可将动作时的发热抑制得极低。另外,由于半导体芯片 10A 和引线架 20 连接不介由接合引线,故引线架 20 起到散热片的作用,在产生所述动作时的发热时,与介由接合引线连接的情况相比,可提高半导体装置的散热性。结果可最大限度抑制半导体装置的电气特性劣化。

另外,图中虽未图示,但引线端子 21 的不与突起电极 15 连接的一侧的端部沿半导体装置的第一或第二边(即与半导体芯片 10A 的第一或第二边平行的线上)排列形成。由此,可以沿半导体装置的第一或第二边这样的简易的图案形成印刷线路板的图案。另外,即使在处理微细的半导体芯片 10A 时,也可以介由引线架 20 将该半导体芯片 10A 安装在具有比较宽的导电图案的印刷线路板上。

在将引线架 20 的引线端子 21 延伸到突起电极 15 的形成位置而形成时,由于该形成工序通过例如金属冲切成形进行,故与在印刷线路板上加工成复杂的图案的工序相比,可容易地进行。由此,与使用接合引线的现有半导体装置相比,半导体装置的制造成本被降低。

另外,在所述的第一实施例中,在半导体芯片 10A 的背面形成配线层 14,并在该配线层 14 上形成突起电极 15,但本发明不限于此。即,如图 2 (b)的概略剖面图所示,突起电极 15 也可以直接形成在由半导体芯片 10A 背面的通孔 12 露出的柱状电极 13 上面。

其次,参照附图说明本发明第二实施例的半导体装置。图 3 是第二实施例的半导体装置的上视图,表示引线架 20 的附近。图 4 是从图 3 的半导体装置的一端到另一端的概略剖面图。另外,在图 3 及图 4 中,对和图 1 及图 2 所示的第一实施例的半导体装置相同的构成要素使用同一符号,省略说明。

如图 3 所示,在引线架 20 上载置有例如 IC 这样的半导体芯片 10B。而且,图中虽未特别图示,但载置半导体芯片 10B 的引线架 20 最好利用例如环氧树脂等密封材料密封,由此,构成一个半导体装置。

本实施例的半导体芯片 10B 的结构和第一实施例不同,未图示的多个焊

盘电极中的一部分焊盘电极未介由突起电极 15，而介由接合引线 22 与引线端子 21w 连接。在此，介由接合引线 22 与该焊盘电极连接的引线端子 21w 不一定要延伸到半导体芯片 10B 背面上。其它半导体芯片 10B 及引线架 20 的结构与第一实施例相同。

5 在此，从所述的半导体装置的断面看，如图 4 (a) 的概略剖面图所示，在半导体芯片 10B 的表面形成有多个焊盘电极 11，11w。而且，在至少一个对应焊盘电极 11 的半导体芯片 10B 的背面上的位置形成有从该背面到该焊盘电极 11 的贯通半导体芯片 10B 的通孔 2。另外，在通孔 12 的侧壁及通孔 12 附近的半导体芯片 10B 的背面形成有未图示的绝缘膜。另外，与第一实施例相同，在通孔 12 及通孔 12 附近形成有未图示的势垒层、未图示的籽晶层、柱状电极 13、配线层 14 及突起电极 15。另外，如图 4 (b) 的概略剖面图所示，也可以不在半导体芯片 10B 的背面形成配线层 14，而在由半导体芯片 10B 背面的通孔 12 露出的柱状电极 13 的上面直接形成突起电极 15。

10 而且，未形成通孔 12 的位置的焊盘电极 11w 介由接合引线 22 与引线端子 21w 连接。即在本实施例中，焊盘电极 11 介由柱状电极 13 及突起电极 15 与引线端子 21 连接，同时，其它焊盘电极 11w 介由接合引线 22 与引线端子 21w 连接。由此，即使在半导体芯片 10B 上不适于形成通孔 12 的位置，也可以进行焊盘电极和引线端子的连接。

20 所述的第一及第二实施例的半导体装置是在半导体芯片的背面形成突起电极 15 的装置，但本发明不限于此。即，虽然未图示，但只要可与引线端子电连接，则也可以在半导体芯片的背面形成突起电极之外的电极部。例如象 LGA (Land Grid Array) 型半导体装置那样，也可以代替突起电极在和半导体芯片的背面相同的平面上形成平坦地露出的电极部。

25 在所述的第一及第二实施例的半导体装置中，介由埋入贯通半导体芯片的通孔 12 的柱状电极 13 将焊盘电极 11 和引线端子 21 连接，但本发明不限于此。

30 即，虽未图示，但也可以在半导体芯片内形成埋入电极层，形成从半导体芯片的背面到达该埋入电极层的通孔，并在该通孔内形成柱状电极，该埋入电极层介由该柱状电极 (也可以介由配线层、突起电极) 与引线端子连接。在此，在半导体芯片的表面形成焊盘电极时，也可以使引线端子中的至少一个介由接合引线与该焊盘电极中的至少一个连接。

另外，所述的第一及第二实施例的半导体装置是使用引线架 20 作为外部连接介质的装置，但本发明不限于此。即，只要具有和引线架 20 相同的功能，且形成同样的导电图案，则也可以使用引线架 20 之外的外部连接介质，换句话说，只要具有导电图案，则也可以使用印刷线路板或陶瓷衬底等作为外部连接介质。例如，也可以使用具有导电图案的挠性电极片（FPC: Flexible Print Circuit）代替引线架 20。此时，对半导体芯片的连接部作为导电图案形成在挠性电极片上。

另外，也可以冲切加工引线架，使引线端子中通用的 Vss 端子（接地端子）相互之间、或通用的 Vdd 端子（电源端子）相互之间构成连接的状态。由此，可提高引线架的电气特性或强度。

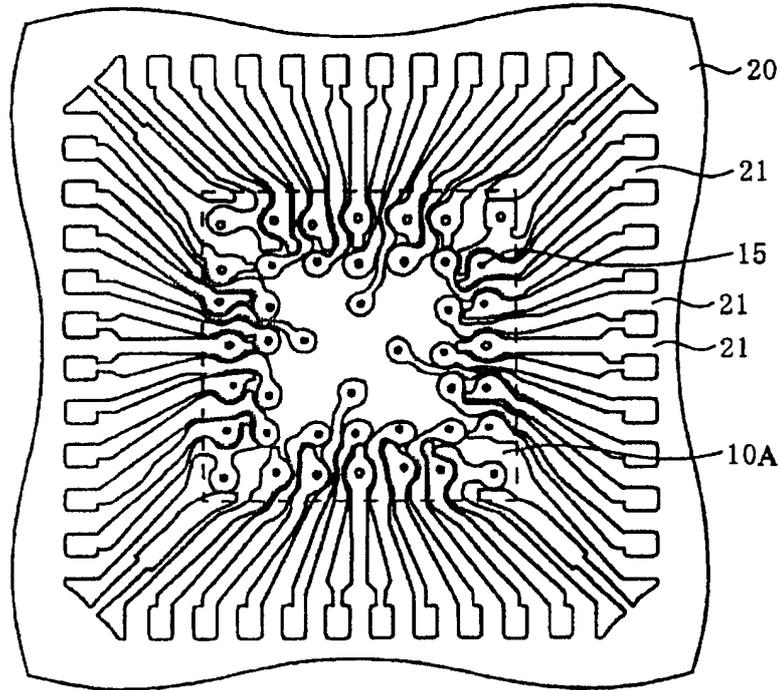


图 1

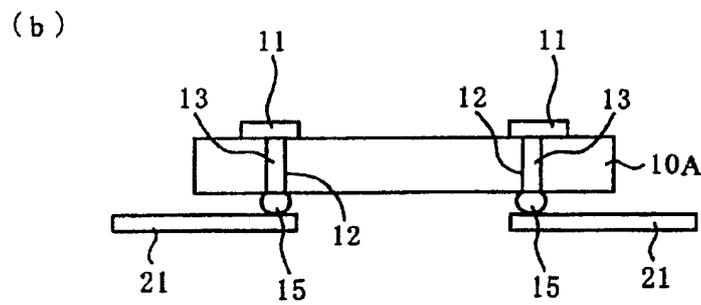
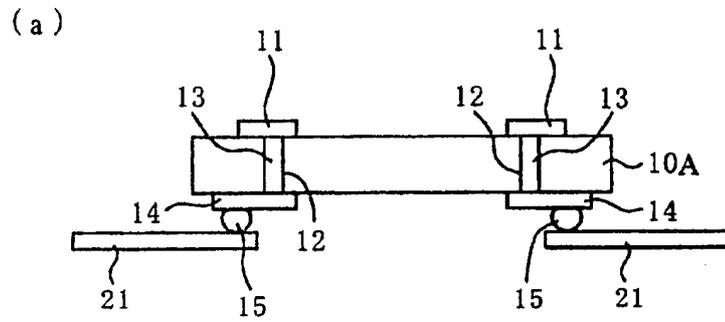


图 2

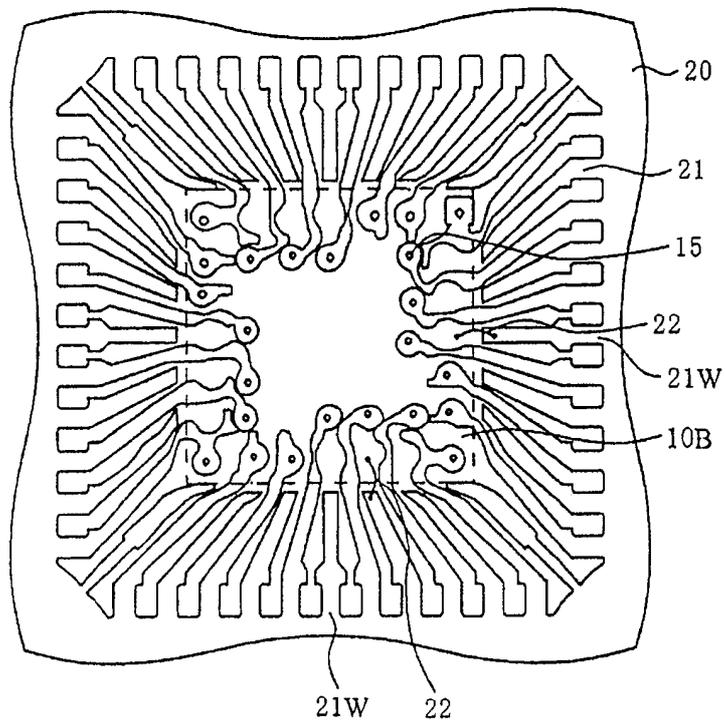


图 3

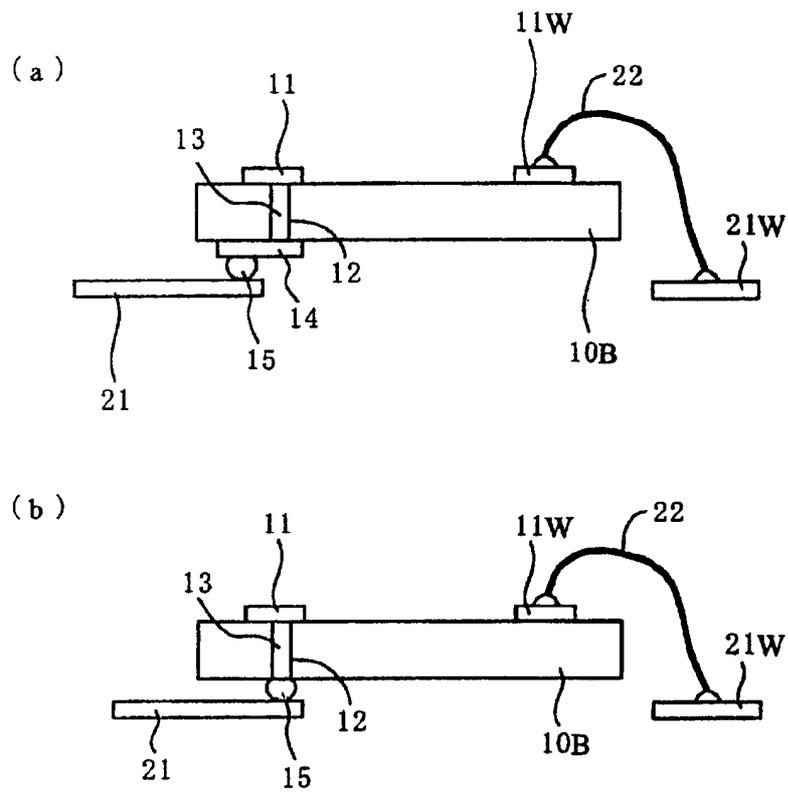


图 4

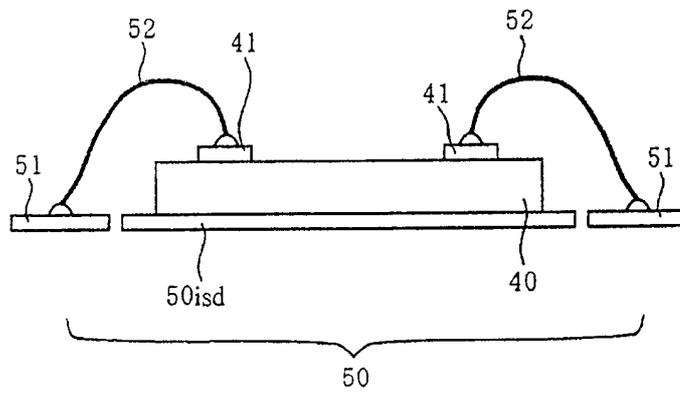


图 5