



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년05월23일  
(11) 등록번호 10-1267651  
(24) 등록일자 2013년05월20일

- (51) 국제특허분류(Int. Cl.)  
*H01L 21/60* (2006.01)
- (21) 출원번호 10-2007-7020400
- (22) 출원일자(국제) 2006년02월23일  
심사청구일자 2011년02월23일
- (85) 번역문제출일자 2007년09월06일
- (65) 공개번호 10-2007-0106628
- (43) 공개일자 2007년11월02일
- (86) 국제출원번호 PCT/US2006/006554
- (87) 국제공개번호 WO 2006/091793  
국제공개일자 2006년08월31일
- (30) 우선권주장  
60/656,480 2005년02월25일 미국(US)
- (56) 선행기술조사문헌  
JP2000269371 A\*  
WO1998032170 A1\*  
JP2001332653 A  
JP2004273592 A  
\*는 심사관에 의하여 인용된 문헌
- (54) 발명의 명칭 유연성을 갖는 마이크로 전자회로 조립체

(73) 특허권자  
태세라, 인코포레이티드  
미국 캘리포니아주 95134 샌 호제 오처드 파크웨이 3025

(72) 발명자  
하바 벨가셈  
미국 캘리포니아주 95070 사라토가 밀러 코트 19487

(74) 대리인  
신정건, 김태홍

전체 청구항 수 : 총 36 항

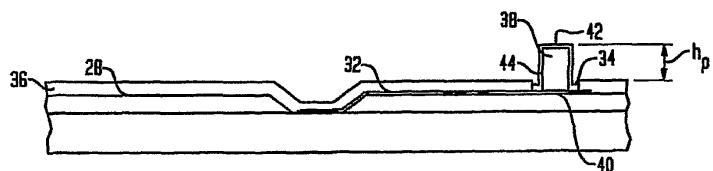
심사관 : 이명진

(54) 발명의 명칭 유연성을 갖는 마이크로 전자회로 조립체

**(57) 요 약**

본 발명의 마이크로 전자회로 조립체에는 제1면(22) 및 이 제1면(22)에서 접근가능한 접속부(24)를 갖는 반도체 웨이퍼 또는 반도체 칩 등과 같은 마이크로 전자소자와, 마이크로 전자소자의 제1면위에 위치하며 마이크로 전자소자의 접속부(24)에 정렬되어 배치된 개구를 갖는 유연층(26)이 포함된다. 마이크로 전자소자의 제1면과 유연층 사이에는 페시베이션 절연층이 배치된다. 또한, 마이크로 전자회로 조립체에는 유연층 위에 위치하며 마이크로 전자소자(20)의 제1면(22)으로부터 돌출되어 나온 도전성 기둥들(38)이 포함되며, 이 도전성 기둥들(38)은 접속부(24)와 도전성 기둥들(38) 사이에서 연장된 길게 늘어진 전기전도성 구성부재에 의해 마이크로 전자소자(20)의 접속부(24)와 전기적으로 상호접속된다.

대 표 도 - 도1d



## 특허청구의 범위

### 청구항 1

마이크로 전자회로 조립체에 있어서,

제1면 및 상기 제1면에서 접근가능한 접속부들을 갖는 마이크로 전자소자;

상기 마이크로 전자소자의 상기 제1면의 일부분 위에 놓여 있으며, 상기 제1면으로부터 떨어져 있는 윗면과 상기 윗면으로부터 연장된 경사천이면을 갖는 유연층으로서, 상기 접속부들 중 적어도 하나의 접속부의 적어도 일부분은 상기 유연층의 상기 경사천이면을 넘어서 노출되어 있는 것인, 상기 유연층;

상기 유연층의 상기 윗면과 상기 경사천이면을 따라 연장하여, 상기 접속부들과 연결된 도전성 트레이스들;

상기 유연층 위에 놓여 있으며, 상기 마이크로 전자소자의 상기 제1면으로부터 돌출되어 나온 복수의 단단한 금속 기둥들로서, 상기 단단한 금속 기둥들은 상기 접속부들로부터 떨어져 배치되고, 상기 단단한 금속 기둥들 각각은, 상기 트레이스들로부터 직접적으로 연장해 있고 상기 트레이스들의 높이보다 높게 연장하며 상기 금속 기둥의 높이의 대부분까지 연장된 모노리식 금속층을 가지며, 상기 모노리식 금속층은 구리, 구리합금, 금 및 이들의 조합물, 및 니켈로 구성된 그룹으로부터 선택된 적어도 하나의 금속으로 구성되며, 상기 단단한 금속 기둥들 각각은 상기 유연층에 인접해 있는 바닥부와 상기 유연층으로부터 떨어져 있는 상단부를 가지며, 상기 바닥부는 상기 단단한 금속 기둥들의 어떠한 다른 부분의 폭보다도 크지 않는 상기 유연층의 표면을 따른 폭을 갖는 것인, 상기 단단한 금속 기둥들; 및

상기 도전성 트레이스들의 일부분들 위에 놓여 있으며, 노출된 윗면과 개구들을 갖는 솔더 마스크

를 포함하며,

상기 단단한 금속 기둥들은 상기 개구들을 관통하면서 상기 솔더 마스크의 상기 윗면보다 높은 높이까지 연장해 있고,

상기 솔더 마스크는 상기 마이크로 전자소자의 상기 제1면 위의 상기 솔더 마스크의 상기 윗면의 높이가 상기 유연층의 형상에 따라 변하도록 하는 컨포멀 층(conformal layer)인 것인, 마이크로 전자회로 조립체.

### 청구항 2

제1항에 있어서, 상기 단단한 금속 기둥들의 상기 상단부는 상기 마이크로 전자회로 조립체상에서의 최고점을 정의하는 것인, 마이크로 전자회로 조립체.

### 청구항 3

제1항에 있어서, 상기 유연층은 상기 마이크로 전자소자의 상기 접속부들과 정렬된 개구들을 갖는 것인, 마이크로 전자회로 조립체.

### 청구항 4

제3항에 있어서, 상기 도전성 트레이스들은 상기 마이크로 전자소자의 상기 접속부들과 상기 단단한 금속 기둥들을 전기가 통하도록 상호 접속시켜주기 위하여 상기 유연층내의 상기 개구들을 관통하는 것인, 마이크로 전자회로 조립체.

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

제1항에 있어서, 상기 마이크로 전자소자의 상기 제1면과 상기 유연층 사이에 배치되는 폐시베이션 유전체층을 더 포함하는 것인, 마이크로 전자회로 조립체.

### 청구항 8

제1항에 있어서, 상기 유연층은 저탄성율을 갖는 재료를 포함하는 것인, 마이크로 전자회로 조립체.

### 청구항 9

제1항에 있어서, 상기 유연층은 유전체 재료를 포함하는 것인, 마이크로 전자회로 조립체.

### 청구항 10

제1항에 있어서, 상기 유연층은, 실리콘, 유연성 에폭시 수지, 폴리아미드 수지, 열경화성 폴리머, 불소폴리머 및 열가소성 폴리머로 구성된 그룹으로부터 선택된 재료를 포함하는 것인, 마이크로 전자회로 조립체.

### 청구항 11

제1항에 있어서, 상기 경사천이면은 상기 유연층의 상기 윗면과 상기 마이크로 전자소자의 상기 제1면 사이에서 연장되는 것인, 마이크로 전자회로 조립체.

### 청구항 12

제11항에 있어서, 상기 유연층의 상기 윗면은 평평한 것인, 마이크로 전자회로 조립체.

### 청구항 13

제12항에 있어서, 상기 경사천이면에는 적어도 하나의 곡면이 포함되는 것인, 마이크로 전자회로 조립체.

### 청구항 14

제13항에 있어서, 상기 적어도 하나의 곡면에는 상기 마이크로 전자소자의 상기 제1면으로부터 연장된 곡면이 포함되는 것인, 마이크로 전자회로 조립체.

### 청구항 15

제13항에 있어서, 상기 적어도 하나의 곡면에는 상기 유연층의 상기 윗면으로부터 연장된 곡면이 포함되는 것인, 마이크로 전자회로 조립체.

### 청구항 16

제1항에 있어서, 상기 도전성 트레이스들은 상기 마이크로 전자소자의 상기 접속부들과 상기 단단한 금속 기둥들을 전기적으로 상호접속시키는 것인, 마이크로 전자회로 조립체.

### 청구항 17

제1항에 있어서, 상기 도전성 트레이스들은 구리, 금, 니켈 및 이들의 합금, 조합물 및 합성물들로 구성된 그룹으로부터 선택된 적어도 하나의 재료를 포함하는 것인, 마이크로 전자회로 조립체.

### 청구항 18

삭제

### 청구항 19

제1항에 있어서, 상기 도전성 트레이스들은 상기 유연층 위에서 연장해 있는 것인, 마이크로 전자회로 조립체.

### 청구항 20

제1항에 있어서, 상기 유연층은 상기 마이크로 전자소자의 상기 제1면 위에 놓여있는 복수개의 유연성 범프들을 포함하는 것인, 마이크로 전자회로 조립체.

### 청구항 21

제20항에 있어서, 상기 기둥들 중 적어도 하나의 기둥은 상기 유연성 범프들 중 적어도 하나의 범프 위에 배치

되는 것인, 마이크로 전자회로 조립체.

### 청구항 22

제20항에 있어서, 상기 기둥들은 상기 유연성 범프를 위에 배치되는 것인, 마이크로 전자회로 조립체.

### 청구항 23

삭제

### 청구항 24

제1항에 있어서, 상기 단단한 금속 기둥들 각각은 50 - 300  $\mu\text{m}$  의 두께를 갖는 것인, 마이크로 전자회로 조립체.

### 청구항 25

제1항에 있어서, 상기 기둥들 중 적어도 하나의 기둥은, 100 - 600  $\mu\text{m}$  의 직경을 갖는 바닥부와, 40 - 200  $\mu\text{m}$  의 직경을 갖는 상단부를 갖는 절두원추형(frustoconical)의 형상을 갖는 것인, 마이크로 전자회로 조립체.

### 청구항 26

삭제

### 청구항 27

삭제

### 청구항 28

마이크로 전자회로 조립체에 있어서,

제1면 및 상기 제1면에서 접근가능한 접속부들을 갖는 마이크로 전자소자;

상기 마이크로 전자소자의 상기 제1면의 일부분 위에 놓여 있으며, 상기 마이크로 전자소자의 상기 제1면으로부터 이격된 윗면과 상기 윗면으로부터 연장된 경사천이면을 갖는 유연층으로서, 상기 마이크로 전자소자의 상기 제1면은 상기 접속부들 중 적어도 하나의 접속부와 상기 경사천이면 사이에서 노출되어 있는 것인, 상기 유연층;

상기 유연층의 상기 윗면 위에 놓여 있으며, 상기 마이크로 전자소자의 상기 제1면으로부터 돌출되어 나오며, 상기 접속부들로부터 떨어져 배치된 도전성 기둥들;

상기 마이크로 전자소자의 상기 접속부들과 상기 도전성 기둥들을 전기적으로 상호접속시키는 길게 늘어진 도전성 소자들; 및

상기 도전성 소자들의 일부분들 위에 놓여 있으며, 노출된 윗면과 개구들을 갖는 솔더 마스크  
를 포함하며,

상기 도전성 기둥들은 상기 개구들을 관통하면서 상기 솔더 마스크의 상기 윗면보다 높은 높이까지 연장해 있고,

상기 도전성 기둥들 각각은, 상기 도전성 소자들의 도전성 소자로부터 직접적으로 연장해 있고 상기 도전성 소자들의 높이보다 높게 연장하며 상기 기둥의 높이의 대부분까지 연장된 모노리식 금속층을 가지며,

상기 모노리식 금속층은 구리, 구리합금, 금 및 이들의 조합물, 및 니켈로 구성된 그룹으로부터 선택된 적어도 하나의 금속으로 구성되며,

상기 모노리식 금속층은 도금된 금속층으로 구성되며, 상기 도전성 소자들과 접촉한 상태로 도금되고,

상기 솔더 마스크는 상기 마이크로 전자소자의 상기 제1면 위의 상기 솔더 마스크의 상기 윗면의 높이가 상기 유연층의 형상에 따라 변하도록 하는 컨포멀 층(conformal layer)인 것인, 마이크로 전자회로 조립체.

**청구항 29**

제1항 또는 제28항에 있어서, 상기 마이크로 전자소자는 반도체 웨이퍼인 것인, 마이크로 전자회로 조립체.

**청구항 30**

제1항 또는 제28항에 있어서, 상기 마이크로 전자소자는 반도체 칩인 것인, 마이크로 전자회로 조립체.

**청구항 31**

제28항에 있어서, 상기 유연층은 복수개의 유연성 범프들을 포함하며, 상기 도전성 기둥들 각각은 상기 도전성 범프들 중 하나의 범프 위에 배치되는 것인, 마이크로 전자회로 조립체.

**청구항 32**

제28항에 있어서, 상기 유연층은 상기 마이크로 전자소자의 상기 접속부들과 정렬된 개구들을 가지며, 상기 유연층의 상기 경사천이면은 상기 개구들 중 적어도 하나의 개구내에 배치되고 상기 마이크로 전자소자의 상기 제1면에서부터 상기 유연층의 상기 윗면까지 연장되며, 상기 길게 늘어진 도전성 소자들은 상기 유연층의 상기 경사천이면 위에 놓여 있는 것인, 마이크로 전자회로 조립체.

**청구항 33**

삭제

**청구항 34**

삭제

**청구항 35**

삭제

**청구항 36**

마이크로 전자회로 조립체에 있어서,

제1면 및 상기 제1면에서 접근가능한 접속부들을 갖는 마이크로 전자소자;

상기 마이크로 전자소자의 상기 제1면의 일부분 위에 놓여 있으며, 상기 접속부들 중 적어도 하나의 접속부를 완전히 뒤덮지 않는 유연층;

상기 유연층의 윗면에서 노출되어 있고, 상기 접속부들에 연결된 도전성 트레이스들;

상기 도전성 트레이스들의 일부분들 위에 놓여 있으며, 노출된 윗면과 개구들을 갖는 유전체층; 및

상기 유연층 위에 놓여 있으며, 상기 마이크로 전자소자의 상기 제1면으로부터 돌출되어 나온 복수의 단단한 금속 기둥들

을 포함하며, 상기 단단한 금속 기둥들은 상기 도전성 트레이스들과 직접적으로 접촉해 있으며, 상기 단단한 금속 기둥들 각각은, 상기 도전성 트레이스들의 트레이스로부터 직접적으로 연장해 있고 상기 도전성 트레이스들의 높이보다 높게 연장하며 상기 기둥의 높이의 대부분까지 연장된 모노리식 금속층을 가지며, 상기 모노리식 금속층은 구리, 구리합금, 금 및 이들의 조합물, 및 니켈로 구성된 그룹으로부터 선택된 적어도 하나의 금속으로 구성되며, 상기 단단한 금속 기둥들은 상기 개구들을 관통하면서 상기 유전체층의 상기 윗면보다 높은 높이까지 연장해 있고,

상기 유전체층은 상기 마이크로 전자소자의 상기 제1면 위의 상기 유전체층의 상기 윗면의 높이가 상기 유연층의 형상에 따라 변하도록 하는 컨포멀 층(conformal layer)인 것인, 마이크로 전자회로 조립체.

**청구항 37**

삭제

**청구항 38**

삭제

**청구항 39**

제1항, 제28항, 또는 제36항 중 어느 한 항에 있어서, 상기 모노리식 금속층은 구리 및 구리합금으로 구성된 그룹으로부터 선택된 적어도 하나의 금속으로 구성된 것인, 마이크로 전자회로 조립체.

**청구항 40**

제1항 또는 제36항에 있어서, 상기 모노리식 금속층은 도금된 금속층으로 구성되며, 상기 도전성 트레이스들과 접촉한 상태로 도금되는 것인, 마이크로 전자회로 조립체.

**청구항 41**

제1항에 있어서, 상기 단단한 금속 기둥들의 상단부들은 상기 기둥들의 각각의 바닥부들의 폭과 동일한 폭을 갖는 것인, 마이크로 전자회로 조립체.

**청구항 42**

제28항 또는 제36항에 있어서, 상기 유연층으로부터 떨어져 있는 상기 기둥들의 상단부들은 상기 유연층에 인접한 상기 기둥들의 바닥부들의 폭과 동일한 폭을 갖는 것인, 마이크로 전자회로 조립체.

**청구항 43**

제1항에 있어서, 상기 단단한 금속 기둥들 중 적어도 하나의 금속 기둥의 상기 상단부는 상기 적어도 하나의 금속 기둥의 바닥부의 폭과 동일한 폭을 갖는 것인, 마이크로 전자회로 조립체.

**청구항 44**

제28항 또는 제36항에 있어서, 상기 유연층으로부터 떨어져 있는 상기 기둥들 중의 적어도 하나의 기둥의 상단부는 상기 유연층에 인접한 상기 적어도 하나의 기둥의 바닥부의 폭과 동일한 폭을 갖는 것인, 마이크로 전자회로 조립체.

**청구항 45**

제1항 또는 제36항에 있어서, 상기 모노리식 금속층은 상기 트레이스로부터 적어도 수직 방향으로 연장하는 직선 가장자리들을 갖는 것인, 마이크로 전자회로 조립체.

**청구항 46**

제28항에 있어서, 상기 모노리식 금속층은 상기 도전성 소자로부터 적어도 수직 방향으로 연장하는 직선 가장자리들을 갖는 것인, 마이크로 전자회로 조립체.

**청구항 47**

제1항, 제28항 또는 제36항 중 어느 한 항에 있어서, 상기 모노리식 금속층의 가장자리들은 수직 방향으로 연장하는 것인, 마이크로 전자회로 조립체.

**명세서****기술분야**

[0001] 본 발명은 본 명세서내에 병합되고 있는, 2005년 2월 25일자로 출원된 미국 가특허출원 제60/656,480호의 출원일의 이익을 청구한다.

[0002] 본 발명은 웨이퍼 레벨 패키징 및 반도체 칩 패키징에 관한 것으로서, 더 구체적으로는, 개선된 유연성 (compliant) 웨이퍼 및 유연성 반도체 패키지 구조들 및 이들의 제조방법 및 테스트방법에 관한 것이다.

## 배경 기술

[0003]

통상적으로, 반도체 칩과 같은 마이크로 전자장치는 다른 전자부품에 연결되는 수 많은 입력 및 출력 접속부들을 필요로 한다. 반도체 칩 또는 기타 이와 유사한 장치들의 입력 및 출력 접속부들은, 일반적으로, 해당 장치의 표면을 뒤덮는 그리드-형태의 패턴으로 배치되거나(보통, "에리어 어레이(area array)" 라 통칭함), 또는 해당 장치의 정면의 각 가장자리에 인접하면서 서로 평행하게 확장되어 길게 늘여진 열 형태로 배치되거나, 또는 해당 장치의 정면 중앙에 배치된다. 통상적으로, 반도체 칩 등의 장치들은 인쇄회로기판 등의 기판상에 물리적으로 탑재되어야 하고, 각 장치의 접속부들은 회로기판상의 전기전도성 구성체들에 전기적으로 접속되어야 한다.

[0004]

제조공정 동안 및 회로기판 또는 기타 회로패널 등과 같은 외부 기판상에 칩을 탑재시키는 공정동안에 반도체 칩은 보통 패키지내로 제공되는데, 이것은 보다 수월하게 반도체 칩을 취급할 수 있도록 하기 위함이다. 예를 들어, 수 많은 반도체 칩들이 표면실장에 적합한 패키지형태로 제공된다. 이러한 일반적 형태의 수 많은 패키지들이 다양한 응용을 위해 제안되어 왔다. 가장 일반적인 형태로서, 이와 같은 패키지들에는 소위 "칩 캐리어"로서 통칭되는 유전체 구성부재가 포함되는데, 이 유전체 구성부재 위에는 도금 또는 에칭에 의해 형성된 금속 구조물로서의 단자들이 구비되어 있다. 통상적으로, 이러한 패키지의 단자들은, 칩 캐리어를 따라 연장된 박막 트레이스와 같은 구조물과 반도체 칩의 접속부와 단자 또는 트레이스 사이에서 연장된 가느다란 리드선 또는 배선에 의해 반도체 칩의 접속부에 연결된다. 표면실장 공정에 있어서, 패키지가 회로기판상으로 위치됨에 따라 패키지상의 각 단자들이 회로기판상의 각 대응 접속패드에 알맞게 정렬된다. 땜납 또는 기타 접합재료가 단자와 접속패드 사이에 제공된다. 땜납을 용융시키거나 또는 "리플로우(reflow)" 시키거나 또는 이와 달리 접합재료를 활성화시키기 위하여 조립체를 가열함으로써, 패키지는 적재적소에서 영구적으로 접합될 수 있다.

[0005]

대다수의 패키지들은 통상적으로 대략 0.1 mm 및 대략 0.8 mm 의 직경(5 및 30 밀(mil))을 갖는 솔더볼 형태의 땜납 덩어리들을 포함하고 있는데, 이들은 패키지의 단자들에 부착된다. 바닥면으로부터 돌출되어 나온 솔더볼 어레이를 갖는 패키지를 통상적으로 볼 그리드 어레이 즉, "BGA" 패키지로서 호칭한다. 랜드 그리드 어레이 즉, "LGA" 패키지로서 호칭되는 다른 패키지들은 박막층들 또는 땜납으로부터 형성된 랜드들에 의해 기판에 고정된다. 이와 같은 종류의 패키지들은 상당히 실장밀도가 높다. "칩 스케일 패키지"로 통칭되는 일부 패키지들은 패키지내에 수납된 장치의 면적과 동일하거나 또는 이보다 아주 약간 더 넓은 회로기판 면적을 차지한다. 이에 따라, 조립체의 총체적인 크기를 감소시켜주고 기판상의 각종 장치들간의 짧은 배선의 사용을 가능케 해줌으로써, 그 결과 장치들간의 신호 전파 시간을 단축시키게 되어 조립체가 보다 용이하게 고속 동작할 수 있도록 해주는 장점이 있다.

[0006]

하지만, 패키지를 포함하는 조립체는 장치와 기판간의 열 팽창 및 수축의 차이로 인하여 발생되는 응력에 영향을 받을 가능성이 있다. 제조공정동안 뿐만이 아니라, 반도체 칩의 구동 중에, 반도체 칩은, 회로기판의 팽창 및 수축량과는 다른 크기로 팽창 및 수축하려는 경향이 있다. 상기와 같은 결과로 인하여, 땜납 등을 이용하여 패키지의 단자들을 칩 또는 기타 장치에 고정시킨 경우, 단자들은 회로기판상의 접속패드에 대해 상대적으로 이동하려는 경향이 있게 된다. 이로 인해, 단자들을 회로기판상의 접속패드에 연결시켜주는 땜납에 응력이 부가될 가능성이 있게 된다. 본 명세서내에 병합된 미국특허 제5,679,977호; 제5,148,266호; 제5,148,265호; 제5,455,390호; 및 제5,518,964호에서 개시된 일부 바람직한 실시예들에 따르면, 반도체 칩 패키지는 패키지내에 수납된 칩이나 또는 기타 장치들에 대해 상대적으로 이동이 가능한 단자들을 가진다. 이와 같은 이동성은 서로 다른 팽창 및 수축성에 기인된 문제점을 상당한 정도까지 보완해줄 수 있다.

[0007]

패키지 장치들에 대한 테스트는 해결해야 할 또 다른 문제들을 떠안고 있다. 일부 제조공정들에 있어서, 패키지 장치의 단자들과 테스트 장비를 임시적으로 서로 접속시킨 후, 장치가 완전하게 성능을 발휘하는지를 확인하기 위하여 이러한 접속상태에서 장치를 구동시킬 필요가 있다. 보통, 이러한 임시적인 접속은 패키지의 단자들을 테스트 장비에 접합시키지 않고 이행되어야 한다. 여기서, 모든 단자들이 테스트 장비의 도전부와 확실하게 접속되도록 보장되는 것이 중요하다. 하지만, 평면형 접속패드를 갖는 통상적인 회로기판 등의 단순 테스트 장비를 향해 패키지를 가압하여 서로가 접속이 이루어지도록 하는 것은 쉬운일이 아니다. 만약, 패키지의 단자들이 동일 평면상에 놓여 있지 않거나, 또는 테스트 장비의 도전부들이 동일 평면상에 놓여 있지 않은 경우, 일부 단자들은 테스트 장비상의 각각의 접속패드들과 접촉이 이루어지지 않을 것이다. 예를 들어, BGA 패키지에 있어서, 단자들에 부착된 솔더볼들간의 직경 차이 및 칩 캐리어의 비-평면성의 원인으로 인하여 일부 솔더볼들은 다른 높이에서 존재할 수도 있게 된다.

[0008]

이와 같은 문제현상들은 비-평면성을 보완해주는 특정 구조를 갖도록 특별히 제작된 테스트 장비를 사용함으로

써 다소 해결될 수 있다. 하지만, 이와 같은 특정 구조는 테스트 장비에 추가 비용을 부담케 하고, 일부 경우에 서는, 테스트 장비의 신뢰성조차 크게 떨어뜨리는 경우도 있다. 이것은 매우 바람직하지 못한데, 그 이유는 의미있는 테스트를 제공하기 위하여, 테스트 장비 및 이 테스트 장비와 패키지 장치간의 맞물림은 패키지 장치 그 자체보다도 더 신뢰적이여야만 하기 때문이다. 게다가, 고주파 동작용으로 제작된 장치들을 테스트 할때에는 일반적으로 고주파 신호를 인가하면서 테스트를 실시해야만 한다. 이러한 요구조건은 테스트 장비내의 신호경로의 전기적 특성상에 제약성을 가져다 주게 되고, 그 결과 테스트 장비의 구성을 복잡하게 만들어 버린다.

[0009] 추가로, 단자들에 연결된 솔더볼들을 갖는 웨이퍼 및 패키지 장치들을 테스트 하는 경우에는, 솔더볼과 맞물려지는 테스트 장비 부분상에 땜납이 누적되는 경향이 있다. 이와 같은 땜납 잔류물의 누적현상은 테스트 장비의 수명을 단축시키고 장치의 신뢰성을 악화시킬 수 있게 된다.

[0010] 상술한 문제점들을 해결하기 위하여 다양한 해결책들이 제안되어 왔다. 위에서 언급한 특허문헌에서 개시된 일부 패키지들은 마이크로 전자장치에 대해 상대적으로 이동이 가능한 단자를 구비한다. 이와 같은 이동성은 테스트 기간동안에 단자들의 비-평면성을 어느정도까지는 보완해줄 수 있다.

[0011] 니시구치 등이 출원한 미국특허 제5,196,726호 및 제5,214,308호에서는 반도체 칩 정면상에 위치한 범프 리드가 기판상의 컵-형상의 소켓내로 수납된 후, 저-용융점 재료에 의해 그 내부에 접합되는 BGA-형 해결책을 개시하고 있다. 비이만 등이 출원한 미국특허 제4,975,079호는 테스트 기판상의 돔-형태의 접속부가 원뿔형 가이드내에 배치되는 칩 테스트 소켓을 개시하고 있다. 여기에서는, 기판을 향해 칩을 가압하여 밀어붙이고, 그 결과 솔더볼들이 원뿔형 가이드에 진입하게 되어 기판상의 돔-형태의 핀들과 맞물려지게 된다. 충분한 힘이 가해짐으로써 돔-형태의 핀들은 칩의 솔더볼을 변형시킨다.

[0012] BGA 소켓에 관한 또 다른 예시가 1998년 9월 8일에 공고된 미국특허 제5,802,699호에서 찾아볼 수 있는데, 이 특허문헌은 공동 양도받은 것으로서, 본 명세서내에서 참조로서 병합되어 있다. 상기 특허 제5,802,699호에서는 복수개의 개구들을 갖는 박판-형태의 커넥터가 개시된다. 각각의 개구들의 상단에는 개구를 내부쪽으로 돌출된 적어도 하나의 탄성박층 접속부가 구비된다. 이 기술에서는 BGA 장치의 범프 리드가 개구내로 진입되어 범프 리드가 접속부들과 맞물려진다. 여기서는, 조립체의 테스트가 가능하며, 만약, 테스트의 실시가 가능한 경우에는, 범프 리드는 영구적으로 접속부에 접합된다.

[0013] 공동 양도받은 것으로서, 2001년 3월 20일에 공고되고, 참조로서 본 명세서내에 병합되어 있는 미국특허 제 6,202,297호에는 범프 리드를 갖는 마이크로 전자장치용 커넥터 및 이 커넥터의 제조방법과 사용방법이 개시되어 있다. 상기 특허문헌 제6,202,297호에 개시된 일 실시예에서는, 정면으로부터 상향돌출된 복수개의 기둥들이 절연기판에 구비된다. 이 기둥들은 기둥그룹 어레이로 배치되어 있으며, 각 기둥그룹들은 서로간에 일정 틈을 유지하고 있다. 박층 접속부는 각 기둥의 상단으로부터 연장되어 있다. 장치를 테스트 하기 위하여, 본 기술문헌에서는 장치의 범프 리드들이 각 기둥그룹간의 틈사이로 삽입됨으로써 접속부와 맞물려지고, 범프 리드들이 계속 삽입됨에 따라 접속부는 범프 리드들에 대해 와이핑 동작(wiping action)을 한다. 통상적으로, 범프 리드가 상기 틈사이로 삽입됨에 따라, 접속부의 말단부분은 기판을 향해서 아랫방향으로 구부러지고, 틈 중앙으로부터 외부방향으로 벌어지게 된다.

[0014] 공동 양도받은 것으로서, 참조로서 본 명세서내에 병합되어 있는 미국특허 제6,177,636호에는 마이크로 전자장치와 지지기판사이에 배선을 제공하는 방법 및 장치가 개시되어 있다. 상기 특허 제6,177,636호의 바람직한 일 실시예로서의, 마이크로 전자장치를 위한 배선부품을 제조하는 방법에는 제1 및 제2 표면을 갖는 플렉서블 칩 캐리어를 제공하는 단계와, 도전성 시트를 칩 캐리어의 제1 표면에 결합시키는 단계를 포함한다. 그 다음 공정으로서, 도전성 시트를 선택적으로 에칭하여 복수개의 단단한 기둥을 생성한다. 지지 구조체의 제2 표면상에 유연층을 마련하고, 반도체 칩 등의 마이크로 전자장치를 이 유연층과 맞물리게 하여, 기둥들을 칩 캐리어의 노출된 표면으로부터 돌출시키도록 하면서, 유연층을 마이크로 전자장치와 칩 캐리어 사이에 놓이게 한다. 기둥들은 마이크로 전자장치에 전기적으로 접속된다. 기둥들은 돌출된 패키지 단자들을 형성하며, 이 단자들은 회로패널 등과 같은 기판 구성체에 땜납접합되거나 또는 소켓내로 맞물려질 수 있다. 따라서, 기둥들은 마이크로 전자장치에 대해 상대적으로 이동가능하기 때문에, 이러한 패키지는 장치의 사용중에 있어서 장치와 지지기판간의 열팽창계수의 불일치현상에 충분히 대응할 수 있게 된다. 게다가, 기둥들의 상단부들은 서로 동일 평면을 유지거나 또는 이와 거의 유사한 상태를 유지할 수 있게 된다.

[0015] 상술한 바와 같은 종래의 이러한 모든 기술적 발전에도 불구하고, 웨이퍼 및 마이크로 전자회로 패키지를 제작하고 테스트하는 기술분야에는 아직도 보다 나은 기술적 진보가 요구되고 있다.

## 발명의 상세한 설명

[0016]

본 발명의 바람직한 일 실시예로서의 마이크로 전자회로 조립체에는 제1면 및 이 제1면에서 접근가능한 접속부를 갖는 반도체 웨이퍼 또는 반도체 칩과 같은 마이크로 전자소자가 포함된다. 마이크로 전자회로 조립체는 마이크로 전자소자의 제1면위에 위치하는 유연층을 포함하며, 유연층은 마이크로 전자소자의 접속부에 정렬되어 배치된 개구를 갖는다. 마이크로 전자소자의 제1면과 유연층 사이에는 폐시베이션 절연층이 배치된다. 또한, 상기 마이크로 전자회로 조립체에는 유연층 위에 위치하며 마이크로 전자소자의 제1면으로부터 돌출되어 나온 도전성 기둥들이 포함되며, 이 도전성 기둥들은 마이크로 전자소자의 접속부와 전기적으로 상호접속된다. 도전성 기둥들의 상단부 말단이 테스트 기판 또는 인쇄회로기판상의 도전성 패드 등의 도전성 패드에 접하게 되면, 도전성 기둥들의 상단부는 마이크로 전자소자상의 접속부에 대해 상대적으로 이동가능하게 됨에 따라 비-평면화 현상에 대응할 수가 있게 된다.

[0017]

일부 바람직한 실시예에서, 유연층은 저탄성율을 갖는 재료로 만들어지는 것이 바람직하다. 유연층은 실리콘, 유연성 에폭시 수지, 폴리이미드 수지, 열경화성 폴리머, 불소폴리머 및 열가소성 폴리머 등의 재료로부터 제조될 수 있다. 또 다른 실시예에서, 유연층에는 평평한 윗면, 및 이 유연층의 윗면과 마이크로 전자소자의 제1면 사이에서 연장되는 경사면이 구비된다. 경사면은 적어도 하나의 곡면을 포함할 수 있다. 이에 관련한 특정 실시예에서, 경사면에는 마이크로 전자소자의 제1면으로부터 연장된 제1곡면과 유연층의 윗면으로부터 연장된 제2곡면이 포함된다.

[0018]

마이크로 전자회로 조립체에는 도전성 기둥과 마이크로 전자소자의 접속부를 전기적으로 상호접속시키는 길게 늘어진 전기전도성 구성부재가 포함된다. 길게 늘어진 전기전도성 구성부재는 구리, 금, 니켈 및 이들의 합금, 조합물 및 합성물들을 포함한다. 일부 실시예에서, 길게 늘어진 전기전도성 구성부재는 접합 리본 및 도전성 트레이스가 된다. 길게 늘어진 전기전도성 구성부재는 유연층위에서 연장되어 있는 것이 바람직하다.

[0019]

본 발명의 일부 실시예에서, 유연층은 마이크로 전자소자의 제1면 위에 위치한 복수개의 유연성 범프를 포함한다. 적어도 하나의 도전성 기둥은 적어도 하나의 유연성 범프위에 배치된다. 다른 실시예에서, 각 도전성 기둥들은 복수의 유연성 범프들 중에서 하나의 유연성 범프위에 배치된다. 또 다른 실시예에서, 둘 또는 그 이상의 도전성 기둥들이 단일의 유연성 범프위에 배치된다. 각 도전성 기둥들은 유연층에 접해 있는 바닥부와 유연층과 격리되어 있는 상단부를 갖는다. 도전성 기둥들은 솔더 마스크의 두께보다도 큰 크기의 높이를 가지며, 이로써 기둥들은 마이크로 전자회로 조립체상에서 가장 높은/가장 키가 큰 구조물이 된다. 그 결과, 마이크로 전자회로 조립체의 테스트 동안에, 도전성 기둥의 상단부는 테스트 기판상의 도전성 패드와 맞물려지는 첫번째 구성부재가 된다. 일부 실시예에서, 도전성 기둥은 대략 50 - 300  $\mu\text{m}$  의 높이를 갖는 것이 바람직하다. 일부 실시예에서, 적어도 하나의 도전성 기둥은 대략 100 - 600  $\mu\text{m}$  의 직경크기를 갖는 바닥부분과 대략 40 - 200  $\mu\text{m}$  의 직경크기를 갖는 상단부를 갖는 절두원추형(frustoconical)의 형태를 갖는다. 도전성 기둥들은 구리, 구리합금, 금 및 이들의 조합물 등의 전기전도성 재료로 만들어 진다.

[0020]

본 발명의 다른 실시예에서, 마이크로 전자회로 조립체에는, 제1면 및 이 제1면에서 접근가능한 접속부를 구비하는 반도체 웨이퍼 또는 반도체 칩과 같은 마이크로 전자소자와, 마이크로 전자소자의 제1면위에 위치하며 마이크로 전자소자의 제1면으로부터 격리된 윗면을 갖는 유연층이 포함된다. 또한, 마이크로 전자회로 조립체에는, 유연층의 윗면위에 위치하며 마이크로 전자소자의 제1면으로부터 돌출되어 나온 도전성 기둥과, 이 도전성 기둥과 마이크로 전자소자들을 전기적으로 상호접속시키는 길게 늘어진 도전성 구성부재가 포함된다.

[0021]

유연층은 복수개의 유연성 범프들을 포함하며, 각각의 도전성 기둥들은 도전성 범프들 중 하나의 범프위에 배치된다. 유연층은 마이크로 전자소자의 접속부에 정렬되어 배치되는 개구들을 가지며, 개구들은 마이크로 전자소자의 제1면에서부터 유연층의 윗면에까지 연장된 유연층의 경사면에 의해 한정된다. 길게 늘어진 도전성 구성부재는 유연층의 경사면위에 위치된다.

[0022]

본 발명의 다른 실시예에서, 마이크로 전자회로 조립체에는, 제1면 및 이 제1면에서 접근가능한 접속부를 갖는 마이크로 전자소자와, 마이크로 전자소자의 제1면위에 위치하는 복수개의 유연성 범프들이 포함되며, 각각의 유연성 범프들은 마이크로 전자소자의 접속부들 중에서 인접한 접속부에 배치된다. 마이크로 전자회로 조립체는, 마이크로 전자소자위에 위치하며 마이크로 전자소자의 제1면으로부터 돌출되어 나온 도전성 기둥들과, 도전성 기둥들과 마이크로 전자소자의 접속부를 서로 전기적으로 상호접속시켜주는 도전성 트레이스를 포함함으로써, 유연성 범프는 도전성 기둥으로 하여금 마이크로 전자소자의 접속부에 대해 상대적으로 이동가능하도록 해준다.

[0023]

유연성 범프들은 마이크로 전자소자의 제1면으로부터 격리된 윗면과, 유연성 범프들의 윗면과 마이크로 전자소

자의 제1면 사이에서 연장된 경사면을 갖는다. 도전성 트레이스는 유연성 범프들의 경사면상에서 연장되어 있는 것이 바람직하다.

[0024] 이하에서는, 본 발명의 여러 바람직한 실시예들을 자세하게 설명한다.

### 실시예

[0033] 도 1a 내지 도 1d 들은 전기적으로 상호접속된 도전성 기둥 또는 핀들을 갖는 유연성 마이크로 전자회로 조립체를 제조하는 공정에서의 전자회로 조립체의 측단면도를 도시한다.

[0034] 도 1a 는 복수개의 다이 또는 칩들을 갖는 반도체 웨이퍼(20)를 도시한다. 웨이퍼는 하나 또는 그 이상의 접속부(24)를 갖는 제1면 또는 접속부 형성면(22)을 가지며, 이 접속부들은 제1면(22)에서 접근가능하다. 웨이퍼는 본 명세서내에서 개시된 제조공정동안 임의의 시점에서 개별 칩 패키지로 단품화될 수 있다. 다른 실시예에서는, 반도체 웨이퍼(20)가 단일 마이크로전자칩으로 대체된다. 페시베이션 절연층(미도시)이 반도체 웨이퍼(20)의 접속부 형성면(22)상에 증착되거나 또는 접착될 수 있다. 페시베이션층은 반도체 칩의 접속부 형성면상에서 통상적으로 발견되는  $\text{SiO}_2$  페시베이션 층이 될 수 있다. 이와 다른 실시예에서는, 에폭시 수지, 폴리이미드 수지, 감광성 절연층 등과 같은 별도의 페시베이션 절연층이 사용될 수 있다. 별도의 페시베이션층이 사용되는 경우, 페시베이션층이 페이스면상에 스팬공정을 통해 평면형의 시트형태로 형성되거나, 또는 절연시트가 본 발명분야에서 주지되어 사용되는 전자식 접착재료 중의 임의의 것을 사용하여 페이스면에 적층된다. 접속부들(24)을 노출시키면서 반도체 웨이퍼의 접속부 형성면(22)을 페시베이션층으로 도포하고, 길게 연장된 접합 리본과 같은 도전성 구성부재가 이후의 공정에서 접속부상에 도금될 수 있도록 하는 것이 바람직하다.

[0035] 도 1b 를 참조한 설명으로서, 유연층(26)은 페시베이션층(미도시)의 노출면상에 증착되거나 또는 적층된다. 유연층은, 본 명세서내에 참조로서 병합되어 있는 공동 양수된 미국특허 제6,211,572호; 제6,284,563호; 제6,465,878호; 제6,847,101호; 및 제6,847,107호와, 동시출원중인 미국출원 제09/020,647호 및 제10/873,883호에서 개시된 바와 같은 형태로서 형성되거나 및/또는 이러한 형태를 가질 수 있다. [테제라 078 제품예] 유연층(26)은 경화되면 페시베이션층에 달라붙는 경화성 액체를 사용하여 페시베이션층상에 스팬실 기법, 스크린 기법에 의해 형성되거나, 또는 이송성형된다. 또는 이와는 달리, 유연층(26)은 전자식 접착제를 사용하여 경화된 유연패드의 형태로서 페시베이션층의 노출면에 부착될 수 있다. 유연층(26)은 평평한 윗면(28) 및 이 유연층의 평평한 윗면(28)과 반도체 웨이퍼(20)의 접속부 형성면(22)사이의 경사천이면(30)을 갖는 것이 바람직하다. 경사천이면(30)은 접속부 형성면(22)과 평평한 윗면(28)사이에서 임의의 곡률선을 따르거나, 또는 경사면(30)이 평평한 윗면(28)과 접속부 형성면(22)에 대하여 너무 단순히 수직 배향되지는 않도록 하는 각도로 이 경사면을 기울게 할 수 있다. 유연층(26)은 저탄성을 재료 등의 각종의 다양한 재료로부터 형성될 수 있다. 또한, 유연층(26)은 고분자재료 및 실리콘, 유연성 에폭시 수지, 폴리이미드 수지 및 기타 열경화성 폴리머, 불소폴리머 및 열가소성 폴리머 등의 기타 재료로부터 제조될 수 있다.

[0036] 도금 씨드층(미도시)이 상기의 조립체상에 증착될 수 있다. 도금 씨드층은 스퍼터링 공정을 이용하여 증착될 수도 있다. 전형적인 도금 씨드층 재료로서는 팔라듐(무전해 도금), 티타늄, 텉스텐, 니켈 및 크롬 등이 있다. 이와 다른 실시예에서는, 주로 구리 씨드층이 사용될 수도 있다.

[0037] 도 1c 를 참조한 설명으로서, 포토레지스트(미도시)를 유연층(26)의 노출된 윗면에 위치시킨 후, 이를 노출 및 현상함으로써 전기전도성 패드를 형성하는 길게 늘어진 전기전도성의 접합 리본 또는 트레이스들(32)을 형성시킨다. 전기전도성 접합 리본(32)은 전기전도성의 접합 리본(32)의 제1말단에 접해있는 칩 접속부(24)와 전기전도성의 접합 리본(32)의 제2말단에 접해있는 단자(34)를 서로 전기적으로 접속시켜준다. 접합 리본은 접속부(24)상에 직접 도금하여 형성한다. 바람직한 접합 리본 재료로서는 구리, 금, 니켈 및 이들의 합금, 조합물 및 합성물이 있다.

[0038] 도 1d 를 참조하여 설명하면, 오로지 단자(34)만을 노출시키도록 하면서, 마스크 층(36)을 조립체의 윗면상에 증착 또는 적층시킨다. 마스크 층(36)은 임의의 절연재료로부터 형성된다. 솔더 마스크는 조립체위에 증착 또는 적층되며, 여기에는 스크린 시트, 노출 시트, 현상 시트 또는 적층 시트, 및 포토-레지스트 재료가 포함되거나, 또는 파라핀 에폭시 수지, 폴리이미드 수지, 불소폴리머 등이 포함될 수 있다.

[0039] 도 1d 를 참조하여 설명하면, 도전성 기둥 또는 핀(38)이 각 도전성 단자들(34)위에 형성된다. 도전성 기둥 또는 핀(38)은 반도체 웨이퍼(20) 또는 칩의 접속부 형성면(22) 위로 돌출되도록 도금되거나 증착된다. 일부 바람직한 실시예에서는, 각 도전성 기둥들(38)이 도전성 트레이스(32)의 단자 말단부분(34)과 접속된다. 기둥의 규

격은 매우 폭넓은 범위를 갖고 다양해질 수 있다. 일부 실시예에서, 기둥은 유연층(26)의 윗면(28)위의 높이( $h_p$ )로서 대략 50 - 300  $\mu\text{m}$  의 높이를 갖는다. 각 기둥들은 유연층(26)과 접해 있는 바닥부분(40)과 유연층(26)과는 격리되어 있는 상단부(42)를 갖는다. 도전성 기둥(38)은 임의의 전기전도성 재료로부터 형성될 수 있으나, 구리, 구리합금, 금 및 이들의 조합물 등과 같은 금속재료로부터 형성되는 것이 바람직하다. 예를 들어, 도전성 기둥(38)은 구리로부터 형성하되, 그 표면은 금으로된 막층(44)을 가질 수 있다.

[0040] 일부 임의의 실시예에서는, 도금공정 등과 같은 종래의 통상적인 공정들을 통하여 도전성 트레이스를 형성할 수도 있으며, 또한, 본 명세서내에 참조로서 명합되어 있으며, 공동 양수받은 미국특허 제6,177,636호에서 개시된 방법을 이용하여 도전성 기둥을 형성할 수도 있다. 하지만, 이와 다른 실시예에서는, 도전성 기둥을 도전성 트레이스(32)의 단자 말단부분에 접속시키도록 하는 임의의 적절한 방법으로, 도전성 기둥을 별개의 구성으로서 제작하여 마이크로 전자회로 조립체에 합체시킬 수도 있다. 또한, 또 다른 실시예에서는, 씨드층을 증착하고, 마이크로 전자소자의 접속부에 접속된 제1말단부와 유연층위에 배치된 제2말단부를 갖는 도전성 트레이스를 도금하고, 도전성 기둥을 도전성 트레이스와 접촉하도록 하면서 유연층위에 도금한 후, 씨드층을 제거하는 단계를 통해서 조립체를 형성할 수도 있다. 또한, 도전성 기둥을 무전해 도금처리함으로써 조립체를 형성할 수도 있다. 도전성 기둥은 구리 또는 니켈을 이용하여 기둥을 무전해 도금함으로써 형성될 수 있다.

[0041] 도 2 를 참조한 설명으로서, 본 발명의 다른 실시예에서는, 칩 접속부(124)가 형성된 접속부 형성면(122)을 갖춘 반도체 칩(120)이 마이크로 전자회로 조립체에 포함된다. 유연성 재료로 형성된 하나 또는 그 이상의 범프들(126)이 반도체 칩(120)의 접속부 형성면(122)위에 형성된다. 일부 실시예에서는, 하나 또는 그 이상의 유연성 범프(126)에, 평평한 윗면(128) 및 이 평평한 윗면(128)에서부터 반도체 칩(120)의 접속부 형성면(122)까지 경사천이된 경사면(30)이 구비된다. 하나 또는 그 이상의 도전성 접합 리본(132)들이 조립체 위에 형성된다. 각각의 도전성 접합 리본(132)들은 접속부(124)와 전기적으로 상호접속된 제1말단부와, 유연성 범프(126)의 평평한 윗면(128)위에 위치한 제2말단부(134)를 갖는다. 마스크 층(136)은 마이크로 전자회로 조립체의 상단에 마련된다. 마스크 층(136)에는 개구(137)가 구비된다. 도전성 트레이스(132)의 단자 말단부(134)는 개구(137)를 통해 노출된다. 하나 또는 그 이상의 도전성 기둥들(138)이 조립체 위에 형성된다. 각 도전성 기둥들(138)은 도전성 트레이스(132)의 단자 말단부(134)와 전기적으로 상호접속되는 것이 바람직하다. 도전성 기둥은 금막층(144)으로 도포된다.

[0042] 도 3a 를 참조하여 설명하면, 도 1d 에서 도시된 마이크로 전자회로 조립체를 도전성 패드(52)를 갖는 인쇄회로 기판 등의 기판(50)을 이용하여 테스트할 수 있다. 여기서는, 보다 명료한 설명을 위하여, 도 3a 및 도 3b에서 도시된 마이크로 전자회로 조립체를 간략히 도시한다. 마이크로 전자회로 조립체에는 제1면(22) 및 이 제1면(22)위에 위치한 유연층(26)을 갖는 웨이퍼(20)가 구비된다. 도전성 기둥(38)은 유연층(26)의 윗면(28)으로부터 돌출되어 있다. 도전성 기둥(38)들은 웨이퍼(20)상의 접속부와 전기적으로 상호접속된다.

[0043] 도 3a 및 도 3b 를 참조한 설명으로서, 마이크로 전자회로 조립체를 테스트하기 위하여, 도전성 기둥(38)의 상단부(42)를 회로기판(50)의 도전성 패드(52)위에 나란히 정렬시킨다. 도 3b 에서 도시된 바와 같이, 도전성 기둥의 상단부들을 도전성 패드를 향해 가압하여 밀어붙인다. 유연층(26)은 도전성 기둥의 상단부들로 하여금 웨이퍼상의 접속부에 대해 상대적으로 이동가능하도록 해주기 때문에, 열적 불일치 뿐만이 아니라, 도전성 패드 및 기둥 사이의 비-평면화 현상에 대응할 수 있도록 해준다. 마이크로 전자회로 조립체의 테스트가 성공적으로 종료되면, 땜납 또는 기타의 가용성 또는 도전성 재료의 사용을 통해서 조립체를 인쇄회로기판 등의 기판에 영구적으로 접합시킨다.

[0044] 도 4a 를 참조하여 설명하면, 도전성 패드(152)를 갖는 테스트 기판 등의 기판(150)을 이용하여 도 2의 마이크로 전자회로 조립체를 테스트한다. 도 4a 및 도 4b 에서 도시된 마이크로 전자회로 조립체에 관한 도면내용들은 설명의 명확함을 위해 단순화하였다. 마이크로 전자회로 조립체는 제1면(122) 및 이 제1면(122) 위에 위치한 유연성 범프(126)를 갖춘 웨이퍼(120)를 포함하고 있다. 도전성 기둥(138)은 유연성 범프(126)의 윗면(128)으로부터 돌출되어 있다. 도전성 기둥(138)은 도전성 트레이스(132)에 의해 웨이퍼(120)상의 접속부(124)와 전기적으로 상호접속된다. 도전성 트레이스는 유연성 범프 위에 형성되는 것이 바람직하다. 또한, 도전성 트레이스는 유연성 범프와 접촉해 있는 것이 바람직하다. 일부 실시예에서는, 도전성 트레이스가 유연성 범프와 접하면서 이 유연성 범프의 경사진 가장자리위에 위치된다. 도전성 기둥의 상단부가 마이크로 전자회로 조립체에서 최고로 높은 부분이 되도록 함으로써, 이 상단부가 테스트 기판상의 도전성 패드에 맞물려지는 조립체의 가장 첫번째 부분이 되도록 한다. 도전성 기둥이 유연층 또는 유연성 범프위에 형성된 솔더 마스크보다 높거나 또는 도전성 기둥의 상단부가 조립체에서의 가장 높은 부분이기만 하다면, 도전성 기둥은 임의의 높이를 가질 수 있다. 그

결과로써, 도전성 기둥의 상단부는, 땜납 또는 도전성 링크/브릿지 등의 추가적인 부재들을 요구하는 것 없이, 테스트 동작동안에 테스트 기판상의 도전성 패드와 직접 맞물려질 수 있게 된다.

[0045] 도 4a 및 도 4b 들을 참조한 설명으로서, 마이크로 전자회로 조립체를 테스트하기 위하여, 도전성 기둥(138)의 상단부(142)를 회로기판(150)의 도전성 패드(152)위에 나란히 정렬시킨다. 도 4b 에서 도시된 바와 같이, 도전성 패드(152)를 향해 도전성 기둥(138)의 상단부들을 가압하여 밀어붙이고, 마이크로 전자회로 조립체와 기판(150)사이에 전기적인 상호접속이 이루어지도록 한다. 유연성 범프(126)는 도전성 기둥(138)들로 하여금 웨이퍼(120)상의 접속부(124)에 대해 상대적으로 이동가능하도록 해주기 때문에, 열적 불일치 뿐만이 아니라, 테스트 기판상의 도전성 패드(152) 및 기둥(138) 간의 비-평면화 현상에 대응할 수 있도록 해준다. 만약, 마이크로 전자회로 조립체의 테스트가 성공적으로 종료되면, 땜납 또는 기타의 가용성 또는 도전성 재료의 사용을 통해서 조립체를 인쇄회로기판 등의 기판에 영구적으로 접합시킨다.

[0046] 도 5 에 관한 설명으로서, 본 발명의 일부 바람직한 실시예에서는, 도전성 기둥(238)이 일반적인 절두원추형의 형태를 가지며, 각 기둥(238)의 바닥부분(240)과 상단부(242)는 원형의 형태를 갖는다. 본 특정 실시예에서는, 기둥의 바닥부분(240)은 일반적으로 대략 100 - 600  $\mu\text{m}$  의 직경크기를 갖고, 상단부(242)는 일반적으로 대략 40 - 200  $\mu\text{m}$  의 직경크기를 갖는다. 도전성 기둥이 기판에 납땜 또는 소켓에 의해 접합될 때에 양호한 접속을 보장하기 위하여, 도전성 기둥의 외주면은 금, 금/니켈, 금/오스뮴 또는 금/팔라듐 등과 같은 고도전성 층에 의해 선택적으로 도금되거나, 또는 이의 대안책으로서, 오스뮴 등의 내마모성 도전코팅재로 도금된다.

[0047] 본 발명의 일부 바람직한 실시예에서는, 상단부가 접속 패드와 맞물려질 때에, 도전성 기둥은, 각 기둥의 상단부들로 하여금 반대편의 접속 패드에 걸쳐 와이핑 작용(wiping action)하도록 하는 텔팅동작(tilting motion)을 촉진시키도록 해주는 형상을 가질 수 있다. 이 텔팅동작은 확실한 전기적 접속을 촉진시킨다. 동시출원중이며, 공동 양수받은 특허출원으로서 본 명세서내에 참조로서 병합되어 있는, "MICRO PIN GRID ARRAY WITH WIPING ACTION" 이라는 제목으로 2004년 11월 10일에 출원된 미국 출원번호 제10/985,126호에서 자세하게 설명되어 있는 바와 같이, 기둥에는 와이핑 작용을 촉진시키거나 이와는 달리 기둥과 접속부간의 맞물림을 용이하게 해주는 구조물이 마련될 수 있다. 와이핑 작용 및/또는 양호한 전기접속을 촉진시켜주는 이와 다른 형상과 디자인을 갖는 도전성 기둥이, 본 명세서내에 참조로서 병합되어 있으며 공동 양수받은 특허출원들로서, "MICRO PIN GRID WITH PIN MOTION ISOLATION" 라는 제목으로 2004년 11월 10일에 출원되어서 동시출원중인 미국 출원번호 제10/985,119호 및 "MICROELECTRONIC PACKAGES AND METHODS THEREFOR" 라는 제목으로 2004년 12월 16일에 출원된 미국 출원번호 제11/014,439호에 자세한 설명과 함께 개시되어 있다.

[0048] 본 발명의 일부 바람직한 실시예에서는, 본 명세서내에 참조로서 병합된 미국특허 제4,804,132호 및 제5,083,697호에서 개시된 바와 같은 미립자 코팅(particle coating)이, 마이크로 전자소자들간의 전기적인 상호접속의 형성을 보다 강화시키고 마이크로 전자회로 패키지에 대한 테스트를 보다 용이하게 해주기 위하여, 마이크로 전자회로 패키지의 하나 또는 그 이상의 전기도전체들 위에 제공될 수 있다. 미립자 코팅은 도전성 기둥의 상단부 말단이나 도전성 단자들 등과 같은 도전체들 위에 제공되는 것이 바람직하다. 보다 바람직한 실시예로서, 미립자 코팅은 표준의 포토레지스트 기술을 이용하여 마이크로 전자소자의 도전체 위에 선택적으로 전기도금되는 다이아몬드 크리스탈 금속코팅인 것이 바람직하다. 테스트 중에서는, 다이아몬드 크리스탈 코팅으로 도포된 도전체가 접속 패드의 외주면에 존재하는 산화층을 훼뚫고 진입하도록 하기 위하여, 도전체를 상대편 접속 패드를 향해 가압하여 밀어붙인다. 전통적인 와이핑 동작 뿐만이 아니라 산화층 관통동작을 통해, 다이아몬드 크리스탈 코팅은 확실한 전기적 상호접속의 형성을 촉진시킨다.

[0049] 또한, 본 명세서내에 참조로서 병합되어 있으며 공동 양수받은 특허출원으로서, "Formation of Circuitry With Modification of Feature Height" 라는 제목으로 2004년 10월 6일에 출원되어서 동시출원중인 미국 출원번호 제10/959,465호에서 개시된 바와 같은 공정을 통해 기둥들을 제조할 수도 있다.

[0050] 비록, 본 발명은 임의의 특정 작용 이론에 한정되지는 않지만, 상술된 바와 같이 유연성 재료위에 도전성 기둥을 마련하는 본 발명의 기술적 사상은, 열적 불일치에 대응할 수 있고, 또한 적절한 전기적 상호접속의 형성을 보장하는 유연성 웨이퍼-레벨 또는 칩 패키지를 제공해줄 것으로 믿는다. 또한, 도전성 펀 또는 기둥을 사용하기 때문에, 도전성 기둥의 상단부를 테스트 기판상의 접속부에 대해 직접 접촉시킴으로써, 테스트 소켓을 사용하지 않고서도 마이크로 전자회로 조립체를 테스트할 수 있게 된다.

[0051] 비록, 본 명세서에서는 특정한 순서에 따라 마이크로 전자회로 조립체 및 웨이퍼를 제작하는 공정을 개시하였지만, 상기 공정들의 순서는 변경가능하며, 이 경우 또한 본 발명의 범위내에 포함된다.

[0052] 일부 바람직한 실시예들에서는, 본 명세서에서 개시된 구조들이 유연층 및 이 유연층으로부터 돌출된 도전성 기등을 갖는 테스트 기판을 제조하는데에 사용될 수 있다. 베어 웨이퍼 또는 다이 위의 접속부들이 웨이퍼 또는 다이의 테스트를 위한 도전성 기등의 상단부와 접속될 수 있다.

[0053] 비록, 본 명세서에서는 특정한 실시예들을 참조하면서 본 발명을 설명하였지만, 여기서 예시된 특정 실시예들은 단순히 본 발명의 이론과 응용을 설명하기 위하여 제공되었을 뿐이라는 것임을 유념한다. 따라서, 이하의 청구 범위에서 정의된 본 발명의 사상 및 범위를 이탈하지 않는 한도에서, 상기 개시된 실시예들에 수 많은 변형이 가능할 수 있으며 또한 기타의 구성장치들이 고안될 수도 있다는 것을 유념한다.

### 산업상 이용 가능성

[0054] 본 발명은 마이크로 전자회로 산업분야에 적용가능하다.

[0055]

### 도면의 간단한 설명

[0025] 도 1a 는 하나 또는 그 이상의 접속부들을 갖는 마이크로 전자소자의 단면도를 도시한다.

[0026] 도 1b 는 마이크로 전자소자의 접속부-형성면상에 유연층을 형성한 후의 도 1a 에 도시된 마이크로 전자소자의 단면도를 도시한다.

[0027] 도 1c 는 유연층상에 길게 연장된 도전성 트레이스를 형성한 후의 도 1b 에 도시된 마이크로 전자회로 조립체의 단면도를 도시한다.

[0028] 도 1d 는 도 1c 에서 도시된 길게 연장된 도전성 트레이스위에 도전성 기등 또는 핀을 형성한 후의 도 1c 에 도시된 마이크로 전자회로 조립체의 단면도를 도시한다.

[0029] 도 2 는 본 발명의 다른 실시예에 따른, 마이크로 전자회로 조립체의 단면도를 도시한다.

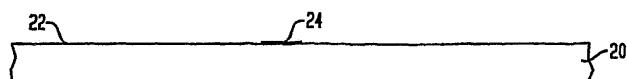
[0030] 도 3a 및 3b 들은 도 1d 의 마이크로 전자회로 조립체를 테스트하는 방법을 도시한다.

[0031] 도 4a 및 4b 들은 도 2 의 마이크로 전자회로 조립체를 테스트하는 방법을 도시한다.

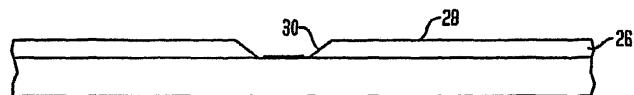
[0032] 도 5 는 본 발명의 다른 실시예에 따른, 마이크로 전자회로 조립체의 단면도를 도시한다.

### 도면

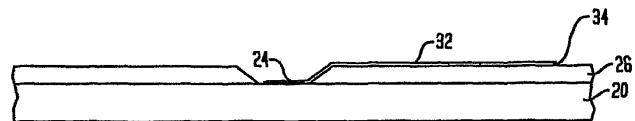
#### 도면1a



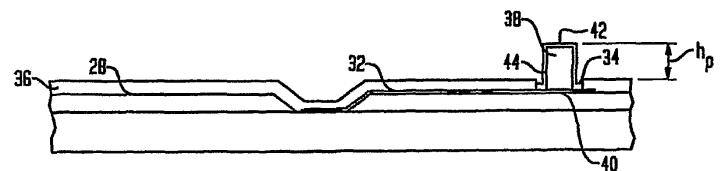
#### 도면1b



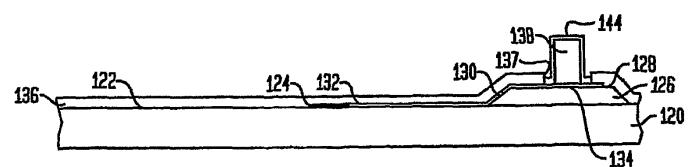
도면1c



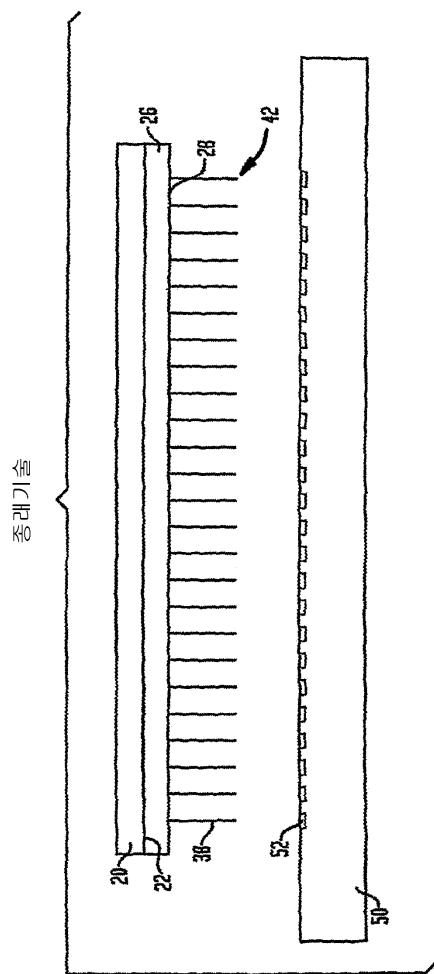
도면1d



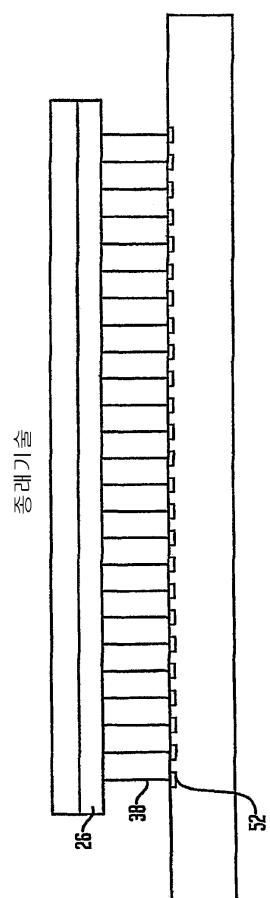
도면2



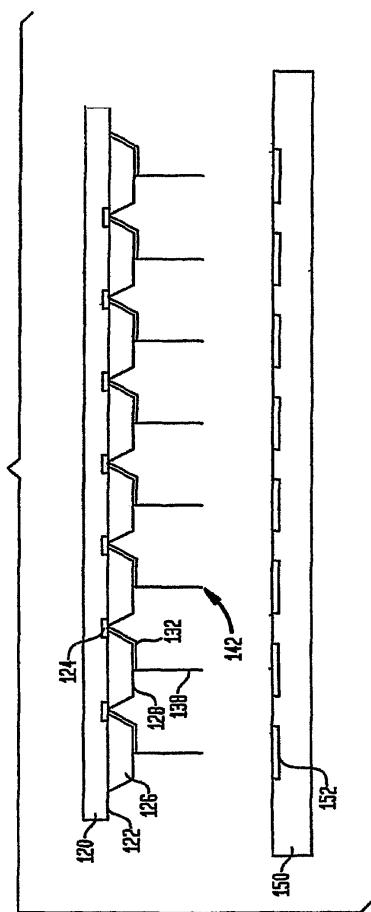
도면3a



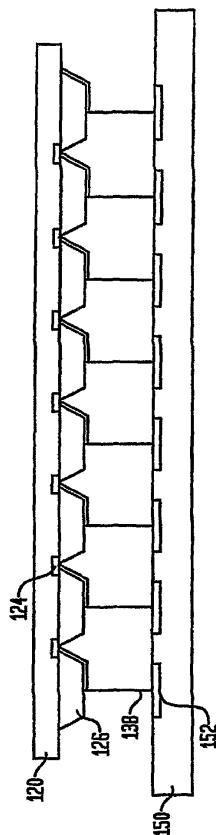
도면3b



도면4a



도면4b



도면5

