

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008年1月3日 (03.01.2008)

PCT

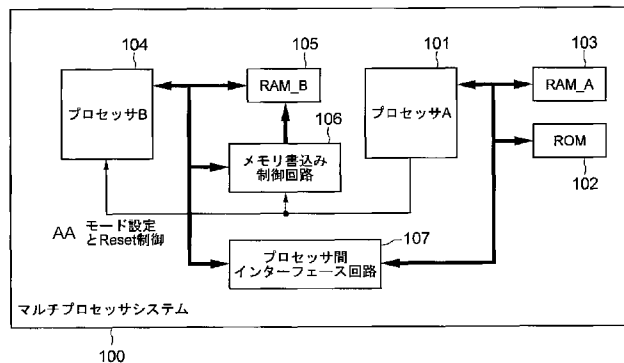
(10) 国際公開番号
WO 2008/001671 A1

- (51) 国際特許分類:
G06F 15/177 (2006.01)
- (21) 国際出願番号: PCT/JP2007/062495
- (22) 国際出願日: 2007年6月21日 (21.06.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-176430 2006年6月27日 (27.06.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 串田 昌幸 (KUSHITA, Masayuki) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 高橋 勇 (TAKAHASHI, Isamu); 〒1010031 東京都千代田区東神田1丁目10番7号 篠田ビル7階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

/ 続葉有 /

(54) Title: MULTIPROCESSOR SYSTEM AND PORTABLE TERMINAL USING THE SAME

(54) 発明の名称: マルチプロセッサシステム、マルチプロセッサシステムを使用した携帯端末



104 - PROCESSOR B
AA - MODE SETTING AND Reset CONTROL
100 - MULTIPROCESSOR SYSTEM
106 - MEMORY WRITE CONTROL CIRCUIT
107 - INTERPROCESSOR INTERFACE CIRCUIT
101 - PROCESSOR A

(57) Abstract: [PROBLEMS] To provide a portable terminal designed to increase the speed of the startup time of a multiprocessor system configured so that a program is transferred from a specific processor to another processor and started. [MEANS FOR SOLVING PROBLEMS] As a storage form for storing in memory (ROM), a program to be transferred to another processor, a header is given to each Code section. The header stores information on whether the section needs to be transferred for each size information on the corresponding Code section or startup mode. The startup time of each mode is shortened by enabling transfer of only a necessary portion from the transfer source processor to the transfer destination processor for each startup mode.

(57) 要約: 【課題】 特定のプロセッサから他のプロセッサへプログラムを転送して起動するように構成されるマルチプロセッサシステムの起動時間の高速化を図った携帯端末を提供する。【解決手段】 他のプロセッサへ転送されるプログラムのメモリ (ROM) への格納形態として、あるCode

/ 続葉有 /

WO 2008/001671 A1



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

区分毎にヘッダを持たせ、そのヘッダ内に、対応するCode区分のサイズ情報や起動モード毎にその区分の転送が必要か否かといった情報を格納する。起動モード毎に必要な部分のみを転送元プロセッサから転送先プロセッサ側に転送可能とすることにより、モード毎の起動時間を短縮する。

明 細 書

マルチプロセッサシステム、マルチプロセッサシステムを使用した携帯端末

技術分野

[0001] 本発明は、マルチプロセッサを搭載した携帯端末に関し、特に特定のプロセッサから他のプロセッサへプログラムを転送して起動するように構成されるマルチプロセッサシステムにおける起動時間の高速化に関する。

背景技術

[0002] 携帯電話機、携帯情報端末などの携帯端末は、サービス機能の拡大、高速化の要求にしたがって、複数プロセッサを使用するマルチプロセッサシステムで実現する場合が多くなると考えられる。

[0003] 特定のプロセッサから他のプロセッサへプログラムを転送して起動するように構成されるマルチプロセッサシステムは、他のプロセッサ用のプログラムも含め、格納するメモリを集約することにより、メモリチップ数を低減でき、システムの小型化にも有利である(特許文献1)。

発明の開示

発明が解決しようとする課題

[0004] しかし、このようなシステムでは、起動時に特定のプロセッサから他のプロセッサへプログラムを転送する必要があるため、その分の処理時間が増え、システム起動時間としては不利な面がある。この点の改善方法として、転送するプログラムを圧縮して格納しておき、圧縮プログラムを転送することによって転送時間を低減し、これに起動時間を短縮する方法が考えられる。圧縮プログラムを格納することにすれば、必要メモリ容量の削減、メモリコストの削減が可能である。

[0005] しかしながら、圧縮プログラムを転送に用いるマルチプロセッサシステムでも、そのプログラムの内容の全体を転送するため起動時間の増加低減には制約がある。

[0006] なお、マルチシステムに関連する従来技術として、特許文献1のほかに特許文献2が知られている。

[0007] 特許文献1:特開平5-242057号公報

特許文献2:特開平11-184831号公報

[0008] 本願発明者は、マルチプロセッサシステムにおいて、起動時に、必ずしもプログラムの全体を特定のプロセッサから他のプロセッサ転送する必要はないことに着目し、本発明をするに至った。

[0009] 本発明の目的は、起動モードによって起動時間を短縮できるマルチプロセッサシステム、転送方法及び携帯端末を提供することである。

課題を解決するための手段

[0010] 本発明によれば、少なくとも第1のプロセッサと第2のプロセッサとを含むマルチプロセッサシステムであって、第1のプロセッサが実行する第1のプログラムと第2のプロセッサが実行する第2のプログラムを格納する読み出し専用メモリと、前記第2のプログラムが展開されて格納されるランダムアクセスメモリとを含み、マルチプロセッサシステムの起動時に、前記第1のプロセッサは指定された起動モードにしたがって、前記第2のプログラムのうち前記起動モードに関係して必要な前記第2のプログラムの部分を選択して前記ランダムアクセスメモリに展開することを特徴とするマルチプロセッサシステムが得られる。

[0011] 読み出し専用メモリに、第2のプログラムが分割された分割部分と、各分割部分に関する情報サイズ及び各分割部分と起動モードに関する情報を含むヘッダが格納されている。

[0012] 望ましくは、前記プログラムの分割部分は、圧縮及び／又は暗号化されて格納される。

[0013] 本発明の1実施形態によれば、前記第1のプロセッサがアクセスする第1のプロセッサ用のランダムアクセスメモリを有する。また、前記第2のプログラムが展開されて格納されるランダムアクセスメモリは、前記第2のプロセッサがアクセスする第2のプロセッサ用のランダムアクセスメモリである。

[0014] 本発明の別の実施形態によれば、前記ランダムアクセスメモリは、前記第1のプロセッサ及び第2のプロセッサがアクセス可能に接続され、前記第1のプロセッサのメモリ使用領域と、前記第2のプロセッサのメモリ使用領域と、前記第1のプロセッサと前記

第2のプロセッサのメモリ共有使用領域とを有する。

[0015] その実施の形態において前記第2のプロセッサのメモリ使用領域への展開完了後、前記展開したプログラムの妥当性が確認できるまで前記第2のプロセッサをリセットさせたままとする。

[0016] また、実施形態の特徴として、前記第2のプロセッサのメモリ使用領域への展開完了後、又は前記展開したプログラムの妥当性確認後、前記第2のプロセッサのメモリ使用領域に対し前記第1のプロセッサからのアクセス禁止の設定ができる。

[0017] 本発明によれば、また、上記マルチプロセッサシステムを使用した携帯端末が得られる。

[0018] さらに、本発明によれば、第1のプロセッサと、第2のプロセッサと、第1のプロセッサが実行する第1のプログラムと第2のプロセッサが実行する第2のプログラムを格納する読み出し専用メモリと、第2のプログラムが展開されて格納されるランダムアクセスメモリとを含むマルチプロセッサシステムにおける転送方法であって、マルチプロセッサシステムの起動時に、前記第1のプロセッサは指定された起動モードにしたがって、前記第2のプログラムのうち前記起動モードに関係して必要な前記第2のプログラムの部分を選択して前記ランダムアクセスメモリに転送することを特徴とするマルチプロセッサシステムにおける転送方法が得られる。

[0019] 前記第1のプロセッサは、前記転送に先立って第2のプロセッサ用のブートローダの妥当性を判断して前記ブートローダの転送をする工程と、前記第2のプロセッサをコードダウンロードモードに設定してリセット起動する工程と、起動モードを判定しそれに応じた第2のプログラムの対応部分を転送する工程と、前記転送したプログラム部分の妥当性を前記第2のプロセッサに問合せ確認する工程と、確認後に前記第2のプロセッサを通常動作モードに設定してリセット起動する工程とを含む。

[0020] 本発明の1実施形態によれば、前記第1のプロセッサがアクセスする第1のプロセッサ用のランダムアクセスメモリを有する。また、前記第2のプログラムが展開されて格納されるランダムアクセスメモリは、前記第2のプロセッサがアクセスする第2のプロセッサ用のランダムアクセスメモリである。

[0021] 別の実施形態では、前記ランダムアクセスメモリは、前記第1のプロセッサ及び第2

のプロセッサがアクセス可能に接続され、前記第1のプロセッサのメモリ使用領域と、前記第2のプロセッサのメモリ使用領域と、前記第1のプロセッサと前記第2のプロセッサのメモリ共有使用領域とを有する。

[0022] さらに、1実施形態では、本発明のマルチプロセッサにおける転送方法は、前記起動モードを判定処理する工程と、前記起動モードに応じて前記第2のプログラムから前記起動モードに対応するプログラム部分を前記第2のプロセッサのメモリ使用領域に展開処理する工程と、展開したプログラム部分の妥当性をチェックする工程と、前記第2のプロセッサメモリ使用領域に対して前記第1のプロセッサからのアクセスガードを設定する工程と、前記第2のプロセッサのリセットを解除して前記第2のプロセッサを通常動作させ前記モードを起動させる工程とを含む。

[0023] また、本発明によれば、第1のプロセッサと、第2のプロセッサと、第1のプロセッサが実行する第1のプログラムと第2のプロセッサが実行する第2のプログラムを格納する読み出し専用メモリと、第2のプログラムが展開されて格納されるランダムアクセスメモリとを含むマルチプロセッサシステムに使用するプログラムであって、マルチプロセッサシステムの起動時に、前記第1のプロセッサが指定された起動モードにしたがって、前記第2のプログラムのうち前記起動モードに関係して必要な前記第2のプログラムの部分を選択して前記ランダムアクセスメモリに転送するステップを含むことを特徴とするマルチプロセッサシステムに使用するプログラムが得られる。

[0024] 1実施形態によれば、プログラムは、前記第1のプロセッサが、前記転送に先立ってブートローダの妥当性を判断して前記ブートローダの転送をするステップと、前記第2のプロセッサをコードダウンロードモードに設定してリセット起動するステップと、起動モードを判定しそれに応じた第2のプログラムの対応部分を転送するステップと、前記転送したプログラム部分の妥当性を前記第2のプロセッサに問合せ確認するステップと、確認後に前記第2のプロセッサを通常動作モードに設定してリセット起動するステップを含む。

[0025] 実施形態の1つによれば、前記ランダムアクセスメモリは、前記第1のプロセッサ及び第2のプロセッサがアクセス可能に接続され、前記第1のプロセッサのメモリ使用領域と、前記第2のプロセッサのメモリ使用領域と、前記第1のプロセッサと前記第2のプ

ロセッサのメモリ共有使用領域とを有する。

- [0026] この実施形態におけるプログラムは、前記起動モードを判定処理するステップと、前記起動モードに応じて前記第2のプログラムから前記起動モードに対応するプログラム部分を前記第2のプロセッサのメモリ使用領域に展開処理するステップと、展開したプログラム部分の妥当性をチェックするステップと、前記第2のプロセッサメモリ使用領域に対して前記第1のプロセッサからのアクセスガードを設定するステップと、前記第2のプロセッサのリセットを解除して前記第2のプロセッサを通常動作させ前記モードを起動させるステップを含む。

発明の効果

- [0027] 本発明によれば、モード毎の起動時間を短縮できる。

発明を実施するための最良の形態

- [0028] 次に、本発明の実施の形態について図面を参照して説明する。

- [0029] (実施例1)

図1に本発明の第1の実施例としてのマルチプロセッサシステム100のブロック図を示す。図1において、マルチプロセッサシステムは、プロセッサA(転送元プロセッサ)101からプロセッサB(転送先プロセッサ)104へプログラムを転送するシステム構成となっている。

- [0030] 図1において、システム100は、プロセッサA101、プロセッサA101にバス接続されたROM(Read Only Memory)102及びRAM(Random Access Memory)___A103を含む。さらに、システムは、プロセッサB104に付随してRAM___B105を有する。システムは、プロセッサA101とプロセッサB104とのインターフェースとしてプロセッサ間インターフェース回路107、プロセッサAの制御の下にプロセッサ間インターフェース回路経由でプロセッサAから転送されるプログラムをRAM___B105に書き込むメモリ書き込み制御回路106を含んでいる。

- [0031] プロセッサA101とプロセッサB104のプログラムは、共にROM102に格納されている。ROM102は物理的に1つである必要はなく、プロセッサB104のプログラムも併せて格納し、プロセッサA101のメモリバスに接続されていればよい。RAM___A103は、プロセッサA101の作業用メモリで、ROM102が接続されるメモリバスとは別の

高速メモリバスに接続される場合もある。RAM__B105は、プロセッサB104のプログラム展開先としておよび作業用メモリとして使用される。

[0032] プロセッサ間インターフェース回路107は、プロセッサ101、104間のデータ通信を行うための回路で、起動時は最初に、プロセッサA101の信号制御により、プロセッサA101からの転送データ(ブートローダ(Boot LoaderのCode))をメモリ書込み制御回路106に転送する。メモリ書込み制御回路106は、前記転送データをRAM__B105に書込む。

[0033] 前記データの転送が行われる期間、プロセッサB104は、プロセッサA101の信号制御によりリセットされたままである。Boot Loaderのコード(Code)転送完了後、プロセッサA101の制御により、プロセッサB104はRAM__B105に書込まれたBoot Loaderの実行を開始し、以後のプロセッサB104用プログラムのプロセッサA101からの受信、RAM__B105への展開処理は、Boot Loaderに基づいて行われる。

[0034] プロセッサB104用プログラムは圧縮暗号化されたままの形でプロセッサA101から転送してもよく、この場合、Boot Loader内にRAM__B105の所定のプログラム領域に展開する前に、前記圧縮暗号化された前記プログラムの復号化の処理を行う。プロセッサB104用プログラム本体の転送が完了すると、プロセッサA101の制御により、プロセッサB104は、RAM__B105に書込まれたプログラムの実行を開始する。

[0035] 図2には、ROM102内のある領域にプロセッサB104用プログラムが分割格納される形態を図示している。各分割はプログラムの分割されたコードの外にその内部にヘッダを持ち、各ヘッダ内には対応する分割のサイズ情報や起動モード毎にその転送が必要か否かを示す情報が格納される。尚、分割毎に圧縮や暗号化を施してROM 102に格納することも可能であるが、ヘッダ部はプロセッサA101が直接読んで解釈できる形式とする。また、ヘッダ部はプロセッサB104への転送対象外とする。図2では、各分割が物理的に連続している状態を示している。

[0036] 分割されるコードはファイルシステムを介して分割毎にファイルとして扱っても良く、必ずしも各分割が物理的に連続している必要はない。

[0037] 図3にも、図2と同様に、ROM102内のある領域にプロセッサB104用プログラムが区分けされて格納される形態を図示している。但し、図3では、区分けされた各領域

が物理的に連続してつながっているが、各領域の境界が可変であることを想定している。起動モードによって転送不要となるプログラムを後ろの方(図示上は上の方)に配置し、先頭から連続領域で必要なプログラム分をDMA(Direct Memory Access)方式を使って転送可能とすることを考慮した格納形態である。必ず存在する領域(どの起動モードでも転送が必要な領域)内の固定アドレスに、図2のそれと同様の情報を持たせたヘッダを各領域に対応させ、まとめて格納する。固定アドレスにヘッダを格納することにより、プロセッサA101が直接読んで解釈可能な構成とする。連続領域のDMA転送を用いる場合は、ヘッダ部も転送対象となる。尚、ヘッダ部をプロセッサB104用プログラム領域の先頭に配置させることにより、ヘッダ部以外のプログラム本体を領域毎に圧縮や暗号化して格納する構成も可能である。その場合、ヘッダ部は転送対象としなくて良い。また、ヘッダに格納されるサイズ情報は、圧縮や暗号化された後の各領域のサイズとなる。なお、図2と図3に図示はしていないが、プロセッサB104のBoot Loaderは、ROM102内に別に格納されている。

[0038] 次に図4のシーケンスチャートと図5のフローチャートを用いて、プロセッサA101からプロセッサB104へプログラム転送する際の動作について説明する。

[0039] 図4は、例えば図2のようにROM102に格納されたプロセッサB104用のプログラムをプロセッサA101からプロセッサB104へ転送する手順について、(a)通常モードと(b)特殊モードに分けて図示したシーケンスチャートである。ここで、通常モードとは、プログラムコード全体が持つフルの機能を使用可能なモードを指し、特殊モードとは、一部の機能のみ使用可能なモード、もしくは一部の機能を使用不可に制限したモードを指す。この例では、起動モードが通常モードの場合、即ち、通常モードの起動では各分割コードの全部の転送が必要、起動モードが特殊モードの場合、即ち、特殊モードの起動では分割1と2のみの転送が必要と想定している。

[0040] 図4に示すシーケンスにおいて、分割コードの転送は、プロセッサA101がROM102に格納されたプロセッサB104用プログラムにアクセスし、その分割ごとに、プロセッサB104に転送を要するか否かを判定する。その前提として、通常モードでの起動の指示があるか、特殊モードでの起動の指示があるかを判定する。

[0041] 通常モードの起動が指示されている場合には、図4(a)に示すように、プロセッサB

104用プログラムである分割コードのすべてについて転送する。その場合、分割のすべてについて、ヘッダを参照しながら、特殊モードではないので、分割毎にプロセッサB104に対し転送とプロセッサBからの応答を受け、次の分割コードの転送と応答の受信を行う。このようにして、分割コード1から分割コードNまで、すべての分割が転送される。

[0042] 特殊モードの場合には、分割の各々のヘッダを調べ、そのヘッダに、特殊モードについて転送が要になっているか否かを判断し、要となっている分割のコードのみをプロセッサBに転送する。プロセッサBから転送の受信の応答があると、次の分割コードについて同じような判断をして転送要の場合には、その分割コードを転送し、プロセッサBからの応答を受ける。図4(b)は、分割コード1と分割コード2だけが転送を必要としていた場合のシーケンスである。

[0043] 図4(a)及び(b)を引き続き参照すると、通常モードの場合にも特殊モードの場合にも、必要な分割の転送を完了し、プロセッサB104からの応答を確認したら、プロセッサA101から転送完了通知と妥当性確認要求を送信する。それを受けたプロセッサB104は、RAM__B105に展開したプログラムの妥当性チェック(チェックサム確認、改竄検出など)を行い、結果をプロセッサA101に返す。受け取った妥当性チェックの結果が問題なければ、プロセッサA101はプロセッサB104を制御し、RAM__B105に展開したプログラムの実行をスタートさせる。即ち、プロセッサB104の動作として、プロセッサA101から送られるプログラムコードを受け取ってRAM__B105へ展開するフェーズとRAM__B105へ展開したプログラムを実行するフェーズに分かれるが、前者のフェーズを終了し、リスタートにより、後者のフェーズが開始される。

[0044] 図5は、プロセッサA101からプロセッサB104へプログラム転送する際のプロセッサA101内の処理フローの1例を図示したものである。まず、プロセッサB104のBoot Loaderには暗号解読などの重要な処理が入る可能性があるため、Boot Loaderの妥当性チェック(改竄検出など)を行い(ST501)、問題がなければプロセッサB104へBoot Loaderの転送を行う(ST502)。この転送は、具体的には、プロセッサA101がBoot Loader をプロセッサ間インターフェース回路に送り、メモリ書き込み制御回路がRAM_B105に書き込むことによって行われる。

[0045] 次に、Boot Loaderを実行させるため、図示のモード設定とReset制御のラインを介して信号線制御により、プロセッサB104をプログラムダウンロードモードに設定し、リセットスタートさせる(リセットを解除する)(ST503)。プロセッサB104のBoot Loaderが起動したら(図示なし)、プロセッサA101は、起動モードが通常モードか特殊モードかにより、そのモードの起動に必要なプログラム部のみをプロセッサB104へ転送し(ST504)、転送が完了したらプロセッサB104がRAM__B105へ展開したプログラムの妥当性(チェックサム確認、改竄検出など)を問い合わせ(ST505)、問題がなければ、転送したプログラムを実行させるために、信号線制御により、プロセッサB104を通常動作モードに設定し、リセットスタート、即ち、リセットをして起動(通常動作モードで再起動)させる(ST506)。ここで、通常動作モードとは、ダウンロードモードに続くメモリ書込み制御回路を含めたプロセッサB側のハードウェア的な動作モードを意味し、先に、システム全体の動作モードとして説明した通常動作モードや特殊モードとは異なる。Boot Loaderの妥当性チェックやRAM__B105へ展開したプログラムの妥当性問い合わせ結果に問題があれば、メモリ(Flashメモリ等の不揮発メモリ、ROM102として共用する場合もある)にエラー履歴を残して、無限ループ処理とし、或いは、最初からリトライをするなどの処置を施す(ST507)。

[0046] 以上説明したように、本発明の実施形態によれば、他のプロセッサへ転送されるプログラムのメモリ(ROM)への格納形態として、あるCode区分毎にヘッダを持たせ、そのヘッダ内に、対応するCode区分のサイズ情報や起動モード毎にその区分の転送が必要か否かといった情報を格納する。このようなメモリ格納形態とし、起動モード毎に必要な部分のみを転送可能とすることにより、モード毎の起動時間を短縮できる。

[0047] 更に、そのヘッダは転送元のプロセッサが直接読んで解釈できる形式、格納形態とすることにより、転送元のプロセッサが起動モードを判断し、起動モードに応じて最低限必要とするプログラム部のみを転送先プロセッサへ転送してモード起動することを可能とする。これにより、例えば、病院の中などで無線通信を禁止するモードでの起動や、W-CDMAとGSM、W-LANといった複数通信システム対応時のSingle通信モードでの起動、生産工程でハードウェアのチェックのみを対象とした試験モードでの起動といったモード毎の起動に対し、プロセッサ間プログラム転送処理による影響を最

小限に抑え、目的に応じて起動時間を短縮することが可能で、商品性、生産性の向上につながる。

[0048] このようなマルチプロセッサシステムを、特殊モードとして病院などの無線通信が禁止されるエリアでの使用など特定エリアモードを通常に使用する通常モードの他に設けた携帯電話機に適用すれば、特殊モードでの起動を短縮することができる。同様に、特殊モードとしてW-CDMAとGSM、W-LANといった複数通信システム対応時の単一(Single)通信モードでの起動モードを通常に使用する通常モードの他に設けた携帯電話機に本発明のマルチプロセッサシステムを適用すれば、その特殊モードの起動を短縮できる。また、同様に、特殊モードとして、生産工程におけるハードウェアのチェックのみを対象とする試験モードを設けた携帯電話に本発明のシステムを適用すれば、試験モードの起動を短縮することができる。

[0049] このような特殊モードは一種に限らず複数設けてもよい。即ち、1つの携帯電話機に、特定エリアモード、単一通信モード、試験モードなどを組み込み、携帯電話機が使用される環境に応じて、これら特殊モードを選択して起動させることができる。

(実施例2)

[0050] 次に、本発明の第2の実施例について説明する。その基本的構成は上述の実施例と同様であるが、第2の実施例のマルチプロセッサシステムは、RAM共用のマルチプロセッサシステムである。

[0051] 図6を参照すると、マルチプロセッサシステム600において、RAM603はプロセッサA(転送元プロセッサ)601とプロセッサ(転送先プロセッサ)B604のどちらからもアクセス可能な構成になっており、それらの間にバスアクセスに対して使用権を調整して与える調停回路605が配置されている。RAM603は、主に図1のRAM__A103とRAM__B105を併せた用途で使われるほかに、図1のプロセッサ間インターフェース回路107の代わりに、どちらのプロセッサからもアクセス可能でプロセッサ間通信に用いる共有使用領域が設けられる。即ち、図7を参照すると、RAM603にはプロセッサAの使用領域71及びプロセッサBの使用領域73のほかに、プロセッサAとプロセッサBの共有使用領域72が設けられている。

[0052] ROM602は、図1のROM102と同等であるが、ROM602に格納されたプロセッ

サB604用プログラムをプロセッサA601が直接RAM603のプロセッサB使用領域73へ展開可能であるため、プロセッサB604用のBoot Loaderを格納する必要はない。プロセッサA601がROM602に格納されたプロセッサB604用プログラムをRAM603のプロセッサB使用領域73へ展開し、展開したプログラムの妥当性チェック(チェックサム確認、改竄検出など)が完了するまでの間、プロセッサB604はリセットされたままの状態であり、問題なくプログラム展開されたことが確認できた後、プロセッサA601の制御によりリセットが解除され、RAM603に展開されたプログラムの実行を開始する。

[0053] 図8は、第2の実施例において、プロセッサA601からプロセッサB604へプログラム転送する際のプロセッサA601内の処理フローの一例を図示したものである。先ず指示された起動モードを判定し(ST801)、起動モードにより必要なプログラム部のみをRAM603のプロセッサB使用領域に展開する(ST802)。ROM602に格納されたプロセッサB用プログラムを分割のヘッダを参照することによって、指示された起動モードに対応する分割コードの有無を判定する。ヘッダにその起動モード対し、その分割コードが要とする書き込みがあれば、その分割コードをRAM603のプロセッサB使用領域に展開する。この際、ROM602に格納されたプロセッサB用プログラムが圧縮や暗号化されている場合には、その復号化処理を実施した後にRAM603のプロセッサB使用領域73への展開を行う。次にRAM603に展開したプロセッサB用プログラムの妥当性チェック(チェックサム確認、改竄検出など)を行い(ST803)、問題がなければ、RAM603のプロセッサB使用領域に対してプロセッサAのアクセスを禁止するガード設定を行い(ST804)、その後にプロセッサBのリセットを解除してRAM603に展開したプログラムの実行を開始させる(ST805)。RAM603へ展開したプログラムの妥当性チェック結果に問題があれば、メモリ(Flashメモリ等の不揮発メモリ、ROM602として共用する場合もある)にエラー履歴を残し、プロセッサBのリセットを解除することなく、ST802のプログラム展開処理以降のリトライを行うなどの対処をする(ST806)。

[0054] 次に、本発明のマルチプロセッサシステムを適用した携帯電話機について説明する。

[0055] 図9は、マルチシステムプロセッサを用いた携帯電話機のブロック図である。この携

帯電話機は、第1の実施例に示したマルチプロセッサシステムを使用している。

[0056] 図において、携帯端末10は、通信部30とアプリケーション部20を含む。通信部20は、通信プロセッサ(転送先プロセッサ)304と、RAM305、RAMのプログラムにしたがって通信プロセッサ304の制御を受けて通信機能をつかさどる通信系回路を含んでいる。また、通信部は、アプリケーション部から転送される通信プロセッサ用のプログラムをRAM305に書き込むDMA機能を有するメモリ書き込み制御回路306を有する。これらのブロックはバス接続されている。アプリケーション部20は、アプリケーションプロセッサ(転送元プロセッサ)201、RAM203、ROM202、表示部208、操作部207、送話器と受話器(図示せず)、これらを制御する周辺回路を含む。アプリケーションプロセッサ201は、RAM203、ROM202とバス接続されている。また、アプリケーション部20と通信部10は、プロセッサ間インターフェース107で接続され、データ通信が行われる。

[0057] ROM202には、アプリケーションプロセッサ用のプログラム及び通信用プロセッサ用のプログラムの両方が予め格納されている。その格納形態は、第1の実施例に使用されたROM102のそれと同一とする。したがって、ROM202の場合、図2のプロセッサB用プログラムの領域に、通信用プロセッサ用のプログラムが分割されて格納され、各々の分割にはヘッダが付されており、ヘッダには、その分割のサイズ情報、起動モード番号とその番号のデータ転送の要否が書き込まれている。

[0058] RAM203は、アプリケーションプロセッサ201用の作業メモリである。RAM305は、通信用プロセッサ304のプログラム展開先と作業用メモリとして使用される。プロセッサ間インターフェース回路107は、プロセッサ間のデータ通信を行うための回路で、起動時は最初に、アプリケーションプロセッサ201の信号制御により、メモリ書き込み制御回路が306がプロセッサ間インターフェース回路107経由でアプリケーションプロセッサ201からの転送データ(Boot LoaderのCode)を受け取り、受け取ったデータをRAM305に書込む。この間、アプリケーションプロセッサ201の信号制御により、通信用プロセッサ304はリセットされたままである。Boot LoaderのCode転送完了後、アプリケーションプロセッサ201の制御により、通信用プロセッサ304はRAM305に書込まれたBoot Loaderの実行を開始し、以後の通信用プロセッサ304用プログラム本体

のアプリケーションプロセッサ201からの受信、RAM305への展開処理はBoot Loaderが行う。アプリケーションプロセッサ201は、ROM202内の通信用プロセッサ用プログラムである各分割コードについて、指定された起動モードに対応する分割コードであるか否かを各ヘッダから判定し、指定された起動モードに対応する分割コードだけを転送する。したがって、RAM305には通信用プロセッサ用プログラムの内、指定された起動モードに対応する分割コードだけが転送される。指定された起動モードに対する通信用プロセッサ304用プログラム本体は圧縮や暗号化されたままの形でアプリケーションプロセッサ201から転送される構成も考えられ、そういったケースでは、Boot Loader内でRAM305の所定のプログラム領域に展開する前に復号化の処理を行う。通信用プロセッサ304用プログラム本体の転送が完了すると、アプリケーションプロセッサ201の制御により、通信用プロセッサ304はRAM305に書込まれたプログラム本体の実行を開始する。

- [0059] 指定された起動モードが単一通信モードの指定で、W-CDMA対応の通信システムに対応するモードの指定である場合には、W-CDMA対応の通信システムに対応する分割コードが、RAM305に転送され、転送が完了すると、通信用プロセッサによりそのモードに対応した動作を開始する。即ち、GSM、W-LANなどの他の通信システム対応の通信用プログラムの転送はしなくてよいから、携帯端末の起動時間を低減することができる。
- [0060] 上記携帯電話機は、第1の実施例のマルチプロセッサシステムを適用し応用例であるが、第2の実施例のシステムを用いてもよい。その場合、先の応用例の携帯電話機と同様に、通信部とアプリケーション部にそれぞれ転送先プロセッサと転送元プロセッサを配置し、通信部には、その機能をつかさどる通信系回路を、アプリケーション部には、表示部、操作部などを設ける。
- [0061] 上記実施例及び応用例は、2つのプロセッサを用いマルチプロセッサシステムであるが、3以上のプロセッサを用いてもよい。その場合、第1及び第2の実施例に関して言うと、転送元プロセッサ(プロセッサA)に対して、転送先プロセッサ(プロセッサB)を複数用意して本発明のマルチプロセッサシステムとする。
- [0062] 以上、実施形態(及び実施例)を参照して本願発明を説明したが、本願発明は上記

実施形態(及び実施例)に限定されるものではない。本願発明の構成や詳細には、本願発明の範囲内で当業者が理解し得る様々な変更をすることができる。

[0063] この出願は2006年6月27日に出願された日本出願特願2006-176430を基礎とする優先権を主張し、その開示の全てをここに取り込む。

図面の簡単な説明

[0064] [図1]本発明の第1の実施例のマルチプロセッサシステムのブロック図である。

[図2]第1の実施例に使用されるROM102におけるプロセッサB用プログラムの格納状態を示す図である。

[図3]第1の実施例に使用されるROM102におけるプロセッサB用プログラムの別の格納状態を示す図である。

[図4]第1の実施例におけるプロセッサA及びプロセッサB間のシーケンス図で、(a)は通常モード、(b)は特殊モードの場合を示す。

[図5]第1の実施例におけるプロセッサA101からプロセッサB104へプログラム転送する際のプロセッサA101の処理フローを示す図である。

[図6]本発明の第2の実施例のマルチプロセッサシステムを示すブロック図である。

[図7]第2の実施例に使用されるRAM603内の記憶領域を示す図である。

[図8]第2の実施例において、プロセッサA601からプロセッサB604へプログラム転送する際のプロセッサA601内の処理フローの一例を示す図である。

[図9]本発明のマルチシステムプロセッサを用いた応用例で、携帯電話機のブロック図である。

符号の説明

- [0065] 10 携帯電話機
20 アプリケーション部
30 通信部
100、600 マルチプロセッサシステム
101、601 転送元プロセッサ(プロセッサA)
102、202、602 ROM
103、105、203、305、603 RAM

104、604 転送先プロセッサ(プロセッサB)

106、306 メモリ書込み制御回路

107 プロセッサ間インターフェース回路

201 アプリケーションプロセッサ

304 通信プロセッサ

605 調停回路

請求の範囲

- [1] 少なくとも第1のプロセッサと第2のプロセッサとを含むマルチプロセッサシステムであって、
- 第1のプロセッサが実行する第1のプログラムと第2のプロセッサが実行する第2のプログラムを格納する読み出し専用メモリと、前記第2のプログラムが展開されて格納されるランダムアクセスメモリとを含み、
- マルチプロセッサシステムの起動時に、前記第1のプロセッサは指定された起動モードにしたがって、前記第2のプログラムのうち前記起動モードに関係して必要な前記第2のプログラムの部分を選択して前記ランダムアクセスメモリに展開することを特徴とするマルチプロセッサシステム。
- [2] 前記第1のプロセッサがアクセスする第1のプロセッサ用のランダムアクセスメモリを有する請求項1記載のマルチプロセッサシステム。
- [3] 前記第2のプログラムが展開されて格納されるランダムアクセスメモリは、前記第2のプロセッサがアクセスする第2のプロセッサ用のランダムアクセスメモリであることを特徴とする請求項2記載のマルチプロセッサシステム。
- [4] 前記読み出し専用メモリに、前記第2のプログラムが分割された分割部分と、各分割部分に関する情報サイズ及び各分割部分と起動モードに関する情報を含むヘッダが格納されていることを特徴とする請求項1記載のマルチプロセッサシステム。
- [5] 前記プログラムの分割部分は、圧縮及び／又は暗号化されて格納されていることを特徴とする請求項4記載のマルチプロセッサシステム。
- [6] 前記第2のプロセッサが前記圧縮及び／又は暗号化された分割部分を受信して解凍及び／又は復号することを特徴とする請求項5記載のマルチプロセッサシステム。
- [7] 前記ランダムアクセスメモリは、前記第1のプロセッサ及び第2のプロセッサがアクセス可能に接続され、前記第1のプロセッサのメモリ使用領域と、前記第2のプロセッサのメモリ使用領域と、前記第1のプロセッサと前記第2のプロセッサのメモリ共有使用領域とを有することを特徴とする請求項1記載のマルチプロセッサシステム。
- [8] 前記読み出し専用メモリに、前記第2のプログラムが分割された分割部分と、各分割部分に関する情報サイズ及び各分割部分と起動モードに関する情報を含むヘッダが

格納されていることを特徴とする請求項7記載のマルチプロセッサシステム。

- [9] 前記プログラムの分割部分は、圧縮及び／又は暗号化されて格納されていることを特徴とする請求項8記載のマルチプロセッサシステム。
- [10] 前記第2のプロセッサは、第2のプロセッサのメモリ使用領域への展開完了後、展開したプログラムの妥当性が確認できるまでリセットさせることを特徴とする請求項7記載のマルチプロセッサシステム。
- [11] 前記第2のプロセッサのメモリ使用領域への展開完了後、又は前記展開したプログラムの妥当性確認後、前記第2のプロセッサのメモリ使用領域に対し前記第1のプロセッサからのアクセス禁止の設定を可能としたことを特徴とする請求項10記載のマルチプロセッサシステム。
- [12] 請求項1乃至11のいずれか1の請求項に記載のマルチプロセッサシステムを使用した携帯端末。
- [13] 第1のプロセッサと、第2のプロセッサと、第1のプロセッサが実行する第1のプログラムと第2のプロセッサが実行する第2のプログラムを格納する読み出し専用メモリと、第2のプログラムが展開されて格納されるランダムアクセスメモリとを含むマルチプロセッサシステムにおける転送方法であって、
マルチプロセッサシステムの起動時に、前記第1のプロセッサは指定された起動モードにしたがって、前記第2のプログラムのうち前記起動モードに関係して必要な前記第2のプログラムの部分を選択して前記ランダムアクセスメモリに転送することを特徴とするマルチプロセッサシステムにおける転送方法。
- [14] 前記読み出し専用メモリに、前記第2のプログラムが分割された分割部分と、各分割部分に関する情報サイズ及び各分割部分と起動モードに関する情報を含むヘッダを格納することを特徴とする請求項13記載のマルチプロセッサシステムにおける転送方法。
- [15] 前記転送に先立って前記第2のプロセッサ用のブートローダの妥当性をチェックして前記ブートローダを転送処理する工程と、前記第2のプロセッサをコードダウンロードモードに設定してリセット起動する工程と、起動モードを判定しそれに応じた第2のプログラムの対応部分を転送する工程と、前記転送したプログラム部分の妥当性を前

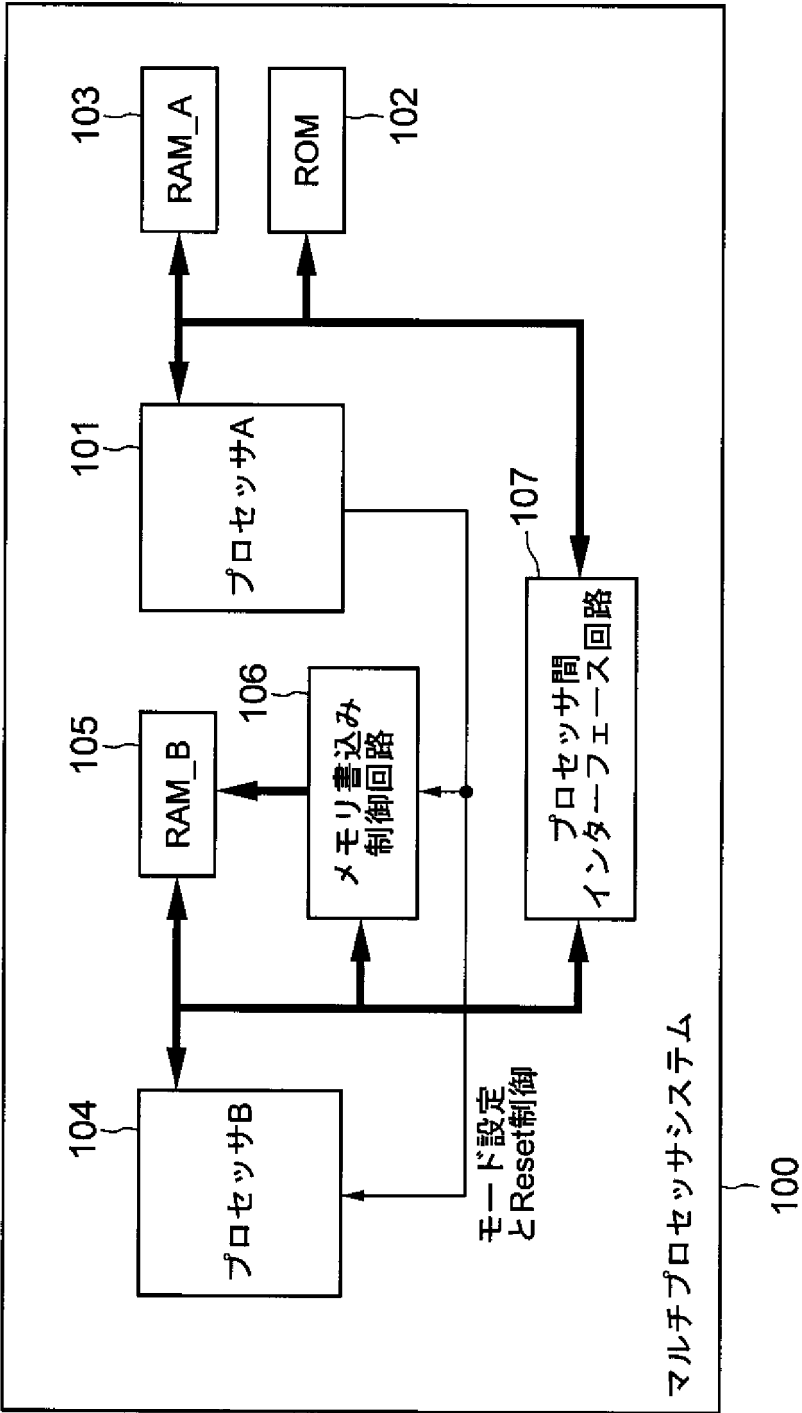
記第2のプロセッサに問合せ確認する工程と、確認後に前記第2のプロセッサを通常動作モードに設定してリセット起動する工程とを含む請求項13記載のマルチプロセッサシステムにおける転送方法。

- [16] 前記ランダムアクセスメモリに、前記第1のプロセッサのメモリ使用領域と、前記第2のプロセッサのメモリ使用領域と、前記第1のプロセッサと前記第2のプロセッサのメモリ共有使用領域とを割り振ることを特徴とする請求項13記載のマルチプロセッサシステムにおける転送方法。
- [17] 前記起動モードを判定処理する工程と、前記起動モードに応じて前記第2のプログラムから前記起動モードに対応するプログラム部分を前記第2のプロセッサのメモリ使用領域に展開処理する工程と、展開したプログラム部分の妥当性をチェックする工程と、前記第2のプロセッサメモリ使用領域に対して前記第1のプロセッサからのアクセスガードを設定する工程と、前記第2のプロセッサのリセットを解除して前記第2のプロセッサを通常動作させ前記モードを起動させる工程とを含む請求項13記載のマルチプロセッサシステムにおける転送方法。
- [18] 第1のプロセッサと、第2のプロセッサと、第1のプロセッサが実行する第1のプログラムと第2のプロセッサが実行する第2のプログラムを格納する読み出し専用メモリと、第2のプログラムが展開されて格納されるランダムアクセスメモリとを含むマルチプロセッサシステムに使用するプログラムであって、マルチプロセッサシステムの起動時に、前記第1のプロセッサが指定された起動モードにしたがって、前記第2のプログラムのうち前記起動モードに関係して必要な前記第2のプログラムの部分を選択して前記ランダムアクセスメモリに転送する処理をコンピュータに実行させることを特徴とするマルチプロセッサシステムに使用するプログラム。
- [19] 前記転送に先立ってブートローダの妥当性を判断して前記ブートローダの転送をする処理と、前記第2のプロセッサをコードダウンロードモードに設定してリセット起動する処理と、起動モードを判定しそれに応じた第2のプログラムの対応部分を転送する処理と、前記転送したプログラム部分の妥当性を前記第2のプロセッサに問合せ確認する処理と、確認後に前記第2のプロセッサを通常動作モードに設定してリセッ

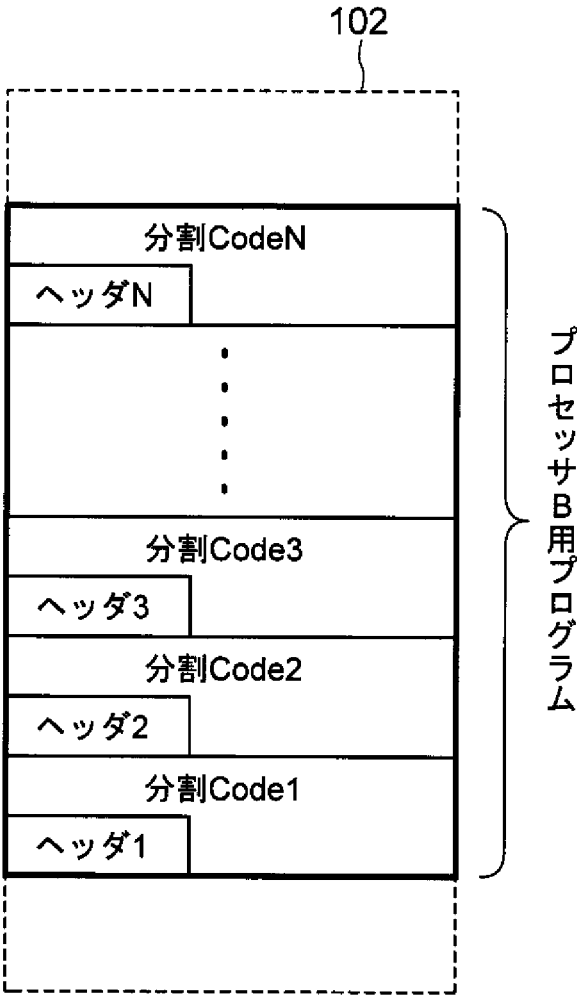
ト起動する処理とを前記コンピュータに実行させる請求項18記載のマルチプロセッサシステムに使用するプログラム。

- [20] 前記起動モードを判定処理する処理と、前記起動モードに応じて前記第2のプログラムから前記起動モードに対応するプログラム部分を前記第2のプロセッサのメモリ使用領域に展開処理する処理と、展開したプログラム部分の妥当性をチェックする処理と、前記第2のプロセッサメモリ使用領域に対して前記第1のプロセッサからのアクセスガードを設定する処理と、前記第2のプロセッサのリセットを解除して前記第2のプロセッサを通常動作させ前記モードを起動させる処理とを前記コンピュータに実行させ請求項18記載のマルチプロセッサシステムに使用するプログラム。

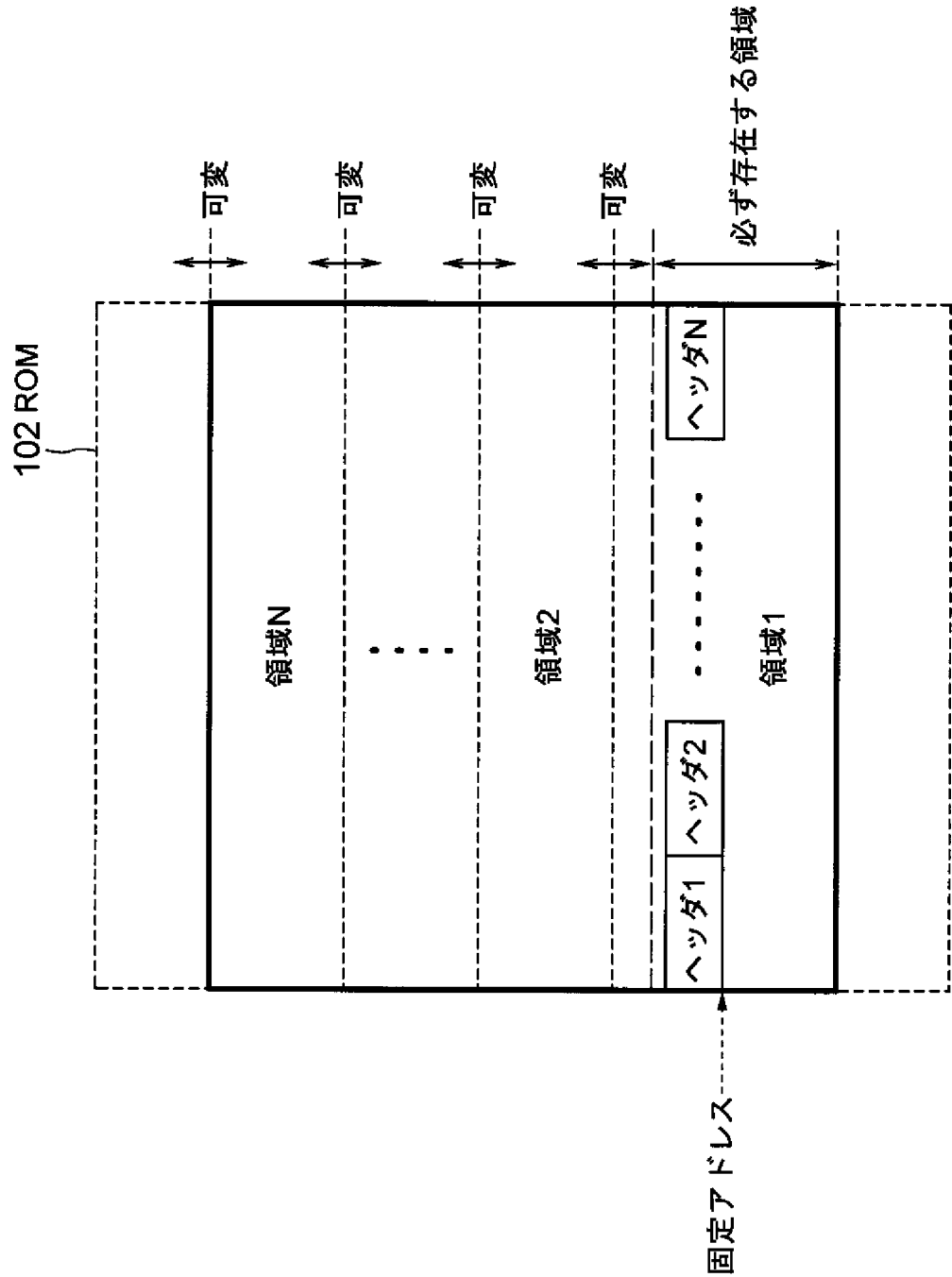
[図1]



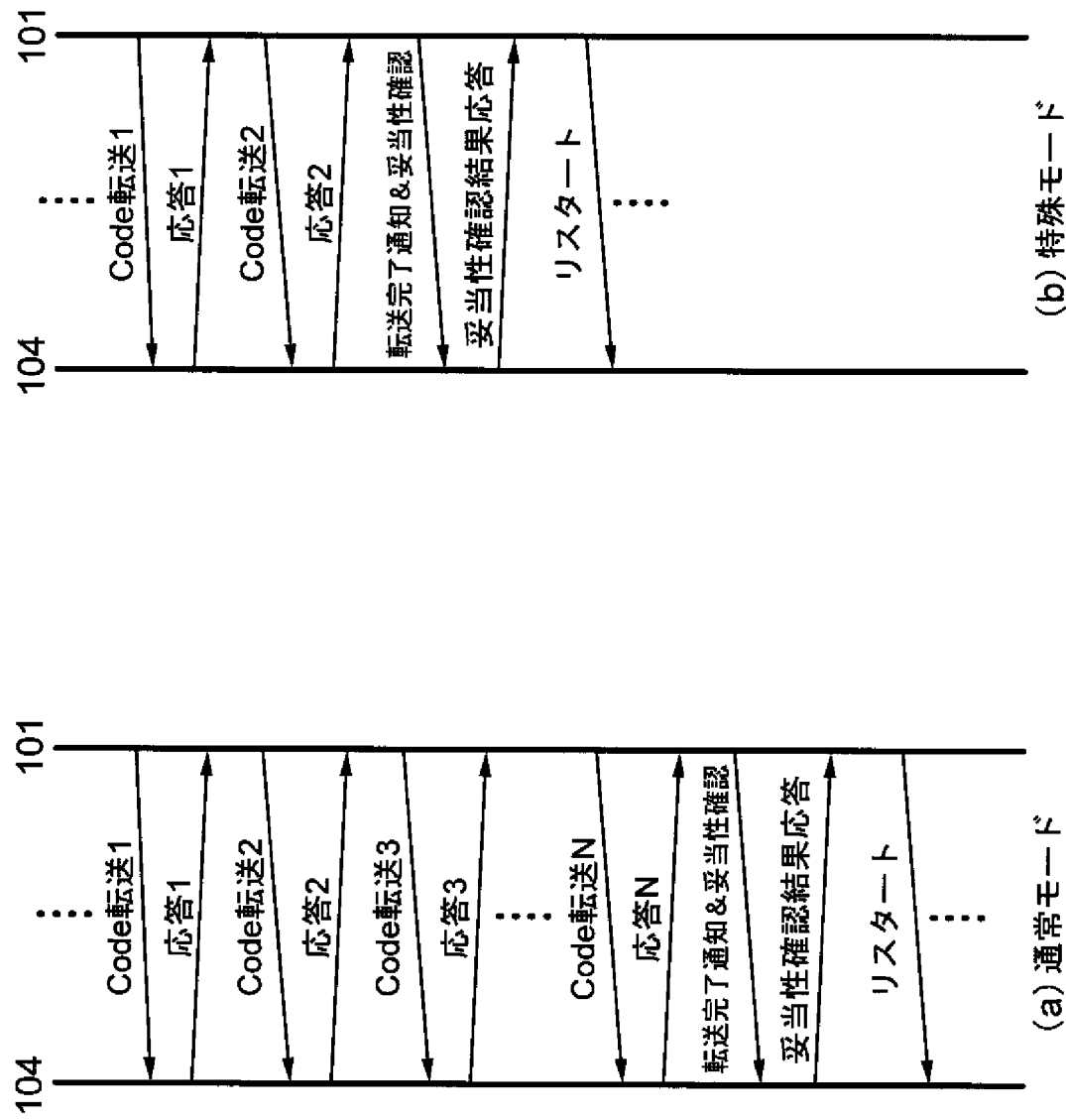
[図2]



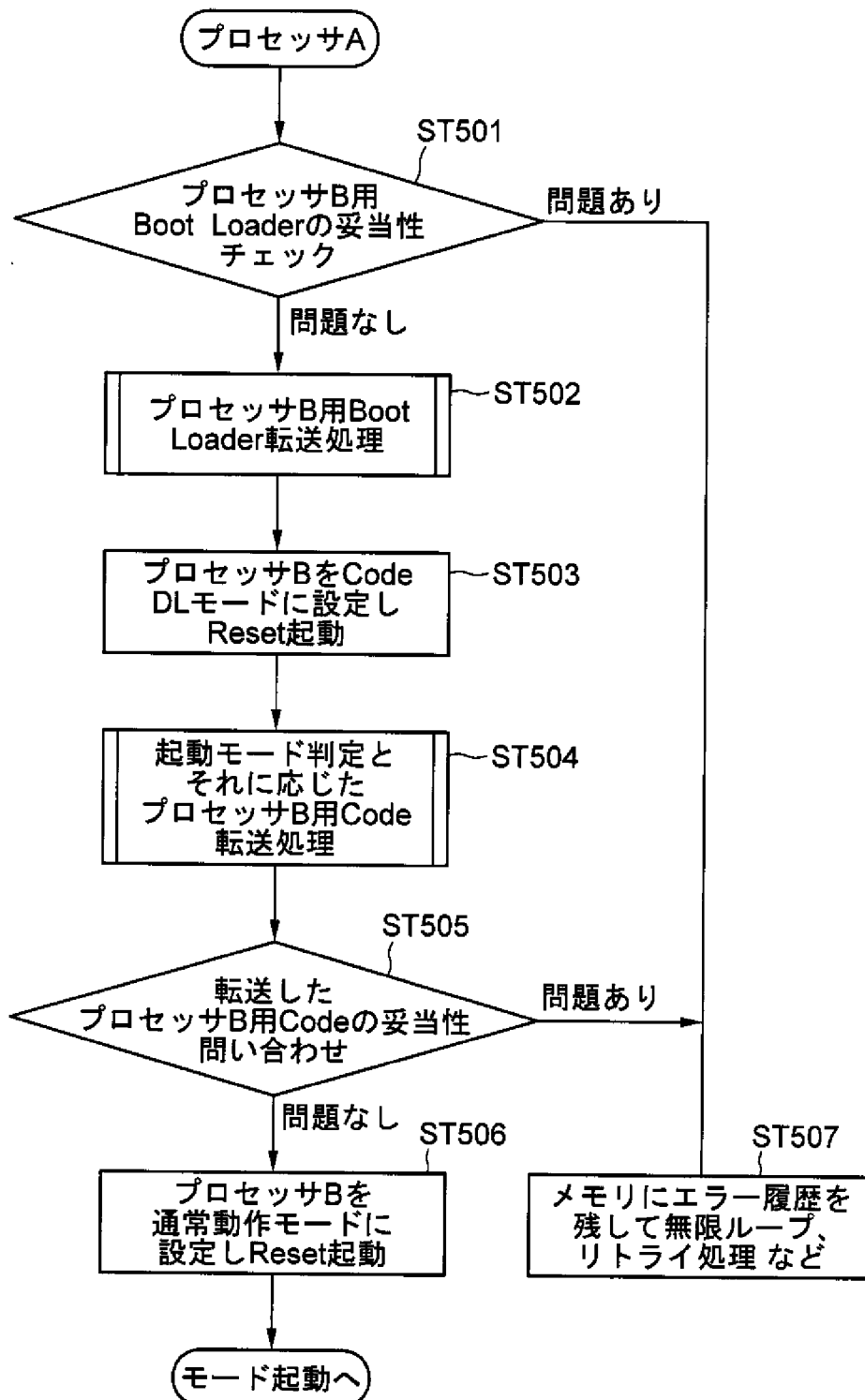
[図3]



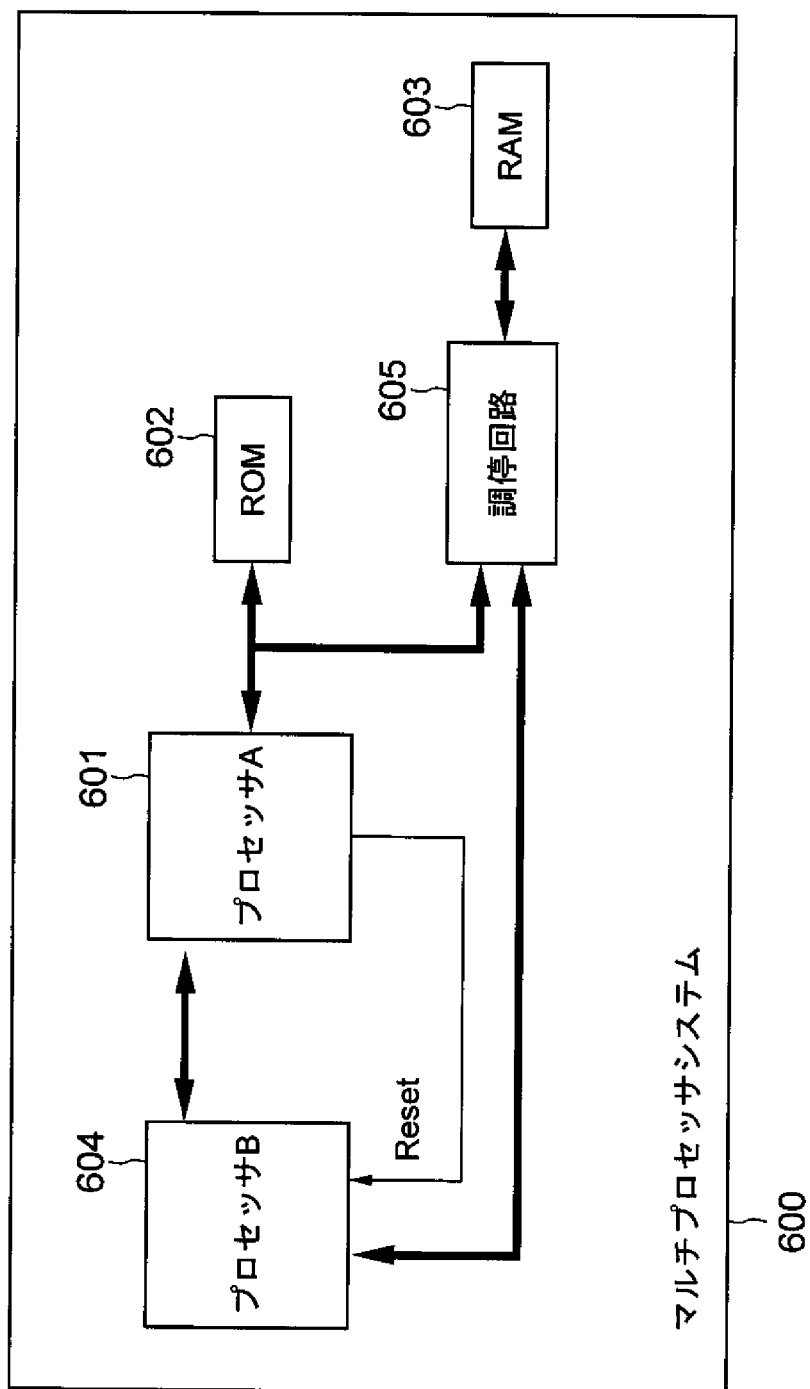
[図4]



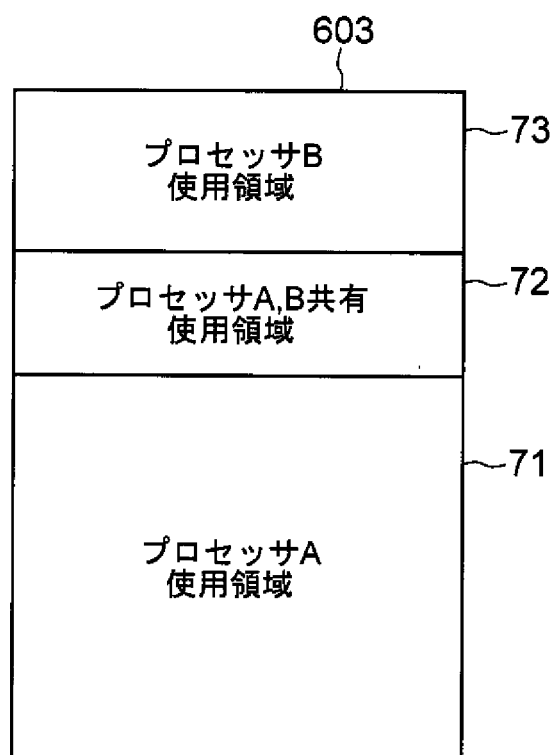
[図5]



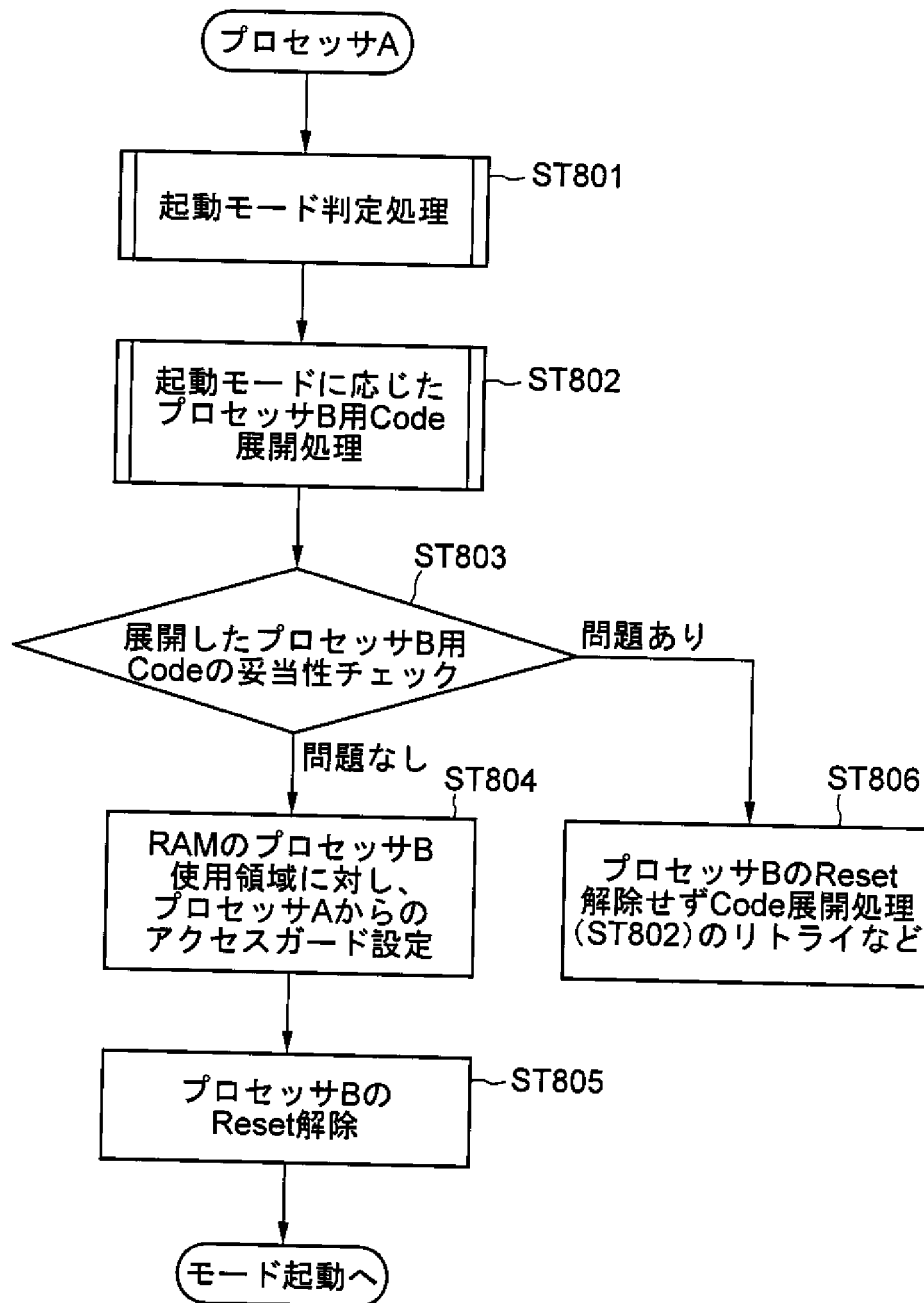
[図6]



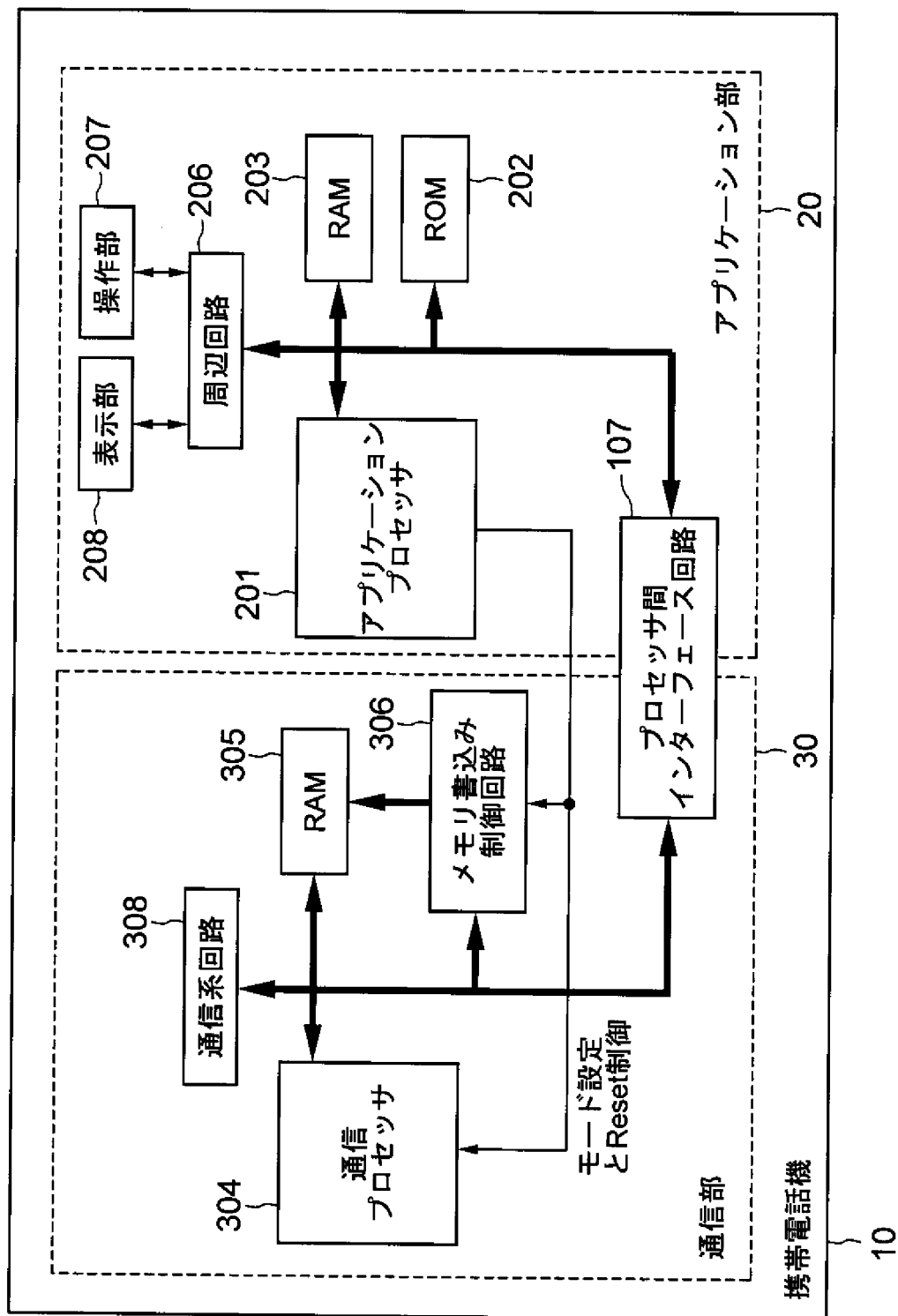
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/062495

A. CLASSIFICATION OF SUBJECT MATTER

G06F15/177(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F15/177

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-45209 A (NEC Saitama, Ltd.), 16 February, 1999 (16.02.99), Par. Nos. [0012] to [0022], [0030]; Figs. 1, 2, 4 (Family: none)	1-3, 7, 10-13, 15-20 4-6, 8, 9, 14
Y	JP 11-184831 A (Kobe Steel, Ltd.), 09 July, 1999 (09.07.99), Full text; all drawings & US 6377979 B1	4-6, 8, 9, 14
A	JP 3-105424 A (NEC Engineering Kabushiki Kaisha), 02 May, 1991 (02.05.91), Full text; all drawings (Family: none)	1-20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 July, 2007 (24.07.07)

Date of mailing of the international search report
07 August, 2007 (07.08.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/062495

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-104358 A (Hitachi, Ltd.), 06 April, 1992 (06.04.92), Page 4, lower left column, line 3 to page 6, upper right column, line 1; Fig. 1 (Family: none)	1-20
A	JP 7-36704 A (NEC Corp.), 07 February, 1995 (07.02.95), Par. Nos. [0017] to [0035]; Figs. 1 to 2 (Family: none)	1-20
A	JP 2002-7158 A (Matsushita Electric Industrial Co., Ltd.), 11 January, 2002 (11.01.02), Full text; all drawings (Family: none)	1-20

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F15/177 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F15/177

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 1 1 - 4 5 2 0 9 A (埼玉日本電気株式会社)	1 - 3, 7,
	1 9 9 9. 0 2. 1 6,	1 0 - 1 3,
	段落【0 0 1 2】 - 【0 0 2 2】, 【0 0 3 0】, 第1, 2, 4図	1 5 - 2 0
Y	(ファミリーなし)	4 - 6, 8,
		9, 1 4
Y	J P 1 1 - 1 8 4 8 3 1 A (株式会社神戸製鋼所)	4 - 6, 8,
	1 9 9 9. 0 7. 0 9, 全文, 全図	9, 1 4
	& U S 6 3 7 7 9 7 9 B 1	

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4. 0 7. 2 0 0 7

国際調査報告の発送日

0 7. 0 8. 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

久保 正典

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 4 5

5 B

9 6 4 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 3-105424 A (日本電気エンジニアリング株式会社) 1991.05.02, 全文, 全図 (ファミリーなし)	1-20
A	J P 4-104358 A (株式会社日立製作所) 1992.04.06, 第4頁左下欄第3行~第6頁右上欄第1行, 第1図 (ファミリーなし)	1-20
A	J P 7-36704 A (日本電気株式会社) 1995.02.07, 段落【0017】-【0035】, 第1-2図 (ファミリーなし)	1-20
A	J P 2002-7158 A (松下電器産業株式会社) 2002.01.11, 全文, 全図 (ファミリーなし)	1-20