(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[5]
H03M 1/11

(11) 공개번호 특1994-0001573
(43) 공개일자 1994년01월11일

(21) 출원번호 특1993-0010190
(22) 출원일자 1993년06월07일

(30) 우선권주장 92-186205 1992년06월19일 일본(JP)
(71) 출원인 가부시끼가이샤 히다찌세이사꾸쇼 가나이 쯔또무
일본국 도꾜도 지요다구 간다 스루가다이 4-6
(72) 발명자 하라 히로따까
일본국 도꾜도 고다이라시 죠스이혼쵸 5-19-1 히다찌세이신료
이시하라 유끼모또
일본국 도꾜도 오우메시 오우메 478-1 그린우드 102
고꾸보 마사루
일본국 도꾜도 하찌오지시 고야스쵸 2-32 히다찌고야스다이아파트 B404
(74) 대리인 백남기

심사청구 : 없음

(54) A/D 변환기

요약

오버샘플링형 A/D 변환회로의 후단에 접속되는 데시메이션필터에 관한 것으로서, 회로규모의 증대없이 위상 제어 가능한 데시메이터필터와 디지탈데이타의 출력위상이 가변인 시스템에 있어서도 특성이 우수한 A/D 변환기를 얻기 위해, 필터연산부(2)는 오버샘플링 A/D 변환회로(1)의 출력을 받는다 소정의 적분위상상태에 대한 필터 출력이 얻어질때까지의 연산도중에 필터연산부(2)에서 얻어지는 연산도중의 소정의 정보를 보정회로(3-1)이 소정의 타이밍에서 취득하고, 이것을 상기 소정의 위상상태에 대해서 적분위상을 진행 또는 지연시켰을때와 적분위상을 변환시키지 않을때의 필터출력의 차분값에 따르는 보정정보로써 재차 필터연산부(2)로 되돌려서 위상제어된 필터출력 DMout를 얻는다. 보정회로(3-1)의 보정정보취득 타이밍은 제어회로(7-1)이 제어한다

이러한 A/D 변환기를 이용하는 것에 의해, 회로규모의 증대없이 위상제어가능한 데시메이션필터를 실현할 수 있고 회로규모의 축소와 미세한 제어가 가능하게 되며, 또한 위상이 가변인 시스템에서도 특성이 우수한 A/D 변환기를 얻을 수 있고, 그러한 A/D 변환기를 적용하는 것에 의해 전송성능을 양호하게 유지할 수 있다.

대표도

도1

명세서

[발명의 명칭]

A/D 변환기

[도면의 간단한 설명]

제1도는 본 발명의 1실시예에 관한 이동평균 필터의 블럭도,

제2도는 출력위상이 변동하는 시스템에 있어서의 제1도의 이동평균 필터의 임펄스응답예를 도시한 설명도,

제3도는 출력위상이 변동하는 시스템에 있어서의 이동평 필터의 다른 임펄스웅답예를 도시한 설명도,

제4도는 제2도의 임펙스응답을 갖는 제1도의 이동평균 필터의 상세한 1실시예의 회로도,

제5도는 제4도의 회로에 있어서의 위상진행시의 동작타이밍도,

제6도는 제4도의 회로에 있어서의 위상지연시의 동작타이밍도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

입력디지탈신호에 대해서 소정의 적분위상상태로써 필터출력을 연산하는 필터연산부, 상기 입력디지탈신호를 받고 상기 소정의 적분위상상태에 대해서 적분위상을 진행 또는 지연시켰을때와 적분위상을 변화시키지 않을때의 필터출력의 차분값을 연산하는 보정회로 및 외부에서 부여되는 위상변화정보에 따라서 상기 필터연산부의 출력과 상기 보정회로에서 출력되는 차분값을 선택적으로 가산하는 가산수단을 포함하며, 입력디지탈신호를 적분위강에 따라서 적분하는 것에 의해 입력디지탈신호의 이동평근을 취해서 필터출력으로 하는 이동평균필터.

청구항 2

입력디지탈신호에 대해서 소정의 적분위상상태로써 필터출력을 연산하는 필터연산부, 상기 소정의 적분위상상태에 대해서 적분위상을 진행 또는 지연시켰을때와 적분위상을 변화시키지 않을때의 필터출력의 차분값에 따르는 보정정보를 상기 필터연산부의 소정의 노드에서 소정의 타이밍에 따라서 취득하고, 취득한 보정정보를 필터연산부의 소정의 노드에 공급하는 보정회로 및 외부에서 부여되는 위상변화정보를 받고, 이것에 따라서 지시되는 위상지연상태와 위상진행상태의 각각에 대응해서 상기 좌정 회로가 보정정보를 취득하는 타이밍 신호를 생성하는 제어회로를 포함하며, 입력디지탈신호를 적분위상에 따라서 적분하는 것에 의해 입력 디지탈신호의 이동평균을 취해서 필터출력으로 하는 이동평균필터.

청구항 3

제2항에 있어서, 상기 보정회로는 상기 타이밍신호에 따라서 입력신호를 길치하는 래치회로인 이동평균필터.

청구항 4

입력아날로그신호를 소정의 샘플링클럭에 따라서 샘플링하고, 이것을 디지탈신호로 변환해서 출력하는 오버샘플링형 A/D 변환회로 상기 오버샘플링형 A/D 변환회로의 출력을 입력디지탈신호 하는 청구항 제1～제3항중 어느 한항의 이동평균필터 및 상기 오버샘플링클럭을 상기 이동평균필터의 필터출력에 위상동기화함과 동시에 이동평균필터의 필터 출력에 따라서 이동평균 필터에 공급해야할 위상변화정보를 생성하는 DPLL회로를 포함하는 A/D 변환기.

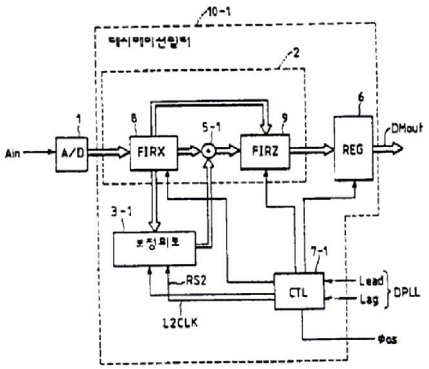
청구항 5

제4항에 있어서, 상기 A/D 변환기는 통합디지탈 통신망의 가입자선전송장치에 포함되어 이루어지는 A/D 변환기.

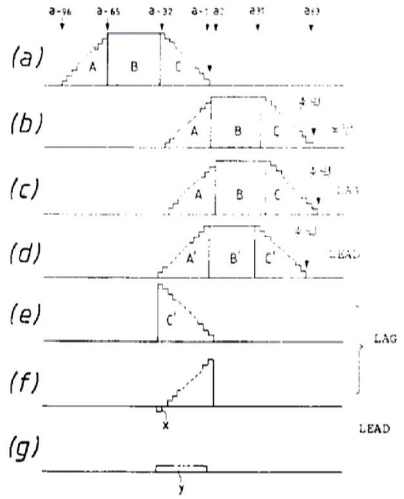
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

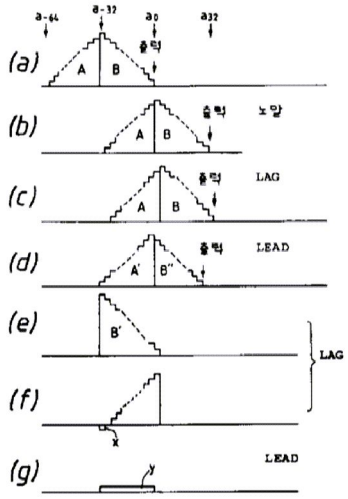
도면1



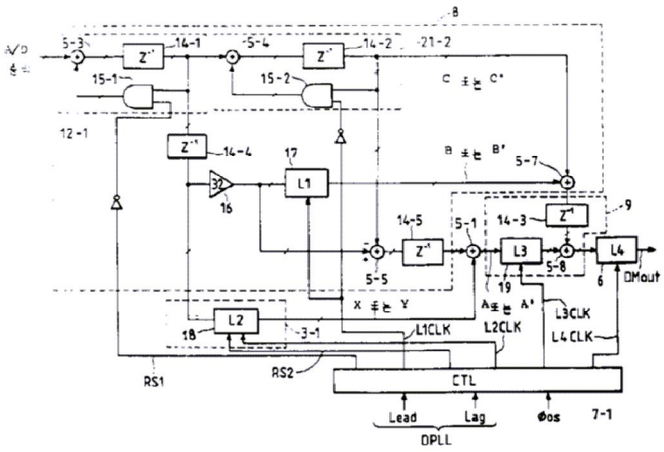
도면2


(a)
(b)
(c)
(d)
(e)
(f)
(g)
A
B
C
A'
B'
C'
LAG
LEAD
x
y

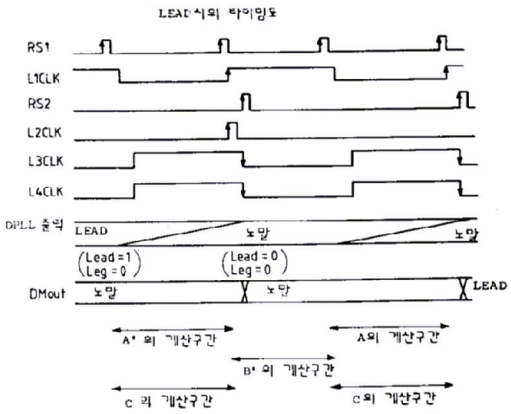
도면3


(a)
(b)
(c)
(d)
(e)
(f)
(g)
A
B
LAG
LEAD
x
y

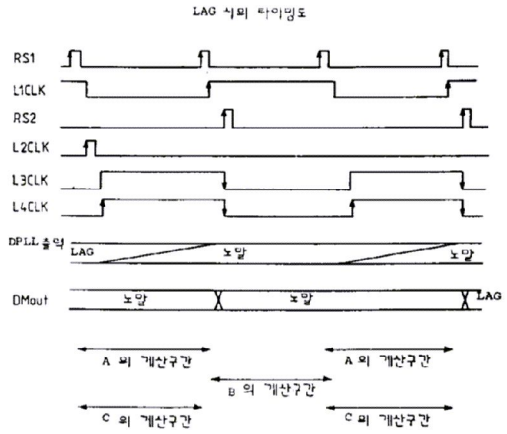
도면4


A/D
5-3
Z⁻¹
14-1
5-4
14-2
21-2
15-1
15-2
12-1
14-4
17
L1
16
14-5
5-1
14-3
9
5-5
L3
5-8
L4
6
DMout
19
18
L2
3-1
L1CLK
L2CLK
L3CLK
L4 CLK
RS1
RS2
CTL
Lead
Lag
φos
7-1
DPLL

도면5


LEAD 시의 타이밍도
RS1
L1CLK
RS2
L2CLK
L3CLK
L4CLK
DPLL 출력
LEAD
노말
노말
(Lead=1 Leg=0)
(Lead=0 Leg=0)
DMout
노말
노말
LEAD
A' 의 계산구간
A의 계산구간
B' 의 계산구간
C 의 계산구간
C의 계산구간

도면6


LAG 시의 타이밍도
RS1
L1CLK
RS2
L2CLK
L3CLK
L4CLK
DPLL 출력
LAG
노말
노말
DMout
노말
노말
LAG
A 의 계산구간
A 의 계산구간
B 의 계산구간
C 의 계산구간
C 의 계산구간