

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G11C 16/00

(45) 공고일자 2003년11월21일
(11) 등록번호 10-0406612
(24) 등록일자 2003년11월10일

(21) 출원번호 10-2000-0054397
(22) 출원일자 2000년09월16일

(65) 공개번호 특2001-0077868
(43) 공개일자 2001년08월20일

(30) 우선권주장 2000-014557 2000년01월24일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시기가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고

(72) 발명자 다마다사토루
일본도쿄도지요다쿠마루노우치2초메2반3고미쓰비시덴키가부시기가이샤내

사에키다츠야
일본도쿄도지요다쿠마루노우치2초메2반3고미쓰비시덴키가부시기가이샤내

고우로야스히로
일본도쿄도지요다쿠마루노우치2초메2반3고미쓰비시덴키가부시기가이샤내

(74) 대리인 김창세

심사관 : 송진숙

(54) 다치 데이터를 기억하는 구성을 갖는 불휘발성 반도체기억 장치 및 이 불휘발성 반도체 기억장치를 구비하는데이터 기억 시스템

요약

불휘발성 반도체 기억 장치 및 데이터 기억 시스템에 관한 것으로서, 메모리의 대용량을 실현하고 또한 데이터의 신뢰성, 고속 동작을 가능하게 하기 위해서, 여러개의 메모리 셀을 포함하는 불휘발성 메모리 셀 어레이, 다치 플래그부 및 여러개의 메모리 셀에 대한 데이터의 라이트 동작, 리드 동작, 소거 동작을 제어하기 위한 제어용 CPU를 구비하고, 다치 플래그부는 메모리셀에 라이트한 데이터가 2치 데이터인지 다치 데이터인지를 나타내는 값을 기억하고, 제어 회로는 라이트 요구에 따라서 라이트 대상으로 되는 메모리 셀에 2치 데이터 또는 다치 데이터를 라이트하고, 리드 동작시에는 리드 대상으로 되는 메모리 셀의 라이트 내용에 따라서 2치 데이터 또는 다치 데이터를 리드하도록 하였다. 이렇게 하는 것에 의해, 요구에 따라서 2치 데이터 또는 3이상의 다치 데이터를 라이트하고 리드할 수 있으므로 대용량의 데이터를 기억하면서 필요에 따라서 고신뢰성이고 또한 고속으로 데이터를 라이트하고 또 리드할 수가 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예1에 의한 플래시 메모리(1000)의 전체구성의 개요를 도시한 블록도,
 도 2는 플래시 메모리(1000)의 주요부의 구성을 도시한 회로도,
 도 3은 신호 처리 회로(25)의 구성에 대해서 설명하기 위한 회로도,
 도 4a 도 4c는 선택 프리차지 처리, 선택 디스차지 처리, 센스 처리에 있어서의 신호의 상태를 도시한 도면,
 도 5는 다치 플래시 메모리의 리드 동작시에 있어서의 워드선 전압을 도시한 도면,
 도 6a 도 6c는 다치 플래시 메모리에 있어서의 리드 시퀀스(READ1 READ3)를 도시한 도면,
 도 7a 및 도 7b는 다치 플래시 메모리에 있어서의 리드 시퀀스를 도시한 도면,
 도 8은 다치 플래시 메모리의 리드 동작시에 있어서의 데이터와 센스 래치의 값의 관계를 도시한 도면,
 도 9는 플래시 메모리(1000)의 다치 데이터 리드 동작시에 있어서의 워드선 전압을 도시한 도면,
 도 10a 도 10c는 플래시 메모리(1000)에 있어서의 다치 데이터의 리드 시퀀스(READ1 READ3)를 도시한 도면,
 도 11a 및 도 11b는 플래시 메모리(1000)에 있어서의 다치 데이터의 리드 시퀀스를 도시한 도면,
 도 12는 플래시 메모리(1000)의 다치 데이터 리드 동작시에 있어서의 데이터와 센스 래치의 값의 관계를 도시한 도면,
 도 13은 플래시 메모리(1000)의 2치 데이터 리드 동작시에 있어서의 워드선 전압을 도시한 도면,
 도 14a 및 도 14b는 플래시 메모리(1000)에 있어서의 2치 데이터의 리드 시퀀스에 대해서 설명하기 위한 도면,
 도 15는 플래시 메모리(1000)의 2치 데이터 리드 동작시에 있어서의 데이터와 센스 래치의 값의 관계를 도시한 도면,
 도 16은 다치 플래시 메모리의 라이트 동작시에 있어서의 워드선 전압을 도시한 도면,
 도 17a 도 17d는 다치 플래시 메모리에 있어서의 라이트 시퀀스(PROGRAM1)에 대해서 설명하기 위한 도면,
 도 18a 도 18d는 다치 플래시 메모리에 있어서의 라이트 시퀀스(PROGRAM2)에 대해서 설명하기 위한 도면,
 도 19a 도 19d는 다치 플래시 메모리에 있어서의 라이트 시퀀스(PROGRAM3)에 대해서 설명하기 위한 도면,
 도 20은 다치 플래시 메모리의 라이트 동작시에 있어서의 데이터와 센스 래치의 값의 관계를 도시한 도면,
 도 21은 플래시 메모리(1000)의 다치 데이터 라이트 동작시에 있어서의 워드선 전압을 도시한 도면,
 도 22a 도 22d는 플래시 메모리(1000)에 있어서의 다치 데이터의 라이트 시퀀스(PROGRAM1)를 도시한 도면,
 도 23은 플래시 메모리(1000)의 다치 데이터 라이트 동작시에 있어서의 데이터와 센스 래치의 값의 관계를 도시한 도면,
 도 24는 플래시 메모리(1000)의 2치 데이터 라이트 동작시에 있어서의 워드선 전압을 도시한 도면,
 도 25a 도 25c는 플래시 메모리(1000)에 있어서의 2치 데이터의 라이트 시퀀스(PROGRAM1)를 도시한 도면,
 도 26은 플래시 메모리(1000)의 2치 데이터 라이트 동작시에 있어서의 데이터와 센스 래치의 값의 관계를 도시한 도면,
 도 27a 도 27d는 플래시 메모리(1000)의 라이트/소거/리드시에 있어서의 전압 관계를 설명하기 위한 도면,
 도 28은 본 발명의 실시예2에 의한 플래시 메모리의 2치 데이터 리드시에 있어서의 워드선 전압을 도시한 도면,
 도 29a 도 29e는 본 발명의 실시예2에 의한 플래시 메모리에 있어서의 2치 데이터의 리드 시퀀스를 도시한 도면,
 도 30a 도 30d는 본 발명의 실시예2에 있어서의 00 레벨 검출 처리의 내용을 도시한 도면,
 도 31a 도 31c는 본 발명의 실시예2에 있어서의 10 레벨 검출 처리의 내용을 도시한 도면,
 도 32는 2치 데이터 리드 동작시에 있어서의 데이터와 센스 래치의 값의 관계를 도시한 도면,
 도 33은 전체 래치 판정 회로(200)의 구성을 도시한 회로도,
 도 34는 본 발명의 실시예4에 의한 데이터 기억 시스템(4000)에 대해서 설명하기 위한 도면,
 도 35는 데이터 기억 시스템(4000)에 있어서의 어드레스 공간상의 데이터 배치예를 나타내는 도면,
 도 36은 다치 플래시 메모리만을 여러개 배치한 데이터 기억 시스템에 있어서의 라이트 제어를 도시한 흐름도,
 도 37은 데이터 기억 시스템(4000)에 있어서의 제1 라이트 제어를 도시한 흐름도,
 도 38은 데이터 기억 시스템(4000)에 있어서의 제2 라이트 제어를 도시한 흐름도,
 도 39는 데이터 기억 시스템(4000)에 있어서의 라이트 데이터의 크기에 따른 라이트 제어 처리를 도시한 흐름도,
 도 40은 데이터 기억 시스템(4000)에 있어서의 리드 제어를 도시한 흐름도,
 도 41은 본 발명의 실시예5에 의한 데이터 기억 시스템(5000)에 대해서 설명하기 위한 도면,
 도 42는 데이터 기억 시스템(5000)에 있어서의 어드레스 공간상의 데이터 배치예를 도시한 도면,
 도 43은 다치 데이터와 2치 데이터의 관계를 도시한 도면,
 도 44는 불휘발성 메모리 셀에 있어서의 다치 데이터와 2치 데이터의 관계를 도시한 도면.

도면의 주요 부분에 대한 부호의 설명

1, 2 : 데이터 래치 3#1, 3#2 : 센스 래치
 11 : 입출력 버퍼 12 : 어드레스 디코더
 13 : 커맨드 디코더 14A, 14B : 광 디코더
 15A, 15B : 다치 플래그부 16 : 제어용 CPU
 17 : 버퍼 회로 18 : 스테이타스 레지스터
 19, 20 : Y 디코더/데이터 래치 21 : Y 디코더/센스 래치
 22 : 다치 플래그 센스 래치부 25 : 신호 처리부
 100A 100C : 다치/2치 플래시 메모리
 102 : 2치 플래시 메모리 104A, 104B : 다치 플래시 메모리
 400 : 시스템 제어기 401 : 카운터/타이머
 402 : 버퍼 403 : 제어기

404 : 에러 정정 회로 1000 : 플래시 메모리
 4000 : 데이터 기억 시스템 4100 : 호스트 시스템
 MA, MB : 메모리 셀 어레이 M : 메모리 셀
 MF : 다치 플래그

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 불휘발성 반도체 기억 장치 및 데이터 기억 시스템에 관한 것으로서, 특히 전기적으로 라이트/소거 가능한 불휘발성 반도체 메모리 셀을 사용하는 구성에 관한 것이다.

전기적으로 라이트 소거가 가능한 불휘발성 반도체 메모리(플래시 메모리)는 기판상에서의 리라이트가 가능하다는 장점을 살려서, 당초 프로그램 코드 저장용 메모리로서 EPROM(Erasable Programmable Read Only Memory)이나 마스크 ROM(Read Only memory)의 대체로서 보급하였다.

최근에는 반도체 가공기술의 미세화가 진보했기 때문에, 화상 데이터나 음성 데이터를 기억할 수 있는 대용량 플래시 메모리가 등장하고, 디지털 스틸 카메라나 휴대 오디오로의 응용이 급속히 진행되고 있다.

그러나, 동화(움직임화상) 데이터의 라이트를 가능하게 하기 위해서 플래시 메모리에는 한층더 대용량화가 요구되고 있다.

플래시 메모리의 가일층의 대용량화 실현을 위한 중요한 기술로서는 반도체가공기술의 미세화와 함께 다치화(多値化)의 기술을 들 수 있다. 플래시 메모리는 일반적으로 절연막에 의해서 주위와 절연된 플로팅 게이트에 고전계를 인가하고, 전하를 주입하거나 또는 방출하는 것에 의해서 메모리 셀의 임계값을 변화시켜 데이터를 기억한다.

통상의 플래시 메모리(2치 플래시 메모리)의 경우, 메모리의 임계값이 높은 상태를 "1"(또는 "0"), 메모리 셀의 임계값이 낮은 상태를 "0"(또는 "1")에 대응시키고 있다(2치 데이터).

다치(multi-valued) 기술을 이용한 플래시 메모리(다치 플래시 메모리)의 경우, 메모리 셀의 임계값을 3이상의 여러 개의 상태로 설정한다. 예를 들면, 4진을 기억할 수 있는 플래시 메모리에서는 메모리 셀의 임계값을 4개의 상태로 해서, 순서대로 "11"(임계값이 가장 낮은 상태), "10", "00", "01"(임계값이 가장 높은 상태)에 대응시킨다. 이것에 의해, 1개의 메모리 셀에 2비트의 데이터를 기억할 수 있다(다치 데이터). 메모리 셀의 물리적인 상태와 논리적인 데이터의 대응은 2치 플래시 메모리와 마찬가지로 임의로 정할 수 있는 것은 물론이다.

그런데, 다치 플래시 메모리를 실현하는데 있어서, 메모리 셀에 "1"(또는 "0")을 기억하고 장시간 방치한 후에 해당 데이터를 리드하면, "0"(또는 "1")으로 된다는 중요한 문제가 있다.

이 문제점은 물리적으로는 주로 플로팅 게이트에 주입된 전자가 절연막의 에너지장벽을 빠져 나가 반도체 기판 또는 게이트로 방출되기 때문에, 또는 반도체 기판 또는 게이트에서 주입되는 것에 의해 메모리 셀의 임계값이 변화하기 때문에 일어난다.

도 44를 참조해서, 2치 플래시 메모리의 경우에는 예를 들면 "1"상태의 임계값을 1V 1.7V, "0"상태의 임계값을 4.3V 이상으로 하고, 리드시의 판정 임계값을 3V로 한다. 이 경우, "1"상태 및 "0"상태 모두 1.3V의 리드 여유가 있다. 이 경우, 1.3V에 상당하는 전자가 주입/방출되면 오리드(리드에러)가 발생한다.

이에 대해, 다치 플래시 메모리의 경우에는 예를 들면 "11"상태의 임계값을 1V 1.7V, "10"상태의 임계값을 2.3V 2.7V, "00"상태의 임계값을 3.3V 3.7V, "01"상태의 임계값을 4.3V이상으로 한다. 리드시의 판정 임계값을 2V, 3V, 4V로 하면, 각각의 상태의 리드 여유는 0.3V밖에 없다. 따라서, 0.3V에 상당하는 전자가 주입/방출되면 오리드가 발생하게 된다.

도 44의 F로 표시되는 Vgs-Ids 특성을 갖는 메모리 셀이 플로팅 게이트에서 전자가 방출되는 것에 의해 F2로 표시되는 Vgs-Ids 특성을 갖는 메모리 셀과 동일한 상태로 된 경우, 다치 플래시 메모리에서는 라이트된 "01"데이터가 "00"으로 오리드되어 버린다.

마찬가지로, F3으로 표시되는 Vgs-Ids 특성을 갖는 메모리 셀이 F4로 표시되는 Vgs-Ids 특성을 갖는 메모리 셀과 동일한 상태로 된 경우, 다치 플래시 메모리에서는 라이트된 "11"의 데이터가 "10"으로 오리드되어 버린다.

이에 대해서, 2치 플래시 메모리에서는 F1의 상태의 메모리 셀이 F2의 상태로 된 경우라도 또는 F3의 상태의 메모리 셀이 F4의 상태로 되더라도 정확하게 데이터가 리드된다.

이와 같이, 다치 플래시 메모리와 2치 플래시 메모리에서는 서로 물리적으로는 동등한 데이터 유지 특성을 가짐에도 불구하고, 데이터의 신뢰성은 다치 플래시 메모리보다 2치 플래시 메모리 쪽이 우수하다. 또, 데이터 전송 속도의 점에서는 2치 플래시 메모리 쪽이 우수하다. 그 반면, 상술한 바와 같이 비용 및 대용량화의 점에서는 다치 플래시 메모리 쪽이 우수하다. 따라서, 앞으로는 이들의 모든 특성을 유효하게 살린 디바이스(장치)의 개발이 요청된다.

발명이 이루고자 하는 기술적 과제

그래서, 본 발명의 목적은 메모리의 대용량을 실현하고 또한 데이터의 신뢰성, 고속 동작을 가능하게 하는 불휘발성 반도체 기억 장치 및 데이터 기억 시스템을 제공하는 것이다.

발명의 구성 및 작용

본 발명의 하나의 국면에 따른 불휘발성 반도체 기억 장치는 여러개의 메모리 셀을 포함하는 불휘발성 메모리 셀 어레이와 여러개의 메모리 셀에 대한 라이트 동작, 리드 동작 및 소거 동작을 제어하기 위한 제어 회로를 구비하고, 제어 회로는 라이트 요구에 따라서 라이트 대상으로 되는 메모리 셀에 2치 데이터 또는 다치 데이터를 라이트하고, 리드 동작시에는 리드 대상으로 되는 메모리 셀의 라이트 내용에 따라서 2치 데이터 또는 다치 데이터를 리드한다.

바람직하게는, 제어 회로는 라이트 대상으로 되는 메모리 셀을 2치 데이터의 라이트시에는 소거 상태인 제1 상태 또는 제1 상태와는 다른 제n 상태 중의 어느 한쪽으로 설정하고, 다치 데이터의 라이트시에는 제1 상태에서 제n 상태까지의 서로 다른 합계 n개(3개 이상)의 상태 중의 어느 1개로 설정한다. 또, 제어 회로는 리드 동작시에 2치 데이터를 라이트한 메모리 셀에 대해서는 제1 상태에서 제k 상태(단, $k < n$)까지 또는 제(k+1) 상태에서 제n 상태까지의 어느 것에 속하는지를 판정하고, 다치 데이터를 라이트한 메모리 셀에 대해서는 합계 n개의 상태중 어느 것에 속하는지를 판정한다.

특히, 리드 동작시에 2치 데이터를 라이트한 메모리 셀이 합계 n개의 상태중 어느 것에 속하는지를 판정하고, 제1 상태 또는 제n 상태와는 다른 상태에 속한다고 판정된 경우에는 외부로 2치 데이터가 변화한 것을 나타내는 경고 신호를 출력한다. 또는, 상기 리드 동작시에 2치 데이터를 라이트한 메모리 셀이 합계 n개의 상태중 어느 것에 속하는지를 판정하고, 제1 상태 또는 제n 상태와는 다른 상태에 속한다고 판정된 경우에 메모리 셀에 대해서 다시 상기 2치 데이터를 라이트하기 위한 라이트 동작을 실행한다.

상기 불휘발성 반도체 기억 장치에 의하면, 요구에 따라서 2치 데이터 또는 3이상의 다치 데이터를 라이트하고 리드할 수가 있다. 이것에 의해, 대용량의 데이터를 기억하면서 필요에 따라서 고신뢰성이고 또한 고속으로 데이터를 라이트하고 또 리드할 수가 있다.

또, 상기 불휘발성 반도체 기억 장치에 의하면, 2치 데이터를 기억한 메모리 셀에 대해서 임계값의 어긋남(편차)를 검출할 수 있다.

또, 상기 불휘발성 반도체 기억 장치에 의하면, 2치 데이터를 기억한 메모리 셀에 대해서 임계값의 어긋남을 검출한 경우에 다시 2치 데이터를 라이트(데이터 수복)할 수가 있다.

바람직하게는, 여러개의 메모리 셀은 일괄해서 라이트 동작 및 리드 동작의 대상으로 되는 여러개의 라이트/리드 단위로 분할되고, 여러개의 라이트/리드 단위의 각각에 대해서 배치되는 여러개의 플래그를 더 구비하고, 여러개의 플래그의 각각은 대응하는 라이트/리드 단위의 메모리 셀에 2치 데이터를 라이트했는지 다치 데이터를 라이트했는지를 나타내는 값을 저장한다. 특히, 플래그는 메모리 셀과 동일한 구조를 갖는다.

특히, 제어 회로는 라이트 동작에 있어서 라이트 대상으로 되는 라이트/리드 단위로 2치 데이터 또는 다치 데이터를 라이트함과 동시에, 대응하는 플래그에 2치 데이터를 라이트했는지 다치 데이터를 라이트했는지를 나타내는 값을 라이트한다.

특히, 제어 회로는 외부로부터 받는 라이트 요구에 따라서, 라이트 대상으로 되는 라이트/리드 단위에 대해서 2치 데이터를 라이트하기 위한 제1 라이트 시퀀스 또는 다치 데이터를 라이트하기 위한 제2 라이트 시퀀스를 실행한다. 그리고, 제어 회로는 리드 동작에 있어서, 리드 대상으로 되는 라이트/리드 단위에 대응하는 플래그의 값에 따라서 리드 대상으로 되는 라이트/리드 단위로 2치 데이터가 라이트되고 있는 경우에는 2치 데이터를 리드하기 위한 제1 리드 시퀀스, 다치 데이터가 라이트되고 있는 경우에는 다치 데이터를 리드하기 위한 제2 리드 시퀀스를 실행한다.

상기 불휘발성 반도체 기억 장치에 의하면, 라이트/리드 단위(섹터, 페이지)마다 플래그를 배치한다. 이것에 의해, 2치 데이터를 라이트했는지 다치 데이터를 라이트했는지를 나타내는 값을 플래그에 저장할 수가 있다.

상기 불휘발성 반도체 기억 장치에 의하면, 플래그가 메모리 셀과 동일한 구조이기 때문에, 메모리 셀의 라이트/리드와 동시에 플래그에 대한 라이트/리드를 실행하는 것을 용이하게 할 수 있다.

상기 불휘발성 반도체 기억 장치에 의하면, 메모리 셀로의 라이트와 동시에 플래그에 대해 메모리 셀에 2치 데이터를 라이트했는지 다치 데이터를 라이트했는지를 기억시킬 수가 있다.

상기 불휘발성 반도체 기억 장치에 의하면, 외부에서 2치 데이터의 라이트 요구가 있는 경우에는 2치 데이터의 라이트 시퀀스를, 외부에서 다치 데이터의 라이트 요구가 있는 경우에는 다치 데이터의 라이트 시퀀스를 실행할 수 있다.

상기 불휘발성 반도체 기억 장치에 의하면, 플래그에 따라서 라이트/리드 단위마다 2치 데이터 또는 다치 데이터를 리드할 수가 있다.

바람직하게는, 여러개의 메모리 셀의 각각은 소거 상태인 제1 상태와 제1 상태에 가장 가까운 제2 상태를 포함하는 서로 다른 합계 n개의 상태(n은 3이상)를 갖고, 제어 회로는 2치 데이터의 라이트시에는 라이트 대상으로 되는 메모리 셀을 제1 상태 또는 제2 상태로 설정하고, 2치 데이터의 리드시에는 리드 대상으로 되는 메모리 셀이 제1 상태 또는 합계 n개의 상태중 제1 상태를 제외한 상태중의 어느 것에 속하는지를 판정한다.

상기 불휘발성 반도체 기억 장치에 의하면, 라이트 요구에 따라서 라이트 대상으로 되는 메모리 셀이 제1 상태 또는 제2 상태로 되도록 제어하고, 리드 동작에 있어서는 리드 대상으로 되는 메모리 셀이 제1 상태인지 제2 상태인지를 판정한다. 이것에 의해, 2치 데이터의 라이트/리드를 실행할 수 있다.

본 발명의 다른 국면에 따른 데이터 기억 시스템은 제1 특성을 갖는 제1 불휘발성 반도체 메모리 및 제1 특성과는 다른 제2 특성을 갖는 제2 불휘발성 반도체 메모리를 포함하는 메모리 영역 및 외부와 데이터의 수신을 실행하고 메모리 영역에 있어서의 데이터의 라이트 및 메모리 영역으로부터의 데이터의 리드를 실행하기 위한 제어 장치를 구비하

고, 제어 장치는 외부로부터 받는 메모리 영역에 라이트하기 위한 저장 데이터에 따라서 제1 특성에 합치한 라이트가 요구되어 있는지 제2 특성에 합치한 라이트가 요구되어 있는지를 판단하고, 판단에 따라서 제1 불휘발성 반도체 메모리 또는 제2 불휘발성 반도체 메모리에 저장 데이터를 라이트한다.

바람직하게는, 제1 특성이라는 것은 소정의 신뢰성으로 데이터를 기억할 수 있고 또한 소정의 처리 속도로 동작할 수 있는 특성이고, 제2 특성이라는 것은 제1 특성보다 상대적으로 높은 신뢰성으로 데이터를 기억할 수 있고 또한 제1 특성보다 고속으로 동작할 수 있는 특성이다.

상기 데이터 기억 시스템에 의하면, 서로 특성이 다른 불휘발성 반도체 메모리를 적어도 2개 구비해서, 저장 데이터에 따라서 해당하는 특성을 갖는 불휘발성 반도체 메모리에 데이터를 기억할 수 있다. 특히, 소정의 신뢰성으로 데이터를 기억할 수 있고 또한 소정의 처리 속도로 동작할 수 있는 제1 불휘발성 반도체 메모리와 제1 불휘발성 반도체 메모리보다 상대적으로 높은 신뢰성으로 데이터를 기억할 수 있고 또한 상기 제1 특성보다 고속으로 동작할 수 있는 제2 불휘발성 반도체 메모리를 이용하는 것에 의해서, 대용량이고 고신뢰성이며 또한 고속인 데이터 처리를 실행할 수가 있다.

바람직하게는, 제1 불휘발성 반도체 메모리는 각각이 2비트 이상의 데이터를 기억하는 여러개의 다치 데이터용 메모리 셀을 포함하고, 제2 불휘발성 반도체 메모리는 각각이 1비트의 데이터를 기억하는 여러개의 메모리 셀을 포함한다.

바람직하게는, 저장 데이터에 따라서 메모리 영역에 상대적으로 고신뢰성이 요구되는 데이터를 라이트하거나 또는 고속으로 데이터를 수수하는 것이 외부에서 요구되고 있다고 판단하는 경우에는 제2 불휘발성 반도체 메모리에 저장 데이터를 라이트하고, 그 이외의 경우에는 제1 불휘발성 반도체 메모리에 저장 데이터를 라이트한다.

바람직하게는, 제어 장치는 저장 데이터를 제1 불휘발성 반도체 메모리가 동작중이면 제2 불휘발성 반도체 메모리에, 제1 불휘발성 반도체 메모리가 동작중이 아니면 제1 불휘발성 반도체 메모리에 저장 데이터를 라이트한다.

바람직하게는, 제어 장치는 일정 기간내에 외부로부터 받는 저장 데이터의 크기를 측정하는 측정 회로 및 측정 회로의 출력을 받아 저장 데이터의 크기가 기준값 이하인 경우에는 제1 불휘발성 반도체 메모리에 저장 데이터를 라이트하고 저장 데이터의 크기가 기준값을 초과하는 경우에는 제2 불휘발성 반도체 메모리에 저장 데이터를 라이트하도록 제어하는 회로를 포함한다.

바람직하게는, 제어 장치는 외부와의 사이에서 데이터의 수수가 없는 것에 따라서, 제2 불휘발성 반도체 메모리에 이미 라이트한 데이터를 제1 불휘발성 반도체 메모리로 전송한다.

바람직하게는, 제어 장치는 메모리 영역을 관리하기 위한 관리 데이터를 제2 불휘발성 반도체 메모리에 라이트한다.

바람직하게는, 데이터에 에러 검출 부호를 부가하는 에러 정정 회로를 더 구비하고, 제어 장치는 제1 불휘발성 반도체 메모리에 저장 데이터를 라이트할 때에는 라이트 데이터에 에러 검출 부호를 부가하여 라이트를 실행하고, 제2 불휘발성 반도체 메모리에 상기 저장 데이터를 라이트할 때에는 라이트 데이터에 에러 검출 부호를 부가하지 않고 라이트를 실행한다.

상기 데이터 기억 시스템에 의하면, 2치 데이터를 기억하는 제2 불휘발성 반도체 메모리와 다치 데이터를 기억하는 제1 불휘발성 메모리를 이용할 수가 있다.

상기 데이터 기억 시스템에 의하면, 상대적으로 고신뢰성이 요구되는 데이터를 라이트하거나 또는 고속으로 데이터를 수수하는 것이 상기 외부에서 요구되고 있다고 판단하는 경우에는 2치 데이터 대응의 불휘발성 반도체 메모리에 데이터를 라이트할 수 있다.

상기 데이터 기억 시스템에 의하면, 저장 데이터를 제1 불휘발성 반도체 메모리가 동작중이면 제2 불휘발성 반도체 메모리에, 제1 불휘발성 반도체 메모리가 동작중이 아니면 제1 불휘발성 반도체 메모리에 저장 데이터를 라이트할 수 있다.

상기 데이터 기억 시스템에 의하면, 일정 기간내에 상기 외부로부터 받는 저장 데이터의 크기를 측정하는 측정회로를 구비하는 것에 의해, 상기 저장 데이터의 크기가 상기 기준값을 초과하는 경우에는 고속으로 라이트가 요구되고 있다고 판단해서 2치 데이터 대응의 불휘발성 반도체 메모리에 저장 데이터를 라이트할 수 있다.

상기 데이터 기억 시스템에 의하면, 외부와의 사이에서 데이터의 수수가 없는 것에 따라서 2치 데이터 대응의 불휘발성 반도체 메모리에 라이트한 2치 데이터를 다치 데이터 대응의 불휘발성 반도체 메모리에 다치 데이터로서 기억시킬 수가 있다.

상기 데이터 기억 시스템에 의하면, 메모리 영역을 관리하기 위한 관리 데이터에 대해서는 2치 데이터 대응의 불휘발성 반도체 메모리에 2치 데이터로서 기억시킨다. 이것에 의해, 관리 데이터에 관한 오리드의 확률이 저감하기 때문에, 시스템에 치명적인 에러를 일으킬 가능성이 저감된다.

상기 데이터 기억 시스템에 의하면, 2치 데이터에 대해서는 에러정정 처리를 실행하지 않는다. 이것에 의해, 고속인 데이터 처리가 실현된다.

본 발명의 또 다른 국면에 따른 데이터 기억 시스템은 여러개의 메모리 셀을 포함하는 불휘발성 메모리 영역을 구비하고, 여러개의 메모리 셀의 각각은 2치 또는 3진 이상의 다치의 상태로 데이터를 기억하고, 기억한 2치 또는 다치의 데이터를 리드하는 것이 가능하고, 외부와 데이터의 수수를 실행하고, 불휘발성 메모리 영역에 있어서의 데이터의 라이트 및 불휘발성 메모리 영역으로부터의 데이터의 리드를 실행하기 위한 제어 장치를 더 구비하고, 제어 장치는 저장 데이터에 따라서 상대적으로 고신뢰성이 요구되는 데이터를 라이트하거나 또는 고속으로 데이터를 수수하는 것이 외부에서 요구되고 있다고 판단하는 경우에는 2치의 상태로 저장 데이터를 불휘발성 메모리 영역에 라이트한다.

바람직하게는, 제어 장치는 일정 기간내에 외부로부터 받는 저장 데이터의 크기를 측정하는 측정 회로와 측정 회로의 출력을 받아 저장 데이터의 크기가 기준값 이하인 경우에는 불휘발성 메모리 영역에 저장 데이터를 다치의 상태로 라이트하고, 저장 데이터의 크기가 기준값을 초과하는 경우에는 불휘발성 메모리 영역에 저장 데이터를 2치의 상태로

라이트하도록 제어하는 회로를 포함한다.

특히, 제어 장치는 메모리 영역을 관리하기 위한 관리 데이터를 불휘발성 메모리 영역에 2치의 상태로 라이트한다. 바람직하게는, 데이터에 에러 검출 부호를 부가하는 에러 정정 회로를 더 구비하고, 제어 장치는 다치의 상태로 데이터를 라이트할 때에는 에러 검출 부호를 부가해서 라이트를 실행하고, 2치의 상태로 데이터를 라이트할 때에는 에러 검출 부호를 부가하지 않고 라이트를 실행한다.

상기 데이터 기억 시스템에 의하면, 2치 또는 다치의 상태로 데이터를 기억할 수 있는 여러개의 메모리 셀을 포함해서, 외부로부터 받는 데이터에 따라서 2치의 상태 또는 다치의 상태로 데이터를 저장할 수 있다. 이것에 의해, 대용량이고 고신뢰성이며 또한 고속인 데이터 처리를 실행할 수가 있다.

상기 데이터 기억 시스템에 의하면, 일정 기간내에 상기 외부로부터 받는 저장 데이터의 크기를 측정하는 측정회로를 구비하는 것에 의해, 상기 저장 데이터의 크기가 상기 기준값을 초과하는 경우에는 고속으로 라이트가 요구되고 있다고 판단해서 2치의 상태로 데이터를 라이트할 수 있다.

상기 데이터 기억 시스템에 의하면, 메모리 영역을 관리하기 위한 관리 데이터에 대해서는 2치으로 데이터를 기억시킨다. 이것에 의해, 관리 데이터에 관한 오리지의 확률이 저감하기 때문에, 시스템에 치명적인 에러를 일으킬 가능성이 저감된다.

상기 데이터 기억 시스템에 의하면, 2치 데이터에 대해서는 에러 정정 처리를 실행하지 않는다. 이것에 의해, 고속인 데이터 처리가 실현된다.

[발명의 실시예]

이하, 본 발명의 실시예에 대해서 도면을 참조하면서 상세하게 설명한다. 또한, 도면중 동일 또는 상당 부분에는 동일 부호를 붙이고 그 설명은 반복하지 않는다.

[실시예 1]

본 발명의 실시예1에 의한 플래시 메모리(1000)에 대해서 설명한다. 본 발명의 실시예1은 다치 데이터를 기억하는 영역과 2치 데이터를 기억하는 영역을 혼재시킬 수 있는 플래시 메모리에 관한 것이다.

도 1을 참조하면, 플래시 메모리(1000)은 외부와의 사이에서 신호의 수신을 실행하기 위한 여러개의 핀, 여러개의 핀에 대응해서 마련되는 입출력 버퍼(11), 입출력 버퍼(11)에서 출력되는 내부 어드레스 신호를 디코드하는 어드레스 디코더(12), 입출력 버퍼(11)에서 출력되는 내부 제어 신호를 디코드해서 커맨드(명령)를 발행하는 커맨드 디코더(13) 및 행렬형상으로 배치되는 여러개의 불휘발성 메모리 셀을 포함하는 메모리 셀 어레이 MA 및 MB를 구비한다.

여러개의 핀은 메모리가 동작중인지(Busy(비지)상태), 동작 가능한 상태인지(Ready(레디)상태)를 나타내는 신호 R/B를 출력하는 R/B핀 P1, 데이터의 입출력을 실행하는 데이터 입출력 핀군 P2 및 내부 동작을 제어하기 위한 외부 제어 신호를 받는 제어핀군 P3을 포함한다. 제어핀군 P3은 칩 인에이블 /CE 신호를 받는 /CE 핀을 포함한다.

메모리 셀 어레이 MA 및 MB에 포함되는 메모리 셀은 여러개의 상태로 설정 가능하고, 2치 데이터 또는 다치 데이터(3비트 이상)를 기억한다. 이하에서는 다치 데이터의 1예로서 “01”, “00”, “10”, “11”을 이용해서 설명한다. 다치 데이터/2치 데이터와 임계값의 관계는 도 44에 도시한 대응관계를 적용한다. 또한, 실시예1에서는 2치 데이터“0”의 라이트요구가 있었던 경우에 메모리 셀을 다치 데이터 “01”의 상태로 한다.

플래시 메모리(1000)은 또, 데이터의 라이트, 리드, 소거 등을 제어하기 위한 제어용 CPU(16) 및 검증 동작을 제어하기 위한 검증 회로(17)를 구비한다. 제어용 CPU(16)은 디바이스 내부의 상태(스테이터스)를 유지하는 상태 레지스터(18)를 포함한다. 상태 레지스터(18)가 유지하는 정보는 외부로 출력할 수 있다.

외부로부터 받는 커맨드에 의해서 메모리 셀에 데이터를 2치으로 기억할지 다치으로 기억할지를 제어한다. 커맨드 디코더(13)에 의해 2치 라이트 커맨드/다치 라이트 커맨드의 어느것이 입력되었는지를 인식시킨다. 제어용 CPU(16)은 커맨드 디코더(13)의 출력에 따라서, 2치의 라이트 시퀀스 또는 다치의 라이트 시퀀스에 따라 메모리 셀에 데이터를 라이트하기 위한 제어를 실행한다.

리드/라이트는 1개의 워드선에 접속되는 메모리 셀로 이루어지는 섹터(또는 페이지)단위로 실행한다.

플래시 메모리(1000)은 또, 어드레스 디코더(12)의 출력을 받아 메모리 셀 어레이 MA의 행방향의 선택을 실행하는 X디코더(14A), 어드레스 디코더(12)의 출력을 받아 메모리 셀 어레이 MB의 행방향의 선택을 실행하는 X디코더(14B), 메모리 셀 어레이 MA에 대해서 마련되는 다치 플래그부(15A), 메모리 셀 어레이 MB에 대해서 마련되는 다치 플래그부(15B), 어드레스 디코더(12)의 출력과 제어용 CPU(16)의 출력에 따라서 동작하는 Y디코더/데이터 래치(19, 20), 어드레스 디코더(12)의 출력과 제어용 CPU(16)의 출력에 따라서 동작하는 Y디코더/센스 래치(21) 및 다치 플래그 센스 래치부(22)를 구비한다. Y디코더는 메모리 셀 어레이의 열방향의 선택을 실행한다.

다치 플래그부(15A), (15B)에는 후술하는 바와 같이, 메모리 셀에 2치 데이터를 기억했는지 다치 데이터를 기억했는지를 나타내는 값을 저장한다. 다치 플래그부(15A), (15B)로의 데이터의 라이트(다치이면 “0”, 2치이면 “1”), 다치 플래그부(15A), (15B)의 데이터의 리드는 제어용 CPU(16)에 의해 제어한다. 다치 플래그부(15A), (15B)의 데이터는 후술하는 바와 같이 메모리 셀로부터의 데이터의 리드와 동일한 수순으로 리드한다.

도 2를 참조하면, 메모리 셀 어레이 MA는 여러개의 불휘발성 메모리 셀M과 행방향으로 배치되는 워드선 WL00 및 WL01을 포함한다. 메모리 셀 어레이 MB는 여러개의 불휘발성 메모리 셀M과 행방향으로 배치되는 워드선 WL10 및 WL11을 포함한다. 비트선 BL1, BL2는 메모리 셀 어레이 MA 및 MB의 열에 대응해서 공통으로 배치된다.

메모리 셀 M의 컨트롤 게이트층은 워드선과 접속되고, 드레인 영역은 비트선과 접속되며, 소스 영역은 소스 전압 VSL을 받는다.

X디코더(14A) 및 (14B)는 어드레스 디코더(12)가 출력하는 디코드 신호를 받는 여러개의 NAND 회로와 여러개의 인버터를 포함한다. X디코더(14A)에 포함되는 인버터 V1a는 NAND 회로 N1a의 출력을 반전하여 워드선 WL00을 구동하고, 인버터 V1b는 NAND 회로 N1b의 출력을 반전하여 워드선 WL01을 구동한다. X디코더(14B)에 포함되는

인버터 V1c는 NAND 회로 N1c의 출력을 반전하여 워드선 WL10을 구동하고, 인버터 V1d는 NAND 회로 N1d의 출력을 반전하여 워드선 WL11을 구동한다.

다치 플래그부(15A) 및 (15B)의 각각은 다치 플래그 MF를 포함한다. 다치 플래그 MF는 메모리 셀 M(불휘발성 메모리 셀)과 동일한 구조를 갖는다. 도면에 있어서는 워드선 WL00, WL01, WL10 및 WL11에 각각 접속되는 4개의 다치 플래그 MF가 도시되어 있다. 다치 플래그 MF는 섹터 또는 헤이지 단위로 배치된다. 다치 플래그 MF는 비트선 방향으로 배치되는 배선(비트선 BL0이라고 한다)에 의해 다치 플래그 센스 래치부(22)와 접속되어 있다. 다치 플래그 MF는 동일 워드선에 접속되는 메모리 셀 M에 2치로 데이터를 라이트했는지 다치로 데이터를 라이트했는지를 나타내는 값을 기억한다.

Y디코더/센스 래치(21)은 비트선에 대응해서 마련되는 센스 래치(3#1)을 포함한다. 센스 래치(3#1)은 인버터(V2a) 및 인버터(V2b)로 구성된다.

Y디코더/데이터 래치(19)는 비트선에 대응해서 배치되는 데이터 래치(1)을 포함한다. 데이터 래치(1)은 인버터(V3a) 및 인버터(V3b)로 구성된다. Y디코더/데이터 래치(20)은 비트선에 대응해서 배치되는 데이터 래치(2)를 포함한다. 데이터 래치(2)는 인버터(V4a) 및 인버터(V4b)로 구성된다.

1개의 워드선에 접속되는 메모리셀의 드레인의 각각은 서로 다른 센스 래치와 데이터 래치에 전기적으로 접속되어 있다.

리드 동작시에는 워드선에 리드 전압을 인가하고, 센스 래치를 거쳐서 메모리 셀에 전류가 흐르는지의 여부를 판정한다. 데이터 래치(1), (2)는 리드한 결과를 퇴피하기 위해서 사용한다. 본 발명의 실시예1에서는 1개의 메모리 셀에서 2비트의 신호를 리드하기 위해서, 데이터 래치(1), (2)를 배치하고 있다. 데이터 래치(1), (2)의 값을 이용하여 데이터를 외부로 출력한다.

라이트 동작에서는 우선 데이터 래치(1), (2)에 데이터를 입력하고, 다음에 센스 래치(3#1)에 값을 설정하는 것에 의해서 메모리 셀의 임계값을 변화시킨다.

다치 플래그 센스 래치부(22)는 인버터(V5a) 및 (V5b)로 구성되는 센스 래치(3#2)를 포함한다. 센스 래치(3#1) 및 (3#2)를 총칭적으로 센스 래치(3)이라고 기재한다.

각 래치(데이터 래치, 센스 래치)와 비트선 사이에는 신호 처리 회로(25)가 배치된다.

신호 처리 회로(25)는 도 3에 도시되는 바와 같이, NMOS 트랜지스터 T1, T2 및 T3을 포함한다. 또한, 도 3에 있어서 래치 L은 데이터 래치와 센스 래치 중의 어느 한쪽을 나타내고 있다.

트랜지스터 T1은 비트선과 래치 L의 입출력 노드 Z1 사이에 배치된다. 트랜지스터 T2는 노드 Z2와 노드 Z3 사이에 접속되고, 게이트는 노드 Z1과 접속된다. 트랜지스터 T3은 노드 Z3과 비트선 사이에 접속된다.

신호 처리 회로(25)에 의해 선택 프리차지 처리, 선택 디스차지(방전) 처리, 센스(감지) 처리를 실행한다. 제어용 CPU(16)는 처리에 따라서 노드 Z2, 트랜지스터 T1의 게이트, 트랜지스터 T3의 게이트에 신호를 인가(부여)한다.

선택 프리차지 처리에서는 도 4a에 도시되는 바와 같이, 트랜지스터 T1의 게이트에 L레벨의 신호를, 노드 Z2에 H레벨의 신호를, 트랜지스터 T3의 게이트에 H레벨의 신호를 인가한다. 래치 L에 래치되는 값이 “1”이면, 트랜지스터 T2 및 T3에 의해서 비트선은 “H”로, “0”이면 비트선은 그대로 전압 레벨을 유지한다.

선택 디스차지 처리에서는 도 4b에 도시되는 바와 같이, 트랜지스터 T1의 게이트에 L레벨의 신호를, 노드 Z2에 L레벨의 신호를, 트랜지스터 T3의 게이트에 H레벨의 신호를 인가한다. 래치 L에 래치되는 값이 “1”이면 비트선은 “L”로, “0”이면 비트선은 그대로 전압 레벨을 유지한다.

또, 센스 처리에서는 도 4c에 도시되는 바와 같이, 트랜지스터 T1의 게이트에 H레벨의 신호를, 노드 Z2에 H 또는 L레벨의 신호를, 트랜지스터 T3의 게이트에 L레벨의 신호를 인가한다. 래치 L은 비트선의 전위에 따라서, “1” 또는 “0”으로 된다.

또한, 이하에 기재하는 래치에서 래치로의 데이터의 전송 처리는 전송원의 래치에 따라서 선택 프리차지 처리를 실행하고, 전송지의 래치에 의해 센스 처리를 실행하는 것에 의해서 실현된다.

플래시 메모리(1000)의 라이트/리드/소거의 개요에 대해서 도 27a 도 27d를 이용하여 설명한다. 메모리 셀 M은 기판(10)상에 형성되는 소스 영역(6) 및 비트선에 접속되는 드레인 영역(7), 플로팅 게이트층(8) 및 워드선과 접속되는 컨트롤 게이트층(9)를 포함한다.

데이터의 라이트시, 도 27a에 도시되는 바와 같이 라이트 대상으로 되는 메모리 셀에 대해서는 워드선을 거쳐서 컨트롤 게이트층(9)에 정의 고전압(예를 들면, 18V)을 인가한다. 이 때, 대응하는 센스 래치를 “0”(0V)으로 해서 드레인 영역(7)에 0V를 인가한다. 또한, 소스 영역(6)은 오픈(개방) 상태로 한다.

도 27b에 도시되는 바와 같이, 라이트 대상이 아닌 메모리 셀에 대해서는 대응하는 센스 래치를 “1”(6V)로 해서 드레인 영역(7)에 6V를 인가한다.

데이터의 일괄 소거시에는 도 27c에 도시되는 바와 같이, 컨트롤 게이트층(9)에 부의 고전압(예를 들면, -16 V)을 인가한다. 이 때, 소스 영역(6) 및 드레인 영역(7)에는 0V를 인가한다. 메모리 셀의 임계값은 가장 낮은 상태로 된다(다치 데이터 “11”, 2치 데이터 “1”에 대응).

데이터의 리드시, 도 27d에 도시되는 바와 같이 워드선을 거쳐서 컨트롤 게이트층(9)에 정의 전압(예를 들면, 3V)을, 소스 영역(6) 및 드레인 영역(7)에 0V를 인가한다. 그리고, 메모리 셀에 전류가 흐르는지의 여부를 센스 래치를 이용하여 판정한다.

다음에, 플래시 메모리(1000)에 있어서의 데이터의 리드 시퀀스의 상세에 대해서, 다치 데이터만을 기억하는 다치 플래시 메모리와 비교하면서 설명한다.

다치 플래시 메모리에서는 도 5, 도 6a 도 6c, 도 7a 및 도 7b에 도시되는 리드 시퀀스를 실행한다. 또한, 다치 데이터(“01”, “00”, “10” 또는 “11”)를 본원과 마찬가지로 데이터 래치(1), (2) 및 센스 래치(3)을 사용하여 리드하는 것

으로 한다.

도 5를 참조하면, 3회의 리드동작(READ1, READ2, READ3)을 실행한다. READ1에서는 워드선 전압을 3.0V, READ2에서는 워드선 전압을 4.0V, READ3에서는 워드선 전압을 2.0V로 한다.

READ1에서는(도 6a 참조) 메모리 셀 어레이에서 데이터를 리드하고, 리드한 데이터("1", "1", "0", "0")를 센스 래치(3)에 의해 래치한다. 다음에, 센스 래치(3)에서 데이터 래치(2)로 데이터를 전송한다(전송 처리).

READ2에서는(도 6b 참조) 메모리 셀 어레이에서 데이터를 리드하고, 리드한 데이터("1", "0", "0", "0")를 센스 래치(3)에 의해 래치한다. 다음에, 센스 래치(3)에서 데이터 래치(1)로 데이터를 전송한다(전송 처리).

READ3에서는(도 6c 참조) 메모리 셀 어레이에서 데이터를 리드하고, 리드한 데이터("1", "1", "1", "0")를 센스 래치(3)에 의해 래치한다.

다음에, 연산 처리를 실행한다(도 7a 참조). 연산 처리에서는 센스 래치(3)에서 데이터 래치(1)로 데이터를 전송하고(전송 처리), 데이터 래치(1)에서 센스 래치(3)으로 데이터를 전송한다(전송 반전 처리). 이것에 의해, 센스 래치(3)의 데이터와 데이터 래치(1)의 데이터의 XOR 처리가 실행된다.

다음에, 출력 처리를 실행한다(도 7b). 구체적으로는, 센스 래치(3)에서 데이터 래치(1)로 데이터를 전송한다(전송 처리). 그리고, 데이터 래치(2)의 데이터("0", "0", "1", "1")와 데이터 래치(1)의 데이터("0", "1", "1", "0")를 반전시킨 데이터를 출력한다. 이것에 의해, 다치 데이터("01", "00", "10", "11")가 리드되게 된다.

또한, 데이터(3회의 리드후의 데이터 래치의 값)와 각 동작에 의해 센스 래치(3)에 래치되는 값의 관계는 도 8에 도시되는 바와 같이 된다.

이에 대해서, 플래시 메모리(1000)에서는 도 9 도 11에 도시되는 다치 데이터의 리드 시퀀스를 실행한다. 우선, 제어용 CPU(16)은 1회째의 리드 동작(READ1)에 의해 다치 플래그 MF의 데이터를 리드하고, 이 값에 따라서 2회째 및 3회째의 리드 동작을 실행할지의 여부를 판단한다. 다치 플래그 MF의 데이터가 "0" 즉 동일 섹터(또는 동일 페이지)의 메모리 셀 M에 다치 데이터가 기억되어 있는 것을 나타내는 경우, 2회째, 3회째의 리드 동작 READ2, READ3을 실행한다. READ1에서는 워드선 전압을 3.0V, READ2에서는 워드선 전압을 4.0V, READ3에서는 워드선 전압을 2.0V로 한다.

READ1에서는(도 10a 참조) 메모리 셀 어레이 MA의 메모리 셀 M 및 이 메모리 셀 M에 대응하는 다치 플래그 MF의 데이터를 리드한다. 메모리 셀 M의 데이터("1", "1", "0", "0")를 센스 래치(3#1)에 의해, 다치 플래그 MF의 데이터("0")를 센스 래치(3#2)에 의해 래치한다.

다치 플래그 MF의 데이터가 "0"이기 때문에, 제어용 CPU(16)은 다치 데이터 리드용 시퀀스를 실행한다. 센스 래치(3#1)에서 데이터 래치(2)로 메모리 셀 M의 반전 데이터를 전송한다(전송 처리).

READ2에서는(도 10b 참조) 메모리 셀 M에서 데이터를 리드한다. 메모리 셀 M의 데이터("1", "0", "0", "0")를 센스 래치(3#1)에 의해 래치한다. 센스 래치(3#1)에서 데이터 래치(1)로 메모리 셀 M의 데이터를 전송한다(전송 처리).

READ3에서는(도 10c 참조) 메모리 셀 M에서 데이터를 리드한다. 메모리 셀 M의 데이터("1", "1", "1", "0")를 센스 래치(3#1)에 의해 래치한다.

다음에, 연산 처리를 실행한다(도 11a 참조). 연산 처리에서는 메모리 셀 어레이 MA의 비트선에 대해서 센스 래치(3#1)에 따라서 선택 프리차지 처리를 실행 하고, 데이터 래치(1)에 따라서 선택 디스차지 처리를 실행한다. 이것에 의해, 데이터 래치(1)의 데이터와 센스 래치(3#1)의 데이터의 XOR 처리가 실행된다.

다음에, 출력 처리를 실행한다(도 11b 참조). 구체적으로는, 데이터 래치(1)에 의해 센스 처리를 실행한다. 데이터 래치(1)에는 메모리 셀 어레이 MA의 비트선의 전위에 대응하는 데이터가 래치된다("0", "1", "1", "0"). 그리고, 데이터 래치(2)의 데이터("0", "0", "1", "1")와 데이터 래치(1)의 데이터를 반전한 데이터를 출력한다. 이것에 의해, 다치 데이터("01", "00", "10", "11")가 리드되게 된다.

또한, 데이터(3회의 리드동작 후의 데이터 래치의 값)와 각 동작에 의해 센스 래치(3)에 래치되는 값의 관계는 도 12에 도시되는 바와 같이 된다.

2치 데이터의 리드시에는 플래시 메모리(1000)은 도 13, 도 14a 및 도 14b에 도시되는 2치 데이터의 리드 시퀀스를 실행한다. 제어용 CPU(16)은 1회째의 리드동작(READ1)에 의해 리드된 다치 플래그 MF의 데이터가 "1"이면, 도 13에 도시되는 바와 같이 READ1에서 리드 동작을 종료한다.

READ1에서는(도 14a 참조) 메모리 셀 어레이 MA의 메모리 셀 M 및 이 메모리 셀 M에 대응하는 다치 플래그 MF의 데이터를 리드한다. 메모리 셀 M의 데이터("1", "1", "0", "0")를 센스 래치(3#1)에 의해 래치하고, 다치 플래그 MF의 데이터("1")를 센스 래치(3#2)에 의해 래치한다.

다치 플래그 MF의 데이터가 "1"이기 때문에, 제어용 CPU(16)은 2치 데이터 리드용의 시퀀스를 실행하도록 제어한다. 센스 래치(3#1)에서 데이터 래치(2)로 데이터를 전송한다(전송 처리). 데이터 래치(2)에 리드된 데이터의 반전 데이터가 래치된다.

다음에, 출력 처리를 실행한다(도 14b 참조). 구체적으로는, 데이터 래치(2)의 데이터("0", "0", "1", "1")를 출력한다. 이것에 의해, 2치 데이터("0", "0", "1", "1")가 리드되게 된다.

또한, 데이터(1회의 리드동작 후의 데이터 래치의 값)와 1회의 리드 동작에 있어서 센스 래치(3)에 래치되는 값의 관계는 도 15에 도시되는 바와 같이 된다. 이와 같이, 다치 플래그의 값에 따라서 리드 동작을 1회로 종료할 수 있다.

다음에, 플래시 메모리(1000)로의 데이터의 라이트 시퀀스에 대해서 다치 데이터만을 기억하는 다치 플래시 메모리와 비교하면서 설명한다.

다치 플래시 메모리에서는 도 16, 도 17a 도 17d, 도 18a 도 18d에 도시되는 라이트 시퀀스를 실행한다. 또한, 다치 데이터("01", "00", "10" 또는 "11")를 본원과 마찬가지로 데이터 래치(1) 및 (2) 센스 래치(3#1)을 사용해서 라이트하는 것으로 한다.

도 16을 참조해서, 3회의 라이트 동작(PROGRAM1, PROGRAM2, PROGRAM3)을 실행한다. PROGRAM1에서는 워드선 전압을 18V, PROGRAM2에서는 워드선 전압을 17 V, PROGRAM3에서는 워드선 전압을 16V로 한다. PROGRAM1에서 데이터 “01”이, PROGRAM2에서 데이터 “00”이, PROGRAM3에서 데이터 “10”이 라이트된다. PROGRAM1의 처리는 도 17a 도 17d에 도시되는 바와 같다.

도 17a를 참조해서, 데이터 래치(1)에 1비트짜의 데이터(“1”, “0”, “0”, “1”)를, 데이터 래치(2)에 2비트짜의 데이터(“0”, “0”, “1”, “1”)를 저장한다. 데이터 래치(1)에서 센스 래치(3)로 데이터를 전송한다(전송 처리).

도 17b를 참조해서, 데이터 래치(2)와 센스 래치(3) 사이의 비트선을 모두 프리차지한다(“1”). 도 17c를 참조해서, 해당 비트선에 대해서 데이터 래치(2)에 따라서 선택 디스차지 처리를 실행하고, 센스 래치(3)에 따라서 선택 디스차지 처리를 실행한다.

다음에, 도 17d를 참조해서 센스 래치(3)에 의해 센스 처리를 실행한다. 센스 래치(3)에는 해당 비트선의 전위에 대응하는 데이터(“1”, “0”, “0”, “0”) 및 반전 데이터가 래치된다. “0”을 래치한 센스 래치에 접속되는 메모리 셀 M에 데이터 “01”이 라이트된다.

PROGRAM2의 처리는 도 18a 도 18d에 도시되는 바와 같다. 도 18a를 참조해서, 데이터 래치(1)에서 센스 래치(3)로 데이터를 전송한다(전송 처리). 도 18b를 참조해서, 센스 래치(3)에 따라서 데이터 래치(2)와 센스 래치(3) 사이의 비트선에 대해 선택 프리차지 처리를 실행한다. 도 18c를 참조해서, 데이터 래치(2)에 따라서 해당 비트선에 대해서 선택 디스차지 처리를 실행한다. 도 18d를 참조해서 센스 래치(3)에 의해 센스 처리를 실행한다. 센스 래치(3)에 해당 비트선의 전위에 대응하는 데이터(“0”, “1”, “0”, “0”) 및 반전 데이터가 래치된다. “0”을 래치한 센스 래치에 접속되는 메모리 셀 M에 데이터 “00”이 라이트된다.

PROGRAM3의 처리는 도 19a 도 19d에 도시되는 바와 같다. 도 19a를 참조해서, 데이터 래치(1)에서 센스 래치(3)으로 데이터를 전송한다(전송 처리). 도 19b를 참조해서, 센스 래치(3)과 데이터 래치(1) 사이의 비트선을 모두 프리차지(“1”)한다. 도 19c를 참조해서, 해당 비트선에 대해서 센스 래치(3)에 따라서 선택 디스차지 처리를 실행하고, 데이터 래치(1)에 따라서 선택 디스차지 처리를 실행한다.

다음에, 도 19d를 참조해서 센스 래치(3)에 의해 센스 처리를 실행한다. 센스 래치(3)으로 해당 비트선의 전위에 대응하는 데이터(“0”, “0”, “1”, “0”) 및 반전 데이터가 래치된다. “0”을 래치한 센스 래치에 접속되는 메모리 셀 M에 데이터 “10”이 라이트된다.

또한, 데이터(데이터 로드후의 데이터 래치의 값)와 각 동작에 의해 센스 래치(3)에 래치되는 값의 관계는 도 20에 도시되는 바와 같이 된다.

이것에 대해서, 플래시 메모리(1000)은 다치 데이터의 라이트시에는 도 21 도 23에 도시되는 라이트 시퀀스를 실행한다.

도 21을 참조해서, 3회의 라이트 동작(PROGRAM1, PROGRAM2, PROGRAM3)을 실행한다. PROGRAM1에서는 워드선 전압을 18V, PROGRAM2에서는 워드선 전압을 17 V, PROGRAM3에서는 워드선 전압을 16V로 한다. PROGRAM1의 처리는 도 22a 도 22d에 도시되는 바와 같다. 도 22a를 참조해서, 데이터 래치(1)에 1비트짜의 데이터(“1”, “0”, “0”, “1”)를, 데이터 래치(2)에 2비트짜의 데이터(“0”, “0”, “1”, “1”)를 저장한다. 데이터 래치(1)에서 센스 래치(3#1)로 데이터를 전송한다(전송 처리).

동시에, 메모리 셀 어레이 MA측의 다치 플래그 MF에 “0”을 라이트하기 위해서, 센스 래치(3#2)의 메모리 셀 어레이 MA측에 “0”을 저장한다.

도 22b를 참조해서, 메모리 셀 어레이 MB의 비트선을 모두 프리차지한다 (“1”). 도 22c를 참조해서, 메모리 셀 어레이 MB의 비트선에 대해서 데이터 래치(2)에 따라서 선택 디스차지 처리를 실행하고, 센스 래치(3#1)에 따라서 선택 디스차지 처리를 실행한다.

도 22d를 참조해서, 센스 래치(3#1)에 의해 센스 처리를 실행한다. 센스 래치(3#1)에 해당 비트선의 전위에 대응하는 데이터(“1”, “0”, “0”, “0”) 및 반전 데이터가 래치된다. “0”을 래치한 센스 래치에 접속되는 메모리 셀 M에 데이터 “01”이 라이트된다.

PROGRAM2, PROGRAM3의 처리내용은 상술한 다치 플래시 메모리에 있어서의 PROGRAM2, PROGRAM3의 처리와 동일하다. 이것에 의해, 데이터 “00”, “10”이 라이트된다.

또한, 데이터(데이터 로드후의 데이터 래치의 값)와 각 라이트 동작에 있어서 센스 래치(3)에 래치되는 값의 관계는 도 23에 도시되는 바와 같이 된다.

이와 같이, 다치 데이터의 라이트시에는 데이터 래치에 라이트 데이터를 래치한다. 그리고, 다치 데이터 “01”을 라이트할 때는 대응하는 센스 래치를 “0”으로 하고, “01”이외의 다치 데이터에 대응하는 메모리 셀의 센스 래치를 “1”로 한다. 마찬가지로, 다치 데이터 “00”을 라이트할 때는 대응하는 센스 래치를 “0”으로 하고, “00”이외의 다치 데이터에 대응하는 메모리 셀의 센스 래치를 “1”로 한다. 또, 다치 데이터 “10”을 라이트할 때는 대응하는 센스 래치를 “0”으로 하고, “10”이외의 다치 데이터에 대응하는 메모리 셀의 센스 래치를 “1”로 한다. 이 때, 다치 플래그에는 다치 데이터인 것을 나타내는 값을 저장한다.

또, 플래시 메모리(1000)은 2치 데이터의 라이트시에는 도 24 도 25에 도시되는 라이트 퀀스를 실행한다.

도 24를 참조해서, 1회의 라이트 동작(PROGRAM1)을 실행한다. PROGRAM1에서는 워드선 전압을 18V로 한다. PROGRAM1의 처리는 도 25a 도 25c에 도시되는 바와 같다. 도 25a를 참조해서, 데이터 래치(2)에 라이트 데이터(“0”, “0”, “1”, “1”)를 저장한다. 동시에, 메모리 셀 어레이 MA 측의 다치 플래그 MF에 “1”을 라이트하기 위해서, 센스 래치(3#2)의 메모리 셀 어레이 MA 측에 “1”을 저장한다. 그리고, 메모리 셀 어레이 MB의 비트선을 모두 프리차지한다(“1”).

도 25b를 참조해서, 메모리 셀 어레이 MB의 비트선에 대해서 데이터 래치(2)에 따라서 선택 디스차지 처리를 실행한다. 도 25c를 참조해서, 센스 래치(3#1)에 의해 센스 처리를 실행한다. 센스 래치(3#1)에 해당 비트선의 전위에 대응하는 데이터("1", "1", "0", "0") 및 반전 데이터가 래치된다. 이것에 의해, "0"을 래치한 센스 래치에 접속되는 메모리 셀 M에 데이터 "0"(데이터 "01"에 상당)이 라이트된다.

데이터(데이터 로드후의 데이터 래치의 값)와 1회의 라이트 동작에 있어서 센스 래치(3)에 래치되는 값의 관계는 도 26에 도시되는 바와 같이 된다.

이와 같이, 2치에 의한 라이트 요구가 있었던 경우에는 데이터 "01"을 라이트한 시점에서 라이트 동작을 종료할 수 있다.

이와 같이, 본 발명의 실시예1에 의한 플래시 메모리(1000)에 의하면, 다치 데이터와 2치 데이터를 혼재해서 기억할 수 있다. 따라서, 라이트요구에 따라서 예를 들면 높은 신뢰성을 필요로 하는 데이터에 대해서는 2치로 기억하고, 또 대용량의 데이터는 다치로 기억할 수 있다. 또, 다치 데이터에 대해서는 다치로, 2치 데이터에 대해서는 2치로 데이터를 리드할 수 있다.

[실시예 2]

본 발명의 실시예2에서는 플래시 메모리(1000)의 개량예에 대해서 설명한다. 본 발명의 실시예2에 의한 제어용 CPU(16)은 2치 데이터를 리드할 때에도 다치 데이터와 마찬가지로 3회의 리드 동작을 실행하도록 제어한다. 그리고, 1회째의 리드동작과 3회째의 리드동작에서 리드 데이터의 값이 다른 경우, 보다 구체적으로는 다치 데이터의 "10", "00"에 상당하는 임계값으로 되어 있는 경우, 2치로 기억시킨 데이터의 임계값이 변화하고 있는 것을 나타내는 경고를 발생한다.

경고가 발생한 경우, 제어용 CPU(16)은 2치 데이터를 재차 라이트하기 위한 제어를 실행한다.

본 발명의 실시예2에 의한 플래시 메모리에 있어서의 2치 데이터의 리드 시퀀스를 도 28 도 31을 이용하여 설명한다.

본 발명의 실시예2에 있어서는 도 28에 도시되는 바와 같이, 합계 3회의 리드동작(READ1, READ2, READ3)을 실행한다. READ1에서는 워드선 전압을 3.0V, READ2에서는 워드선 전압을 4.0V, READ3에서는 워드선 전압을 2.0V로 한다.

2치 데이터를 라이트한 메모리 셀이 다치 데이터 "01"의 상태("0P"), 다치 데이터 "00"의 상태("0E"), 다치 데이터 "11"의 상태("1P"), 또는 다치 데이터 "10"의 상태("1E")로 되었다고 한다. 제어용 CPU(16)은 "0E" 및 "1E"의 상태를 검출하여 경고를 발생한다.

READ1에서는(도 29a 참조) 메모리 셀 어레이 MA의 메모리 셀 M 및 이 메모리 셀 M에 대응하는 다치 플래그 MF의 데이터를 리드하고 센스 래치에 의해 래치한다. 센스 래치(3#1)에는 메모리 셀 M("0P", "0E", "1E", "1P")에 대응하는 데이터("1", "1", "0", "0")가 저장되고, 센스 래치(3#2)의 메모리 셀 어레이 MA측에는 다치 플래그 MF의 데이터("1")가 저장된다. 센스 래치(3#1)에서 데이터 래치(2)로 데이터를 전송한다(전송 처리).

READ2에서는(도 29b 참조) 메모리 셀 M에서 데이터를 리드한다. 리드한 데이터("1", "0", "0", "0")를 센스 래치(3#1)에 의해 래치한다. 센스 래치(3#1)에서 데이터 래치(1)로 데이터를 전송한다(전송 처리).

READ3에서는(도 29c 참조) 메모리 셀 M에서 데이터를 리드한다. 리드한 데이터("1", "1", "1", "0")를 센스 래치(3#1)에 의해 래치한다.

다음에, 연산 처리를 실행한다(도 29d 참조). 연산 처리에서는 메모리 셀 어레이 MA의 비트선에 대해서 센스 래치(3#1)에 따라서 선택 프리차지 처리를 실행하고, 데이터 래치(1)에 따라서 선택 디스차지 처리를 실행한다. 이것에 의해, 데이터 래치(1)의 데이터와 센스 래치(3#1)의 데이터의 XOR 처리가 실행된다.

다음에, 출력 처리를 실행한다(도 29e 참조). 구체적으로는, 데이터 래치(1)에 의해 센스 처리를 실행한다. 데이터 래치(1)에 메모리 셀 어레이 MA의 비트선의 전위에 대응하는 데이터가 래치된다("0", "1", "1", "0").

또한, 데이터(3회의 리드동작 후의 데이터 래치의 값)와 각 동작에 의해 센스 래치(3)에 래치되는 값의 관계는 도 32에 도시되는 바와 같이 된다.

제어용 CPU(16)은 리드한 데이터가 2치 데이터인 경우(다치 플래그 MF가 "1"), 00 레벨 검출 처리 및 10 레벨 검출 처리를 또 실행한다.

00 레벨 검출 처리에서는 제1 처리로서(도 30a 참조) 메모리 셀 어레이 MA의 비트선을 모두 프리 차지한다. 제2 처리로서는(도 30b 참조) 메모리 셀 어레이 MA의 비트선에 대해서 데이터 래치(1)에 따라서 선택 디스차지 처리를 실행하고, 센스 래치(3#1)에 의해 센스 처리를 실행한다.

제3 처리에서는(도 30c 참조) 메모리 셀 어레이 MB의 비트선에 대해서 센스 래치(3#1)에 따라서 선택프리 차지 처리를 실행하고, 데이터 래치(2)에 따라서 선택 디스차지 처리를 실행한다. 또, 제4 처리로서(도 30d 참조) 센스 래치(3#1)에 의해 센스 처리를 실행한다. 센스 래치(3#1)에 메모리 셀 어레이 MB의 비트선의 전위에 대응하는 데이터가 래치된다("0", "1", "0", "0").

"0E"의 상태의 메모리 셀에 대응하는 센스 래치에는 다른 메모리 셀에 대응하는 센스 래치와는 다른 값이 저장된다. 래치된 값을 이용하여 도 33에 도시되는 전체 래치 판정 회로(200)에 의해 전체(ALL) 판정 처리를 실행한다. 그리고, 00 레벨 검출 처리의 제4 처리가 종료하면, 10 레벨 검출 처리를 실행한다.

10 레벨 검출 처리의 제1 처리에서는(도 31a 참조) 데이터 래치(1)에서 센스 래치(3#1)로 데이터를 전송한다(전송 처리). 계속되는 제2 처리에서는(도 31b 참조) 메모리 셀 어레이 MB의 비트선에 대해서 센스 래치(3#1)에 따라서 선택 디스차지 처리를 실행하고, 데이터 래치(2)에 따라서 선택 프리차지 처리를 실행한다.

계속되는 제3 처리에서는(도 31c 참조) 센스 래치(3#1)에 의해 센스 처리를 실행한다. 센스 래치(3#1)에 메모리 셀 어레이 MB의 비트선의 전위에 대응하는 데이터가 래치된다("0", "0", "1", "0").

“1E”의 상태의 메모리 셀에 대응하는 센스 래치에는 다른 메모리 셀에 대응하는 센스 래치와는 다른 값이 저장된다. 래치된 값을 이용하여 도 33에 도시되는 전체 래치 판정 회로(200)에 의해 전체(ALL) 판정 처리를 실행한다. 전체의 판정 처리를 실행하는 전체 래치 판정 회로(200)은 도 33에 도시되는 바와 같이 신호선 L과 접지 전압을 받는 노드 사이에 마련되는 여러개의 NMOS 트랜지스터 T10, T11, T12, ..., 신호선 L과 전원 전압을 받는 노드 사이에 마련되는 저항 소자 R 및 신호선 L의 신호를 반전하는 인버터 V20 및 V21을 포함한다.

트랜지스터 T10, T11, T12, ...는 여러개의 센스 래치(3#1)의 각각 대응해서 마련된다. 트랜지스터 T10, T11, T12, ...의 각각은 대응하는 센스 래치(3#1)의 출력에 따라 온/오프한다.

모든 센스 래치(3#1)의 출력이 “L”레벨이면, 인버터 V21에서 출력되는 판정값은 “H”레벨로 된다.

따라서, 도 30 및 도 31에 도시되는 경우, 1개의 센스 래치(3#1)에서 H레벨의 신호가 출력되기 때문에, 판정값은 “L”레벨로 된다. 이 판정값에 따라서 제어용 CPU(16)는 임계값의 어긋남(편차)을 수정하기 위해 재차 2치 데이터의 라이트를 실행함과 동시에, 임계값의 어긋남을 나타내는 경고신호를 발생한다. 경고 신호는 예를 들면 상태 레지스터(18)을 거쳐서 외부로 출력한다.

이와 같이, 본 발명의 실시예2에 의한 플래시 메모리에 의하면, 2치 데이터를 정확하게 기억할 수 있다. 또, 2치 데이터의 어긋남을 검출한 경우에는 외부로 어긋남의 발생을 알릴 수 있다.

[실시예 3]

본 발명의 실시예3에서는 플래시 메모리(1000)의 개량예를 설명한다. 상술한 실시예1에서는 2치 데이터 “0”의 라이트 요구가 있었던 경우, 메모리 셀을 다치 데이터 “01”의 상태 즉 임계값이 가장 높은 상태로 설정한다.

이에 대해서, 본 발명의 실시예3에 있어서의 제어용 CPU(16)는 2치 데이터 “0”의 라이트요구가 있었던 경우에는 메모리 셀을 다치 데이터 “11”의 상태에 가장 가까운 다치 데이터 “10”의 상태로 설정한다(도 43 참조).

“01”로 라이트하는 경우보다 임계값의 시프트량(변위량)이 적기 때문에 라이트 시간을 단축할 수 있다. 이 결과, 본 발명의 실시예3에 의한 플래시 메모리에 의하면, 고속인 라이트 동작이 실현된다.

[실시예 4]

본 발명의 실시예4에 의한 데이터 기억 시스템(4000)에 대해서 도 34를 이용하여 설명한다. 데이터 기억 시스템(4000)은 도 34에 도시되는 바와 같이, 2치 플래시 메모리(102), 다치 플래시 메모리(104A) 및 (104B)와 카운터/타이머(401), 버퍼(402), 제어기(403) 및 에러 정정 회로(404)를 포함하는 시스템 제어기(400)를 구비한다.

2치 플래시 메모리(102)는 여러개의 불휘발성 메모리 셀을 포함한다. 2치 플래시 메모리(102)에 포함되는 메모리 셀에는 2치 데이터가 라이트되고, 또 해당 메모리 셀에서는 2치 데이터가 리드된다.

다치 플래시 메모리(104A) 및 (104B)의 각각은 여러개의 불휘발성 메모리 셀을 포함한다. 다치 플래시 메모리(104A) 및 (104B)의 각각에 포함되는 메모리 셀에는 다치 데이터가 라이트되고, 또 해당 메모리 셀에서는 다치 데이터가 리드된다.

2치 플래시 메모리(102), 다치 플래시 메모리(104A) 및 (104B)의 각각은 I/O(입출력) 핀에서 데이터를 입출력한다. I/O핀은 버퍼(402)와 접속되어 있다.

2치 플래시 메모리(102)는 R/B핀에서 동작중인지 아닌지를 나타내는 신호 R/B0을 출력한다. 다치 플래시 메모리(104A) 및 (104B)의 각각은 R/B핀에서 동작중인지 아닌지를 나타내는 신호 R/B1, R/B2를 출력한다. 신호 R/B0, R/B1, R/B2는 제어기(403)에 입력된다.

2치 플래시 메모리(102), 다치 플래시 메모리(104A) 및 (104B)의 각각은 제어기(403)에서 출력되는 칩 인에이블 신호를 /OE 핀에서 받아 동작한다.

카운터/타이머(401)은 일정 기간내에 호스트 시스템(4100)에서 요구되는 라이트 데이터의 크기를 측정한다. 카운터/타이머(401)의 측정 결과는 제어기(403)으로 출력된다.

버퍼(402)는 호스트 시스템(4100)에서 전송되는 데이터를 받아들이고(입력받고), 또 플래시 메모리에서 리드된 데이터를 받아들인다.

에러 정정 회로(404)는 제어기(403)의 제어에 따라서 버퍼(402)에 받아들여진 라이트 데이터에 에러 정정 검출 신호를 부가하고, 또 호스트 시스템(4100)으로의 리드 데이터의 전송시에 버퍼(402)에 받아들여진 데이터에 대해서 에러 정정 처리를 실행한다.

제어기(403)은 카운터/타이머(401)의 출력, 신호 R/B0, R/B1, R/B2를 감시(모니터)해서 플래시 메모리로의 데이터의 라이트를 제어한다. 또, 데이터의 리드시에 에러 정정을 실행할 것인지의 여부를 제어한다.

도 35에 도시되는 바와 같이, 데이터 기억 시스템(4000)을 구동하기 위한 소프트웨어, FAT 정보(플래시 메모리의 어드레스와 데이터 기억 시스템(4000)에 있어서의 어드레스의 대응을 나타내는 파일 정보) 및 고속 라이트 요구시의 사용자 데이터는 상대적으로 고신뢰성이고 또한 고속 동작이 가능한 플래시 메모리(102)에 라이트한다. 이들 이외의 사용자 데이터는 다치 플래시 메모리(104A) 및 (104B)에 라이트한다.

시스템 제어기(400)에 의한 플래시 메모리로의 라이트 제어의 제1 예에 대해서 다치 플래시 메모리만을 여러개 배치한 데이터 기억 시스템과 대비하여 설명한다.

다치 플래시 메모리만을 이용하는 경우, 도 36에 도시되는 수순으로 라이트가 실행된다. 또한, 데이터 기억 시스템이 다치 플래시 메모리를 N개 탑재하고 있는 것으로 한다. N개의 다치 플래시 메모리의 각각에 디바이스 번호1~N을 할당한다. 호스트 시스템으로부터의 라이트요구가 있으면(스텝 (S400)), 라이트 대상으로서 지정하는 디바이스 번호(D EVICE NO)를 초기화“0”한다(스텝 (S401)).

계속해서, 디바이스 번호를 “1”인크리먼트(증가)한다(스텝 (S402)). 대응하는 다치 플래시 메모리의 신호 R/B에 따라서 라이트 가능한지(Ready 상태) 라이트 불가능한지(Busy 상태)를 판단한다(스텝 (S403)).

라이트 가능(Ready 상태)이면, 디바이스 번호에 대응하는 다치 플래시 메모리에 호스트 시스템으로부터 받는 데이터를 라이트한다(스텝 (S404)). 그리고, 호스트 시스템으로부터의 다음의 라이트 요구를 접수한다(스텝 (S400)).

라이트 불가능(Busy 상태)이면, 디바이스 번호가 최대값“N”에 도달했는지의 여부를 판단한다(스텝 (S405)). 디바이스 번호가 N보다 작으면, 디바이스 번호를 “1”인크리먼트하는 처리로 이행한다(스텝 (S402)). 디바이스 번호가 “N”인 경우에는 디바이스 번호를 초기화 “0”하는 처리로 이행한다(스텝 (S401)). 이와 같이 해서, 탑재되는 여러개의 다치 플래시 메모리중 라이트 가능한 플래시 메모리에 데이터를 순차 라이트해 간다.

한편, 데이터 기억 시스템(4000)에 의하면, 도 37에 도시되는 수순으로 라이트가 실행된다. 또한, 데이터 기억 시스템(4000)이 N 개의 다치 플래시 메모리와 1개의 2치 플래시 메모리를 탑재하고 있는 것으로 한다. N 개의 다치 플래시 메모리의 각각에 디바이스 번호1 ~ N을 할당하고, 2치 플래시 메모리에 디바이스 번호(N+ 1)를 할당한다.

호스트 시스템(4100)에서 라이트 요구가 있으면(스텝 (S410)), 라이트 대상으로 되는 디바이스 번호를 초기화“0”한다(스텝 (S411)). 계속해서, 디바이스 번호를 “1”인크리먼트한다(스텝 (S412)). 대응하는 다치 플래시 메모리의 신호 R/B에 따라서 라이트 가능한지(Ready 상태) 라이트 불가능한지(Busy 상태)를 판단한다(스텝 (S413)).

라이트 가능(Ready 상태)이면, 디바이스 번호에 대응하는 플래시 메모리에 데이터를 라이트한다(스텝 (S414)). 그리고, 호스트 시스템(4100)으로부터의 다음의 라이트 요구를 접수한다(스텝 (S410)).

라이트 불가능(Busy 상태)이면, 디바이스 번호가 최대값“N+1”에 도달했는지의 여부를 판단한다(스텝 (S415)). 디바이스 번호가 “N+1”보다 작으면, 디바이스 번호를 “1”인크리먼트하는 처리로 이행한다(스텝 (S412)). 디바이스 번호가 “N+1”인 경우에는 대응하는 플래시 메모리(2치 플래시 메모리)가 Ready상태인지 Busy 상태인지를 판단하는 처리로 이행한다(스텝 (S413)).

즉, 시스템 제어기(400)은 플래시 메모리의 상태(R/B)를 감시하여 Ready 상태의 다치 플래시 메모리에서 데이터의 라이트를 실행하도록 제어한다. 그리고, 모든 다치 플래시 메모리가 Busy 상태로 되면, 2치 플래시 메모리에 데이터를 라이트하도록 제어한다. 이 동작에 의해, 데이터 기억 시스템(4000)에 대용량의 데이터를 저장할 수 있다.

시스템 제어기(400)에 의한 플래시 메모리로의 라이트 제어의 제2 예에 대해서 도 38을 이용하여 설명한다. 도 38를 참조해서, 호스트 시스템(4100)으로부터의 라이트 요구가 있는지의 여부를 판단한다(스텝 (S420)). 라이트요구가 있는 경우에는 후술하는 데이터의 크기에 따른 라이트 제어 처리(스텝 (S421))로 이행한다.

라이트 요구가 없는 경우, 2치 플래시 메모리(102)에 고속 라이트 요구시의 사용자 데이터가 라이트되어 있는지의 여부를 판단한다(스텝 (S422)). 2치 플래시 메모리(102)에 고속 라이트 요구시의 사용자 데이터가 없을 때에는 처리를 실행하지 않는다(No Operation)(스텝 (S423)). 2치 플래시 메모리(102)에 고속 라이트 요구시의 사용자 데이터가 라이트되어 있을 때에는 2치 플래시 메모리(102)의 해당 데이터를 버퍼(402)로 전송시킨다(스텝 (S424)).

버퍼(402)를 거쳐서 다치 플래시 메모리에 해당 데이터를 라이트한다(스텝 (S425)). 그리고, 호스트 시스템(4100)의 다음의 라이트요구를 판단하는 처리로 이행한다(스텝 (S420)).

즉, 호스트 시스템(4100)으로부터 라이트 요구가 없을 때에는 2치 플래시 메모리(102)에 라이트된 고속 라이트 요구시의 사용자 데이터를 다치 플래시 메모리로 옮긴다. 이것에 의해, 고속 라이트와 대용량을 양립시킬 수 있다.

라이트 데이터의 크기에 따른 라이트 제어 처리(스텝 (S421))에 대해서 도 39를 이용하여 설명한다. 호스트 시스템(4100)으로부터의 라이트 요구가 있으면(스텝 (S430)), 카운터/ 타이머(401)의 출력에 따라서 일정 시간의 크기(기준값)의 라이트 데이터가 있는지의 여부를 판단한다. 라이트 데이터의 크기가 기준값 이내인 경우, 라이트 대상으로 하는 디바이스 번호를 초기화“0”한다(스텝 (S432)). 계속해서, 디바이스 번호를 “1”인크리먼트하고(스텝 (S433)), 대응하는 플래시 메모리의 Ready/Busy 상태를 판정하는 처리로 이행한다(스텝 (S435)).

라이트 데이터의 크기가 기준값 이상인 경우, 디바이스 번호를 “N+1”로 하고(스텝 (S434)), 대응하는 2치 플래시 메모리의 Ready/Busy 상태를 판정하는 처리로 이행한다(스텝 (S435)).

대응하는 플래시 메모리가 Ready 상태이면, 해당 플래시 메모리에 데이터를 라이트한다(스텝 (S436)). 그리고, 호스트 시스템(4100)으로부터의 다음의 라이트요구를 접수한다(스텝 (S430)).

대응하는 플래시 메모리가 Busy 상태인 경우, 디바이스 번호가 최대값“N+1”에 도달했는지의 여부를 판단한다(스텝 (S437)). 디바이스 번호가 “N+1”보다 작으면, 디바이스 번호를 “1”인크리먼트하는 처리로 이행한다(스텝 (S433)). 디바이스 번호가 “N+1”인 경우, 대응하는 플래시 메모리(2치 플래시 메모리)가 Ready 상태인지 Busy 상태인지를 판단하는 처리로 이행한다(스텝 (S435)).

즉, 시스템 제어기(400)은 데이터가 큰 경우에는 고속 데이터의 라이트가 요구되고 있다고 판단하여, 고속 동작이 가능한 2치 플래시 메모리에 해당 데이터를 라이트한다.

다음에, 시스템 제어기(400)에 의한 플래시 메모리의 리드 제어예에 대해서 도 40을 이용하여 설명한다. 호스트 시스템(4100)으로부터의 리드 요구가 있으면(스텝 (S450)), 플래시 메모리에 저장되는 대응하는 데이터가 버퍼(402)로 전송된다(스텝 (S451)).

버퍼(402)로 전송된 데이터가 다치 플래시 메모리에서 리드된 다치 데이터인지의 여부를 판단한다(스텝 (S452)). 데이터가 2치 플래시 메모리에서 리드된 경우, 에러 정정 회로(404)에 있어서의 에러 정정 처리를 실행하지 않고 버퍼(402)에서 호스트 시스템(4100)으로 데이터를 전송하는 처리로 이행한다(스텝 (S456)).

데이터가 다치 플래시 메모리에서 리드된 경우, 버퍼(402)로 전송된 데이터를 에러 정정 회로(404)로 보낸다(스텝 (S453)). 에러 정정 회로(404)에 있어서 에러 정정 처리가 실시된다(스텝 (S454)). 에러 정정후의 데이터는 버퍼(402)에 저장한다(스텝 (S455)). 그리고, 버퍼(402)에서 호스트 시스템(4100)으로 데이터를 전송하는 처리로 이행한다(스텝 (S456)).

즉, 2치 플래시 메모리로의 라이트시에는 에러 정정 부호를 부가하지 않고, 다치 플래시 메모리로의 라이트시에는 에러 정정 부호를 부가해 둔다. 그리고, 호스트 시스템(4100)으로부터의 데이터 리드 요구에 대해서 고신뢰성의 2치 플

래시 메모리에서 데이터를 리드한 경우에는 에러 정정을 실행하지 않고, 다치 플래시 메모리에서 데이터를 리드한 경우에는 에러 정정을 실행하고나서 호스트 시스템(4100)으로 데이터를 전송하도록 제어한다. 이것에 의해, 고속 동작을 실현할 수 있다.

[실시예 5]

본 발명의 실시예5에 의한 데이터 기억 시스템(5000)에 대해서 도 41을 이용하여 설명한다. 데이터 기억 시스템(5000)은 도 41에 도시되는 바와 같이, 다치/2치 플래시 메모리(100A), (100B) 및 (100C)와 시스템 제어기(400)를 포함한다. 다치/2치 플래시 메모리(100A) (100C)는 실시예1, 실시예2 또는 실시예3에서 설명한 구성을 갖고, 메모리 셀에 2치 데이터 또는 다치 데이터를 기억시킬 수 있다.

실시예5에 의한 구성의 경우, 도 42에 도시되는 바와 같이 플래시 메모리(100A), (100B)에 사용자 데이터를 다치 데이터로 라이트하고 고속 라이트 요구시의 사용자 데이터를 2치 데이터로 라이트하며, 플래시 메모리(100C)에 사용자 데이터를 다치 데이터로 라이트하고, 고속 라이트 요구시의 사용자 데이터, 데이터 기억 시스템을 구동하기 위한 소프트웨어 및 FAT 정보(플래시 메모리의 어드레스와 데이터 기억 시스템(5000)에 있어서의 어드레스의 대응을 나타내는 파일 정보)를 2치 데이터로 라이트할 수가 있다.

시스템 제어기(400)은 호스트 시스템(4100)으로부터 받는 라이트 데이터의 종류에 따라서, 다치으로 기억시킬지 2치으로 기억시킬지를 제어한다. 또, 시스템 제어기(400)는 데이터의 종류에 따라서 에러 정정을 실행할지의 여부를 제어하는 것도 가능하다.

또, 라이트 요구가 없는 경우, 플래시 메모리에 고속 라이트 요구시의 사용자 데이터(2치 데이터)가 라이트되고 있을 때에는 해당 데이터를 버퍼(402)로 전송시키고, 버퍼(402)를 거쳐서 다치의 상태로 해당 데이터를 기억시키는 것도 가능하다.

실시예4의 경우, 2치 플래시 메모리(102)에 미사용 영역이 많이 남아 있음에도 불구하고 다치 플래시 메모리에는 미사용 영역이 없어지거나, 또는 다치 플래시 메모리에 미사용 영역이 많이 남아 있음에도 불구하고 2치 플래시 메모리(102)에는 미사용 영역이 없어지는 것도 있을 수 있다.

그래서, 본 발명의 실시예5에서는 다치 데이터/2치 데이터를 라이트하고, 라이트한 다치 데이터/2치 데이터를 리드할 수 있는 플래시 메모리를 배치한다. 이것에 의해, 메모리 공간을 효율적으로 사용하면서 신뢰성이 높고 또한 고속 동작을 실행하는 것이 가능하게 된다.

본 명세서에 개시된 실시예는 모든 점에서 예시로서 제한적인 것은 아니라고 고려해야 한다. 본 발명의 범위는 상기한 실시예의 설명이 아니라 특허청구의 범위에 의해서 표시되며, 특허청구의 범위와 균등한 의미 및 범위내에서의 모든 변경이 포함되는 것이 의도된다.

발명의 효과

이상 기술한 바와 같이, 본 발명에 따른 불휘발성 반도체 기억 장치에 의하면, 요구에 따라서 2치 데이터 또는 3이상의 다치 데이터를 라이트하고 리드할 수 있으므로, 대용량의 데이터를 기억하면서 필요에 따라서 고신뢰성이고 또한 고속으로 데이터를 라이트하고 또 리드할 수가 있다.

또, 본 발명에 따른 데이터 기억 시스템에 의하면, 서로 특성이 다른 불휘발성 반도체 메모리를 적어도 2개 구비해서 저장 데이터에 따라서 해당하는 특성을 갖는 불휘발성 반도체 메모리를 이용하는 것에 의해서, 대용량이고 고신뢰성이며 또한 고속인 데이터 처리를 실행할 수가 있다.

또한, 본 발명에 따른 데이터 기억 시스템에 의하면, 2치 또는 다치의 상태로 데이터를 기억할 수 있는 여러개의 메모리 셀을 포함해서 외부로부터 받는 데이터에 따라서 2치의 상태 또는 다치의 상태로 데이터를 저장할 수 있으므로, 대용량이고 고신뢰성이며 또한 고속인 데이터 처리를 실행할 수가 있다.

(57) 청구의 범위

청구항 1.

불휘발성 반도체 기억장치에 있어서,
복수의 메모리 셀을 포함하는 불휘발성 메모리 셀 어레이와,
상기 복수의 메모리 셀에 대한 라이트 동작, 리드 동작 및 소거 동작을 제어하기 위한 제어 회로를 구비하되,
상기 제어 회로는,
라이트 요구에 따라서, 라이트 대상으로 되는 메모리 셀에 2치 데이터 또는 다치 데이터를 라이트하고, 상기 리드 동작시에, 리드 대상으로 되는 메모리 셀의 라이트 내용에 따라서, 상기 2치 데이터 또는 상기 다치 데이터를 리드하고,
상기 제어 회로는,
상기 라이트 대상으로 되는 메모리 셀을, 상기 2치 데이터를 라이트할 때에는, 소거 상태인 제 1 상태 또는 상기 제 1 상태와는 상이한 제 n 상태 중 어느 한쪽으로 설정하고, 상기 다치 데이터를 라이트할 때에는, 상기 제 1 상태에서부터 상기 제 n 상태까지의 서로 다른 합계 n개(3개 이상)의 상태 중 어느 하나로 설정하는
불휘발성 반도체 기억장치.

청구항 2.

데이터 기억 시스템에 있어서,
제 1 특성을 갖는 제 1 불휘발성 반도체 메모리와, 상기 제 1 특성과는 다른 제 2 특성을 갖는 제 2 불휘발성 반도체

메모리를 포함하는 메모리 영역 및

외부와 데이터의 수수(授受)를 실행하고, 상기 메모리 영역에 있어서의 데이터의 라이트 및 상기 메모리 영역으로부터의 데이터의 리드를 실행하기 위한 제어 장치를 구비하되,

상기 제 1 특성은 2치 데이터를 보지(保持)하는 것이 가능한 특성이고, 상기 제 2 특성은 3치 이상의 데이터를 보지(保持)하는 것이 가능한 특성이며,

상기 제어 장치는,

상기 외부로부터 받는 상기 메모리 영역에 라이트하기 위한 저장 데이터에 따라서, 상기 제1 특성에 합치한 라이트가 요구되어 있는지, 상기 제2 특성에 합치한 라이트가 요구되어 있는지를 판단하고, 상기 판단에 따라서, 상기 제 1 불휘발성 반도체 메모리 또는 상기 제 2 불휘발성 반도체 메모리에 상기 저장 데이터를 라이트하는

데이터 기억 시스템.

청구항 3.

삭제

청구항 4.

불휘발성 반도체 기억 장치에 있어서,

복수의 메모리 셀을 포함하는 불휘발성 메모리 셀 어레이와,

상기 복수의 메모리 셀에 대한 라이트 동작, 리드 동작 및 소거 동작을 제어하기 위한 제어 회로를 구비하되,

상기 제어 회로는,

라이트 요구에 따라서, 라이트 대상으로 되는 메모리 셀에 2치 데이터 또는 다치 데이터를 라이트하고, 상기 리드 동작시에, 리드 대상으로 되는 메모리 셀의 라이트 내용에 따라서, 상기 2치 데이터 또는 상기 다치 데이터를 리드하고,

상기 복수의 메모리 셀은,

일괄하여 상기 라이트 동작 및 상기 리드 동작의 대상으로 되는 복수의 라이트/리드 단위로 분할되어 있으며,

상기 불휘발성 반도체 기억 장치는 상기 복수의 라이트/리드 단위의 각각에 대하여 배치되는 복수의 플래그를 더 구비하되,

상기 복수의 플래그 각각은,

대응하는 라이트/리드 단위의 메모리 셀에 상기 2치 데이터를 라이트했는지, 상기 다치 데이터를 라이트했는지를 나타내는 값을 저장하는

불휘발성 반도체 기억장치.

청구항 5.

불휘발성 반도체 기억 장치에 있어서,

복수의 메모리 셀을 포함하는 불휘발성 메모리 셀 어레이와

상기 복수의 메모리 셀에 대한 라이트 동작, 리드 동작 및 소거 동작을 제어하기 위한 제어 회로를 구비하되,

상기 제어 회로는,

라이트 요구에 따라서, 라이트 대상으로 되는 메모리 셀에 2치 데이터 또는 다치 데이터를 라이트하고, 상기 리드 동작시에, 리드 대상으로 되는 메모리 셀의 라이트 내용에 따라서, 상기 2치 데이터 또는 상기 다치 데이터를 리드하고,

상기 복수의 메모리 셀 각각은,

소거 상태인 제 1 상태와 상기 제 1 상태에 가장 가까운 제 2 상태를 포함하는, 서로 다른 합계 n개의 상태(상기 n은 3 이상)를 가지며,

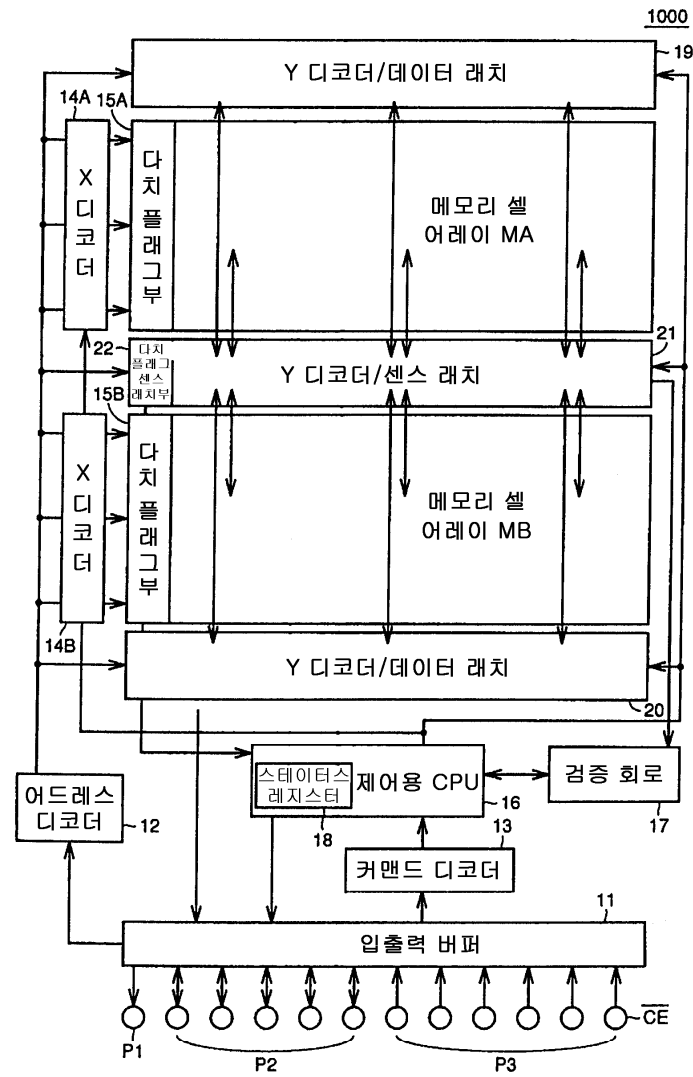
상기 제어 회로는,

상기 2치 데이터를 라이트할 때에는, 상기 라이트 대상으로 되는 메모리 셀을 상기 제 1 상태 또는 상기 제 2 상태로 설정하고, 상기 2치 데이터를 리드하는 때에는, 상기 리드 대상으로 되는 메모리 셀이, 상기 제 1 상태 또는 상기 합계 n개의 상태 중에서 상기 제 1 상태를 제외한 상태 중 어느 것에 속하는지를 판정하는

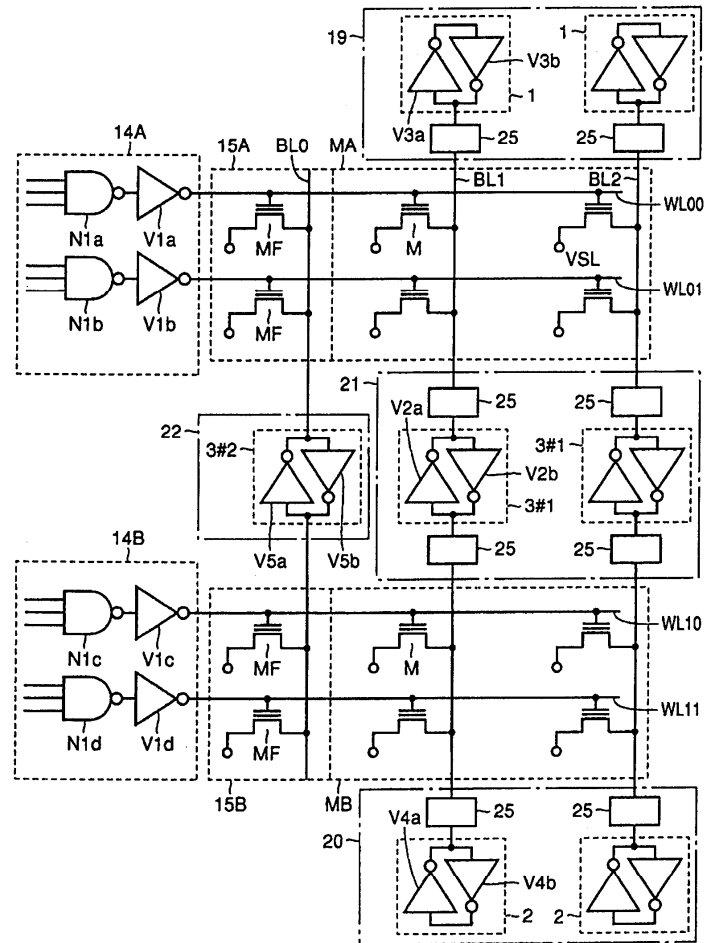
불휘발성 반도체 기억장치.

도면

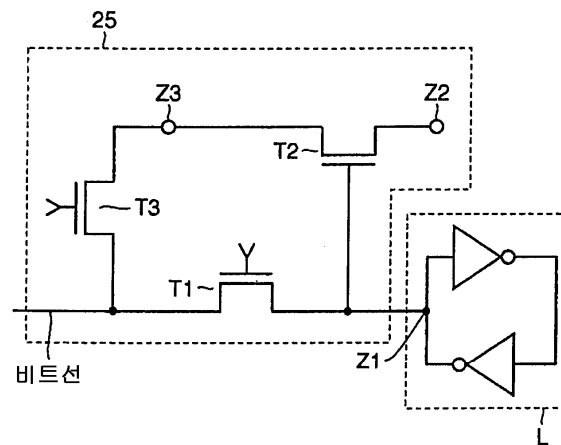
도면1



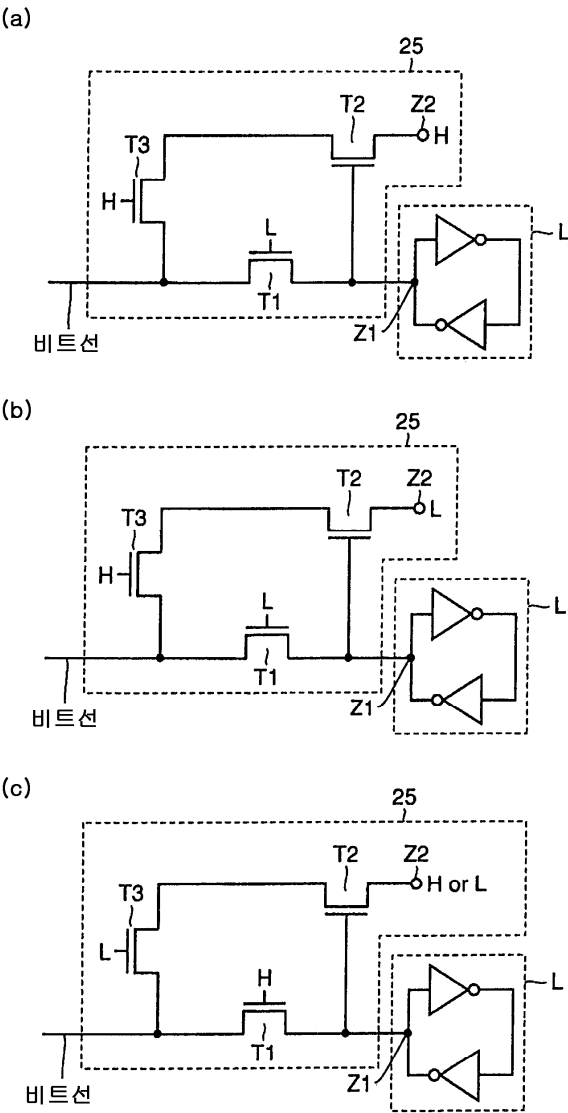
도면2



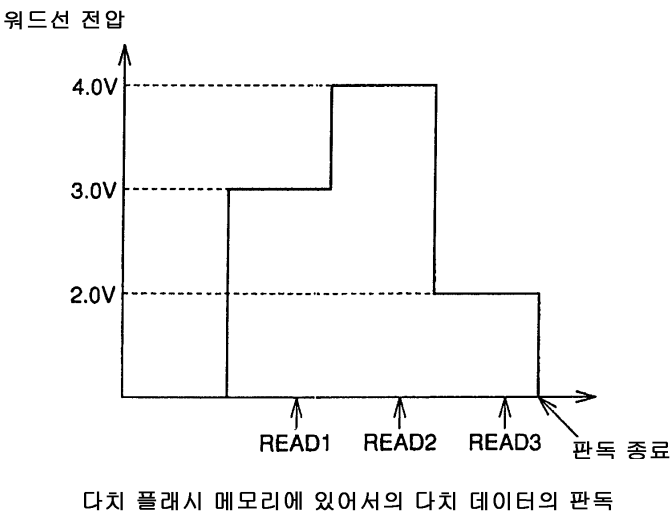
도면3



도면4

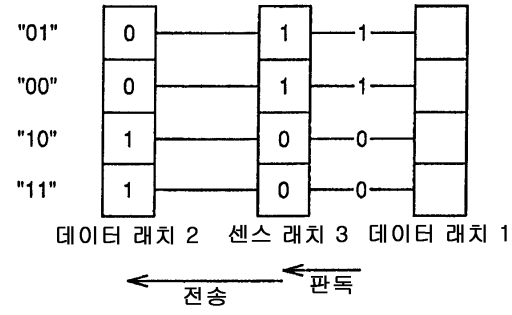


도면5

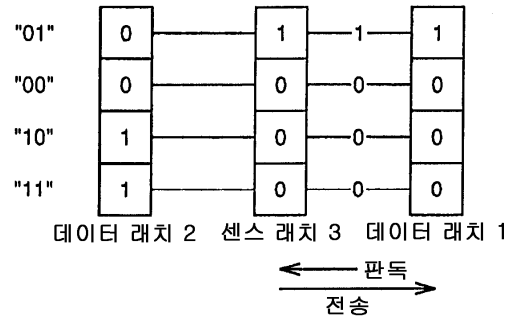


도면6

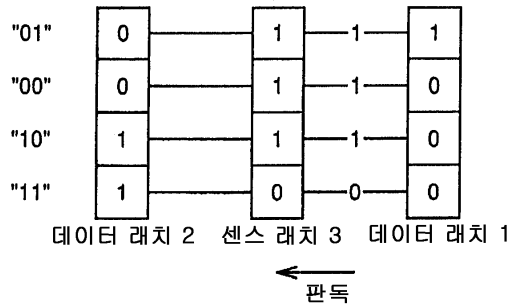
(a) READ1



(b) READ2

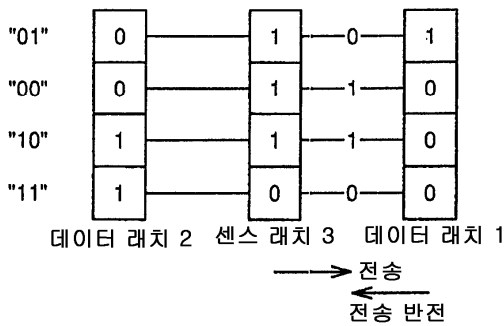


(c) READ3

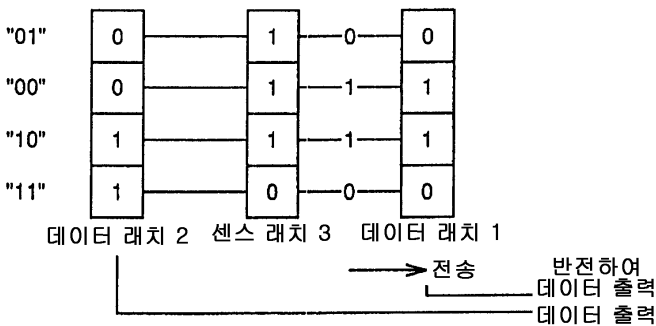


도면7

(a) 연산



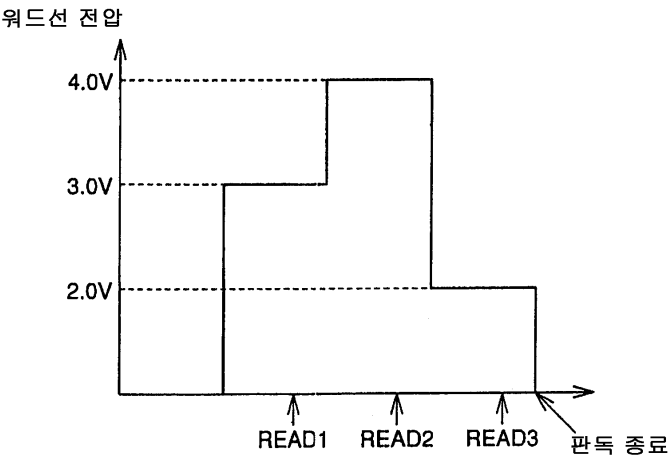
(b)



도면8

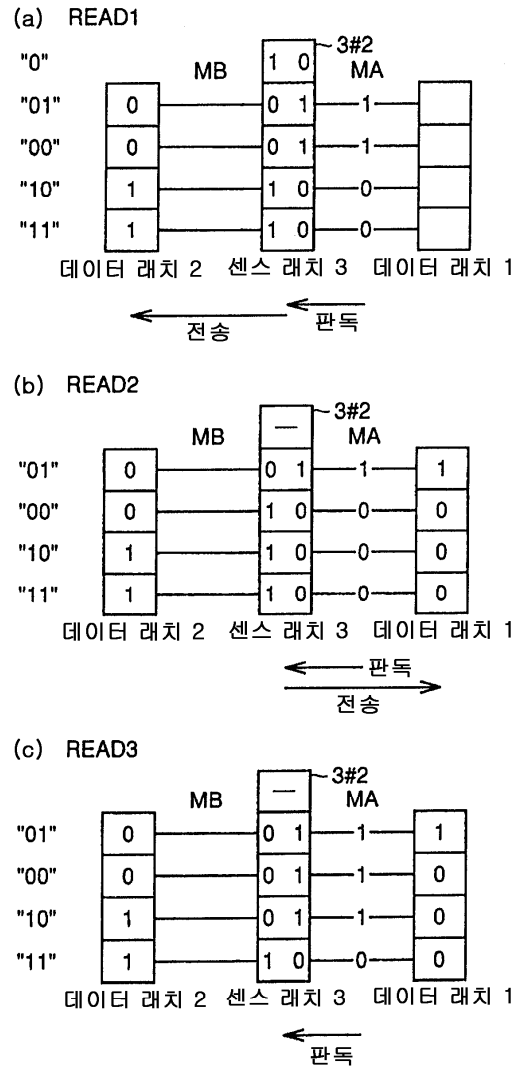
데이터		11	10	00	01
센스 래치의 값	READ1	0	0	1	1
	READ2	0	0	0	1
	READ3	0	1	1	1

도면9

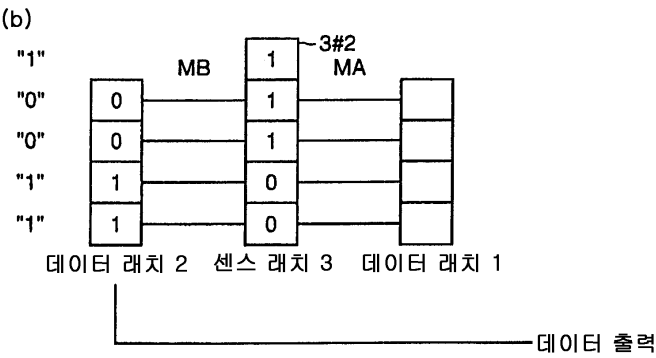
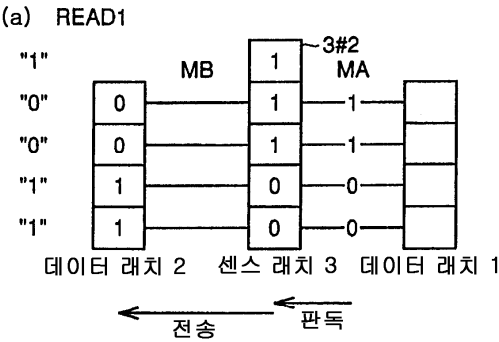


플래시 메모리(1000)에 있어서의 다치 데이터의 판독

도면10



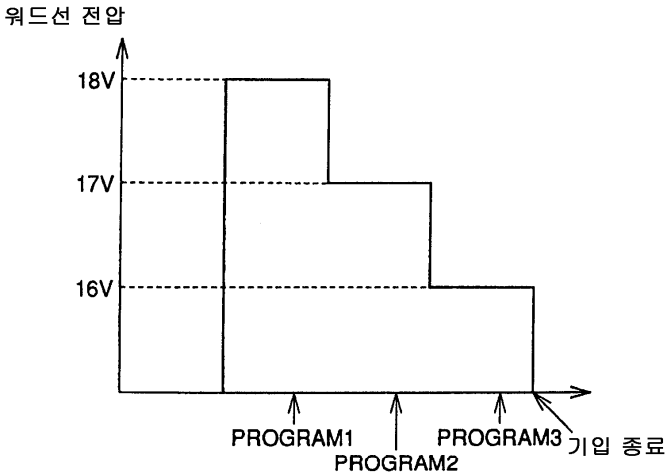
도면14



도면15

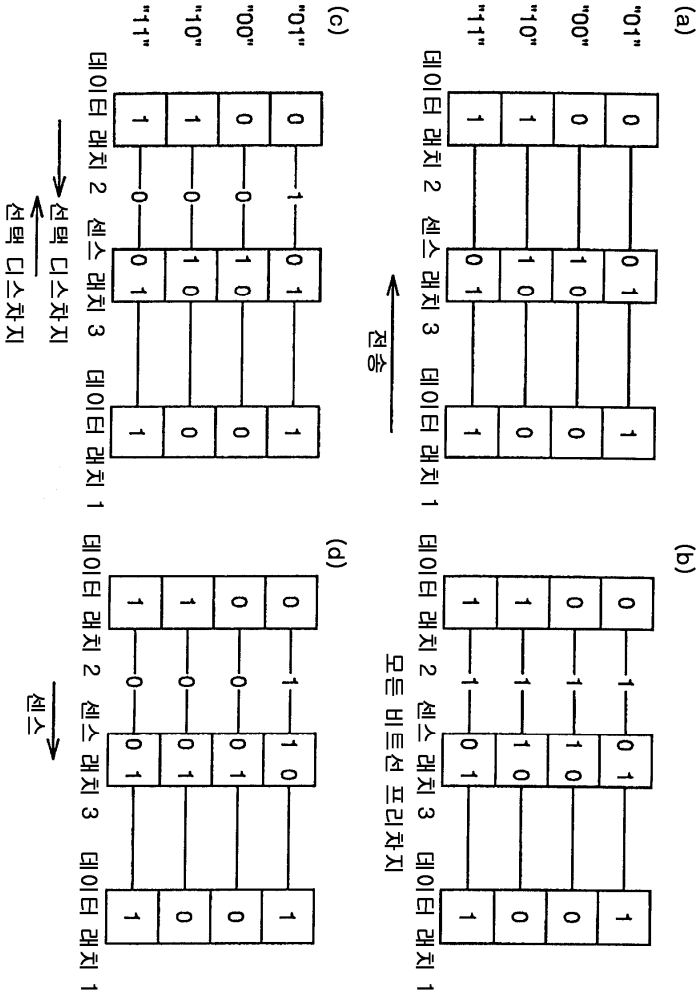
기억 위치		MF	M	M	M	M
데이터		1	0	0	1	1
센스 래치의 값	READ1	1	0	0	1	1
	READ2	—	—	—	—	—
	READ3	—	—	—	—	—

도면16

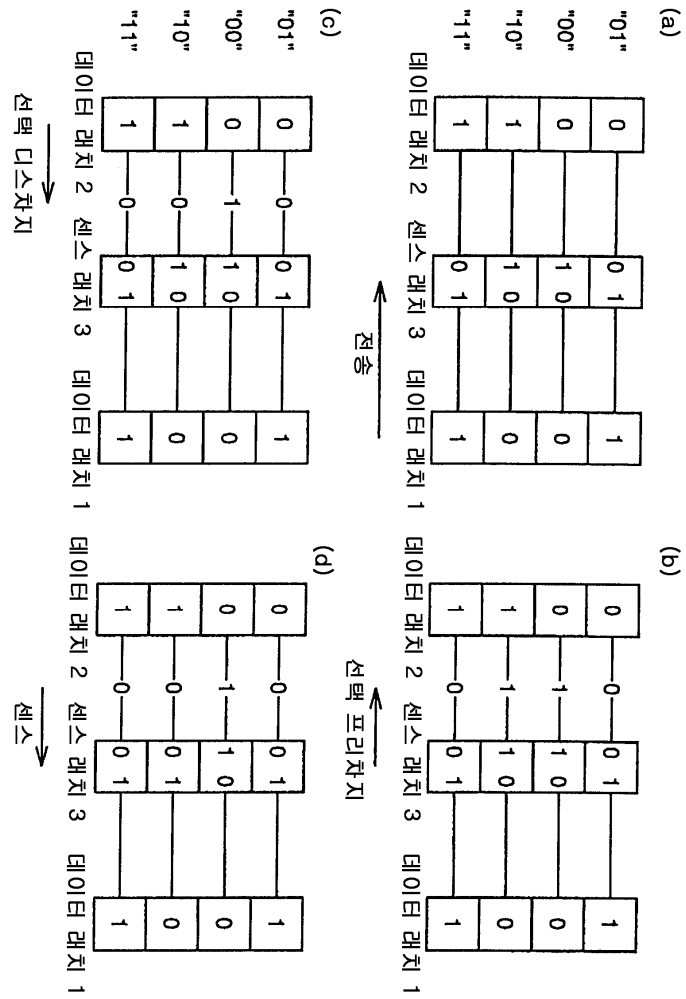


다치 플래시 메모리에 대한 다치 데이터의 기입

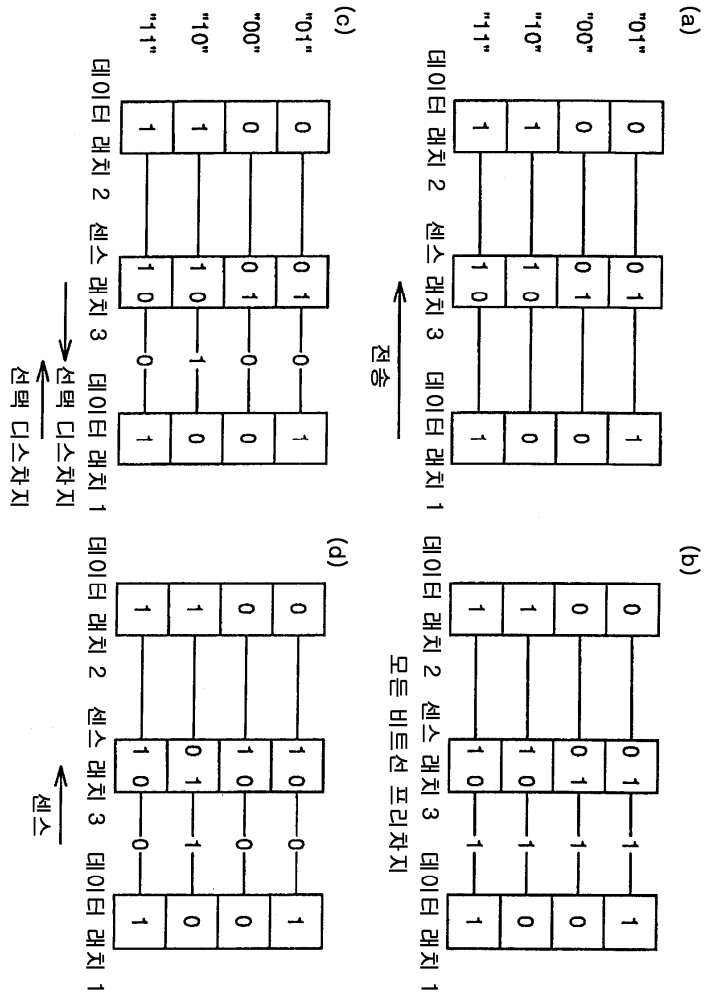
도면17



도면18



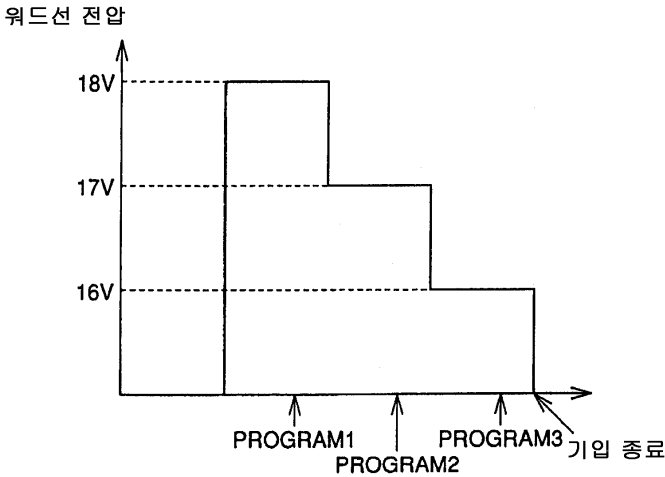
도면19



도면20

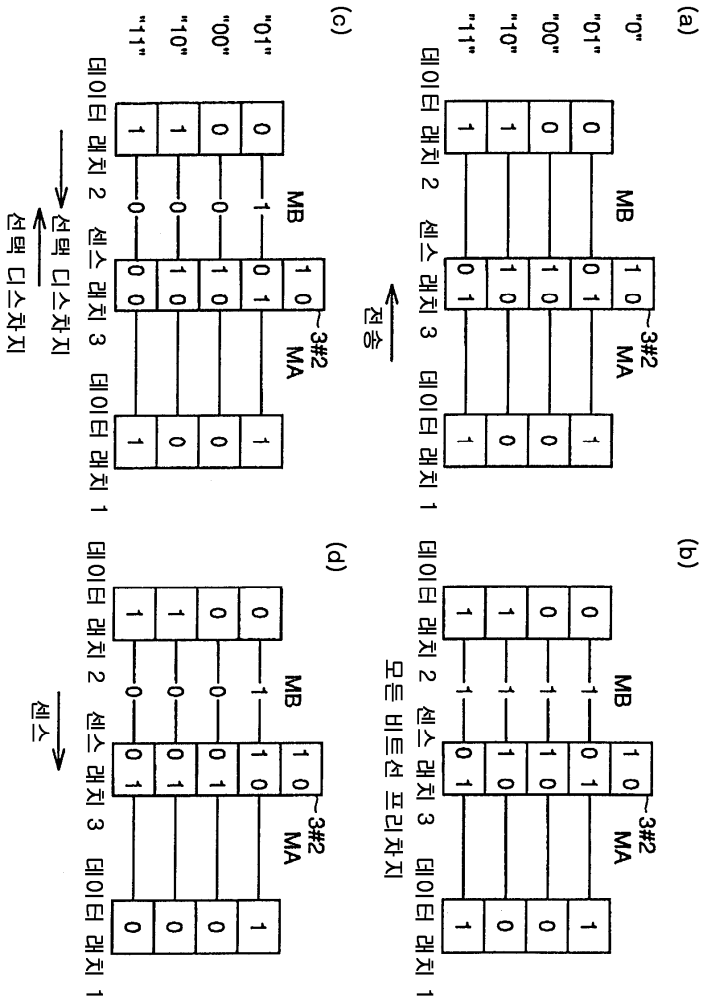
데이터		11	10	00	01
센스 래치의 값	PROGRAM1	1	1	1	0
	PROGRAM2	1	1	0	1
	PROGRAM3	1	0	1	1

도면21



플래시 메모리(1000)에 대한 다치 데이터의 기입

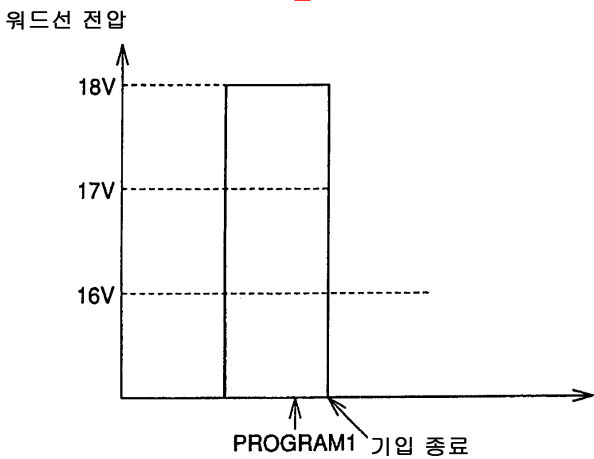
도면22



도면23

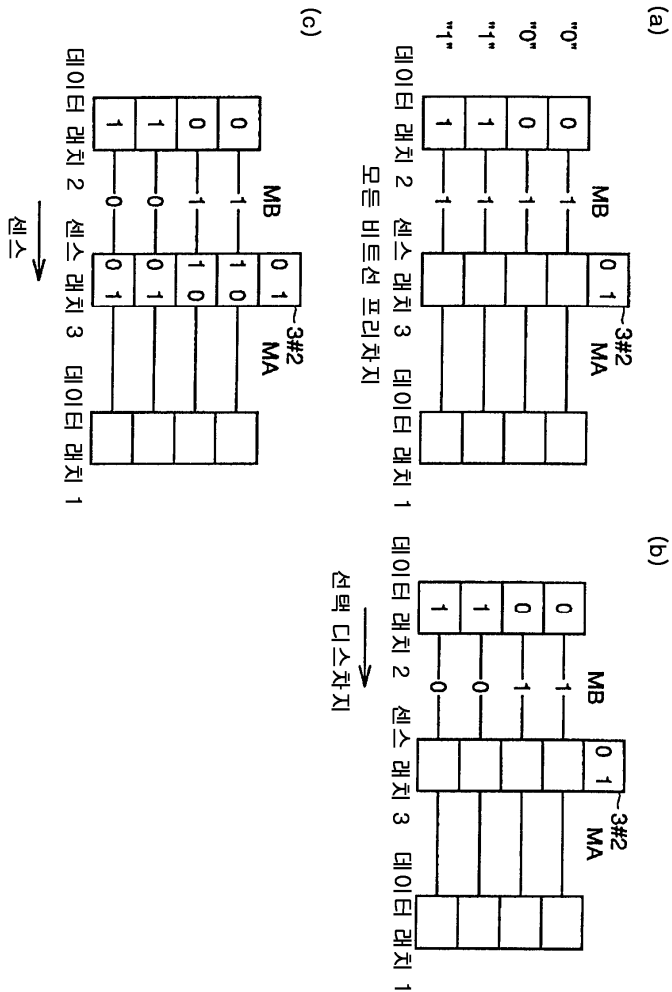
기억 위치		MF	M	M	M	M
데이터		0	11	10	00	01
센스 래치의 값	PROGRAM1	0	1	1	1	0
	PROGRAM2	1	1	1	0	1
	PROGRAM3	1	1	0	1	1

도면24



플래시 메모리(1000)에 대한 2차 데이터의 기입

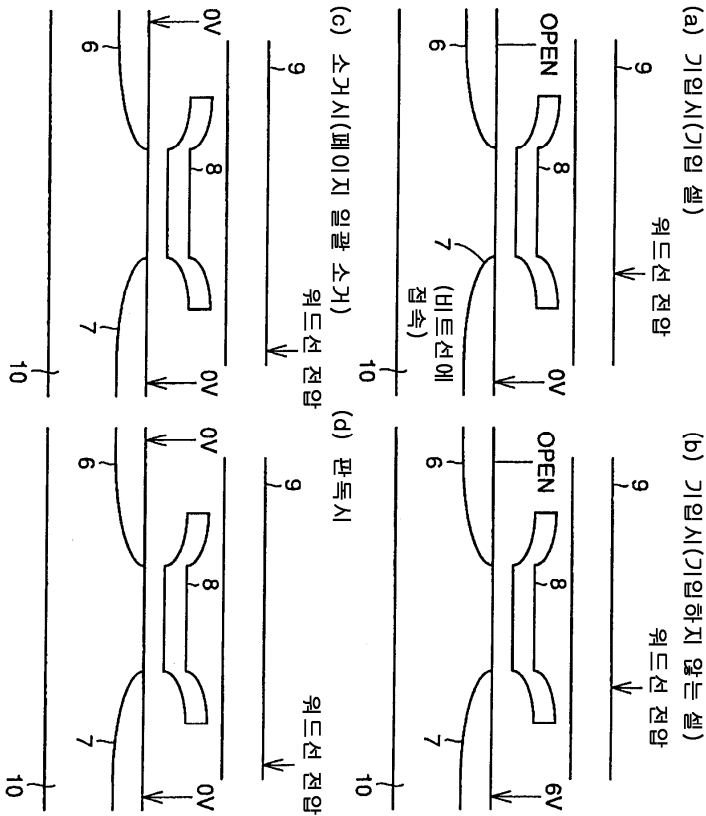
도면25



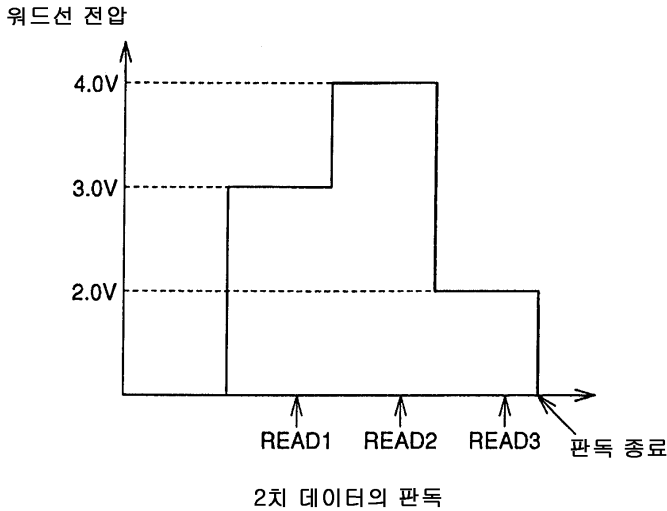
도면26

기억 위치		MF	M	M	M	M
데이터		1	1	1	0	0
센스 래치의 값	PROGRAM1	1	1	1	0	0

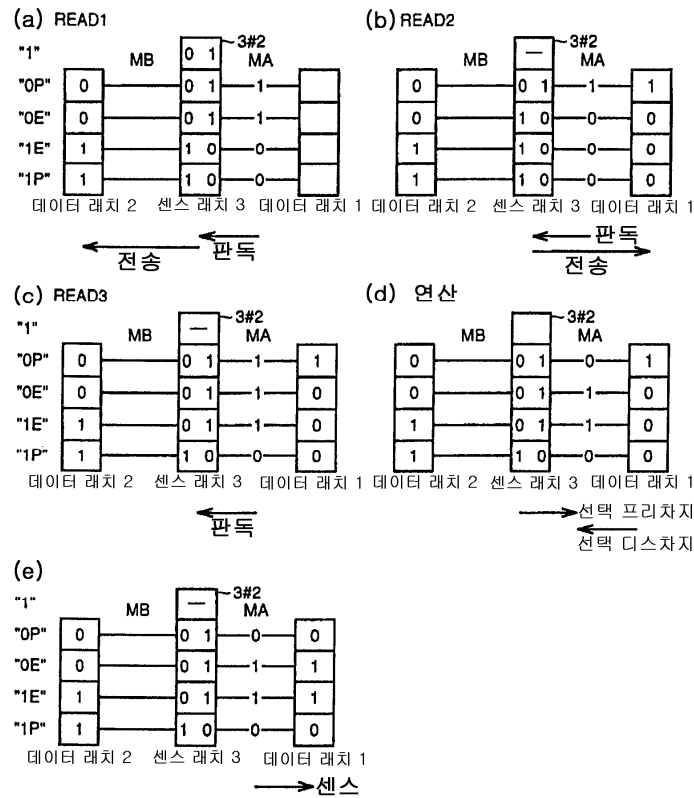
도면27



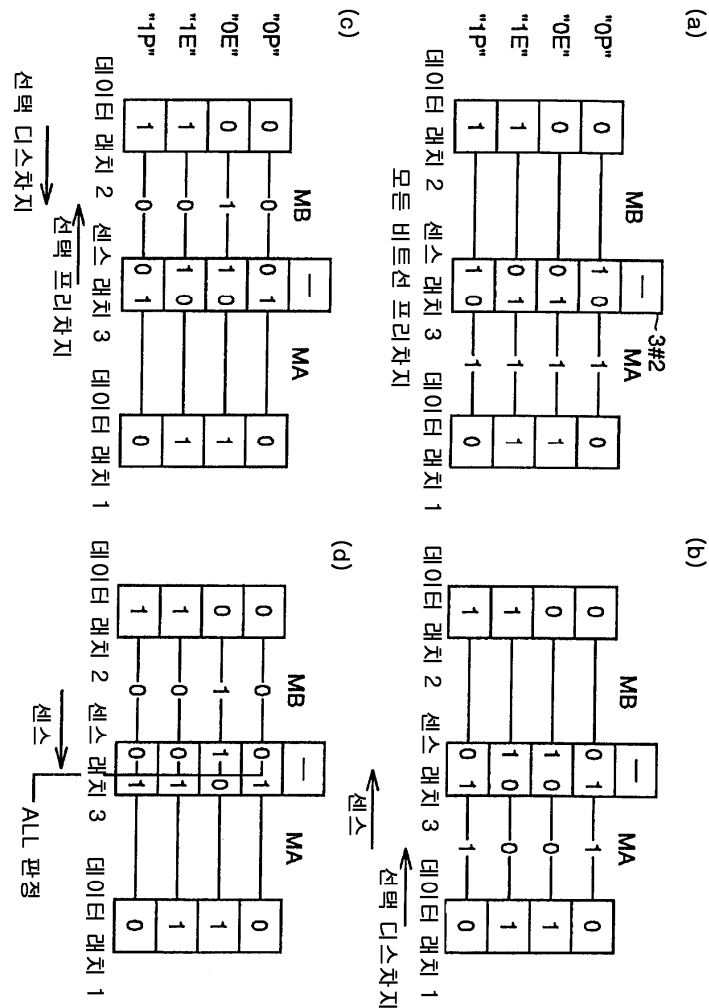
도면28



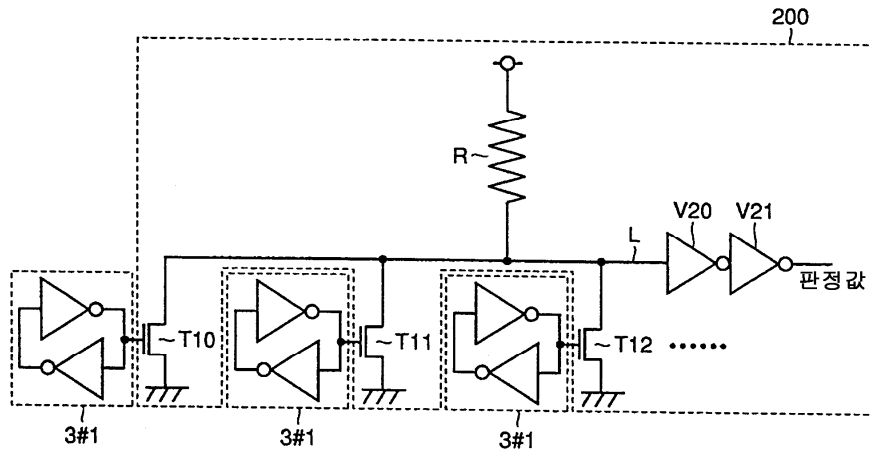
도면29



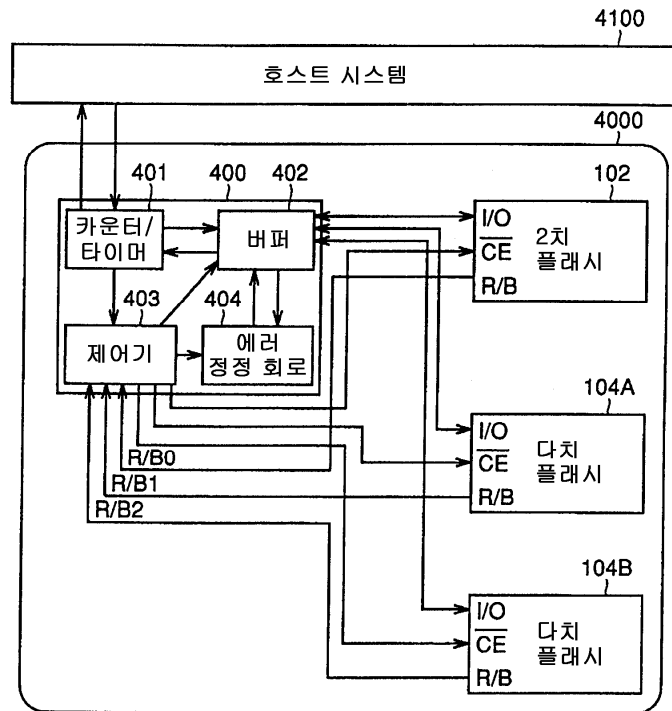
도면30



도면33



도면34

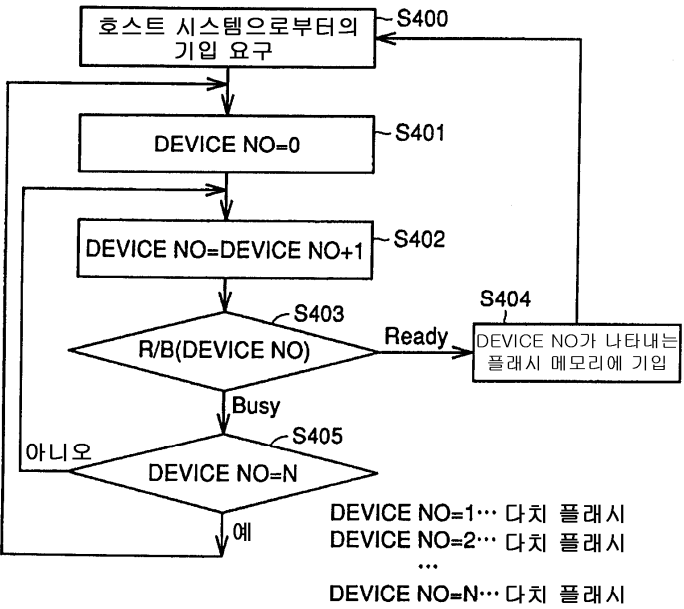


도면35

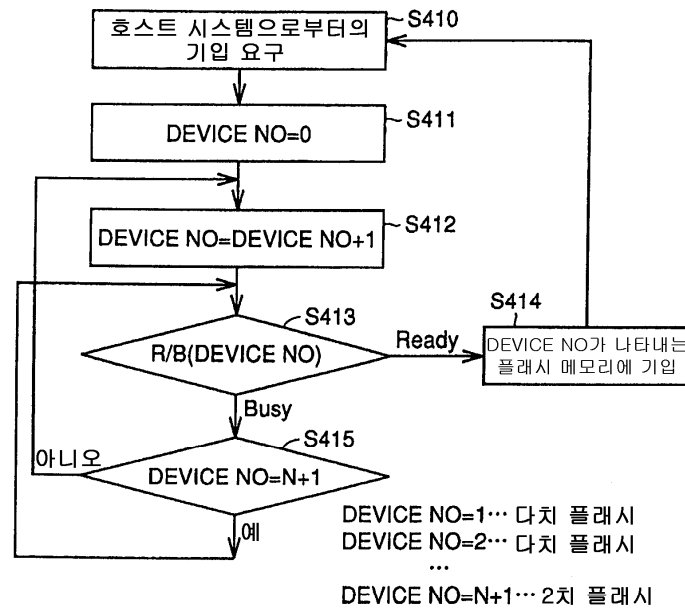
#0000

미사용	다치 플래시 메모리 104B
사용자 데이터	
사용자 데이터	
사용자 데이터	
사용자 데이터	
사용자 데이터	
사용자 데이터	
사용자 데이터	
사용자 데이터	
사용자 데이터	
미사용	다치 플래시 메모리 104A
사용자 데이터	
사용자 데이터	
사용자 데이터	
사용자 데이터	
사용자 데이터	
사용자 데이터	
사용자 데이터	
사용자 데이터	
사용자 데이터	
미사용	2차 플래시 메모리 102
고속 기입 요구시의 사용자 데이터	
고속 기입 요구시의 사용자 데이터	
FAT 정보	
데이터 기입 시스템의 소프트웨어	

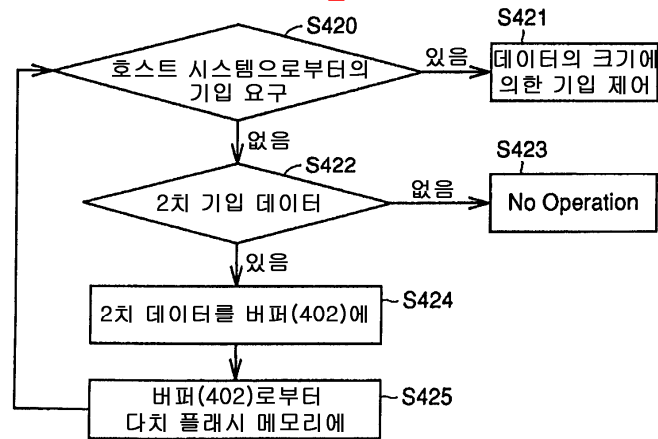
도면36



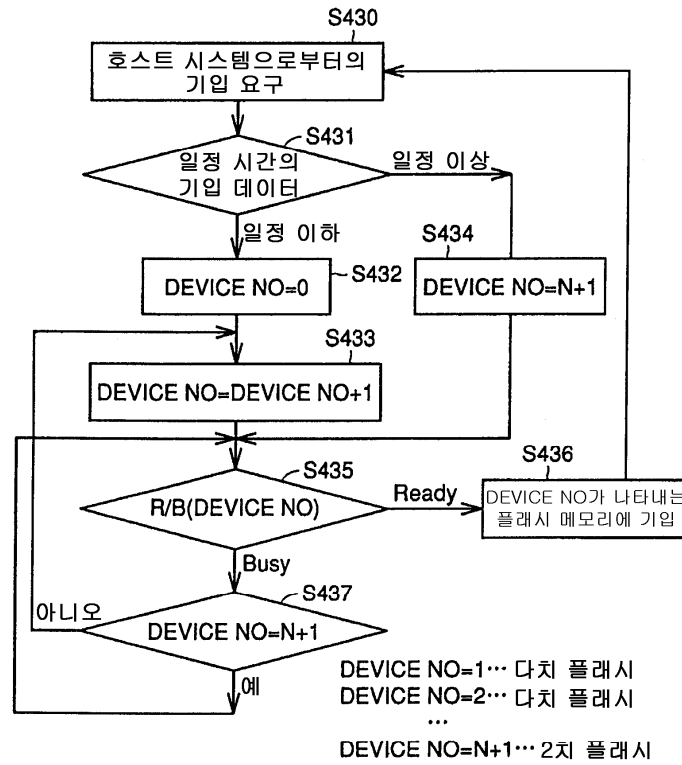
도면37



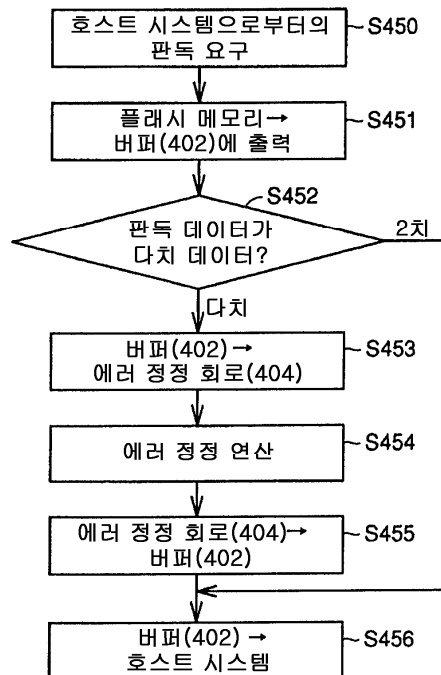
도면38



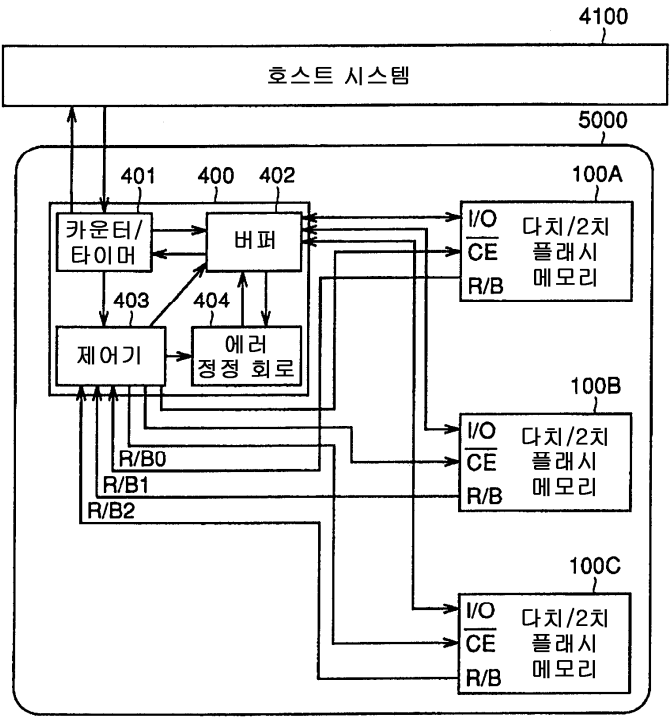
도면39



도면40



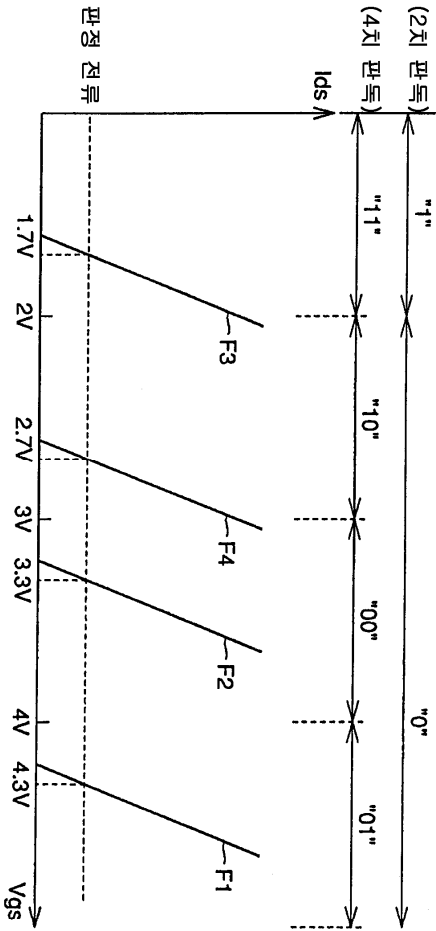
도면41



도면42

#0000		미사용	다차	다차/2차 플래시 메모리 100C
		사용자 데이터	다차	
		사용자 데이터	다차	
		사용자 데이터	다차	
		사용자 데이터	다차	다차/2차 플래시 메모리 100B
		고속 기입 요구시의 사용자 데이터	다차	
		고속 기입 요구시의 사용자 데이터	다차	
		고속 기입 요구시의 사용자 데이터	다차	
		미사용	다차	다차/2차 플래시 메모리 100A
		고속 기입 요구시의 사용자 데이터	다차	
		고속 기입 요구시의 사용자 데이터	다차	
		고속 기입 요구시의 사용자 데이터	다차	
		FAT 정보	다차	다차/2차 플래시 메모리 100A
		데이터 기억 시스템의 소프트웨어	다차	

도면43



도면44

