



(12) 发明专利申请

(10) 申请公布号 CN 104810003 A

(43) 申请公布日 2015. 07. 29

(21) 申请号 201510262974. 1

(22) 申请日 2015. 05. 21

(71) 申请人 合肥京东方光电科技有限公司

地址 230012 安徽省合肥市新站区铜陵北路
2177 号

申请人 京东方科技集团股份有限公司

(72) 发明人 古宏刚 李小和 邵贤杰

(74) 专利代理机构 北京天昊联合知识产权代理
有限公司 11112

代理人 柴亮 张天舒

(51) Int. Cl.

G09G 3/36(2006. 01)

G11C 19/28(2006. 01)

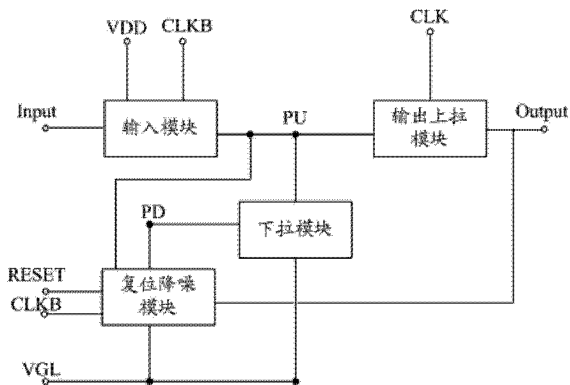
权利要求书2页 说明书7页 附图6页

(54) 发明名称

移位寄存器及其驱动方法、栅极驱动电路、显示装置

(57) 摘要

本发明提供一种移位寄存器及其驱动方法、栅极驱动装置、显示装置,属于显示技术领域。本发明的移位寄存器包括:输入模块、输出上拉模块、复位降噪模块;其中,所述输入模块,连接信号输入端、第二时钟信号输入端、电源电压端以及上拉控制节点;所述输出上拉模块,连接第一时钟信号输入端、上拉控制节点以及信号输出端;所述复位降噪模块,连接第二时钟信号输入端、复位信号输入端、低电压端以及信号输出端。本发明的移位寄存器结构简单,有助于显示装置实现窄边化。



1. 一种移位寄存器,其特征在于,所述移位寄存器包括:输入模块、输出上拉模块、复位降噪模块;其中,

所述输入模块,连接信号输入端、第二时钟信号输入端、电源电压端以及上拉控制节点,用于在所述信号输入端所输入的的信号和所述第二时钟信号输入端所输入的第二时钟信号的控制下,通过电源电压端所输入的电源电压和所述信号输入端所输入的的信号为上拉控制节点充电,上拉控制节点为输入模块和输出上拉模块之间的连接点;

所述输出上拉模块,连接第一时钟信号输入端、上拉控制节点以及信号输出端,用于根据所述上拉控制节点的电位控制,将信号输出端的电位进行上拉;

所述复位降噪模块,连接第二时钟信号输入端、复位信号输入端、低电压端以及信号输出端,用于在所述第二时钟信号输入端所输入的第二时钟信号、复位信号输入端所输入的复位信号的控制下,通过低电压端输入的低电压信号将上拉控制节点和信号输出端所输出的信号进行复位以及降低输出噪声。

2. 根据权利要求1所述的移位寄存器,其特征在于,所述移位寄存器还包括:辅助降噪模块,

所述辅助降噪模块,连接第一时钟信号输入端和复位降噪模块,用于在所述第一时钟信号输入端所输入的第一时钟信号的控制下,通过所述复位降噪模块降低上拉控制节点和信号输出端所输出的信号进行复位的输出噪声。

3. 根据权利要求1所述的移位寄存器,其特征在于,所述移位寄存器还包括:下拉模块;

所述下拉模块,连接下拉节点、上拉控制节点以及低电压端,用于在上拉控制节点的控制下,通过低电压端输入的低电压信号将下拉节点的电位拉低;其中下拉节点为复位降噪模块和下拉模块之间的连接点。

4. 根据权利要求1-3中任一项所述的移位寄存器,其特征在于,所述输入模块包括:第一晶体管和第五晶体管;其中,

所述第一晶体管的第一极连接电源电压端,第二极连接上拉控制节点,控制极连接信号输入端;

所述第五晶体管的第一极连接信号输入端,第二极连接上拉控制节点,控制极连接第二时钟信号输入端。

5. 根据权利要求1-3中任一项所述的移位寄存器,其特征在于,所述输出上拉模块包括:第三晶体管和第一存储电容;其中,

所述第三晶体管的第一极连接第一时钟信号输入端,第二极连接信号输出端,控制极连接上拉控制节点;

所述第一存储电容的第一端连接上拉控制节点,第二端连接信号输出端。

6. 根据权利要求2或3所述的移位寄存器,其特征在于,所述复位降噪模块包括:第二晶体管、第四晶体管,以及第二存储电容,其中,

所述第二晶体管的第一极连接上拉控制节点,第二极连接低电压端,控制极连接复位信号输入端;

所述第四晶体管的第一极连接信号输出端,第二极连接低电压端,控制极连接下拉节点;

所述第二存储电容的第一端连接第二时钟信号输入端,第二端连接第四晶体管的控制极。

7. 根据权利要求 6 所述的移位寄存器,其特征在于,所述辅助降噪模块包括:第三存储电容,其中,

所述第三存储电容的第一端连接第一时钟信号输入端,第二端连接第四晶体管的控制极。

8. 根据权利要求 3 所述的移位寄存器,其特征在于,所述下拉模块包括:第六晶体管;所述第六晶体管的第一极连接下拉节点,第二极连接低电压端,控制极连接上拉控制节点。

9. 一种移位寄存器的驱动方法,其特征在于,包括:

预充电阶段:给输入模块的信号输入端和第二时钟信号输入端输入工作电平信号,并通过电源电压端所输入的电源电压和所述信号输入端所输入的工作电平信号为上拉控制节点进行充电;

输出阶段:上拉控制节点将输出上拉模块打开,并通过第一时钟信号输入端所输入的信号上拉信号输出端的输出;

复位降噪阶段:在所述第二时钟信号输入端所输入的第二时钟信号、复位信号输入端所输入的复位信号的控制下,通过低电压端输入的低电压信号将上拉控制节点和信号输出端所输出的信号进行复位以及降低噪声。

10. 一种栅极驱动电路,其特征在于,包括多个级联的如权利要求 1-8 中任一项所述的移位寄存器。

11. 一种显示装置,其特征在于,所述显示装置包括权利要求 10 所述的栅极驱动电路。

移位寄存器及其驱动方法、栅极驱动电路、显示装置

技术领域

[0001] 本发明属于显示技术领域，具体涉及一种移位寄存器及其驱动方法、栅极驱动电路、显示装置。

背景技术

[0002] TFT-LCD(Thin Film Transistor-Liquid Crystal Display, 薄膜晶体管液晶显示装置) 实现一帧画面显示的基本原理是通过栅极 (gate) 驱动从上到下依次对每一行像素输入一定宽度的方波进行选通, 再通过源极 (source) 驱动每一行像素所需的信号依次从上往下输出。目前制造这样一种结构的显示器件通常是栅极驱动电路和源极驱动电路通过 COF(Chip On Film, 覆晶薄膜) 或 COG(Chip On Glass, 芯片直接固定在玻璃上) 工艺制作在玻璃面板上的, 但是当分辨率较高时, 栅极驱动电路和源极驱动电路的输出均较多, 驱动电路的长度也将增大, 这将不利于模组驱动电路的压焊 (Bonding) 工艺。

[0003] 为了克服以上问题, 现有显示器件的制造采用 GOA(Gate Drive On Array) 电路的设计, 相比现有的 COF 或 COG 工艺, 其不仅节约了成本, 而且可以做到面板两边对称的美观设计, 同时也可省去栅极驱动电路的 Bonding 区域以及外围布线空间, 从而实现了显示装置窄边框的设计, 提高了显示装置的产能和良率。但是现有的 GOA 电路的设计也存在着一一定的问题, 如图 1 所示, 现有的 GOA 电路中的每个移位寄存器的薄膜晶体管 (TFT) 的个数较多 (即 M1-M6 ~ M8-M11), 且每个移位寄存器只能用于驱动一行栅线, 故占用空间较大, 所以进一步减小 GOA 电路的占用空间, 才可以实现真正意义上的窄边框设计。

发明内容

[0004] 本发明所要解决的技术问题包括, 针对现有的移位寄存器存在的问题, 提供一种结构简单、性能较好的移位寄存器及其驱动方法、栅极驱动电路、显示装置。

[0005] 解决本发明技术问题所采用的技术方案是一种移位寄存器, 包括: 输入模块、输出上拉模块、复位降噪模块; 其中,

[0006] 所述输入模块, 连接信号输入端、第二时钟信号输入端、电源电压端以及上拉控制节点, 用于在所述信号输入端所输入的信号和所述第二时钟信号输入端所输入的第二时钟信号的控制下, 通过电源电压端所输入的电源电压和所述信号输入端所输入的信号为上拉控制节点充电, 上拉控制节点为输入模块和输出上拉模块之间的连接点;

[0007] 所述输出上拉模块, 连接第一时钟信号输入端、上拉控制节点以及信号输出端, 用于根据所述上拉控制节点的电位控制, 将信号输出端的电位进行上拉;

[0008] 所述复位降噪模块, 连接第二时钟信号输入端、复位信号输入端、低电压端以及信号输出端, 用于在所述第二时钟信号输入端所输入的第二时钟信号、复位信号输入端所输入的复位信号的控制下, 通过低电压端输入的低电压信号将上拉控制节点和信号输出端所输出的信号进行复位以及降低输出噪声。

[0009] 优选的是, 所述移位寄存器还包括: 辅助降噪模块,

[0010] 所述辅助降噪模块,连接第一时钟信号输入端和复位降噪模块,用于在所述第一时钟信号输入端所输入的第一时钟信号的控制下,通过所述复位降噪模块降低上拉控制节点和信号输出端所输出的信号进行复位的输出噪声。

[0011] 优选的是,所述移位寄存器还包括:下拉模块;

[0012] 所述下拉模块,连接下拉节点、上拉控制节点以及低电压端,用于在上拉控制节点的控制下,通过低电压端输入的低电压信号将下拉节点的电位拉低;其中下拉节点为复位降噪模块和下拉模块之间的连接点。

[0013] 进一步优选的是,所述输入模块包括:第一晶体管和第五晶体管;其中,

[0014] 所述第一晶体管的第一极连接电源电压端,第二极连接上拉控制节点,控制极连接信号输入端;

[0015] 所述第五晶体管的第一极连接信号输入端,第二极连接上拉控制节点,控制极连接第二时钟信号输入端。

[0016] 进一步优选的是,所述输出上拉模块包括:第三晶体管和第一存储电容;其中,

[0017] 所述第三晶体管的第一极连接第一时钟信号输入端,第二极连接信号输出端,控制极连接上拉控制节点;

[0018] 所述第一存储电容的第一端连接上拉控制节点,第二端连接信号输出端。

[0019] 进一步优选的是,所述复位降噪模块包括:第二晶体管、第四晶体管,以及第二存储电容,其中,

[0020] 所述第二晶体管的第一极连接上拉控制节点,第二极连接低电压端,控制极连接复位信号输入端;

[0021] 所述第四晶体管的第一极连接信号输出端,第二极连接低电压端,控制极连接下拉节点;

[0022] 所述第二存储电容的第一端连接第二时钟信号输入端,第二端连接第四晶体的控制极。

[0023] 进一步优选的是,所述辅助降噪模块包括:第三存储电容,其中,

[0024] 所述第三存储电容的第一端连接第一时钟信号输入端,第二端连接第四晶体的控制极。

[0025] 进一步优选的是,所述下拉模块包括:第六晶体管;

[0026] 所述第六晶体管的第一极连接下拉节点,第二极连接低电压端,控制极连接上拉控制节点。

[0027] 解决本发明技术问题所采用的技术方案是一种移位寄存器的驱动方法,其包括:

[0028] 预充电阶段:给输入模块的信号输入端和第二时钟信号输入端输入工作电平信号,并通过电源电压端所输入电源电压和所述信号输入端所输入的工作电平信号为上拉控制节点进行充电;

[0029] 输出阶段:上拉控制节点将输出上拉模块打开,并通过第一时钟信号输入端所输入的信号上拉信号输出端的输出;

[0030] 复位降噪阶段:在所述第二时钟信号输入端所输入的第二时钟信号、复位信号输入端所输入的复位信号的控制下,通过低电压端输入的低电压信号将上拉控制节点和信号输出端所输出的信号进行复位以及降低噪声。

[0031] 解决本发明技术问题所采用的技术方案是一种栅极驱动电路,其包括多个级联的上述的移位寄存器。

[0032] 解决本发明技术问题所采用的技术方案是一种显示装置,其包括上述的栅极驱动电路。

[0033] 本发明具有如下有益效果:

[0034] 由于本发明的移位寄存器仅包括输入模块、输出上拉模块、复位降噪模块,故其结构简单,有助于实现显示装置的窄边化。本发明的移位寄存器的驱动方法,时序简单,易于实现。

附图说明

[0035] 图 1 为现有的移位寄存器的电路示意图;

[0036] 图 2 为本发明的实施例 1 的一种移位寄存器的结构图;

[0037] 图 3 为本发明的实施例 1 的另一种移位寄存器的结构图;

[0038] 图 4 为图 2 所示的移位寄存器的电路示意图;

[0039] 图 5 为图 4 的工作时序图;

[0040] 图 6 为图 3 所示的移位寄存器的电路示意图;

[0041] 图 7 为图 6 的工作时序图;

[0042] 图 8 为本发明的实施例 2 的栅极驱动电路的示意图。

具体实施方式

[0043] 为使本领域技术人员更好地理解本发明的技术方案,下面结合附图和具体实施方式对本发明作进一步详细描述。

[0044] 本发明实施例中的所采用的晶体管可以为薄膜晶体管或场效应管或其他特性的相同器件,由于采用的晶体管的源极和漏极是对称的,所以其源极、漏极是没有区别的。在本发明实施例中,为区分晶体管的源极和漏极,将其中一极称为第一极,另一极称为第二极,栅极称为控制极。此外按照晶体管的特性区分可以将晶体管分为 N 型和 P 型,以下实施例中是以 N 型晶体管进行说明的,当采用 N 型晶体管时,第一极为 N 型晶体管的源极,第二极为 N 型晶体管的漏极,栅极输入高电平时,源漏极导通,P 型相反。可以想到的是采用 P 型晶体管实现是本领域技术人员可以在没有付出创造性劳动前提下轻易想到的,因此也是在本发明实施例的保护范围内的。

[0045] 实施例 1:

[0046] 如图 2 所示,本实施例提供一种移位寄存器,其包括:输入模块、输出上拉模块、复位降噪模块;其中,所述输入模块,连接信号输入端 Input、第二时钟信号输入端 CLKB、电源电压端 VDD 以及上拉控制节点,用于在所述信号输入端 Input 所输入的信号和所述第二时钟信号输入端 CLKB 所输入的第二时钟信号的控制下,通过电源电压端 VDD 所输入的电

源电压和所述信号输入端 Input 所输入的信号为上拉控制节点充电,上拉控制节点为输入模块和输出上拉模块之间的连接点;所述输出上拉模块,连接第一时钟信号输入端 CLK、上拉控制节点以及信号输出端 Output,用于根据所述上拉控制节点的电位控制,将信号输出端 Output 的电位进行上拉;所述复位降噪模块,连接第二时钟信号输入端 CLKB、复位信号输

入端 RESET、低电压端 VGL 以及信号输出端 Output, 用于在所述第二时钟信号输入端 CLKB 所输入的第二时钟信号、复位信号输入端 RESET 所输入的复位信号的控制下, 通过低电压端 VGL 输入的低电压信号将上拉控制节点和信号输出端 Output 所输出的信号进行复位以及降低输出噪声。

[0047] 本实施例所提供的移位寄存器的结构简单, 有助于实现显示装置的窄边化。

[0048] 优选的, 本实施例的移位寄存器还包括: 辅助降噪模块, 所述辅助降噪模块, 连接第一时钟信号输入端 CLK 和复位降噪模块, 用于在所述第一时钟信号输入端 CLK 所输入的第一时钟信号的控制下, 通过所述复位降噪模块降低上拉控制节点和信号输出端 Output 所输出的信号进行复位的输出噪声。

[0049] 优选的, 本实施例的移位寄存器还包括: 下拉模块; 所述下拉模块, 连接下拉节点、上拉控制节点, 以及低电压端 VGL, 用于在上拉控制节点的控制下, 通过低电压端 VGL 输入的低电压信号将下拉节点的电位拉低, 以防止影响移位寄存器的信号输出端 Output 的输出; 其中下拉节点为复位降噪模块和下拉模块之间的连接点。

[0050] 如图 4 所示, 作为本实施例的一种实现方式, 其中输入模块包括: 第一晶体管 M1 和第五晶体管 M5; 所述第一晶体管 M1 的第一极连接电源电压端 VDD, 第二极连接上拉控制节点, 控制极连接信号输入端 Input; 所述第五晶体管 M5 的第一极连接信号输入端 Input, 第二极连接上拉控制节点, 控制极连接第二时钟信号输入端 CLKB。

[0051] 具体的, 由于在本实施例中的输入模块包括第一晶体管 M1 和第五晶体管 M5, 故当信号输入端 Input 和第二时钟信号输入端 CLKB 均输入高电平时, 第一晶体管 M1 和第五晶体管 M5 均打开, 电压电源端输入电源电压, 通过第一晶体管 M1 为上拉控制节点充电, 与此同时信号输入端 Input 所输入的高电平信号通过第五晶体管 M5 也为上拉控制节点充电, 从而大大提高了上拉控制节点的充电能力。

[0052] 其中, 输出上拉模块包括: 第三晶体管 M3 和第一存储电容 C1; 所述第三晶体管 M3 的第一极连接第一时钟信号输入端 CLK, 第二极连接信号输出端 Output, 控制极连接上拉控制节点; 所述第一存储电容 C1 的第一端连接上拉控制节点, 第二端连接信号输出端 Output。

[0053] 具体的, 上拉控制节点被上拉至高电平后, 第三晶体管 M3 打开, 给第一时钟信号输入端 CLK 输入高电平信号, 此时信号输出端 Output 的电位被上拉至高电平。

[0054] 其中, 复位降噪模块包括: 第二晶体管 M2、第四晶体管 M4, 以及第二存储电容 C2, 所述第二晶体管 M2 的第一极连接上拉控制节点, 第二极连接低电压端 VGL, 控制极连接复位信号输入端 RESET; 所述第四晶体管 M4 的第一极连接信号输出端 Output, 第二极连接低电压端 VGL, 控制极连接下拉节点; 所述第二存储电容 C2 的第一端连接第二时钟信号输入端 CLKB, 第二端连接第四晶体管 M4 的控制极。

[0055] 具体的, 复位信号输入端 RESET 和第二时钟信号输入端 CLKB 所输入的信号为高电平, 此时第二晶体管 M2 被打开, 上拉控制节点的电位被拉低, 完成对上拉控制节点的复位, 同时由于第二存储电容 C2 的自举作用, 存储电容的第二端的电位被拉高, 第四晶体管 M4 打开, 通过第四晶体管 M4 对信号输出端 Output 进行复位以及降噪。

[0056] 其中, 下拉模块包括: 第六晶体管 M6; 所述第六晶体管 M6 的第一极连接下拉节点, 第二极连接低电压端 VGL, 控制极连接上拉控制节点。

[0057] 具体的,当上拉控制节点为高电平时,第六晶体管 M6 打开,此时下拉节点被拉低,第四晶体管 M4 牢牢的被关闭,以防止第四晶体管 M4 漏电而影响信号输出端 Output 的输出。

[0058] 下面结合图 5 所示的时序图对图 4 的移位寄存器的工作具体说明。

[0059] 预充电阶段:给输入模块的信号输入端 Input 和第二时钟信号输入端 CLKB 输入工作电平信号,并通过电源电压端 VDD 所输入的电源电压和所述信号输入端 Input 所输入的工作电平信号为上拉控制节点进行充电。

[0060] 具体的,输入信号端所输入的信号为高电平,输入端信号为上一级的移位寄存器的输出端所输出信号,使得第一晶体管 M1 打开;第一时钟信号输入端 CLK 此时的电位为低电位时,电源电压端 VDD 所输入的电源电压通过第一晶体管 M1 给第一存储电容 C1 充电,使得 PU 点电压拉高;与此同时此时第二时钟信号输入端 CLKB 所输入的信号为高电平,第五晶体管 M5 被打开,信号输入端 Input 所输入的信号通过第五晶体管 M5 对第一存储电容 C1 充电,增强了移位寄存器的充电能力;此时上拉控制节点的电位为高电平,使得第六晶体管 M6 管导通,将下拉节点的电位被拉为低电平;下拉节点的电位为低电平使得第四晶体管 M4 关断,从而保证了信号输出端 Output 的稳定的输出低电平。

[0061] 输出阶段:上拉控制节点将输出上拉模块打开,并通过第一时钟信号输入端 CLK 所输入的信号上拉信号输出端 Output 的输出;

[0062] 具体的,输入信号端所输入的信号为低电平,第一晶体管 M1 关断,上拉控制节点继续保持高电位,第三晶体管 M3 保持开启状态,此时第一时钟信号输入端 CLK 所输入的信号为高电平,此时,上拉控制节点由于自举效应 (bootstrapping) 放大上拉节点的电压,最终向输出端传输驱动信号;此时上拉控制节点为高电位,第六晶体管 M6 仍处于开启状态,下拉节为低电位,从而使得第四晶体管 M4 继续关闭,同时第二时钟信号输入端 CLKB 所输入的信号为低电平,第五晶体管 M5 处于关闭状态,保证信号输出端 Output 输出的稳定的高电平。

[0063] 复位降噪模块:在所述第二时钟信号输入端 CLKB 所输入的第二时钟信号、复位信号输入端 RESET 所输入的复位信号的控制下,通过低电压端 VGL 输入的低电压信号将上拉控制节点和信号输出端 Output 所输出的信号进行复位以及降低噪声。

[0064] 具体的,复位信号输入端 RESET 所输入的信号为高电平,即为该移位寄存器的下一级的输出信号,由于位信号输入端 Input 所输入的信号为高电平,使得第二晶体管 M2 处于导通状态,上拉控制节点的电位被拉低,从而将第三晶体管 M3 和第六晶体管 M6 关断;同时第二时钟信号输入端 CLKB 所输入的信号也为高电平,第六晶体管 M6 处于关断状态,通过第二存储电容 C2 将下拉节点的电位拉为高电平,第四晶体管 M4 处于导通状态,将信号输出端 Output 的电位拉到低电位,完成移位寄存器的复位。

[0065] 接下来,第二时钟信号输入端 CLKB 所输入的信号为高电位,第五晶体管 M5 被打开,此时上拉控制节点的电位为低电平,第六晶体管 M6 被关断,第二时钟信号输入端 CLKB 所输入的信号与第二存储电容 C2 共同作用将下拉节点拉为高电位,第四晶体管 M4 被打开,对信号输出端 Output 进行降噪;由于上一级移位寄存器的信号输出端 Output 输出的信号所谓是该移位寄存器的信号输入端 Input 所输入的信号,第二时钟信号输入端 CLKB 所输入的信号为高电平,第五晶体管 M5 打开,此时上一级移位寄存器的信号输出端 Output 输出的

信号处于低电平,从而对上拉控制节点的电位进行降噪,将上述由第一时钟信号输入端 CLK 所产生的噪声电压消除,从而实现低压输出,保证信号输出的稳定性。

[0066] 如图 3 所示,作为实施例的另一种实现方式,与上述的移位寄存器大致相同,区别在于该移位寄存器还包括:辅助降噪模块。

[0067] 所述辅助降噪模块,连接第一时钟信号输入端 CLK 和复位降噪模块,用于在所述第一时钟信号输入端 CLK 所输入第一时钟信号的控制下,通过所述复位降噪模块降低上拉控制节点和信号输出端 Output 所输出的信号进行复位的输出噪声。

[0068] 如图 6 所示,其中,辅助降噪模块包括:第三存储电容 C3,所述第三存储电容 C3 的第一端连接第一时钟信号输入端 CLK,第二端连接第四晶体管 M4 的控制极。

[0069] 具体的结合图 7 所示的时序图,对图 6 所示的移位寄存器单元进行说明。

[0070] 预充电阶段:给输入模块的信号输入端 Input 和第二时钟信号输入端 CLKB 输入工作电平信号,并通过电源电压端 VDD 所输入的电源电压和所述信号输入端 Input 所输入的工作电平信号为上拉控制节点进行充电。

[0071] 具体的,输入信号端所输入的信号为高电平,输入端信号为上一级的移位寄存器的输出端所输出信号,使得第一晶体管 M1 打开;第一时钟信号输入端 CLK 此时的电位为低电位时,电源电压端 VDD 所输入的电源电压通过第一晶体管 M1 给第一存储电容 C1 充电,使得 PU 点电压拉高;与此同时此时第二时钟信号输入端 CLKB 所输入的信号为高电平,第五晶体管 M5 被打开,信号输入端 Input 所输入的信号通过第五晶体管 M5 对第一存储电容 C1 充电,增强了移位寄存器的充电能力;此时上拉控制节点的电位为高电平,使得第六晶体管 M6 导通,将下拉节点的电位被拉为低电平;下拉节点的电位为低电平使得第四晶体管 M4 关断,从而保证了信号输出端 Output 的稳定的输出低电平。

[0072] 输出阶段:上拉控制节点将输出上拉模块打开,并通过第一时钟信号输入端 CLK 所输入的信号上拉信号输出端 Output 的输出;

[0073] 具体的,输入信号端所输入的信号为低电平,第一晶体管 M1 关断,上拉控制节点继续保持高电位,第三晶体管 M3 保持开启状态,此时第一时钟信号输入端 CLK 所输入的信号为高电平,此时,上拉控制节点由于自举效应 (bootstrapping) 放大上拉节点的电压,最终向输出端传输驱动信号;此时上拉控制节点为高电位,第六晶体管 M6 仍处于开启状态,下拉节为低电位,从而使得第四晶体管 M4 继续关闭,同时第二时钟信号输入端 CLKB 所输入的信号为低电平,第五晶体管 M5 处于关闭状态,保证信号输出端 Output 输出的稳定的高电平。

[0074] 复位降噪阶段:在所述第二时钟信号输入端 CLKB 所输入的第二时钟信号、复位信号输入端 RESET 所输入的复位信号的控制下,通过低电压端 VGL 输入的低电压信号将上拉控制节点和信号输出端 Output 所输出的信号进行复位以及降低噪声。

[0075] 具体的,复位信号输入端 RESET 所输入的信号为高电平,即为该移位寄存器的下一级的输出信号,由于位信号输入端 Input 所输入的信号为高电平,使得第二晶体管 M2 处于导通状态,上拉控制节点的电位被拉低,从而将第三晶体管 M3 和第六晶体管 M6 关断;同时第二时钟信号输入端 CLKB 所输入的信号也为高电平,第六晶体管 M6 处于关断状态,通过第二存储电容 C2 将下拉节点的电位拉为高电平,第四晶体管 M4 处于导通状态,将信号输出端 Output 的电位拉到低电位,完成移位寄存器的复位。

[0076] 辅助降噪阶段,第一时钟信号输入端 CLK 输入高点平信号,上拉控制节点的电位为点为,由于第三存储电容 C3 的自举作用,下拉节点为拉为高电平,此时第四晶体管 M4 被打开,对信号输出端 Output 所输出的信号进行降噪。

[0077] 接下来,第二时钟信号输入端 CLKB 所输入的信号为高电位,第五晶体管 M5 被打开,此时上拉控制节点的电位为低电平,第六晶体管 M6 被关断,第二时钟信号输入端 CLKB 所输入的信号与第二存储电容 C2 共同作用将下拉节点拉为高电位,第四晶体管 M4 被打开,对信号输出端 Output 进行降噪;由于上一级移位寄存器的信号输出端 Output 输出的信号所谓是该移位寄存器的信号输入端 Input 所输入的信号,第二时钟信号输入端 CLKB 所输入的信号为高电平,第五晶体管 M5 打开,此时上一级移位寄存器的信号输出端 Output 输出的信号处于低电平,从而对上拉控制节点的电位进行降噪,将上述由第一时钟信号输入端 CLK 所产生的噪声电压消除,从而实现低压输出,保证信号输出的稳定性。

[0078] 实施例 2:

[0079] 如图 8 所示,本实施例提供一种栅极驱动电路,其包括多个级联的移位寄存器,所述移位寄存器为实施例 1 中所述的移位寄存器,其中每一级移位寄存器的信号输入端 Input 连接其上一级移位寄存器的信号输出端 Output。

[0080] 实施例 3:

[0081] 本实施例提供了一种显示装置,其包括实施例 2 所述的栅极驱动电路,故其可以实现窄边化设计。

[0082] 该显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0083] 当然,本实施例的显示装置中还可以包括其他常规结构,如电源单元、显示驱动单元等。

[0084] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

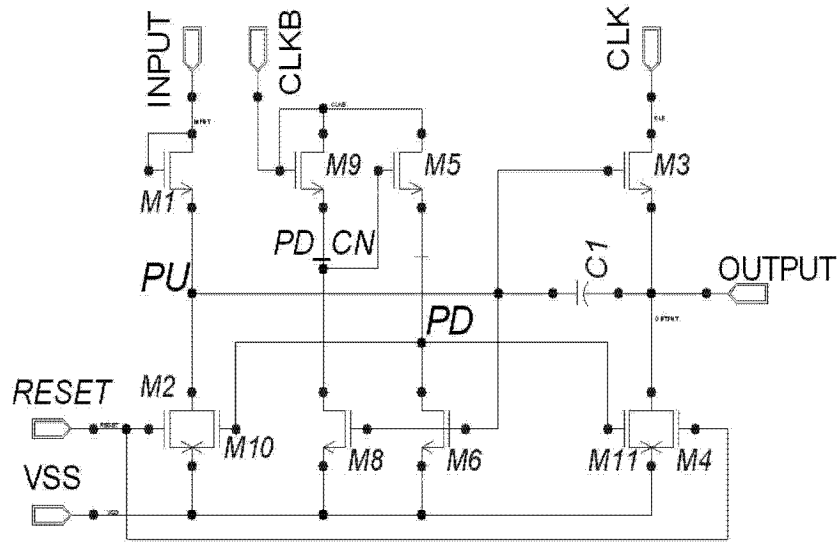


图 1

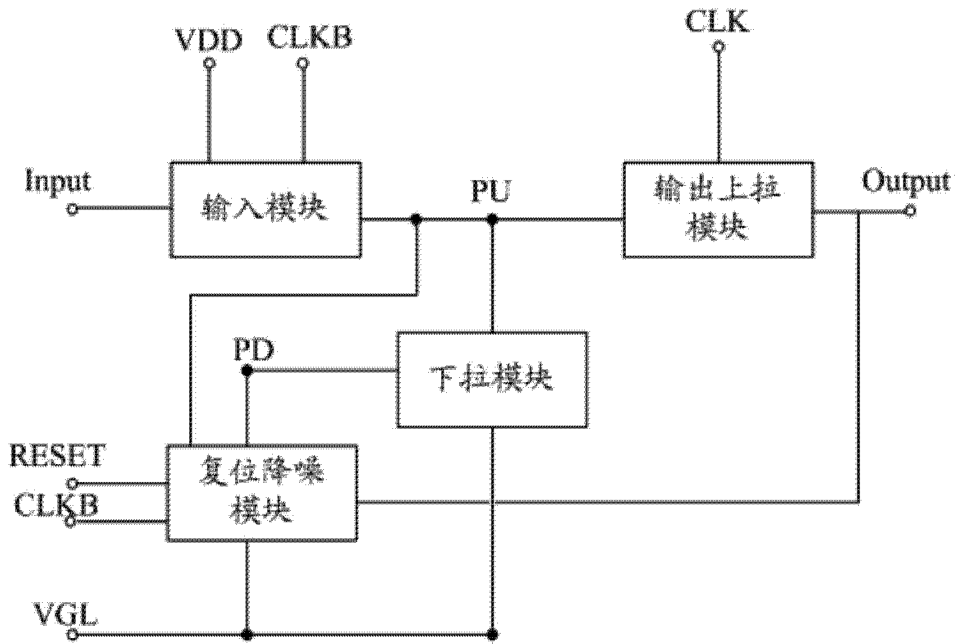


图 2

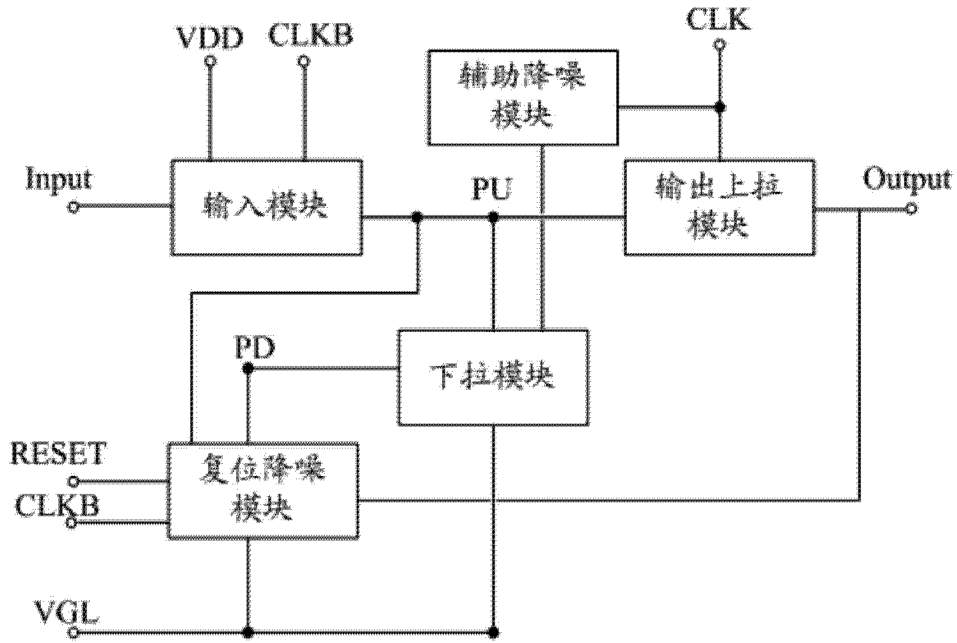


图 3

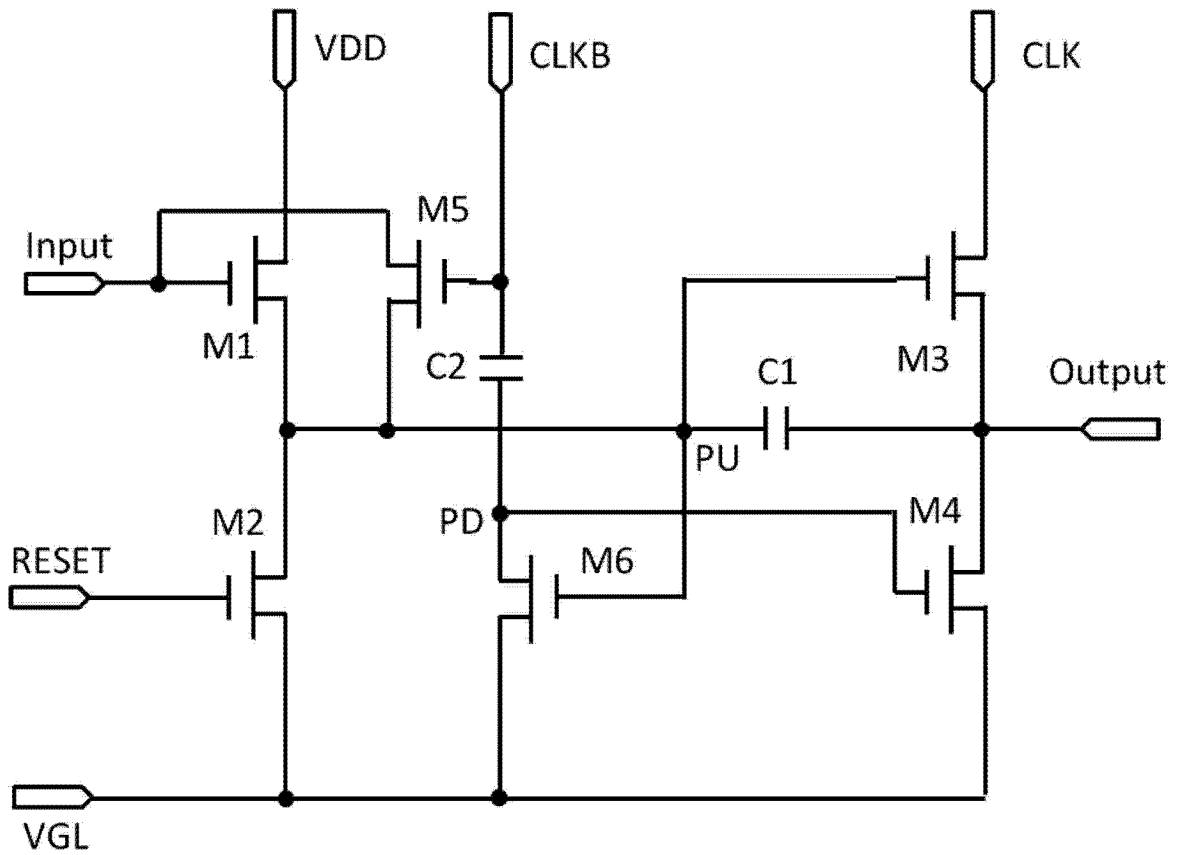


图 4

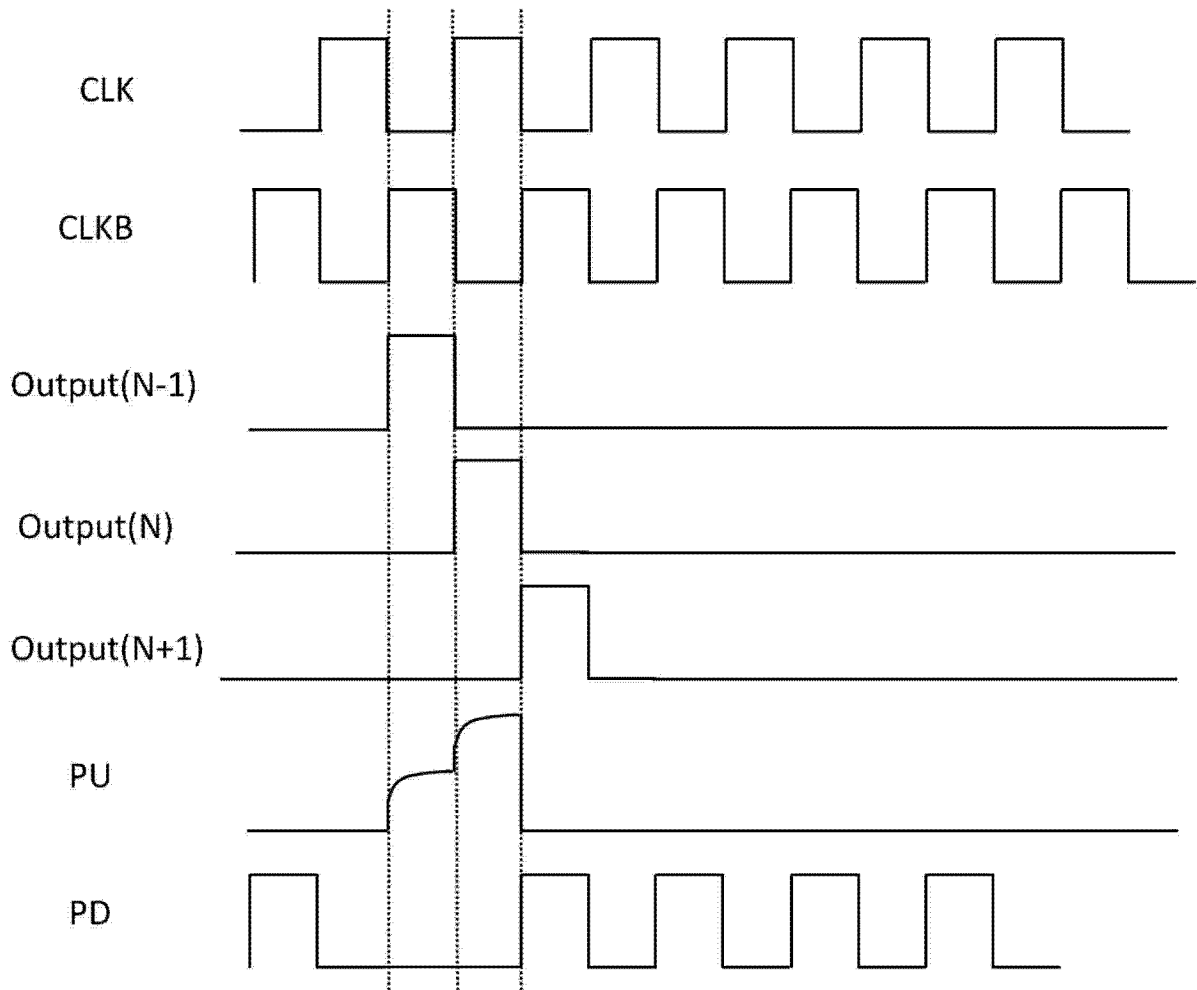


图 5

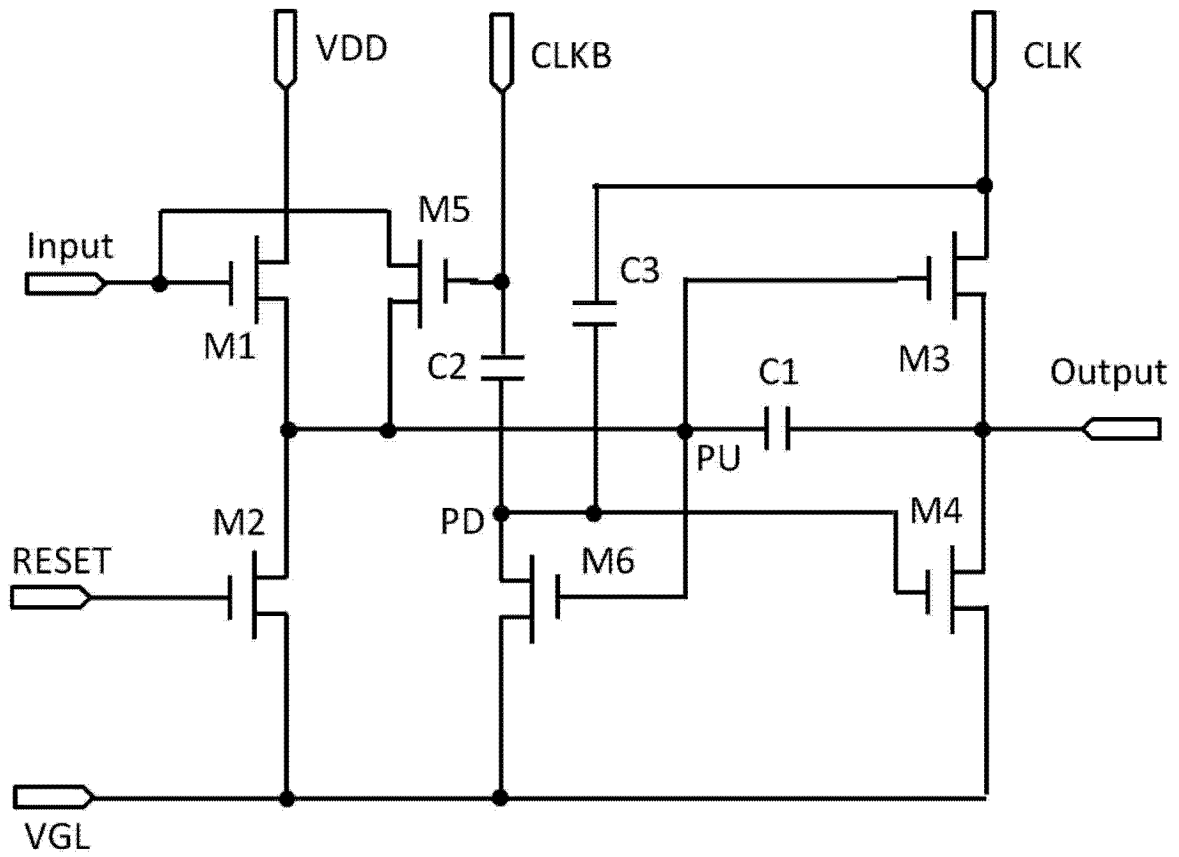


图 6

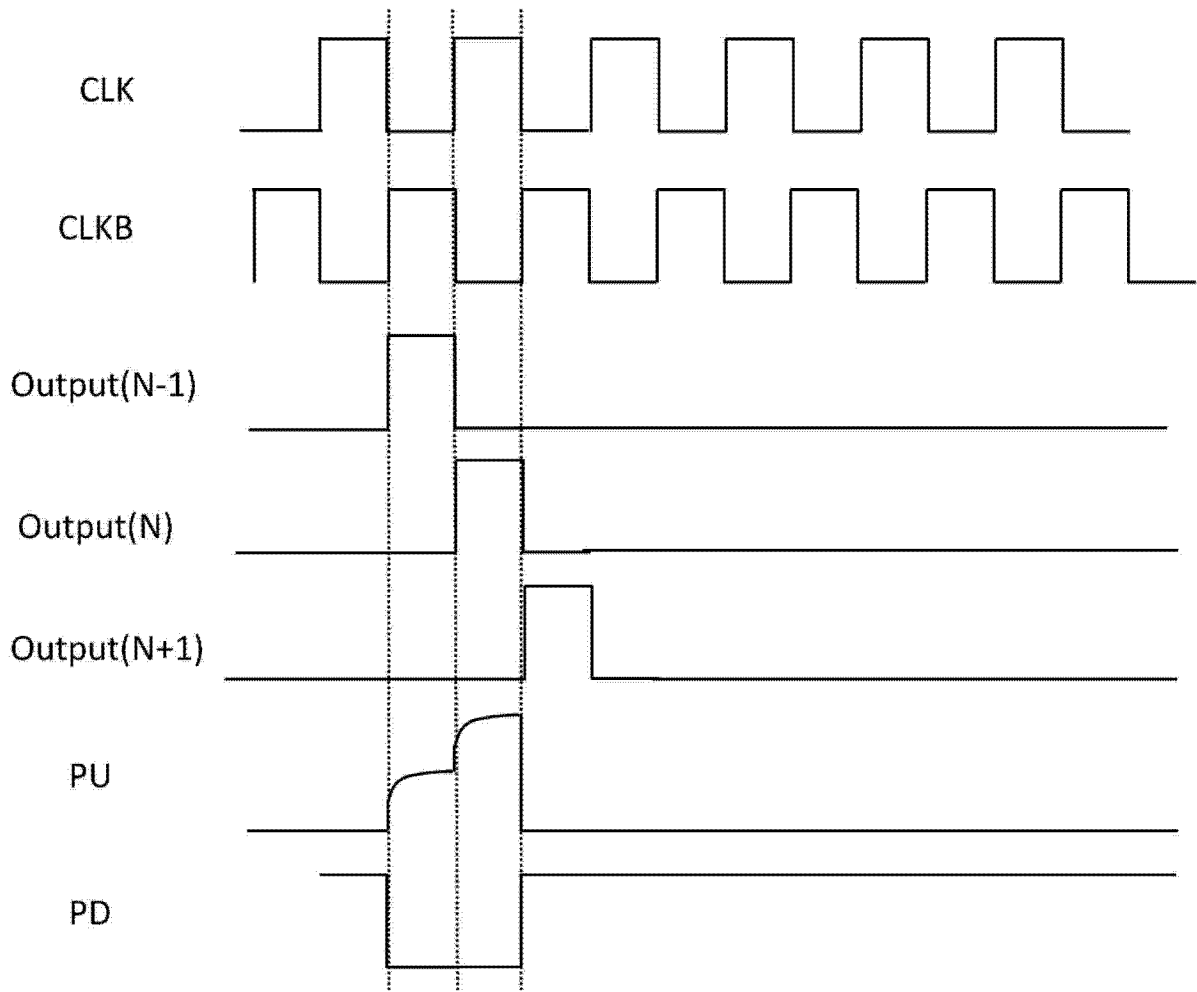
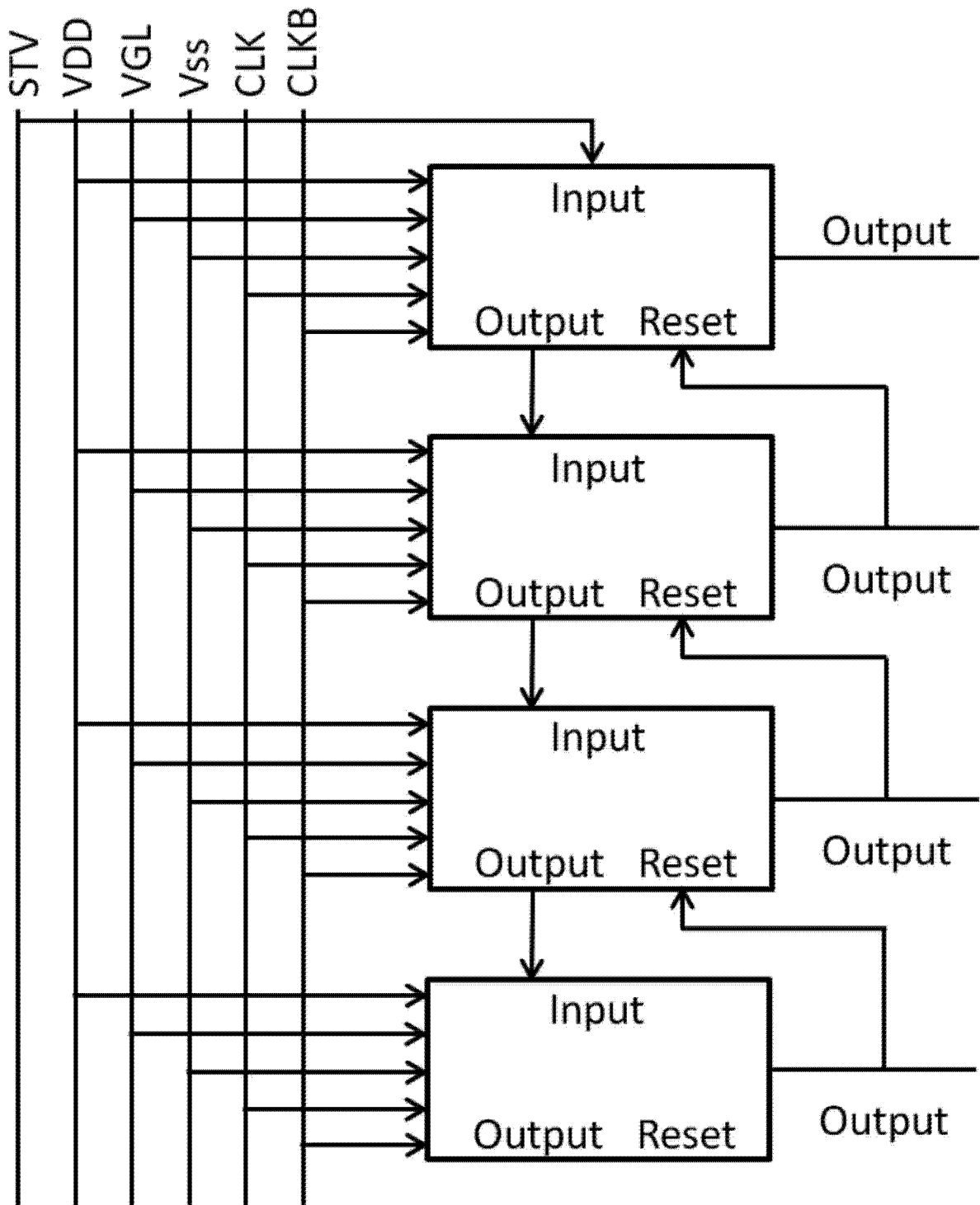


图 7



.....

图 8