



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I745890 B

(45)公告日：中華民國 110 (2021) 年 11 月 11 日

(21)申請案號：109108760

(22)申請日：中華民國 109 (2020) 年 03 月 17 日

(51)Int. Cl. : H01L27/11517 (2017.01) G11C16/02 (2006.01)

(30)優先權：2020/01/21 世界智慧財產權組織 PCT/CN2020/073458

(71)申請人：大陸商長江存儲科技有限責任公司(中國大陸) YANGTZE MEMORY TECHNOLOGIES CO., LTD. (CN)

中國大陸

(72)發明人：張坤 ZHANG, KUN (CN)；宋豪傑 SONG, HAO JIE (CN)；鮑琨 BAO, KUN (CN)；夏志良 XIA, ZHILIANG (CN)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

CN 108417576B

CN 109155313A

CN 109473433A

US 2017179152A1

WO 2009/123335A1

審查人員：陳建銘

申請專利範圍項數：20 項 圖式數：4 共 51 頁

(54)名稱

三維記憶體元件的互連結構

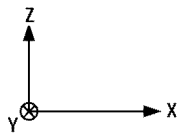
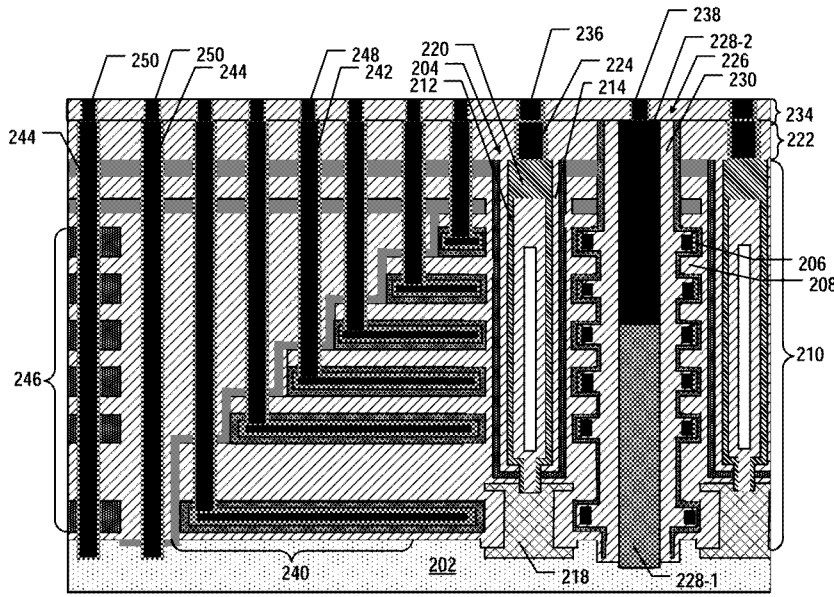
(57)摘要

本案揭露了 3D 記憶體元件和用於形成 3D 記憶體元件的方法的實施例。在一個示例中，3D 記憶體元件包括基底、儲存堆疊層、通道結構、通道局部接觸點、縫隙結構和階梯局部接觸點。儲存堆疊層包括在基底上方的交錯的導電層和介電層。通道結構垂直地延伸穿過儲存堆疊層。通道局部接觸點位於通道結構上方並且與之相接觸。縫隙結構垂直地延伸穿過儲存堆疊層。階梯局部接觸點位於在儲存堆疊層的邊緣上的階梯結構處的導電層中的一個導電層上方並且與之相接觸。通道局部接觸點的上端、縫隙結構的上端和階梯局部接觸點的上端是彼此齊平的。

The present invention discloses embodiments of 3D memory devices and methods of forming the same. In one embodiment, the 3D memory device includes a substrate, storage stack layers, channel structures, local channel contacts, gap structures and local step contacts. The storage stack layer includes alternating conductive layers and dielectric layers on the substrate. The channel structure extends vertically through the storage stack layers. The local channel contact is on the channel structure and contacts therewith. The gap structure extends vertically through the storage stack layers. The local step contact is on one of the conductive layers at the step structure on the edge of the storage stack layers and contacts therewith. The upper ends of the local channel contact, the gap structure and the step local contact are flush with each other.

指定代表圖：

200



第2圖

符號簡單說明：

200:3D 記憶體元件

202:基底

204:通道結構

206:導電層

208:介電層

210:儲存堆疊層

212:半導體通道

214:儲存膜

218:半導體插塞

220:通道插塞

222:局部接觸層

224:通道局部接觸點

226:縫隙結構

228-1:下部源極接觸點部分

228-2:上部源極接觸點部分

230:間隙壁

234:互連層

236:通道接觸點

238:縫隙接觸點

240:階梯結構

242:階梯局部接觸點

244:週邊局部接觸點

246:阻隔結構

248:階梯接觸點

250:週邊接觸點



I745890

## 【發明摘要】

【中文發明名稱】三維記憶體元件的互連結構

【英文發明名稱】Interconnect Structures of Three-Dimensional Memory Devices

## 【中文】

本案揭露了3D記憶體元件和用於形成3D記憶體元件的方法的實施例。在一個示例中，3D記憶體元件包括基底、儲存堆疊層、通道結構、通道局部接觸點、縫隙結構和階梯局部接觸點。儲存堆疊層包括在基底上方的交錯的導電層和介電層。通道結構垂直地延伸穿過儲存堆疊層。通道局部接觸點位於通道結構上方並且與之相接觸。縫隙結構垂直地延伸穿過儲存堆疊層。階梯局部接觸點位於在儲存堆疊層的邊緣上的階梯結構處的導電層中的一個導電層上方並且與之相接觸。通道局部接觸點的上端、縫隙結構的上端和階梯局部接觸點的上端是彼此齊平的。

## 【英文】

The present invention discloses embodiments of 3D memory devices and methods of forming the same. In one embodiment, the 3D memory device includes a substrate, storage stack layers, channel structures, local channel contacts, gap structures and local step contacts. The storage stack layer includes alternating conductive layers and dielectric layers on the substrate. The channel structure extends vertically through the storage stack layers. The local channel contact is on the channel structure and contacts therewith. The gap structure extends vertically through the storage stack layers. The local step contact is on one of the conductive layers at the step structure on the edge of the storage stack layers and contacts therewith. The upper ends of the local channel contact, the gap structure and the step local contact are flush with each other.

第 1 頁，共 3 頁(發明摘要)

【指定代表圖】第（ 2 ）圖。

【代表圖之符號簡單說明】

200	3D記憶體元件
202	基底
204	通道結構
206	導電層
208	介電層
210	儲存堆疊層
212	半導體通道
214	儲存膜
218	半導體插塞
220	通道插塞
222	局部接觸層
224	通道局部接觸點
226	縫隙結構
228-1	下部源極接觸點部分
228-2	上部源極接觸點部分
230	間隙壁
234	互連層
236	通道接觸點
238	縫隙接觸點
240	階梯結構
242	階梯局部接觸點
244	週邊局部接觸點

- 246 阻隔結構
- 248 階梯接觸點
- 250 週邊接觸點

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】 三維記憶體元件的互連結構

【英文發明名稱】 Interconnect Structures of Three-Dimensional Memory Devices

【技術領域】

【0001】 本案內容的實施例涉及三維（3D）記憶體元件及其製造方法。

【先前技術】

【0002】 通過改進工藝技術、電路設計、程式設計演算法和製程，將平面記憶單元縮放到更小的尺寸。然而，隨著記憶單元的特徵尺寸接近下限，平面製程和製造技術變得具有挑戰性且成本高。結果，平面記憶單元的儲存密度接近上限。

【0003】 3D記憶體架構可以解決平面記憶單元中的密度限制。3D記憶體架構包括儲存陣列和用於控制進出儲存陣列的訊號的週邊設備。

【發明內容】

【0004】 本案公開了3D記憶體元件和用於形成3D記憶體元件的方法的實施例。

【0005】 在一個示例中，一種3D記憶體元件包括基底、儲存堆疊層、通道結構、通道局部接觸點、縫隙結構和階梯局部接觸點。儲存堆疊層包括位在基底上方的交錯的導電層和介電層。通道結構垂直地延伸穿過儲存堆疊層。通道局部接觸點位於通道結構上方並且與通道結構相接觸。縫隙結構垂直地延伸穿過儲存堆疊層。階梯局部接觸點位於在儲存堆疊層的邊緣上的階梯結構處的導電

第 1 頁，共 31 頁(發明說明書)

層中的一個導電層上方並且與該導電層相接觸。通道局部接觸點的上端、縫隙結構的上端和階梯局部接觸點的上端是彼此齊平的。

【0006】 在另一個示例中，一種3D記憶體元件包括基底、儲存堆疊層、通道結構、通道局部接觸點、縫隙結構和週邊局部接觸點。儲存堆疊層包括在基底上方的交錯的導電層和介電層。通道結構垂直地延伸穿過儲存堆疊層。通道局部接觸點位於通道結構上方並且與通道結構相接觸。縫隙結構垂直地延伸穿過儲存堆疊層。週邊局部接觸點在儲存堆疊層的外部垂直地延伸到基底。通道局部接觸點的上端、縫隙結構的上端和週邊局部接觸點的上端是彼此齊平的。

【0007】 在另一個示例中，其公開了一種用於形成3D記憶體元件的方法。在基底上方形成垂直地延伸穿過包括交錯的犧牲層和介電層的介電堆疊層的通道結構。在介電堆疊層上形成局部介電層。形成垂直地穿過局部介電層和介電堆疊層的縫隙開口。經由縫隙開口利用導電層替換犧牲層，形成包括交錯的導電層和介電層的儲存堆疊層。在縫隙開口中形成第一源極接觸點部分。同時形成穿過局部介電層以暴露出通道結構的通道局部接觸點開口、以及穿過局部介電層以暴露出在儲存堆疊層的邊緣上的階梯結構處的導電層中的一個導電層的階梯局部接觸點開口。同時形成在通道局部接觸點開口中的通道局部接觸點、在縫隙開口中的第一源極接觸點部分上方的第二源極接觸點部分、以及在階梯局部接觸點開口中的階梯局部接觸點。

#### 【圖式簡單說明】

#### 【0008】

附圖被併入本文並形成說明書的一部分，其例示了本揭露書之實施例並與說明書一起進一步用以解釋本發明之原理，並使相關領域的技術人員能夠做出和使用本案公開之內容。

第1圖示出了3D記憶體元件的橫截面圖。

第2圖示出了根據本案公開內容的一些實施例中具有互連結構的示例性3D記憶體元件的橫截面圖。

第3A - 3H圖示出了根據本案公開內容的一些實施例中用於形成具有互連結構的示例性3D記憶體元件的製程。

第4圖示出了根據本案公開內容的一些實施例中用於形成具有互連結構的示例性3D記憶體元件的方法流程圖。

下文將參考附圖描述本案的實施例。

#### 【實施方式】

【0009】 儘管對具體配置和設置進行了討論，但應當理解，這只是出於示例性目的而進行的。相關領域中的技術人員將認識到，可以使用其它配置和設置而不脫離本案公開的精神和範圍。對相關領域的技術人員顯而易見的是，本案還可以用於多種其它應用中。

【0010】 要指出的是，在說明書中對「一個實施例」、「實施例」、「示例性實施例」、「一些實施例」等的引用指示所描述的實施例可以包括特定的特徵、結構或特性，但是每個實施例可能不一定包括該特定的特徵、結構或特性。此外，這種詞語未必是指同一個實施例。另外，在結合實施例描述特定特徵、結構或特性時，結合其它實施例（無論是否明確描述）實現這種特徵、結構或特性應在相關領域技術人員的知識範圍內。

【0011】 通常，可以至少部分地從上下文中的用法來理解術語。例如，至少部分取決於上下文，如本文所使用的術語「一或多個」可用於以單數意義描述任何特徵、結構或特性，或可用於以複數意義描述特徵、結構或特徵的組合。類似地，至少部分取決於上下文，諸如「一」、「一個」或「所述」等術語同樣

可以被理解為表達單數用法或表達複數用法。另外，術語「基於」可以被理解為不一定旨在傳達一組排他性的因素，而是可以替代地，至少部分地取決於上下文，允許存在不一定明確描述的其他因素。

【0012】 應當容易理解的是，本揭露書中的「在……上」、「在……上方」和「在……之上」的含義應以最廣義的方式來解釋，使得「在……上」不僅意味著「直接在某物上」，而且還包括其間具有中間特徵或層的「在某物上」的含義，並且「在……之上」或「在……上方」不僅意味著「在某物之上」或「在某物上方」的含義，而且還可以包括其間沒有中間特徵或層的「在某物之上」或「在某物上方」的含義（即，直接在某物上）。

【0013】 此外，為了便於描述，可以在本文使用諸如「在……之下」、「在……下方」、「下」、「在……上方」、「上」等空間相對術語來描述如圖所示的一個元件或特徵與另一個（或多個）元件或特徵的關係。除了附圖中所示的位向之外，空間相對術語旨在涵蓋元件在使用或操作中的不同位向。設備可以以其他的方式來定向（旋轉90度或在其他取向上）並且同樣可以相應地解釋本文中使用的空間相關描述詞。

【0014】 如本文中使用的，術語「基底」是指向其上增加後續材料的材料。可以對基底自身進行圖案化。增加在基底的頂部上的材料可以被圖案化或可以保持不被圖案化。此外，基底可以包括廣泛的半導體材料，例如矽、鍺、砷化鎵、磷化銦等。或者，基底可以由諸如玻璃、塑膠或藍寶石晶圓的非導電材料製成。

【0015】 如本文中使用的，術語「層」是指包括具有厚度的區域的材料部分。層可以在下方或上方結構的整體之上延伸，或者可以具有小於下方或上方結構範圍的範圍。此外，層可以是厚度小於連續結構的厚度的均質或非均質連續結構的區域。例如，層可以位於在連續結構的頂表面和底表面之間或在頂表面和

底表面處的任何水平面對之間。層可以水準、豎直和/或沿傾斜表面延伸。基底可以是層，其中可以包括一個或多個層，和/或可以在其上、其上方和/或其下方具有一個或多個層。層可以包括多個層。例如，互連層可以包括一個或多個導體和觸點層（其中形成互連線和/或通孔觸點）和一個或多個介電層。

**【0016】** 如本文所使用的，術語「標稱/標稱上」是指在產品或製程的設計階段期間設定的部件或製程操作的特性或參數的期望值或目標值、以及高於和/或低於期望值的值的範圍。值的範圍可以是由於製程或公差的輕微變化而引起的。如本文所使用的，術語「大約」表示可以基於與主題半導體元件相關聯的特定技術節點而變化的給定量值。基於特定的技術節點，術語「大約」可以表示給定量的值，該給定量的值例如在該值的10-30%內變化（例如，值的 $\pm 10\%$ 、 $\pm 20\%$ 或 $\pm 30\%$ ）。

**【0017】** 如本文所使用的，術語「3D記憶體元件」是指在橫向取向的基底上串聯連接的記憶單元電晶體的垂直取向的串（即，本文中被稱為「記憶體串」，諸如NAND記憶體串）、使得記憶體串相對於基底在垂直方向上延伸的半導體元件。如本文所使用的，術語「垂直/垂直地」意指名義上垂直於基底的橫向表面。

**【0018】** 在一些3D記憶體元件（諸如3D NAND記憶體元件）中，縫隙結構用於各種功能，包括將記憶體陣列分成多個塊、在閘極替換製程期間為蝕刻劑和化學前驅物提供通道以及提供到記憶體陣列的源極的電連接。第1圖示出了3D記憶體元件100的橫截面。如第1圖所示，3D記憶體元件100包括在基底102上方的儲存堆疊層104。3D記憶體元件100還包括通道結構106和縫隙結構108的陣列，它們分別垂直地延伸穿過儲存堆疊層104。每個通道結構106用作NAND記憶體串，而縫隙結構108用作到NAND記憶體串的源極（例如通道結構106的陣列共源極（array common source, ACS））的電連接。

**【0019】** 3D記憶體元件100還包括在儲存堆疊層104上方的用於通道結構106

和縫隙結構108的互連結構，該互連結構包括在儲存堆疊層104上的局部接觸層110和在局部接觸層110上的互連層112。注意的是，在第1圖中包括x、y和z軸以顯示3D記憶體元件100中的部件的空間關係。基底102包括在x-y平面中橫向地延伸的兩個橫向表面：在晶圓正面上的前表面和在與晶圓正面相對的背面上的後表面。x和y方向是晶圓平面中的兩個正交方向：x方向是字元線方向，而y方向是位元線方向。z軸垂直於x軸和y軸兩者。如本文所使用的，當半導體元件（例如3D記憶體元件100）的基底（例如基底102）在z方向（垂直於x-y平面的垂直方向）上位於半導體元件的最低平面中時，在z方向上相對於該基底來確定半導體元件的一個部件（例如層或元件）是在另一部件（例如層或元件）「上」、「上方」還是「下方」。在整個本案公開內容中應用了用於描述空間關係的相同概念。

**【0020】** 局部接觸層110包括直接與儲存堆疊層104中的結構接觸的局部接觸點（也被稱為「C1」），其包括與通道結構106相接觸的通道局部接觸點116和與縫隙結構108相接觸的縫隙局部接觸點118。在一些實施例中，3D記憶體元件100包括額外的局部接觸點，例如：階梯局部接觸點124，其分別與在儲存堆疊層104的邊緣處的階梯結構114中的字元線中的相應字元線相接觸；以及在儲存堆疊層104的外部與基底102相接觸的週邊局部接觸點126。互連層112包括與局部接觸層110相接觸的接觸點（也被稱為「V0」），例如分別與通道局部接觸點116相接觸的通道接觸點120、與縫隙局部接觸點118相接觸的縫隙接觸點122、分別與階梯局部接觸點124相接觸的階梯接觸點128、以及分別與週邊局部接觸點126相接觸的週邊接觸點130。

**【0021】** 在3D記憶體元件100中，通道局部接觸點116和縫隙局部接觸點118具有不同的深度、不同的臨界尺寸，並且落在不同的材料上（例如通道局部接觸點116落在通道結構106的多晶矽插塞上，而縫隙局部接觸點118落在縫隙結構108的鎢源極接觸點上），這使得製造局部接觸層110更具挑戰性。此外，由於不同類

型的局部接觸點（例如通道局部接觸點116、縫隙局部接觸點118、階梯局部接觸點124和週邊局部接觸點126）的上端不是彼此齊平的（即未沿著z方向對齊），所以互連層112中的不同類型的接觸點（例如通道接觸點120、縫隙接觸點122、階梯接觸點128和週邊接觸點130）會具有不同的深度，這進一步增加了製造互連結構的複雜性。

【0022】 根據本案公開內容的各個實施例提供了具有改進的互連結構的3D記憶體元件。透過去除縫隙局部接觸點並且合併縫隙源極接觸點和各種類型的局部接觸點（例如通道局部接觸點、階梯局部接觸點和/或週邊局部接觸點）的金屬沉積步驟，可以縮短製程週期並且降低製造成本，提高產量。此外，由於縫隙源極接觸點和各種類型的局部接觸點的上端可以是彼此齊平的，所以互連結構中的不同類型的V0接觸點可以具有相同的深度並且落在同一類型的材料上，從而使得製造製程也不那麼具有挑戰性。

【0023】 第2圖示出了根據本案公開內容的一些實施例的具有互連結構的示例性3D記憶體元件200的橫截面。3D記憶體元件200可以包括基底202，其可以包括矽（例如單晶矽）、矽鍺（SiGe）、砷化鎵（GaAs）、鍺（Ge）、覆矽絕緣基底（SOI）、覆鍺絕緣基底（GOI）或任何其它合適的材料。在一些實施例中，基底202是經過研磨、蝕刻、化學機械研磨（CMP）或其任何製程組合後的薄化基底（例如半導體層）。

【0024】 3D記憶體元件200可以是單片式3D記憶體元件的一部分。術語「單片式」意指3D記憶體元件的部件（例如週邊元件和記憶體陣列元件）形成在單個基底上。對於單片式3D記憶體元件，由於週邊元件處理和記憶體陣列元件處理的錯綜複雜，製造遇到額外的限制。例如，記憶體陣列元件（如NAND記憶體串）的製造受到與已經在或將在同一基底上形成的週邊元件相關聯的熱預算的約束。

【0025】 或者，3D記憶體元件200可以是非單片式3D記憶體元件的一部分，其中的部件（如週邊元件和記憶體陣列元件）可以單獨地形成在不同的基底上，並且之後以例如面對面的方式來接合。在一些實施例中，記憶體陣列元件基底（如基底202）保留為經接合後的非單片式3D記憶體元件的基底，並且將週邊元件（例如包括用於促進3D記憶體元件200的運作的任何合適的數位、類比和/或混合訊號週邊電路，諸如頁面緩衝器、解碼器和鎖存器（未示出））翻轉並且面向下朝向記憶體陣列元件（如NAND記憶體串）以進行混合接合。應理解的是，在一些實施例中，將記憶體陣列元件基底（如基底202）翻轉並且面向下朝向週邊元件（未示出）以進行混合接合，使得接合後的非單片式3D記憶體元件中，記憶體陣列元件會位於週邊元件上方。記憶體陣列元件基底（如基底202）可以是薄化後的基底（其不是接合後的非單片式3D記憶體元件的基底），並且可以在薄化後的記憶體陣列元件基底的背面上形成非單片式3D記憶體元件的後段製程（BEOL）互連結構。

【0026】 在一些實施例中，3D記憶體元件200是NAND快閃記憶體元件，其中儲存單元是以NAND記憶體串陣列的形式提供的，每個NAND記憶體串在基底202上方垂直地延伸。記憶體陣列元件可以包括用作NAND記憶體串陣列的通道結構204的陣列。如第2圖所示，通道結構204可以垂直地延伸穿過各自包括導電層206和介電層208的多個層對。交錯的導電層206和介電層208是儲存堆疊層210的部分。儲存堆疊層210中的各對導電層206和介電層208的層對數量（例如32、64、96或128）確定了3D記憶體元件200中的儲存單元的數量。應理解的是，在一些實施例中，儲存堆疊層210可以具有多堆疊架構（未示出），其包括堆疊在彼此之上的多個記憶體堆疊。每個記憶體堆疊中的導電層206和介電層208的層對數量可以相同或不同。

【0027】 儲存堆疊層210可以包括多個交錯的導電層206和介電層208。儲存堆

疊層210中的導電層206和介電層208可以在垂直方向上交替。換言之，每個導電層206可以與兩側的兩個介電層208鄰接，並且每個介電層208可以與兩側的兩個導電層206鄰接，除了那些位在儲存堆疊層210的頂部或底部的那些層結構以外。導電層206可以包括導電材料，其包括但不限於鎢（W）、鈷（Co）、銅（Cu）、鋁（Al）、多晶矽、摻雜矽、矽化物或其任何組合。每個導電層206可以是圍繞通道結構204的閘極（閘極線），並且可以作為字元線橫向地延伸。介電層208可以包括介電材料，其包括但不限於氧化矽、氮化矽、氮氧化矽或其任何組合。應理解的是，根據一些實施例，可以在基底202（如矽基底）和儲存堆疊層210之間形成氧化矽膜，例如以臨場蒸氣產生（ISSG）技術生成的氧化矽。

**【0028】** 如第2圖所示，通道結構204可以包括填充有半導體層（例如作為半導體通道212）和複合介電層（例如作為儲存膜214）的通道孔。在一些實施例中，半導體通道212包括矽，例如非晶矽、多晶矽或單晶矽。在一些實施例中，儲存膜214是包括穿隧層、儲存層（也被稱為「電荷陷阱層」）和阻擋層的複合層。通道結構204的剩餘空間可以部分地或完全地填充有包括諸如氧化矽之類的介電材料的封蓋層和/或氣隙。通道結構204可以具有圓柱形（如柱形）。根據一些實施例，封蓋層、半導體通道212、儲存膜214的穿隧層、儲存層和阻擋層是從中心朝向柱的外表面在徑向上按此順序設置的。穿隧層可以包括氧化矽、氮氧化矽或其任何組合。儲存層可以包括氮化矽、氮氧化矽、矽或其任何組合，阻擋層可以包括氧化矽、氮氧化矽、高介電常數（高k）介電質或其任何組合。在一個示例中，儲存膜214可以包括氧化矽/氮氧化矽/氧化矽（ONO）的複合層。

**【0029】** 在一些實施例中，通道結構204還包括在通道結構204的底部部分（例如下端）中的半導體插塞218。如本文所使用的，當基底202位於3D記憶體元件200的最低平面中時，部件（如通道結構204）的「上端」是在y方向上距基底202較遠的端部，而部件（例如，通道結構204）的「下端」是在y方向上較為靠近基

底202的端部。半導體插塞218可以包括半導體材料（例如矽），其是在任何合適的方向上從基底202磊晶生長的。應理解的是，在一些實施例中，半導體插塞218包括單晶矽，這是與基底202相同的材料。換言之，半導體插塞218可以包括與基底202是相同材料的磊晶生長的半導體層。半導體插塞218可以位於半導體通道212的下端下方並且與之相接觸。半導體插塞218可以用作為由NAND記憶體串之源選擇閘極所控制的通道。

**【0030】** 在一些實施例中，通道結構204還包括在通道結構204的頂部部分（如，上端）中的通道插塞220。通道插塞220可以位於半導體通道212的上端上方並且與之相接觸。通道插塞220可以包括半導體材料（如多晶矽）。通過在3D記憶體元件200的製造期間覆蓋通道結構204的上端，通道插塞220可以用作蝕刻停止層，以防止蝕刻填充在通道結構204中的介電質，例如氧化矽和氮化矽。在一些實施例中，通道插塞220可以用作NAND記憶體串的汲極。

**【0031】** 如第2圖所示，3D記憶體元件200還包括作為互連結構、有部分位在儲存堆疊層210上方的局部接觸層222。在一些實施例中，在通道結構204的上端（即通道插塞220）的頂部形成局部接觸層222。局部接觸層222可以包括多個互連結構（本文也稱被為「接觸點」），其包括橫向互連線和通孔接觸點。如本文所使用的，術語「互連」可以廣泛地包括任何適當類型的互連結構，例如中段製程（MEOL）的互連結構和後段製程（BEOL）的互連結構。局部接觸層222中的互連結構在本文中被稱為「局部接觸點」（也被稱為「C1」），它們直接與儲存堆疊層210中的結構相接觸。在一些實施例中，局部接觸層222包括在通道結構204的上端（如通道插塞220）上方並且與之相接觸的通道局部接觸點224。

**【0032】** 局部接觸層222還可以包括一或多個層間介電（ILD）層（也被稱為「金屬間介電（IMD）層」），在其中可以形成局部接觸點（如通道局部接觸點224）。在一些實施例中，局部接觸層222包括一或多個局部介電層中的通道局部

接觸點224。局部接觸層222中的通道局部接觸點224可以包括導電材料，其包括但不限於Cu、Al、W、Co、矽化物或其任何組合。在一個示例中，通道局部接觸點224由鎢製成。局部接觸層222中的ILD層可以包括介電材料，其包括但不限於氧化矽、氮化矽、氮氧化矽、低介電常數（低k）介電質、或其任何組合。

【0033】 如第2圖所示，3D記憶體元件200還包括垂直地延伸穿過局部接觸層222以及儲存堆疊層210的交錯的導電層206和介電層208的縫隙結構226。縫隙結構226還可以橫向地延伸（例如在第2圖中的位元線方向y）以將儲存堆疊層210分成多個區塊。縫隙結構226可以包括縫隙開口，該縫隙開口為用以形成導電層206的化學前驅物提供通道。在一些實施例中，縫隙結構226還包括位在基底202中、在其下端處的摻雜區域（未示出），以降低與ACS的電連接的電阻。

【0034】 在一些實施例中，縫隙結構226還包括用於將NAND記憶體串的ACS電連接到互連結構的源極接觸點228，例如源極線（未示出）。在一些實施例中，源極接觸點228包括壁狀接觸點。如第2圖所示，源極接觸點228可以包括位於縫隙結構226的底部部分中（例如與摻雜區域相接觸）的下部源極接觸點部分228-1和位於縫隙結構226的頂部部分中的上部源極接觸點部分228-2。在一些實施例中，上部源極接觸點部分228-2位於下部源極接觸點部分228-1上方並且與之相接觸，並且具有與下部源極接觸點部分228-1不同的材料。下部源極接觸點部分228-1可以包括導電材料（如摻雜多晶矽），以降低與摻雜區域的接觸電阻。上部源極接觸點部分228-2可以包括導電材料，例如金屬，包括但不限於W、Co、Cu、Al或其任何組合。在一個示例中，上部源極接觸點部分228-2可以包括鎢。如下文所詳細描述的，由於可以在同一製程中沉積通道局部接觸點224和縫隙結構226的上部源極接觸點部分228-2的導電材料，所以上部源極接觸點部分228-2和通道局部接觸點224包括相同的導電材料，例如相同的金屬。在一個示例中，該金屬可以包括鎢。

【0035】 為了將縫隙結構226的源極接觸點228與儲存堆疊層210的導電層206電隔離，縫隙結構226還可以包括沿著縫隙開口的側壁以及在與縫隙開口的側壁鄰接的回蝕刻凹槽中設置的間隙壁230。亦即，間隙壁230可以橫向地在源極接觸點228和儲存堆疊層210的導電層206之間形成。間隙壁230可以包括一或多層的介電材料，例如氧化矽、氮化矽、氮氧化矽或其任何組合。

【0036】 如第2圖所示，在橫向方向（x方向和/或y方向）的至少一個邊緣上，儲存堆疊層210可以包括階梯結構240。在階梯結構240中，可以使沿著垂直方向（第2圖中的z方向）的導體/介電層對的相應邊緣橫向地錯開，以用於字元線扇外型設計。階梯結構240的每一「級」可以包括一或多個導體/介電層對，其分別包括一對導電層206（作為字元線在x方向上橫向地延伸）和介電層208。在一些實施例中，階梯結構240的每一級中的頂層是導電層206中的用於在垂直方向上的互連結構（例如字元線扇出結構）的一個導電層。在一些實施例中，階梯結構240的每兩個相鄰的級會在其垂直方向上偏移達到標稱上相同的距離，並且在橫向方向上偏移達到標稱上相同的距離。因此，每個偏移可以形成用於在垂直方向上與3D記憶體元件200的字元線互連結構的「著陸區域」。

【0037】 在一些實施例中，3D記憶體元件200還包括階梯局部接觸點242（也被稱為「字元線局部接觸點」），其分別在儲存堆疊層210的階梯結構240處的導電層（字元線）206中的相應導電層上方並且與之相接觸。每個階梯局部接觸點242可以垂直地延伸穿過局部接觸層222中的ILD層，並且進一步穿過覆蓋階梯結構240的ILD層，到達位於儲存堆疊層210邊緣上相對應的導電層（字元線）206。階梯局部接觸點242可以包括導電材料，如金屬，其包括但不限於W、Co、Cu、Al或其任何組合。在一個示例中，階梯局部接觸點242可以包括鎢。

【0038】 在一些實施例中，3D記憶體元件200還包括分別在儲存堆疊層210的外部垂直地延伸到基底202的週邊局部接觸點244。每個週邊局部接觸點244的深

度可以大於儲存堆疊層210的深度，以從局部接觸層222垂直地延伸到在儲存堆疊層210的外部的週邊區域中的基底202。在一些實施例中，週邊局部接觸點244位於基底202中的週邊電路（未示出）或摻雜區域（P型井或N型井，未示出）上方並且與之相接觸，以用於向和/或從週邊電路或摻雜區域傳輸電訊號。在一些實施例中，週邊電路包括用於促進3D記憶體元件200的操作的任何合適的數位、類比和/或混合訊號週邊電路。例如，週邊電路可以包括以下各項中的一項或多項：頁面緩衝器、解碼器（例如，行解碼器和列解碼器）、讀出放大器、驅動器、電荷泵、電流或電壓參考、或電路的任何主動或被動元件（如電晶體、二極體、電阻器或電容器等）。週邊局部接觸點244可以包括導電材料，例如金屬，其包括但不限於W、Co、Cu、Al或其任何組合。在一個示例中，週邊局部接觸點244可以包括鎢。

**【0039】** 在一些實施例中，3D記憶體元件200還包括阻隔結構246，阻隔結構246包括具有不同介電材料的交錯的第一介電層和第二介電層。例如，第一介電層和第二介電層的介電材料可以分別是氧化矽和氮化矽。在一些實施例中，阻隔結構246的第一介電層和第二介電層與形成介電堆疊層的介電層（這些介電層在閘極替換製程之後最終成為儲存堆疊層210）相同，如下文詳細描述的。在一些實施例中，週邊局部接觸點244中的一或多個延伸穿過阻隔結構246。亦即，阻隔結構246可以圍繞週邊局部接觸點244，作為將週邊局部接觸點244與其它鄰近結構分開的阻隔。在一些實施例中，週邊局部接觸點244包括通孔接觸點，而不是壁狀接觸點。應理解的是，雖然如第2圖所示週邊局部接觸點244（在被阻隔結構246包圍或沒有被其包圍的情況下）位於在儲存堆疊層210的外部的週邊區域中，但是在一些實施例中，一或多個週邊局部接觸點244（在被阻隔結構246包圍或沒有被其包圍的情況下）可以在儲存堆疊層210內形成，也被稱為「貫穿陣列接觸點」（TAC）。

【0040】 與第1圖中的3D記憶體元件100不同，3D記憶體元件100包括在局部接觸點層110中的在縫隙結構108上方並且與之相接觸的縫隙局部接觸點118，第2圖中的3D記憶體元件200在局部接觸層222中不包括縫隙局部接觸點。反之，縫隙結構226（以及其中的上部源極接觸點部分228-2）可以進一步垂直地延伸穿過局部接觸層222。通過利用連續的壁型接觸點（如源極接觸點228）替換縫隙局部接觸點，可以簡化針對局部接觸層222中的局部接觸點的重疊控制，並且可以降低互連結構的電阻。此外，縫隙結構226的上端（以及其中的上部源極接觸點部分228-2）可以是與包括通道局部接觸點224、階梯局部接觸點242和週邊局部接觸點244的局部接觸點中的每一者的上端齊平的，例如在同一平坦化製程之後在同一平面內齊平，如下文詳細描述的。亦即，根據一些實施例，通道局部接觸點224、縫隙結構226、階梯局部接觸點242和週邊局部接觸點244的上端是彼此齊平的。在一些實施例中，上部源極接觸點部分228-2、通道局部接觸點224、階梯局部接觸點242和週邊局部接觸點244包括例如透過同一沉積製程來沉積的相同的導電材料，如下文詳細描述的。例如，上部源極接觸點部分228-2、通道局部接觸點224、階梯局部接觸點242和週邊局部接觸點244包括相同的金屬，例如鎢。因此，第2圖中的3D記憶體元件200的局部接觸點的設計可以簡化製程，並且降低成本和製程週期。

【0041】 如第2圖所示，3D記憶體元件200還包括作為互連結構且部分位於局部接觸層222上方的互連層234。互連層234可以包括多個通孔接觸點（也被稱為「V0」），例如分別在通道局部接觸點224中的相應一者的上端上方並且與之相接觸的通道接觸點236、以及在縫隙結構226的上端（例如其中的上部源極接觸點部分228-2）上方並且與之相接觸的縫隙接觸點238。在一些實施例中，互連層234還包括：階梯接觸點248（也被稱為「字元線接觸點」），其分別在階梯局部接觸點242中的相應一者的上端上方並且與之相接觸，以及週邊接觸點250，其分別在

第 14 頁，共 31 頁(發明說明書)

週邊局部接觸點244中的相應一者的上端上方並且與之相接觸。互連層234還可以包括一個或多個ILD層，其中可以形成通道接觸點236、縫隙接觸點238、階梯接觸點248和週邊接觸點250。亦即，互連層234可以包括在一或多個第一介電層中的通道接觸點236、縫隙接觸點238、階梯接觸點248和週邊接觸點250。互連層234中的通道接觸點236、縫隙接觸點238、階梯接觸點248和週邊接觸點250可以包括導電材料，包括但不限於Cu、Al、W、Co、矽化物或其任何組合。互連層234中的ILD層可以包括介電材料，包括但不限於氧化矽、氮化矽、氮氧化矽、低k介電質或其任何組合。

**【0042】** 與第1圖中的3D記憶體元件100不同，在3D記憶體元件100中，互連層112中的接觸點具有不同的深度，第2圖中的3D記憶體元件200的互連層234中的各種類型的接觸點（例如通道接觸點236、縫隙接觸點238、階梯接觸點248和週邊接觸點250）具有相同的深度。在一些實施例中，通道接觸點236、縫隙接觸點238、階梯接觸點248和週邊接觸點250的上端是彼此齊平的，並且通道接觸點236、縫隙接觸點238、階梯接觸點248和週邊接觸點250的下端也是彼此齊平的。結果，用於形成互連層234的製程可以不那麼具有挑戰性。如下文詳細描述的，同一沉積和平坦化製程可以用於在互連層234中形成各種類型的接觸點（例如，通道接觸點236、縫隙接觸點238、階梯接觸點248和週邊接觸點250）。因此，通道接觸點236、縫隙接觸點238、階梯接觸點248和週邊接觸點250可以具有相同的導電材料，例如鎢。

**【0043】** 要理解的是，3D記憶體元件200中的互連層的數量並不受第2圖中的示例的限制。可以形成額外的互連層以提供3D記憶體元件200的期望的互連結構。然而，局部接觸層222和互連層234形成互連結構，其用於從和/或向通道結構204、縫隙結構226、導電層（字元線）206和基底202中的週邊電路/摻雜區域（未示出）傳輸電訊號。

【0044】 第3A-3H圖示出了根據本案公開內容的一些實施例的用於形成具有互連結構的示例性3D記憶體元件的製程。第4圖示出了根據本案公開內容的一些實施例中用於形成具有互連結構的示例性3D記憶體元件的方法400的流程圖。在第3A-3H圖和第4圖中描繪的3D記憶體元件的示例包括在第2圖中所描繪的3D記憶體元件200。文中將一起描述第3A-3H圖和第4圖。應理解的是，在方法400中所示的操作不是詳盡的，並且可以在任何所示的操作之前、之後或之間執行其它操作。此外，這些操作中的一些操作可以同時執行，或者以與在第4圖中所示的不同的順序執行。

【0045】 參照第4圖，方法400從操作402開始，在操作402中，在基底上方包括交錯的犧牲層和介電層的介電堆疊層。基底可以是矽基底。參照第3A圖，在矽基底302上方形成包括多對的犧牲層306和介電層308（介電/犧牲層對）的介電堆疊層304。根據一些實施例，介電堆疊層304包括交錯的犧牲層306和介電層308。可以將介電層308和犧牲層306交替地沉積在矽基底302上以形成介電堆疊層304。在一些實施例中，每個介電層308包括氧化矽層，並且每個犧牲層306包括氮化矽層。亦即，可以在矽基底302上方交替地沉積多個氮化矽層和多個氧化矽層以形成介電堆疊層304。在一些實施例中，在矽基底302上方、在介電堆疊層304的外部形成包括交錯的第一介電層和第二介電層的阻隔結構307。阻隔結構307的第一介電層和第二介電層可以分別包括與介電堆疊層304的犧牲層306和介電層308相同的材料。介電堆疊層304和阻隔結構307可以通過一或多種薄膜沉積製程一起形成，其包括但不限於，化學氣相沉積（CVD）、物理氣相沉積（PVD）、原子層沉積（ALD）或其任何組合。

【0046】 如第3A圖所示，可以在介電堆疊層304的邊緣上形成階梯結構305。可以通過朝向矽基底302、針對介電堆疊層304的介電/犧牲層對來執行多個所謂的「修整蝕刻」製程迴圈，從而形成階梯結構305。由於針對介電堆疊層304的介

電/犧牲層對的重複修整蝕刻迴圈，介電堆疊層304會具有傾斜的邊緣以及與底部介電/犧牲層對相比要短的頂部介電/犧牲層對，如第3A圖所示。

【0047】 如第4圖所示，方法400繼續進行到操作404，在操作404中，形成垂直地延伸穿過介電堆疊層的通道結構。在一些實施例中，為了形成通道結構，形成垂直地延伸穿過介電堆疊層的通道孔，隨後在通道孔的側壁之上形成儲存膜和半導體通道，並且形成在半導體通道上方並且與之相接觸的通道插塞。

【0048】 如第3A圖所示，通道孔是垂直地延伸穿過介電堆疊層304的開口。在一些實施例中，形成穿過介電堆疊層304的多個開口，使得每個開口成為用於在稍後製程中生長單個通道結構310的位置。在一些實施例中，用於形成通道結構310的通道孔的製程包括濕蝕刻和/或乾蝕刻，例如深反應離子式蝕刻（DRIE）。在一些實施例中，通道結構310的通道孔進一步延伸穿過矽基底302的頂部部分。穿過介電堆疊層304的蝕刻製程可以不在矽基底302的頂表面處停止，而可以繼續蝕刻矽基底302的部分。如第3A圖所示，可以透過利用在任何合適的方向（例如從底表面和/或側表面）上從矽基底302磊晶生長的單晶矽來填充通道孔的底部部分，從而形成半導體插塞312。用於磊晶生長半導體插塞312的製程可以包括但不限於氣相磊晶（VPE）、液相磊晶（LPE）、分子束磊晶（MPE）或其任何組合。

【0049】 如第3A圖所示，沿著通道結構310的通道孔的側壁並且在半導體插塞312上方形成儲存膜314（包括阻擋層、儲存層和隧穿層）和半導體通道316。在一些實施例中，首先沿著通道孔的側壁並且在半導體插塞312上方沉積儲存膜314，並且然後在儲存膜314之上沉積半導體通道316。隨後可以使用一或多種薄膜沉積製程（例如ALD、CVD、PVD、任何其它合適的製程或其任何組合）依次沉積阻擋層、儲存層和穿隧層，以形成儲存膜314。然後，可以通過使用一或多種薄膜沉積製程（例如ALD、CVD、PVD、任何其它合適的製程或其任何組合）在穿隧層上沉積多晶矽，從而形成半導體通道316。半導體通道316可以使用例如

第 17 頁，共 31 頁(發明說明書)

SONO穿孔製程來與半導體插塞312相接觸。在一些實施例中，半導體通道316沉積在通道孔中而不完全填充通道孔。在一些實施例中，使用一種或多種薄膜沉積製程（例如CVD、PVD、ALD、電鍍、化學鍍或其任何組合）在通道孔中形成封蓋層（如氧化矽層），以完全或部分地填充通道孔的剩餘空間。

【0050】 如第3A圖所示，在通道結構310的通道孔的頂部部分中形成通道插塞320。在一些實施例中，通過CMP、濕蝕刻和/或乾蝕刻去除儲存膜314、半導體通道316和封蓋層在介電堆疊層304的頂表面上的部分並且使其平坦化。然後，可以透過濕蝕刻和/或乾蝕刻移除半導體通道316和封蓋層在通道孔頂部中的部分，從而在通道孔的頂部部分中形成凹槽。然後，可以透過利用一或多種薄膜沉積製程（如CVD、PVD、ALD、電鍍、化學鍍或其任何組合）將半導體材料（如多晶矽）沉積到凹槽中，從而形成通道插塞320。由此形成穿過介電堆疊層304的通道結構310。

【0051】 如第4圖所示，方法400繼續進行到操作406，在操作406中，在介電堆疊層上形成局部介電層。局部介電層是要形成的最終3D記憶體元件的互連結構的部分。如第3B圖所示，在介電堆疊層304上形成局部介電層322。可以通過使用一或多種薄膜沉積製程（例如CVD、PVD、ALD或其任何組合）在介電堆疊層304的頂表面的頂部沉積介電材料（例如氧化矽和/或氮化矽），從而形成局部介電層322。

【0052】 如第4圖所示，方法400繼續進行到操作408，在操作408中，形成垂直地延伸穿過局部介電層和介電堆疊層的縫隙開口。如第3C圖所示，使用濕蝕刻和/或乾蝕刻（如DRIE）形成縫隙開口326。在一些實施例中，蝕刻製程蝕刻穿過局部介電層322和介電堆疊層304的交錯的犧牲層306和介電層308（如氮化矽層和氧化矽層）以到達矽基底302的縫隙開口326。可以使用光刻法，通過蝕刻遮罩（如光阻劑）來將縫隙開口326圖案化，使得縫隙開口326形成在將要形成縫隙結構的

地方。

【0053】 如第4圖所示，方法400繼續進行到操作410，在操作410中，透過穿過縫隙開口利用導電層替換犧牲層（即所謂的「閘極替換」製程），從而形成包括交錯的導電層和介電層的儲存堆疊層。如第3D圖所示，利用導電層332替換犧牲層306（如第3B圖所示），並且由此形成包括交錯的導電層332和介電層308的儲存堆疊層334。應理解的是，閘極替換製程可以不影響阻隔結構307，阻隔結構307之後並且在最終3D記憶體元件中仍然包括交錯的第一介電層和第二介電層。

【0054】 在一些實施例中，首先透過穿過縫隙開口326來去除犧牲層306，以形成橫向凹槽（未示出）。在一些實施例中，透過穿過縫隙開口326施加蝕刻液來去除犧牲層306，以便去除犧牲層306，從而在介電層308之間產生交錯的橫向凹槽。蝕刻液可以包括對於介電層308選擇性地蝕刻犧牲層306的任何適當的蝕刻劑。如第3D圖所示，將導電層332穿過縫隙開口326沉積到橫向凹槽中。在一些實施例中，在導電層332之前將閘極介電層沉積到橫向凹槽中，使得將導電層332沉積在閘極介電層上。可以使用一或多種薄膜沉積製程（如ALD、CVD、PVD或任何其它適當製程或其任何組合）來沉積導電層332（如金屬層）。

【0055】 如第4圖所示，方法400繼續進行到操作412，在操作412中，在縫隙開口中形成第一源極接觸點部分。在一些實施例中，為了形成第一源極接觸點部分，在縫隙開口的側壁之上形成間隙壁，在縫隙開口中的間隙壁之上沉積導電層，並且在縫隙開口中回蝕刻導電層。導電層可以包括多晶矽。

【0056】 如第3D圖所示，可以在縫隙開口326的側壁之上形成間隙壁338。在一些實施例中，可以先使用離子佈植和/或熱擴散等方式將P型或N型摻雜劑摻雜到矽基底302的通過縫隙開口326暴露的部分中來形成摻雜區域（未示出）。在一些實施例中，在與縫隙開口326的側壁鄰接的每個導電層332中形成回蝕刻凹槽。可以使用濕蝕刻和/或乾蝕刻製程穿過縫隙開口326來將回蝕刻凹槽回蝕刻。根據

第 19 頁，共 31 頁(發明說明書)

一些實施例，使用一或多種薄膜沉積製程（如ALD、CVD、PVD、任何其它合適的製程或其任何組合）在回蝕刻凹槽中並且沿著縫隙開口326的側壁沉積包括一或多個介電層（如氧化矽和氮化矽）的間隙壁338。如第3D圖所示，在縫隙開口326的底部部分中形成下部源極接觸點部分342-1。在一些實施例中，在縫隙開口326中的間隙壁338之上沉積包括例如摻雜多晶矽的導電層。在一些實施例中，執行回蝕刻製程以去除導電層在縫隙開口326的頂部部分中的部分，將下部源極接觸點部分342-1留在縫隙開口326的底部部分中。例如，可以使用濕蝕刻和/或乾蝕刻製程來回蝕刻多晶矽。

【0057】 如第4圖所示，方法400繼續進行到操作414，在操作414中，同時地形形成穿過局部介電層以暴露出通道結構的通道局部接觸點開口、穿過局部介電層以暴露出在儲存堆疊層的邊緣上的階梯結構處的導電層中的一個導電層的階梯局部接觸點開口、以及在儲存堆疊層的外部垂直地延伸到基底的週邊局部接觸點開口。在一些實施例中，在同時形成通道局部接觸點開口、階梯局部接觸點開口和週邊局部接觸點開口之前，形成硬遮罩以覆蓋縫隙開口。

【0058】 如第3E圖所示，在局部介電層322上以及在縫隙開口326中形成硬遮罩336（如第3D圖所示）以覆蓋縫隙開口326。可以使用光刻法、隨後是乾蝕刻和/或濕蝕刻製程對硬遮罩336進行圖案化，以產生用於形成通道局部接觸點開口324、階梯局部接觸點開口325和週邊局部接觸點開口327的開口。可以穿過硬遮罩336中的開口執行乾蝕刻和/或濕蝕刻（如DRIE）的一或多個迴製程圈，以在同一蝕刻製程中同時地蝕刻通道局部接觸點開口324、階梯局部接觸點開口325和週邊局部接觸點開口327。在一些實施例中，獨自地蝕刻穿過局部介電層322，在通道結構310的通道插塞320處停止以暴露出通道結構310，從而形成通道局部接觸點開口324。在一些實施例中，獨自地蝕刻穿過局部介電層322，在儲存堆疊層334的邊緣上的階梯結構305處的導電層332（如第3D圖所示）處停止以暴露出導電

層332，從而形成階梯局部接觸點開口325。在一些實施例中，蝕刻穿過局部介電層322和在儲存堆疊層334的外部的ILD層，在矽基底302處停止，從而形成週邊局部接觸點開口327。在一些實施例中，還蝕刻穿過阻隔結構307中的交錯的第一介電層和第二介電層，以形成垂直地延伸穿過阻隔結構307到達矽基底302的週邊局部接觸點開口327。

【0059】 如第4圖所示，方法400繼續進行到操作416，在操作416中，同時地形成通道局部接觸點開口中的通道局部接觸點、縫隙開口中的在第一源極接觸點部分上方的第二源極接觸點部分、階梯局部接觸點開口中的階梯局部接觸點和週邊局部接觸點開口中的週邊局部接觸點。在一些實施例中，為了同時地形成通道局部接觸點、第二源極接觸點部分、階梯局部接觸點和週邊局部接觸點，將導電層同時地沉積在通道局部接觸點開口、縫隙開口、階梯局部接觸點開口以及週邊局部接觸點開口中，並且將所沉積的導電層平坦化，使得通道局部接觸點、第二源極接觸點部分、階梯局部接觸點和週邊局部接觸點的上端是彼此齊平的。導電層可以包括鎢。

【0060】 如第3F圖所示，去除硬遮罩336（如第3E圖所示），並且同時地形成通道局部接觸點340、上部源極接觸點部分342-2、階梯局部接觸點343和週邊局部接觸點345。在一些實施例中，透過同一沉積製程來將包括例如鎢質的導電層沉積到通道局部接觸點開口324（如第3E圖所示）、縫隙開口326的剩餘空間（一旦去除了硬遮罩336，如第3D圖所示）、階梯局部接觸點開口325（如第3E圖所示）以及週邊局部接觸點開口327（如第3E圖所示）中，以同時地形成通道局部接觸點340、上部源極接觸點部分342-2、階梯局部接觸點343和週邊局部接觸點345。沉積製程可以包括薄膜沉積製程，如ALD、CVD、PVD、任何其它合適的製程或其任何組合。可以執行平坦化製程（如CMP）來去除多餘的導電層並且使所沉積的導電層平坦化。因此，根據一些實施例，通道局部接觸點340、上部源極接

觸點部分342-2、階梯局部接觸點343和週邊局部接觸點345的上端是彼此齊平的。由此也形成包括源極接觸點342（包括下部源極接觸點部分342-1和上部源極接觸點部分342-2）和間隙壁338的縫隙結構344。

【0061】 如第4圖所示，方法400繼續進行到操作418，在操作418中，在局部介電層上形成互連層。互連層包括在通道局部接觸點上方並且與之相接觸的通道接觸點、在第二源極接觸點部分上方並且與之相接觸的縫隙接觸點、在階梯局部接觸點上方並且與之相接觸的階梯接觸點、以及在週邊局部接觸點上方並且與之相接觸的週邊接觸點。在一些實施例中，為了形成互連層，在局部介電層上形成另一介電層。在一些實施例中，為了形成互連層，同時地形成穿過該另一介電層以暴露出通道局部接觸點的通道接觸點開口、穿過該另一介電層以暴露出第二源極接觸點部分的縫隙接觸點開口、穿過該另一介電層以暴露出階梯局部接觸點的階梯接觸點開口以及穿過該另一介電層以暴露出週邊局部接觸點的週邊接觸點開口。在一些實施例中，為了形成互連層，同時地形成通道局部接觸點開口中的通道局部接觸點、縫隙開口中且位於第一源極接觸點部分上方的第二源極接觸點部分和階梯局部接觸點開口中的階梯局部接觸點。

【0062】 如第3G圖所示，在局部介電層322上形成介電層348。可以透過使用一或多種薄膜沉積製程（如CVD、PVD、ALD或其任何組合）在局部介電層322的頂表面的頂部沉積介電材料（如氧化矽和/或氮化矽）來形成介電層348。使用同一蝕刻製程來同時地形成穿過介電層348的縫隙接觸點開口、通道接觸點開口、階梯接觸點開口和週邊接觸點開口。在一些實施例中，蝕刻製程獨自地蝕刻通道接觸點開口穿過介電層348，在通道局部接觸點340的上端處停止，以暴露出通道局部接觸點340的上端。在一些實施例中，相同的蝕刻製程還蝕刻縫隙接觸點開口穿過介電層348，在縫隙結構344的上端處停止，以暴露出縫隙結構344的上端。在一些實施例中，相同的蝕刻製程還獨自地蝕刻階梯接觸點開口穿過

介電層348，在階梯局部接觸點343的上端處停止，以暴露出階梯局部接觸點343的上端。在一些實施例中，相同的蝕刻製程還獨自地蝕刻週邊接觸點開口穿過介電層348，在週邊局部接觸點345的上端處停止，以暴露出階梯局部接觸點343的上端。蝕刻製程可以包括濕蝕刻和/或乾蝕刻的一或多個迴圈。可以使用光刻法，通過蝕刻遮罩（如光阻劑）來將通道接觸點開口、階梯接觸點開口、週邊接觸點開口和縫隙接觸點開口圖案化，使得通道接觸點開口、階梯接觸點開口、週邊接觸點開口和縫隙接觸點開口分別與通道局部接觸點340、階梯局部接觸點343、週邊局部接觸點345和縫隙結構344的上部源極接觸點部分342-2對準。

**【0063】** 如第3H圖所示，透過同一沉積製程來將包括例如鎢質的導電層沉積到通道接觸點開口、縫隙接觸點開口、階梯接觸點開口和週邊接觸點開口中，以同時地形成通道接觸點354、縫隙接觸點356、階梯接觸點357和週邊接觸點359。由此形成包括通道接觸點354、縫隙接觸點356、階梯接觸點357和週邊接觸點359的互連層。可以執行平坦化製程（如CMP）來去除多餘的導電層並且使所沉積的導電層平坦化。根據一些實施例，通道接觸點354、縫隙接觸點356、階梯接觸點357和週邊接觸點359的上端因此是彼此齊平的。

**【0064】** 根據本案公開內容的一個面向，其揭露了一種3D記憶體元件，包括基底、儲存堆疊層、通道結構、通道局部接觸點、縫隙結構和階梯局部接觸點。儲存堆疊層包括位於基底上方的交錯的導電層和介電層。通道結構垂直地延伸穿過儲存堆疊層。通道局部接觸點位於通道結構上方並且與之相接觸。縫隙結構垂直地延伸穿過儲存堆疊層。階梯局部接觸點位於儲存堆疊層邊緣上的階梯結構處的導電層中的一個導電層上方並且與之相接觸。通道局部接觸點、縫隙結構和階梯局部接觸點的上端是彼此齊平的。

**【0065】** 在一些實施例中，3D記憶體元件還包括：在通道局部接觸點的上端上方並且與之相接觸的通道接觸點、在縫隙結構的上端上方並且與之相接觸的

縫隙接觸點、以及在階梯局部接觸點的上端上方並且與之相接觸的階梯接觸點。根據一些實施例，通道接觸點、縫隙接觸點和階梯接觸點的上端是彼此齊平的。

【0066】 在一些實施例中，通道接觸點、縫隙接觸點和階梯接觸點具有相同的深度，並且包括相同的導電材料。

【0067】 在一些實施例中，縫隙結構包括：源極接觸點，其包括第一源極接觸點部分和第二源極接觸點部分，第二源極接觸點部分在第一源極接觸點部分上方，並且具有與第一源極接觸點部分不同的材料；以及間隙壁，其橫向地位於縫隙結構的源極接觸點和儲存堆疊層的導電層之間。

【0068】 在一些實施例中，第二源極接觸點部分、通道局部接觸點和階梯局部接觸點包括相同的導電材料。

【0069】 在一些實施例中，第一源極接觸點部分包括多晶矽，並且第二源極接觸點部分、通道局部接觸點和階梯局部接觸點包括相同的金屬。該金屬可以包括鎢。

【0070】 在一些實施例中，通道結構包括半導體通道和儲存膜。在一些實施例中，通道結構還包括在通道結構的頂部部分中並且與通道局部接觸點相接觸的通道插塞。

【0071】 在一些實施例中，3D記憶體元件還包括在儲存堆疊層的外部垂直地延伸到基底的週邊局部接觸點。根據一些實施例，週邊局部接觸點的上端是與通道局部接觸點、縫隙結構和階梯局部接觸點的上端齊平的。

【0072】 在一些實施例中，3D記憶體元件還包括阻隔結構，其包括交錯的第一介電層和第二介電層。根據一些實施例，週邊局部接觸點垂直地延伸穿過阻隔結構。

【0073】 根據本案公開內容的另一方面，一種3D記憶體元件包括基底、儲存

第 24 頁，共 31 頁(發明說明書)

堆疊層、通道結構、通道局部接觸點、縫隙結構和週邊局部接觸點。儲存堆疊層包括在基底上方的交錯的導電層和介電層。通道結構垂直地延伸穿過儲存堆疊層。通道局部接觸點位於通道結構上方並且與之相接觸。縫隙結構垂直地延伸穿過儲存堆疊層。週邊局部接觸點在儲存堆疊層的外部垂直地延伸到基底。通道局部接觸點、縫隙結構和週邊局部接觸點的上端是彼此齊平的。

【0074】 在一些實施例中，3D記憶體元件還包括：在通道局部接觸點的上端上方並且與之相接觸的通道接觸點、在縫隙結構的上端上方並且與之相接觸的縫隙接觸點、以及在週邊局部接觸點的上端上方並且與之相接觸的週邊接觸點。根據一些實施例，通道接觸點、縫隙接觸點和週邊接觸點的上端是彼此齊平的。

【0075】 在一些實施例中，通道接觸點、縫隙接觸點和週邊接觸點具有相同的深度，並且包括相同的導電材料。

【0076】 在一些實施例中，縫隙結構包括：源極接觸點，其包括第一源極接觸點部分和第二源極接觸點部分，第二源極接觸點部分在第一源極接觸點部分上方並且具有與第一源極接觸點部分不同的材料；以及間隙壁，其橫向地位於縫隙結構的源極接觸點和儲存堆疊層的導電層之間。

【0077】 在一些實施例中，第二源極接觸點部分、通道局部接觸點和週邊局部接觸點包括相同的導電材料。

【0078】 在一些實施例中，第一源極接觸點部分包括多晶矽，並且第二源極接觸點部分、通道局部接觸點和週邊局部接觸點包括相同的金屬。該金屬可以包括鎢。

【0079】 在一些實施例中，通道結構包括半導體通道和儲存膜。在一些實施例中，通道結構還包括在通道結構的頂部部分中並且與通道局部接觸點相接觸的通道插塞。

【0080】 在一些實施例中，3D記憶體元件還包括位於儲存堆疊層邊緣上的階梯結構處的導電層中的一個導電層上方並且與之相接觸的階梯局部接觸點。根據一些實施例，階梯局部接觸點的上端是與通道局部接觸點、縫隙結構和週邊局部接觸點的上端齊平的。

【0081】 在一些實施例中，3D記憶體元件還包括阻隔結構，其包括交錯的第一介電層和第二介電層。根據一些實施例，週邊局部接觸點垂直地延伸穿過阻隔結構。

【0082】 在一些實施例中，週邊局部接觸點是垂直互連通道（via）接觸點。

【0083】 根據本案公開內容的另一方面，其揭露了一種用於形成3D記憶體元件的方法。在基底上方形成垂直地延伸穿過包括交錯的犧牲層和介電層的介電堆疊層的通道結構。在介電堆疊層上形成局部介電層。形成垂直地延伸穿過局部介電層和介電堆疊層的縫隙開口。通過穿過縫隙開口利用導電層替換犧牲層，來形成包括交錯的導電層和介電層的儲存堆疊層。在縫隙開口中形成第一源極接觸點部分。同時地形成穿過局部介電層以暴露出通道結構的通道局部接觸點開口、以及穿過局部介電層以暴露出位於儲存堆疊層邊緣上的階梯結構處的導電層中的一個導電層的階梯局部接觸點開口。同時地形成在通道局部接觸點開口中的通道局部接觸點、在縫隙開口中的第一源極接觸點部分上方的第二源極接觸點部分以及在階梯局部接觸點開口中的階梯局部接觸點。

【0084】 在一些實施例中，為了同時地形成通道局部接觸點開口和階梯局部接觸點開口，同時地形成（i）通道局部接觸點開口、（ii）階梯局部接觸點開口、以及（iii）在儲存堆疊層的外部垂直地延伸到基底的週邊局部接觸點開口。在一些實施例中，同時地形成通道局部接觸點、第二源極接觸點部分和階梯局部接觸點進一步包括：同時地形成（i）通道局部接觸點、（ii）第二源極接觸點部分、（iii）階梯局部接觸點、以及（iv）在週邊局部接觸點開口中的週邊局部接觸點。

【0085】 在一些實施例中，在局部介電層上形成互連層。互連層可以包括：(i) 在通道局部接觸點上方並且與之相接觸的通道接觸點、(ii) 在第二源極接觸點部分上方並且與之相接觸的縫隙接觸點、(iii) 在階梯局部接觸點上方並且與之相接觸的階梯接觸點；以及 (iv) 在週邊局部接觸點上方並且與之相接觸的週邊接觸點。

【0086】 在一些實施例中，為了形成互連層，同時地形成 (i) 穿過另一介電層以暴露出通道局部接觸點的通道接觸點開口、(ii) 穿過另一介電層以暴露出第二源極接觸點部分的縫隙接觸點開口、(iii) 穿過另一介電層以暴露出階梯局部接觸點的階梯接觸點開口、以及 (iv) 穿過另一介電層以暴露出週邊局部接觸點的週邊接觸點開口，將導電層同時地沉積在通道接觸點開口、縫隙接觸點開口、階梯接觸點開口和週邊接觸點開口中，並且將所沉積的導電層平坦化，使得通道接觸點、縫隙接觸點、階梯接觸點和週邊接觸點的上端是彼此齊平的。

【0087】 在一些實施例中，為了同時地形成通道局部接觸點、第二源極接觸點部分和階梯局部接觸點，將導電層同時地沉積在通道局部接觸點開口、縫隙開口、階梯局部接觸點開口和週邊局部接觸點開口中，並且將所沉積的導電層平坦化，使得通道局部接觸點、第二源極接觸點部分、階梯局部接觸點和週邊局部接觸點的上端是彼此齊平的。在一些實施例中，導電層包括鎢。

【0088】 在一些實施例中，為了形成通道結構，蝕刻垂直地延伸穿過介電堆疊層的通道孔，隨後在通道孔的側壁之上形成儲存膜和半導體通道，並且形成在半導體通道上方並且與之相接觸的通道插塞。

【0089】 對特定實施例的上述說明因此將揭示本公開的一般性質，使得他人能夠通過運用本領域技術範圍內的知識容易地對這種特定實施例進行修改和/或調整以用於各種應用，而不需要過度實驗，且不脫離本公開的一般概念。因此，基於本文呈現的教導和指導，這種調整和修改旨在處於所公開的實施例的等同

物的含義和範圍內。應當理解，本文中的措辭或術語是用於說明的目的，而不是為了進行限制，從而本說明書的術語或措辭將由技術人員按照所述教導和指導進行解釋。

【0090】 上文已經借助於功能構建塊描述了本公開的實施例，功能構建塊例示了指定功能及其關係的實施方式。在本文中出於方便描述的目的任意地定義了這些功能構建塊的邊界。可以定義替代的邊界，只要適當執行指定的功能及其關係即可。

【0091】 發明內容和摘要部分可以闡述發明人所設想的本公開的一個或多個示例性實施例，但未必是所有示例性實施例，並且因此，並非旨在通過任何方式限制本案公開內容和所附之申請專利範圍。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

#### 【符號說明】

#### 【0092】

100	3D記憶體元件
102	基底
104	儲存堆疊層
106	通道結構
108	縫隙結構
110	局部接觸層
112	互連層
114	階梯結構
116	通道局部接觸點

118	縫隙局部接觸點
120	通道接觸點
122	縫隙接觸點
124	階梯局部接觸點
126	週邊局部接觸點
128	階梯接觸點
130	週邊接觸點
200	3D記憶體元件
202	基底
204	通道結構
206	導電層
208	介電層
210	儲存堆疊層
212	半導體通道
214	儲存膜
218	半導體插塞
220	通道插塞
222	局部接觸層
224	通道局部接觸點
226	縫隙結構
228-1	下部源極接觸點部分
228-2	上部源極接觸點部分
230	間隙壁
234	互連層

- 236 通道接觸點
- 238 縫隙接觸點
- 240 階梯結構
- 242 階梯局部接觸點
- 244 週邊局部接觸點
- 246 阻隔結構
- 248 階梯接觸點
- 250 週邊接觸點
- 302 矽基底
- 304 介電堆疊層
- 305 階梯結構
- 306 犧牲層
- 307 阻隔結構
- 308 介電層
- 310 通道結構
- 312 半導體插塞
- 314 儲存膜
- 316 半導體通道
- 320 通道插塞
- 322 局部介電層
- 324 通道局部接觸點開口
- 325 階梯局部接觸點開口
- 326 縫隙開口
- 327 週邊局部接觸點開口

- 332 導電層
- 334 儲存堆疊層
- 336 硬遮罩
- 338 間隙壁
- 340 通道局部接觸點
- 342-1 下部源極接觸點部分
- 342-2 上部源極接觸點部分
- 343 階梯局部接觸點
- 344 縫隙結構
- 345 週邊局部接觸點
- 348 介電層
- 354 通道接觸點
- 356 縫隙接觸點
- 357 階梯接觸點
- 359 週邊接觸點
- 400 方法
- 402, 404, 406, 408, 410, 412, 414, 416, 418 操作

## 【發明申請專利範圍】

【請求項1】 一種三維（3D）記憶體元件，包括：

基底；

儲存堆疊層，包括在所述基底上方的交錯的導電層和介電層；

垂直地延伸穿過所述儲存堆疊層的通道結構；

局部介電層，位於所述儲存堆疊層以及所述通道結構上方；

通道局部接觸點，位於所述通道結構上方的所述局部介電層中並且與所述通道結構相接觸；

垂直地延伸穿過所述儲存堆疊層以及所述局部介電層的縫隙結構；以及

階梯局部接觸點，位於所述儲存堆疊層的邊緣上的階梯結構處的所述導電層中的一個導電層上方並且與該導電層相接觸，且垂直地延伸穿過所述局部介電層；

其中所述通道局部接觸點的上端、所述縫隙結構的上端以及所述階梯局部接觸點的上端在所述局部介電層的表面彼此齊平的。

【請求項2】 根據申請專利範圍第1項所述之3D記憶體元件，還包括：

通道接觸點，位於所述通道局部接觸點的上端上方並且與所述通道局部接觸點的上端相接觸；

縫隙接觸點，位於所述縫隙結構的上端上方並且與所述縫隙結構的上端相接觸；以及

階梯接觸點，位於所述階梯局部接觸點的上端上方並且與所述階梯局部接觸點的上端相接觸；

其中所述通道接觸點的上端、所述縫隙接觸點的上端以及所述階梯接觸點的上端是彼此齊平的。

【請求項3】 根據申請專利範圍第2項所述之3D記憶體元件，其中所述通道接觸

第 1 頁，共 6 頁(發明申請專利範圍)

點、所述縫隙接觸點以及所述階梯接觸點具有相同的深度並且包括相同的導電材料。

【請求項4】 根據申請專利範圍第1項所述之3D記憶體元件，其中所述縫隙結構包括：

源極接觸點，包括第一源極接觸點部分和第二源極接觸點部分，所述第二源極接觸點部分在所述第一源極接觸點部分上方並且具有與所述第一源極接觸點部分不同的材料；以及

間隙壁，橫向地位於所述縫隙結構的所述源極接觸點與所述儲存堆疊層的所述導電層之間。

【請求項5】 根據申請專利範圍第4項所述之3D記憶體元件，其中所述第二源極接觸點部分、所述通道局部接觸點以及所述階梯局部接觸點包括相同的導電材料。

【請求項6】 根據申請專利範圍第5項所述之3D記憶體元件，其中：

所述第一源極接觸點部分包括多晶矽；以及

所述第二源極接觸點部分、所述通道局部接觸點以及所述階梯局部接觸點包括相同的金屬。

【請求項7】 根據申請專利範圍第1項所述之3D記憶體元件，其中所述通道結構包括半導體通道、儲存膜和通道插塞，位於所述通道結構的頂部部分中並且與所述通道局部接觸點相接觸。

【請求項8】 根據申請專利範圍第1項所述之3D記憶體元件，還包括：位於所述儲存堆疊層的外部且垂直地延伸到所述基底的週邊局部接觸點，其中所述週邊局部接觸點的上端垂直地延伸穿過所述局部介電層並與所述通道局部接觸點的上端、所述縫隙結構的上端以及所述階梯局部接觸點的上端在所述局部介電層

第2頁，共6頁(發明申請專利範圍)

的表面齊平的。

【請求項9】 根據申請專利範圍第8項所述之3D記憶體元件，還包括具有交錯的第一介電層和第二介電層的阻隔結構，其中所述週邊局部接觸點垂直地延伸穿過所述阻隔結構。

【請求項10】 一種三維（3D）記憶體元件，包括：

基底；

儲存堆疊層，包括位於所述基底上方的交錯的導電層和介電層；

垂直地延伸穿過所述儲存堆疊層的通道結構；

局部介電層，位於所述儲存堆疊層以及所述通道結構上方；

通道局部接觸點，位於所述通道結構上方的所述局部介電層中並且與所述通道結構相接觸；

垂直地延伸穿過所述儲存堆疊層以及所述局部介電層的縫隙結構；以及

在所述儲存堆疊層的外部垂直地延伸穿過所述局部介電層到所述基底的週邊局部接觸點；

其中所述通道局部接觸點的上端、所述縫隙結構的上端以及所述週邊局部接觸點的上端在所述局部介電層的表面彼此齊平的。

【請求項11】 根據申請專利範圍第10項所述之3D記憶體元件，還包括：

通道接觸點，位在所述通道局部接觸點的上端上方並且與所述通道局部接觸點的上端相接觸；

縫隙接觸點，位在所述縫隙結構的上端上方並且與所述縫隙結構的上端相接觸；以及

週邊接觸點，位在所述週邊局部接觸點的上端上方並且與所述週邊局部接觸點的上端相接觸；

其中所述通道接觸點的上端、所述縫隙接觸點的上端以及所述週邊接觸點

的上端是彼此齊平的。

【請求項12】 根據申請專利範圍第11項所述之3D記憶體元件，其中所述通道接觸點、所述縫隙接觸點以及所述週邊接觸點具有相同的深度並且包括相同的導電材料。

【請求項13】 根據申請專利範圍第10項所述之3D記憶體元件，其中所述縫隙結構包括：

源極接觸點，包括第一源極接觸點部分和第二源極接觸點部分，所述第二源極接觸點部分位於所述第一源極接觸點部分的上方並且具有與所述第一源極接觸點部分不同的材料；以及

間隙壁，橫向地位於所述縫隙結構的所述源極接觸點與所述儲存堆疊層的所述導電層之間。

【請求項14】 根據申請專利範圍第13項所述之3D記憶體元件，其中所述第二源極接觸點部分、所述通道局部接觸點以及所述週邊階梯局部接觸點包括相同的導電材料。

【請求項15】 根據申請專利範圍第14項所述之3D記憶體元件，其中：

所述第一源極接觸點部分包括多晶矽；以及

所述第二源極接觸點部分、所述通道局部接觸點以及所述週邊局部接觸點包括相同的金屬。

【請求項16】 根據申請專利範圍第10項所述之3D記憶體元件，還包括階梯局部接觸點，位於所述儲存堆疊層的邊緣上的階梯結構處的所述導電層中的一個導電層上方並且與該導電層相接觸，且垂直地延伸穿過所述局部介電層，其中所述階梯局部接觸點的上端是與所述通道局部接觸點的上端、所述縫隙結構的上端以及所述週邊局部接觸點的上端在所述局部介電層的表面齊平的。

【請求項17】 根據申請專利範圍第16項所述之3D記憶體元件，還包括包括交錯

的第一介電層和第二介電層的阻隔結構，其中所述週邊局部接觸點垂直地延伸穿過所述阻隔結構。

【請求項18】 根據申請專利範圍第10項所述之3D記憶體元件，其中所述週邊局部接觸點是垂直互連通道（via）接觸點。

【請求項19】 一種用於形成三維（3D）記憶體元件的方法，包括：

在基底上方形成垂直地延伸穿過具有交錯的犧牲層和介電層的介電堆疊層的通道結構；

在所述介電堆疊層上形成局部介電層；

形成垂直地延伸穿過所述局部介電層和所述介電堆疊層的縫隙開口；

經由穿過所述縫隙開口來利用所述導電層替換所述犧牲層，以形成包括交錯的導電層和所述介電層的儲存堆疊層；

在所述縫隙開口中形成第一源極接觸點部分；

同時地形成（i）穿過所述局部介電層以暴露出所述通道結構的通道局部接觸點開口、以及（ii）穿過所述局部介電層以暴露出在所述儲存堆疊層的邊緣上的階梯結構處的所述導電層中的一個導電層的階梯局部接觸點開口；以及

同時地形成（i）在所述通道局部接觸點開口中的通道局部接觸點、（ii）在所述縫隙開口中的所述第一源極接觸點部分上方的第二源極接觸點部分、以及（iii）在所述階梯局部接觸點開口中的階梯局部接觸點。

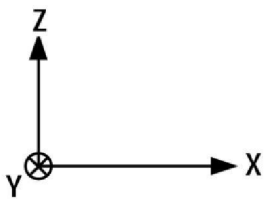
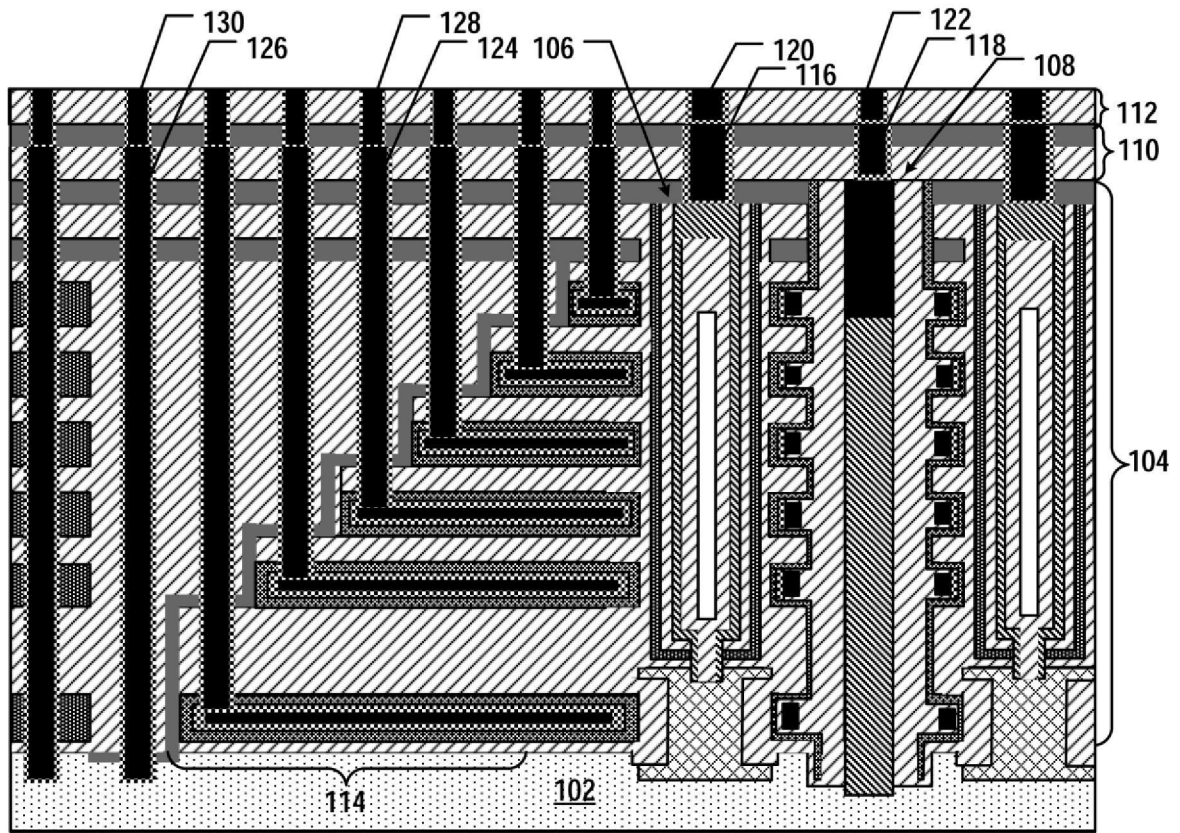
【請求項20】 根據申請專利範圍第19項所述之用於形成3D記憶體元件的方法，其中同時地形成所述通道局部接觸點開口以及所述階梯局部接觸點開口的步驟進一步包括：同時地形成（i）所述通道局部接觸點開口、（ii）所述階梯局部接觸點開口、以及（iii）在所述儲存堆疊層的外部垂直地延伸到所述基底的週邊局部接觸點開口；以及

同時地形成所述通道局部接觸點、所述第二源極接觸點部分和所述階梯局

部接觸點進一步包括：同時地形成 (i) 所述通道局部接觸點、(ii) 所述第二源極接觸點部分、(iii) 所述階梯局部接觸點、以及 (iv) 在所述週邊局部接觸點開口中的週邊局部接觸點。

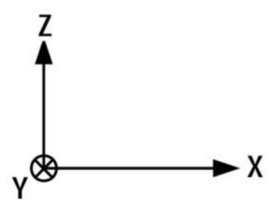
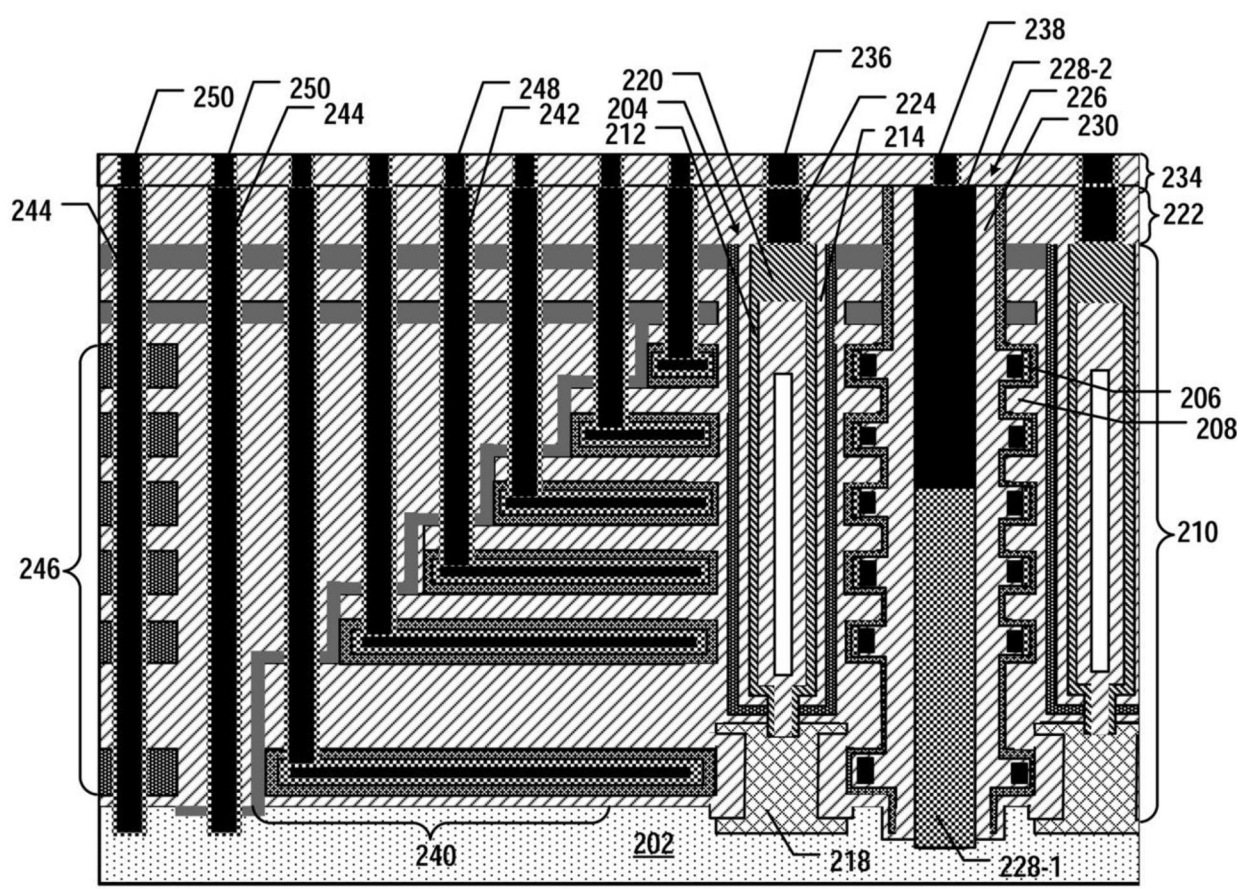
【發明圖式】

100

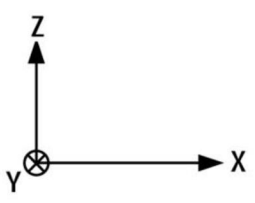
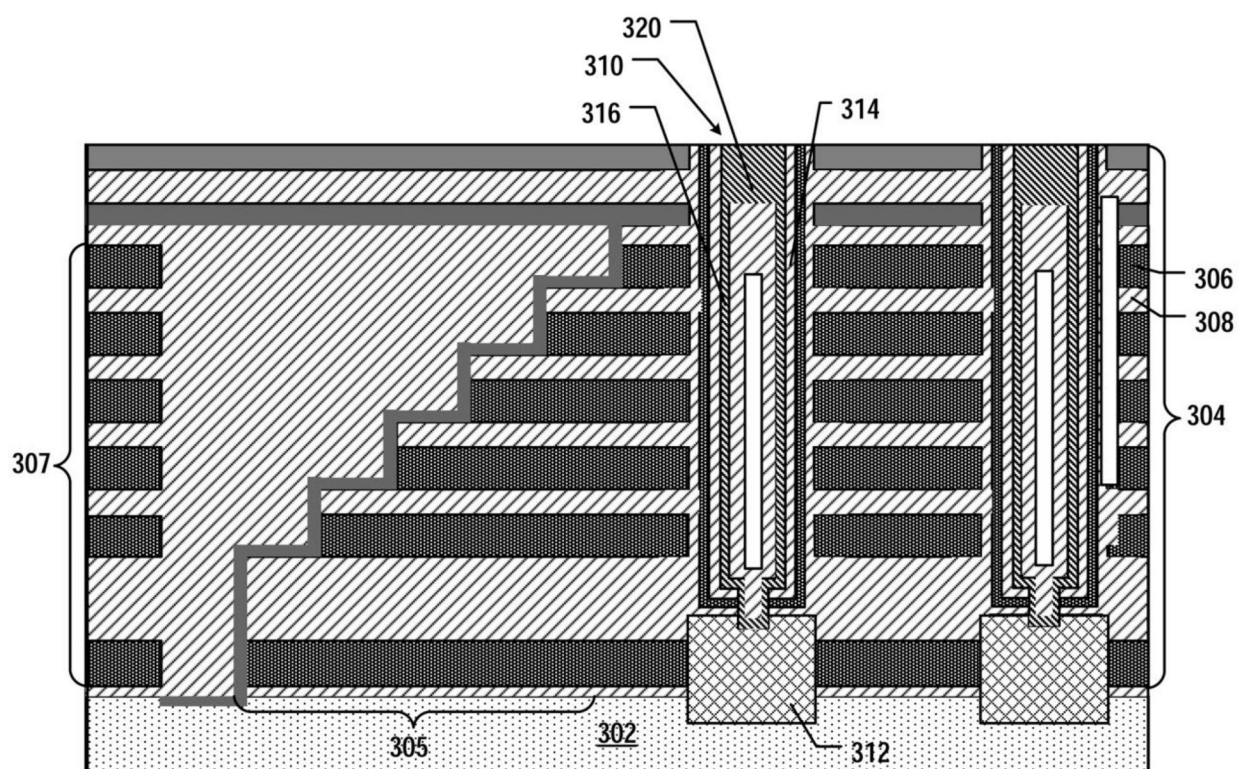


第1圖

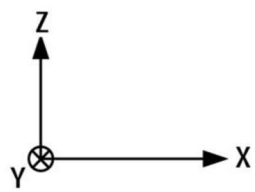
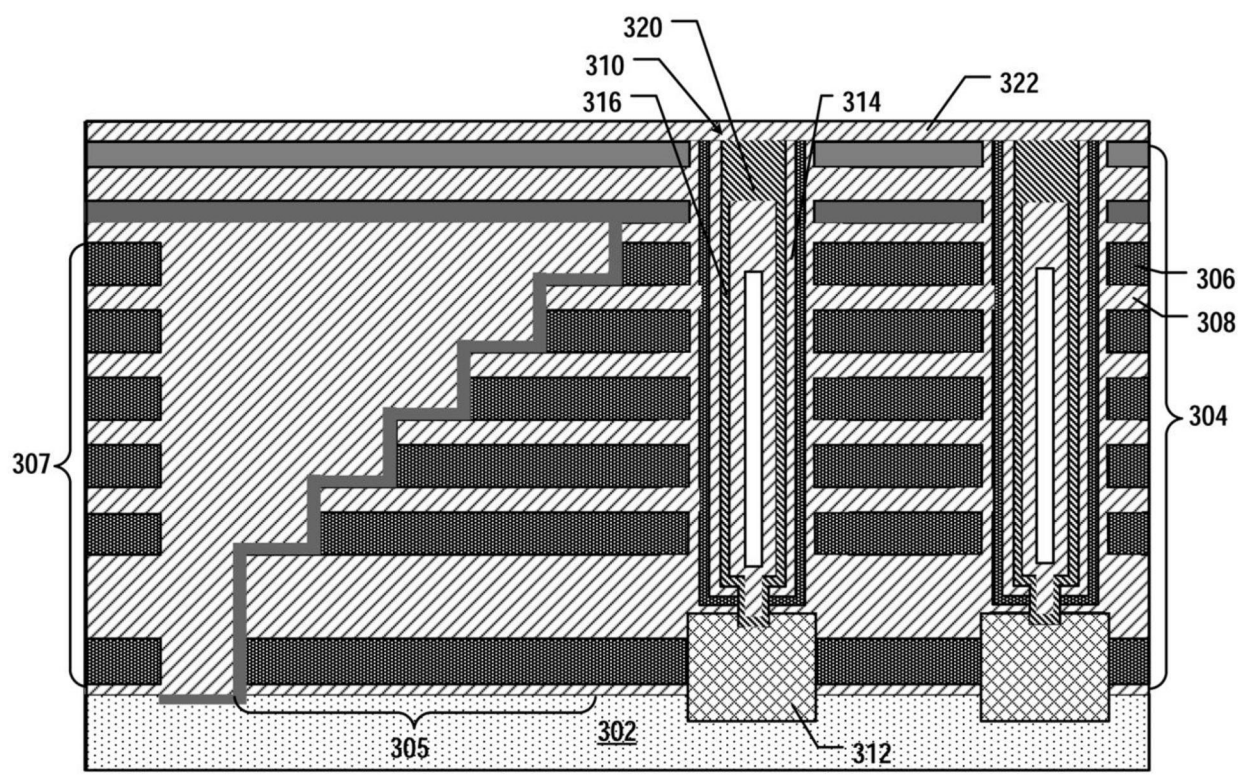
200



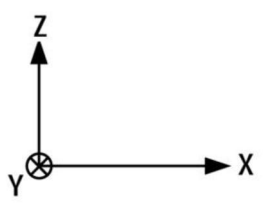
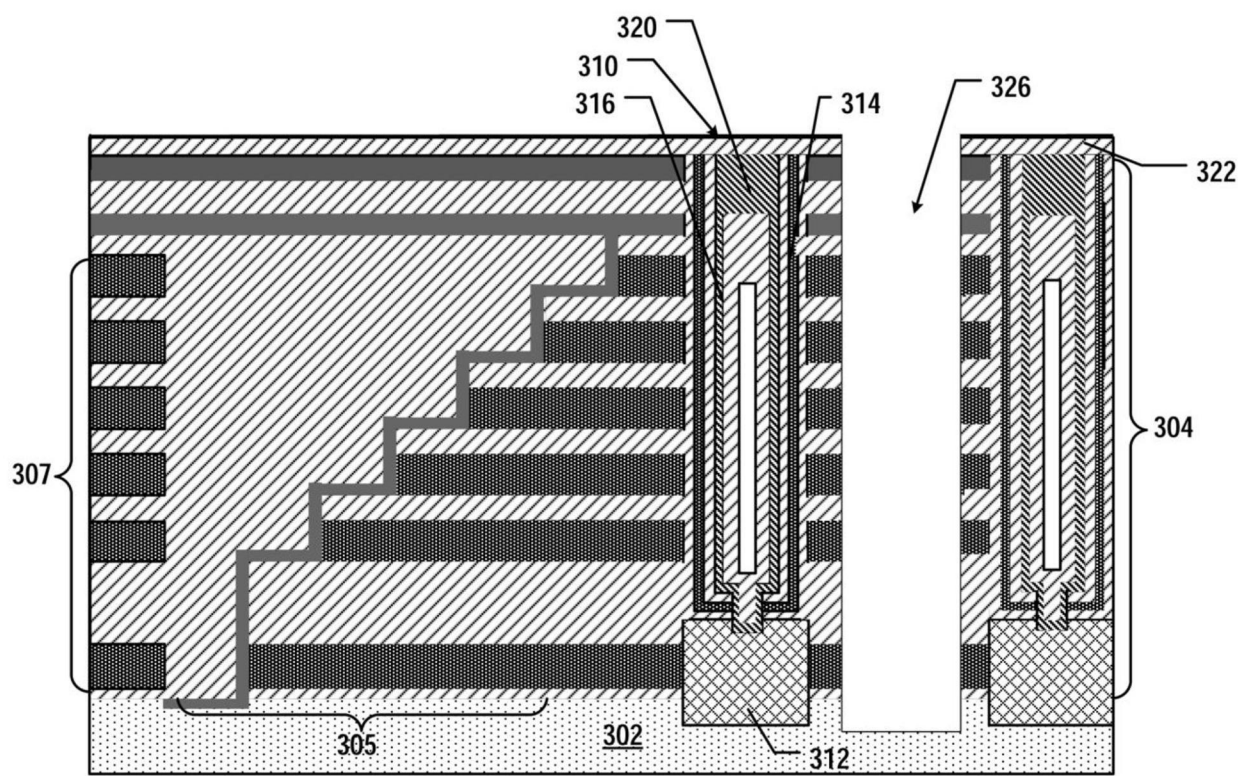
第2圖



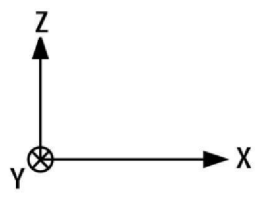
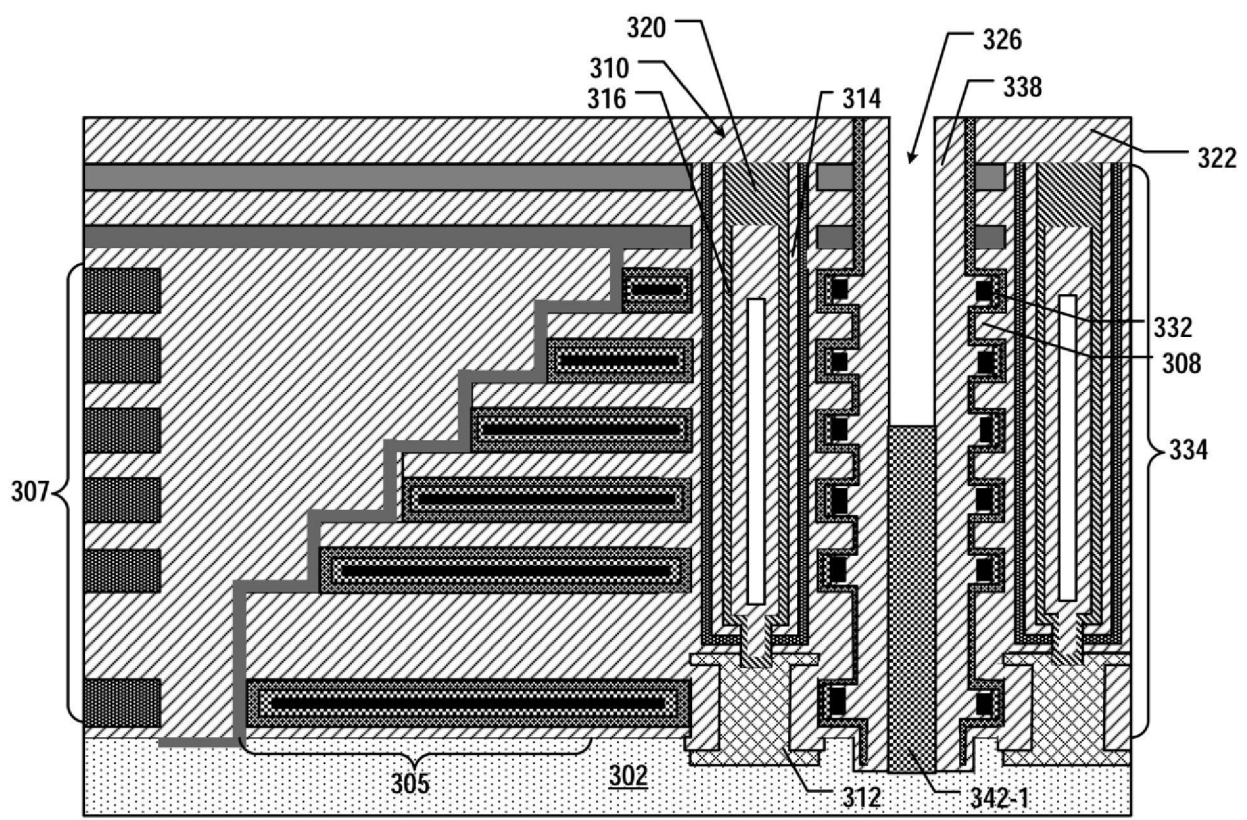
第3A圖



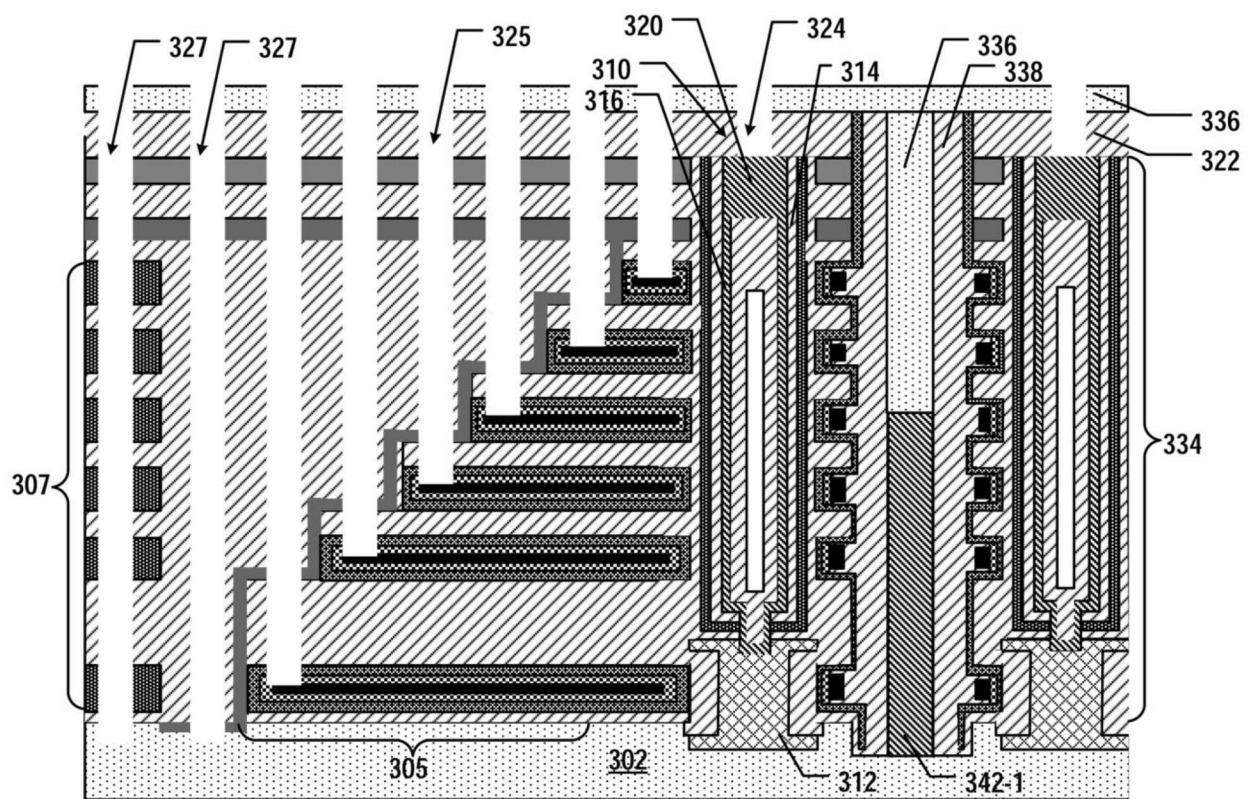
第3B圖



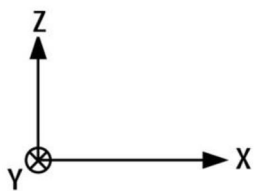
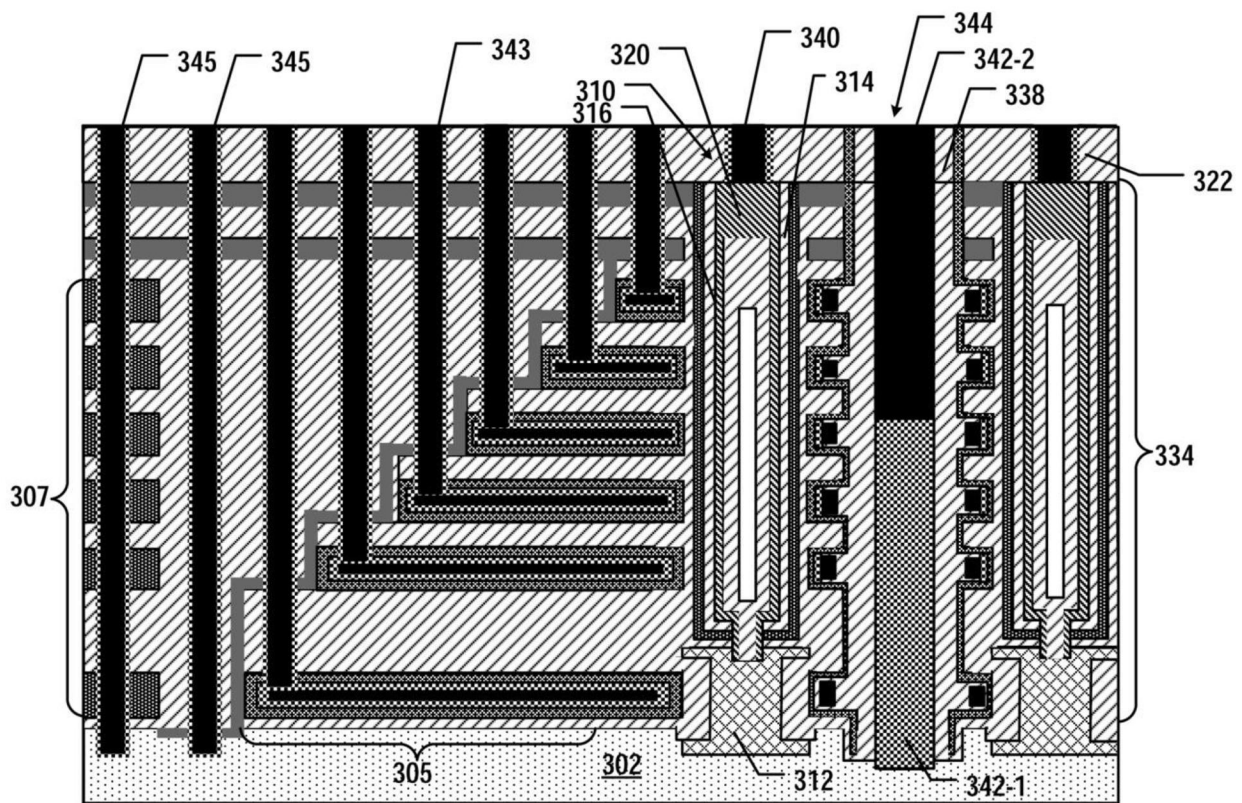
第3C圖



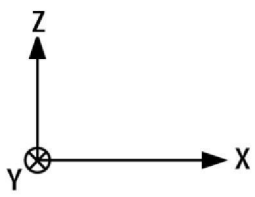
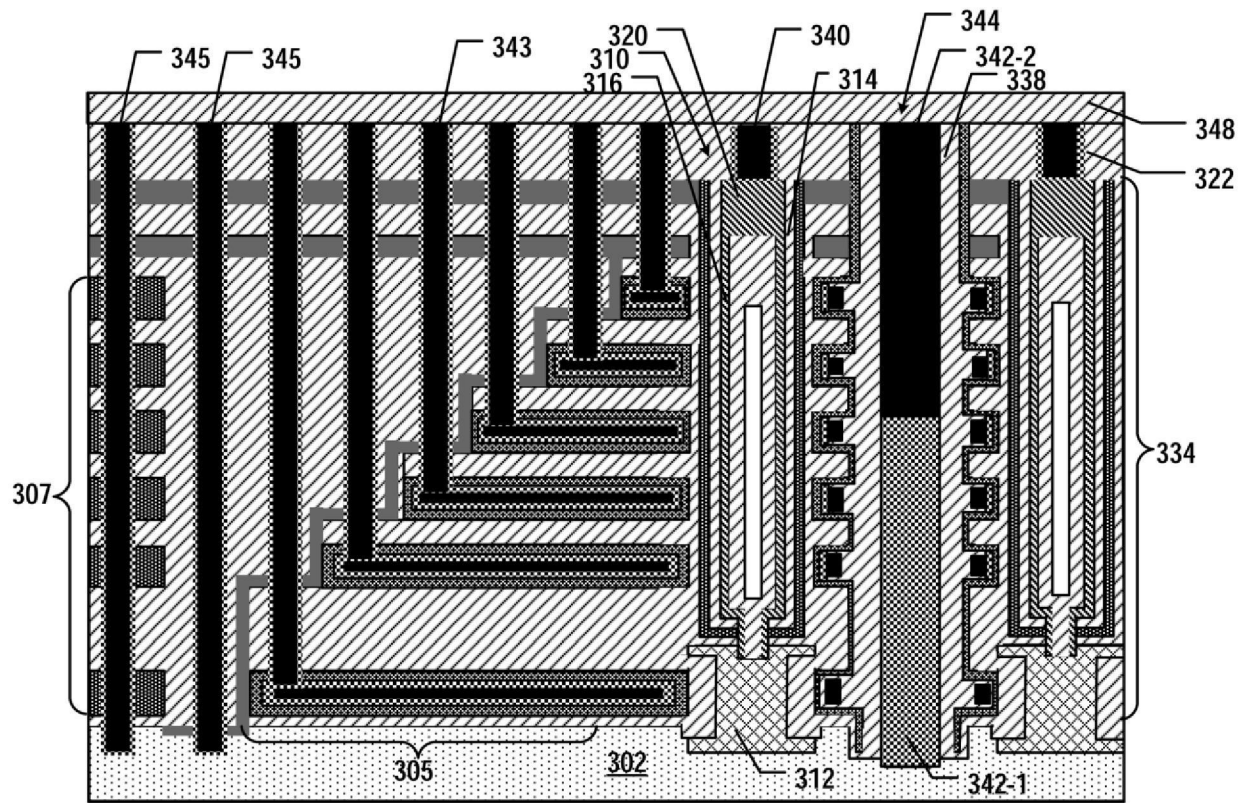
第3D圖



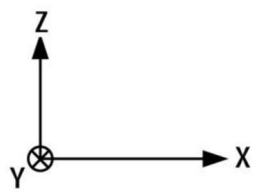
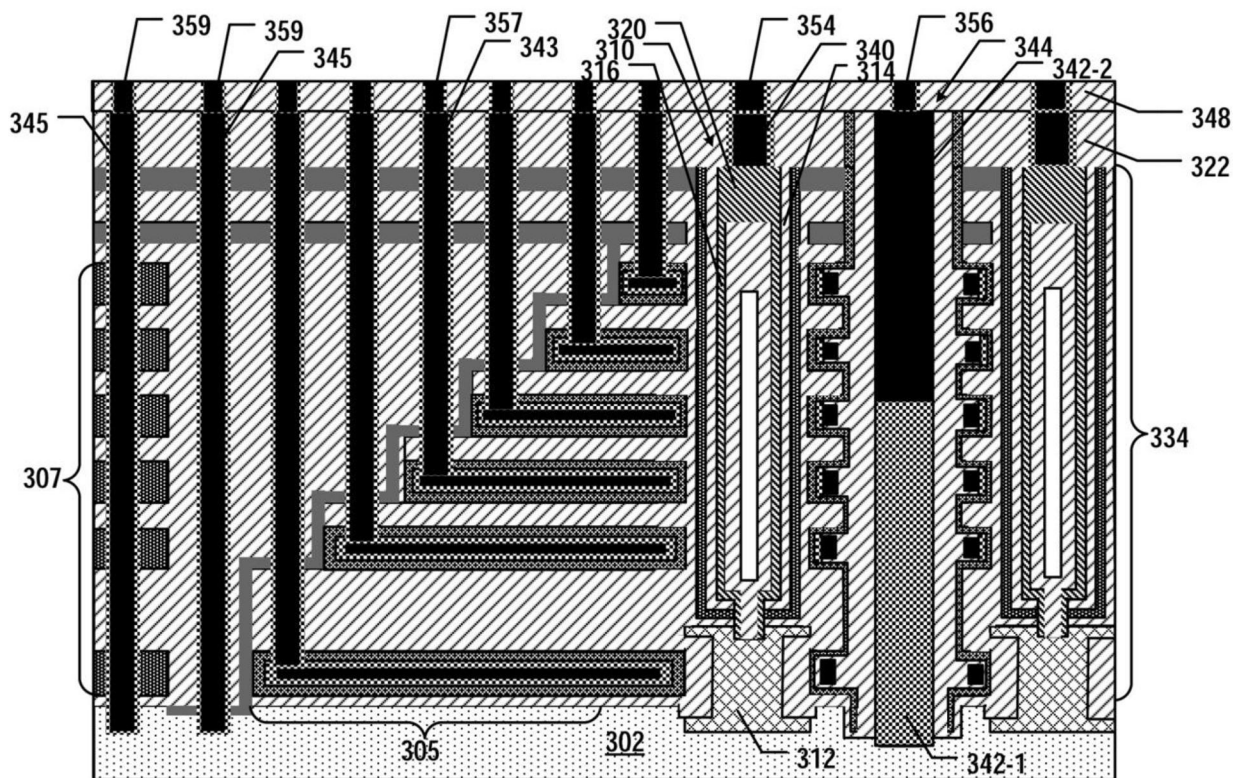
第3E圖



第3F圖



第3G圖



第3H圖

