

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 23/48 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월15일 10-0561638 2006년03월09일
---------------------------------------	-------------------------------------	--

(21) 출원번호	10-2000-0002917	(65) 공개번호	10-2001-0075962
(22) 출원일자	2000년01월21일	(43) 공개일자	2001년08월11일

(73) 특허권자 한국전자통신연구원
 대전 유성구 가정동 161번지

(72) 발명자 이영민
 대전광역시유성구전민동엑스포아파트103-1003

이상복
대전광역시유성구어은동99한빛아파트127-1408

주철원
대전광역시유성구어은동한빛아파트131-1502

박성수
대전광역시유성구전민동엑스포아파트306-1203

(74) 대리인 특허법인 신성

(56) 선행기술조사문헌 JP08340002 A	KR1020010002755 A
KR1020010029097 A	KR1020030013125 A
* 심사관에 의하여 인용된 문헌	

심사관 : 유환철

(54) 재배열 금속배선기술을 적용한 패키징 제조방법

요약

본 발명은 반도체 제조기술에 관한 것으로, 특히 재배열(redistribution) 금속배선기술을 적용한 패키징 제조방법에 관한 것이며, 공정단계 감소에 따라 보다 개선된 재배열 금속배선 기술을 적용한 반도체 소자의 패키징 제조방법을 제공하는데 그 목적이 있다. 상기 목적을 달성하기 위한 본 발명의 재배열금속배선 기술을 적용한 패키징 제조방법은, 소자제조공정 및 본딩패드 형성이 완료된 기판을 준비하는 단계; 상기 기판 상에 상기 본딩패드를 노출시키는 제1절연막을 형성하는 단계; 상기 제1절연막이 형성된 표면을 따라 재배열금속배선시드층을 형성하는 단계; 상기 재배열금속배선시드층 상부에 재배열금속배선 형성 영역을 정의하기 위한 제1감광막패턴을 형성하는 단계; 노출된 상기 재배열금속배선시드층 상부에 전기화학증착법으로 재배열금속배선을 형성하는 단계; 상기 제1감광막패턴을 제거하는 단계; 상기 재배열금속배선 상에 솔더볼패드 형성 영역을 정의하기 위한 제2감광막패턴을 형성하는 단계; 노출된 상기 재배열금속배선 상부에 솔더볼패드를

형성하는 단계; 상기 제2감광막패턴 및 노출된 상기 재배열금속배선시드층을 제거하는 단계; 상기 솔더볼패드가 형성된 전체 구조 상부에 제2절연막을 형성하는 단계; 상기 솔더볼패드 상부가 노출되도록 상기 제2절연막을 화학적기계적연마하는 단계; 및 노출된 상기 솔더볼패드 상부에 솔더볼을 형성하는 단계를 포함한다.

대표도

도 2f

색인어

본딩패드, 제1절연막, 재배열금속배선시드층, 전기화학증착법, 솔더볼패드

명세서

도면의 간단한 설명

도 1a 내지 도 1f는 종래기술에 따른 재배열 배선기술을 적용한 반도체 소자의 패키징 공정을 도시한 도면.

도 2a 내지 도 2f는 본 발명의 일실시예에 따른 재배열 금속배선 기술을 적용한 반도체 소자의 패키징 공정을 도시한 도면.

도면의 주요 부분에 대한 부호의 간단한 설명

20 : 반도체 기판 21 : 본딩패드

22 : 보호막 23 : 제1절연막

24 : 재배열금속배선 25 : 솔더볼패드

26 : 제2절연막 27 : 솔더볼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조기술에 관한 것으로, 특히 재배열(redistribution) 금속배선기술을 적용한 패키징 제조방법에 관한 것이다.

최근 들어 마이크로프로세서(microprocessor)나 주문형 반도체(ASIC) 등 비메모리 제품을 중심으로 경박단소화에 대한 요구가 급진전되면서 다핀화에 유리하도록 외부단자(볼 형태의 납)를 패키지 밑면에 배열하는 BGA(Ball Grid Array)가 주력 반도체 패키지 형태로 자리잡아가고 있다.

BGA는 PGA(Pin Grid Array)와 플립칩(Flip Chip) 개념을 상호 수용한 것으로 반도체 패키지가 차지하는 공간을 줄일 수 있으며 전기적, 열적 수행능력도 향상됨은 물론 300핀 이상의 다핀으로 갈수록 비용면에서도 유리한 장점이 있다.

실제로 최근 출시되고 있는 각종 CPU(Central Process Unit)들은 미니카트리지, BGA, 마이크로BGA 등과 같은 여러 종류의 첨단 패키징 방식을 지원함으로써 시스템 설계 방식에 따른 유연성을 제공하여 반도체 업체들이 시스템 설계 시 다양한 디자인을 적용할 수 있도록 하고 있다.

이에 따라 반도체 칩과 패키지의 크기가 거의 차이가 없을 정도로 얇고 작은 각종 CSP(Chip Scale Package) 기술이 등장하기 시작했으며, 이 기술은 반도체의 소형, 고속, 고집적화 추세에 힘입어 예상보다 훨씬 빠르게 확산되고 있다. 이러한 각종 CSP 패키지들 가운데 현재 가장 주목 받고 있는 것이 마이크로 BGA 패키지이다.

마이크로 BGA 패키지는 기존의 리드프레임 대신 박막필름 위에 칩을 얹은 후 실리콘 소재로 이를 덮어씌우고 그 밑에 미세구경의 원형다리(Ball)를 접착시키는 매우 간단한 형태이다. 이러한 장점으로 인하여 마이크로 BGA 패키지는 차세대 고속 메모리인 다이렉트램버스 DRAM의 주력 패키지로 이미 채택된 상태이다. 따라서, 그동안 이동전화나 디지털카메라 등 휴대형 정보통신기기에 한정돼 있던 CSP 패키지의 사용 분야는 PC나 워크스테이션 등의 컴퓨터 영역으로까지 대폭 확대될 조짐을 보이고 있다.

또한 CSP 패키지 일종으로 기존 플라스틱 패키지의 주재료인 리드프레임과 몰딩 콤파운드를 그대로 사용하는 BLP (Bottom Ledged Package)도 뛰어난 열방출능력을 지녀 특정 부위에서 집중적으로 열이 발생하는 갈륨비소(CaAs) 등 화합물 반도체를 중심으로 확대 적용되고 있는 추세다.

이와 함께 칩을 절단하지 않은 웨이퍼 상태에서 모든 조립과정을 마치는 웨이퍼 레벨 패키징(Wafer Level Packaging) 역시 차세대 CSP 기술로 각광받고 있다.

현재까지의 반도체 조립공정은 웨이퍼를 각각의 칩으로 절단한 후 이뤄진데 반해 웨이퍼 레벨 패키지 기술은 말 그대로 웨이퍼 상태에서 반도체 공정을 이용하여 패키징을 완료하고, 개개의 칩으로 절단해 곧바로 완제품으로 사용할 수 있는 기술이다.

따라서, 웨이퍼 레벨 패키징 기술을 적용할 경우 마이크로BGA나 BLP 등 현재 선보이고 있는 CSP 기술보다 전체적인 패키지 비용을 더욱 낮출 수 있을 것으로 예상돼 세계 주요 소자 및 패키지 전문업체들이 관련기술 개발에 경쟁적으로 나서고 있다.

또한, 최근에는 반도체 실장시 베어(Bare)칩을 기판에 직접 접착하는 플립칩 실장 기술도 고속, 고밀도, 다핀화 추세를 지원할 수 있는 새로운 패키지 방식으로 주목받고 있다.

플립칩 기술은 리드프레임이 없어 칩 사이즈가 곧 패키지 사이즈가 돼 세트의 소형, 경량화에 유리하며 칩 밑면에 입출력 단자가 있어 전송속도도 선이 있는 패키지보다 20 ~ 30배 빠르다.

일명 "선없는 반도체"로도 불리는 이 플립칩은 전자부품의 표면실장화 기술이 만들어낸 최상의 패키지 형태로 차세대 기가급 이상 메모리 반도체의 주력 패키지로 채택될 전망이다.

한편, 상기와 같은 플립칩이나 웨이퍼 레벨 패키징 기술에서는 재배열(redistribution) 금속배선기술이 적용되고 있는데, 이를 보다 구체적으로 살펴보기로 한다.

통상적으로 웨이퍼 상의 개개의 칩은 칩 가장자리에 패키징을 위한 알루미늄(Al) 패드(pad), 즉 본딩 패드(bonding pad)가 형성되어 있다. 물론 메모리 칩에서는 중앙에 1줄 또는 2줄로 알루미늄 패드가 형성되어 있다. 그러나, 반도체의 고집적으로 인하여 기판의 배선밀도가 높아지고, 또한 알루미늄 패드의 간격(pitch)이 일정하지 않으며, 200 ~ 300 μ m 이하의 미세 간격(fine pitch)인 경우가 대부분이어서 알루미늄 패드 위에 솔더범프(solder bump)를 만들어 직접 플립칩(flip chip)으로 접합하기에는 어려운 문제점이 있다.

따라서, 이러한 문제점을 개선하고자 기존의 가장자리 패드(peripheral pad)를 면배열 패드(area array pad)로 만들기 위하여, 재배열(redistribution or rerouting)공정을 추가로 하게 된다. 이러한 기술을 재배열 금속배선기술이라고 하는데, 종래기술에 따른 제조공정은 다음과 같은 공정을 사용하여 제작된다.

도 1a 내지 도 1f는 종래기술에 따른 재배열 금속배선기술을 적용한 반도체 소자의 패키징 공정을 도시한 도면으로써, 이하 이를 참조하여 구체적으로 살펴보기로 한다.

먼저, 도 1a에 도시된 바와 같이 소자제조공정 및 본딩패드(11) 형성을 완료한 반도체 기판(10)을 준비한다. 이때, 미설명도면부호 "12"는 공정이 완료된 소자를 보호하기 위한 보호막을 나타낸 것이다.

다음으로, 도 1b에 도시된 바와 같이 전체 구조 상부에 폴리머 계열의 제1절연막(13)을 형성한다. 이어서, 제1절연막(13) 상부에 감광막 패터닝(도시되지 않음)을 형성하고, 이를 식각 마스크로 한 제1절연막(13) 선택식각을 통해 본딩 패드(11)를 노출시키는 콘택홀을 형성한 후 큐어링(curing)을 실시한다.

다음으로, 도 1c에 도시된 바와 같이 전체 구조 표면을 따라 Ti/Cu 또는 Cr/Cu 등의 금속을 사용하여 스퍼터링(sputtering)법으로 재배열금속배선 시드층을 형성한다. 이때, 재배열금속배선 시드층은 폴리머(polymer) 계열인 제1절연막(13)과의 접착력을 증대시키는 접착층(glue layer)의 역할을 수행함과 동시에 후속 공정인 전기화학증착법(Electro Chemical Deposition, ECD)을 적용하기 위한 시드층(seed layer)의 역할을 수행하게 된다. 이어서, 재배열금속배선 형성을 위한 감광막 패턴을 형성한 후 노출된 재배열금속배선 시드층 상부에 ECD법을 사용하여 구리(Cu)를 증착한다. 계속하여, 감광막 패턴을 제거한 후 노출된 재배열금속배선 시드층을 습식식각법으로 제거하여 재배열금속배선 패턴(14)을 형성한다.

다음으로, 도 1d에 도시된 바와 같이 전체 구조 상부에 재배열금속배선(14)을 보호하고, 후속 공정인 솔더볼 패드(solder ball pad) 형성을 위한 폴리머 계열의 제2절연막(15)을 형성한 후 이를 선택식각하여 솔더볼 패드가 형성될 부분의 재배열금속배선(14)을 노출시키는 콘택홀을 형성한다. 이어서, 큐어링을 실시한다.

다음으로, 도 1e에 도시된 바와 같이 전체 구조 상부에 Ti/Cu 또는 Cr/Cu 등의 금속을 사용하여 스퍼터링법으로 솔더볼 패드 시드층을 형성한다.

이어서, 솔더볼 패드 형성을 위한 감광막 패턴을 형성한 후 노출된 솔더볼 패드 시드층 상부에 ECD법을 사용하여 구리(Cu)를 증착한다. 계속하여, 감광막 패턴을 제거한 후 노출된 솔더볼 패드 시드층을 습식식각법으로 제거하여 솔더볼 패드(16)를 형성한다.

마지막으로, 도 1f에 도시된 바와 같이 솔더볼 패드(16)를 덮는 솔더볼(17)을 형성한다.

그러나, 상기와 같이 이루어지는 종래기술에 따른 재배열 금속배선 기술을 적용한 반도체 소자의 패키징 공정은 많은 수의 공정단계, 즉 재배열금속배선 패턴(14) 및 솔더볼 패드(16) 형성을 위하여 각각 동일하게 시드층, 감광막 패턴, 감광막 패턴 제거, 시드층 선택식각 등의 공정단계가 요구되고 있다.

결국, 이와 같은 많은 수의 공정단계는 반도체 소자 제조에 있어서, 제조단가 상승에 따른 경쟁력의 저하로 직결되는 문제점이 발생하고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 공정단계 감소에 따라 보다 개선된 재배열 금속배선 기술을 적용한 반도체 소자의 패키징 제조방법을 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 반도체 소자의 재배열금속배선 기술을 적용한 패키징 제조방법은, 소자제조공정 및 본딩패드 형성이 완료된 기판을 준비하는 단계; 상기 기판 상에 상기 본딩패드를 노출시키는 제1절연막을 형성하는 단계; 상기 제1절연막이 형성된 표면을 따라 재배열금속배선시드층을 형성하는 단계; 상기 재배열금속배선시드층 상부에 재배열금속배선 형성 영역을 정의하기 위한 제1감광막패턴을 형성하는 단계; 노출된 상기 재배열금속배선시드층 상부에 전기화학증착법으로 재배열금속배선을 형성하는 단계; 상기 제1감광막패턴을 제거하는 단계; 상기 재배열금속배선 상에 솔더볼패드 형성 영역을 정의하기 위한 제2감광막패턴을 형성하는 단계; 노출된 상기 재배열금속배선 상부에 솔더볼패드를 형성하는 단계; 상기 제2감광막패턴 및 노출된 상기 재배열금속배선시드층을 제거하는 단계; 상기 솔더볼패드가 형성된 전체 구조 상부에 제2절연막을 형성하는 단계; 상기 솔더볼패드 상부가 노출되도록 상기 제2절연막을 화학적기계적연마하는 단계; 및 노출된 상기 솔더볼패드 상부에 솔더볼을 형성하는 단계를 포함한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도 2a 내지 도 2f는 본 발명의 일실시예에 따른 재배열 금속배선 기술을 적용한 반도체 소자의 패키징 공정을 도시한 도면이다.

본 발명은 먼저, 도 2a에 도시된 바와 같이 소자제조공정 및 본딩패드(21) 형성을 완료한 반도체 기판(20)을 준비한다. 이때, 미설명 도면부호 "22"는 공정이 완료된 소자를 보호하기 위한 보호막을 나타낸 것이다.

다음으로, 도 2b에 도시된 바와 같이 전체 구조 상부에 제1절연막(23)을 형성한다. 이때, 제1절연막(23)은 폴리머(polymer) 계열의 절연막, 산화막, 질화막 등을 사용하여 형성한다. 이어서, 제1절연막(23) 상부에 감광막 패턴(도시되지 않음)을 형성하고, 이를 식각 마스크로 한 제1절연막(23) 선택식각을 통해 본딩 패드(21)를 노출시키는 콘택홀을 형성한 후 큐어링(curing)을 실시한다.

다음으로, 도 2c에 도시된 바와 같이 전체 구조 표면을 따라 Ti/Cu 또는 Cr/Cu 등의 금속을 사용하여 스퍼터링(sputtering)법으로 재배열금속배선 시드층(도시하지 않음)을 형성한다. 이때, 재배열금속배선 시드층은 폴리머(polymer) 계열인 제1절연막(23)과의 접착력을 증대시키는 접착층(glue layer)의 역할을 수행함과 동시에 후속 공정인 ECD법을 적용하기 위한 시드층(seed layer)의 역할을 수행하게 된다. 이어서, 재배열금속배선 형성을 위한 감광막 패턴(도시되지 않음)을 형성한 후 노출된 재배열금속배선 시드층 상부에 ECD법을 사용하여 구리(Cu)를 증착하여 재배열금속배선(24)을 형성한다. 계속하여, 감광막 패턴을 제거한다.

다음으로, 도 2d에 도시된 바와 같이 재배열금속배선(24) 상부 영역 중 후속 공정인 솔더볼 패드(solder ball pad)가 형성될 이외의 영역을 덮는 감광막 패턴(도시되지 않음)을 형성한 후 노출된 재배열금속배선(24) 상부에 솔더볼 패드(25)를 형성한다, 이때, 솔더볼 패드(25) 형성은 ECD법을 사용하여 구리(Cu)로 형성한다. 계속하여, 솔더볼 패드(25) 형성을 위한 감광막 패턴을 제거한 후 노출된 재배열금속배선 시드층을 습식식각법으로 제거한 후 전체 구조 상부에 제2절연막(26)을 형성한다. 이어서, 큐어링을 실시한다. 이때, 제2절연막(26)은 제1절연막(23)과 동일한 물질을 사용하여 형성할 수도 있고, 잔류응력을 완화시킬 수 있는 1GPa 이하의 저 탄성계수를 갖는 폴리머 재료를 사용할 수도 있다.

다음으로, 도 2e에 도시된 바와 같이 솔더볼 패드(25)가 노출되도록 화학적 기계적 연마(Chemical Mechanical Polishing, CMP) 공정을 실시한다.

마지막으로, 도 2f에 도시된 바와 같이 솔더볼 패드(25)를 덮는 솔더볼(27)을 형성한다. 이때, 솔더볼(27)의 형성은 통상적인 솔더볼 접착(attach)방법 대신에 페이스트(paste) 형태의 솔더페이스트를 사용하여 스크린 프린팅(screen printing)법으로 형성하거나, 전해 또는 비전해 도금으로 형성할 수도 있다.

이렇듯 본 발명은 ECD법을 사용하여 재배열금속배선을 형성한 후 재배열금속배선 형성을 위한 시드층을 식각하지 않고, 재배열금속배선 상부 영역 중 솔더볼 패드가 형성될 이외의 영역을 덮는 감광막 패턴을 형성한 후 노출된 재배열금속배선 상부에 솔더볼 패드를 형성하고, 감광막 패턴 제거 및 노출된 시드층을 제거함으로써, 상기 언급한 종래기술에 비해 시드층 형성을 위한 스퍼터링 공정 및 시드층 제거 공정을 1회만 실시할 수 있게 되고, 재배열금속배선을 보호하기 위한 제2절연막 선택식각을 위한 다수의 공정을 필요로 하지 않게 된다.

이렇듯, 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

본 발명은 공정단계의 감소로 인하여 제조비용을 감소시킬 수 있으며, 이에 따라 반도체 소자의 생산성을 향상시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

소자제조공정 및 본딩패드 형성이 완료된 기판을 준비하는 단계;

상기 기판 상에 상기 본딩패드를 노출시키는 제1절연막을 형성하는 단계;

상기 제1절연막이 형성된 표면을 따라 재배열금속배선시드층을 형성하는 단계;

상기 재배열금속배선시드층 상부에 재배열금속배선 형성 영역을 정의하기 위한 제1감광막패턴을 형성하는 단계;
노출된 상기 재배열금속배선시드층 상부에 전기화학증착법으로 재배열금속배선을 형성하는 단계;
상기 제1감광막패턴을 제거하는 단계;
상기 재배열금속배선 상에 솔더볼패드 형성 영역을 정의하기 위한 제2감광막패턴을 형성하는 단계;
노출된 상기 재배열금속배선 상부에 솔더볼패드를 형성하는 단계;
상기 제2감광막패턴 및 노출된 상기 재배열금속배선시드층을 제거하는 단계;
상기 솔더볼패드가 형성된 전체 구조 상부에 제2절연막을 형성하는 단계;
상기 솔더볼패드 상부가 노출되도록 상기 제2절연막을 화학적기계적연마하는 단계; 및
노출된 상기 솔더볼패드 상부에 솔더볼을 형성하는 단계
를 포함하는 반도체 소자의 재배열금속배선 기술을 적용한 패키징 제조방법.

청구항 2.

제1항에 있어서,

상기 재배열금속배선시드층은 Ti/Cu 또는 Cr/Cu를 사용하여 스퍼터링법으로 형성하는 것을 특징으로 하는 반도체 소자의 재배열금속배선 기술을 적용한 패키징 제조방법.

청구항 3.

제1항에 있어서,

상기 제2절연막은 폴리머 계열의 절연막, 산화막, 질화막 중 어느 하나인 것을 특징으로 하는 반도체 소자의 재배열금속배선 기술을 적용한 패키징 제조방법.

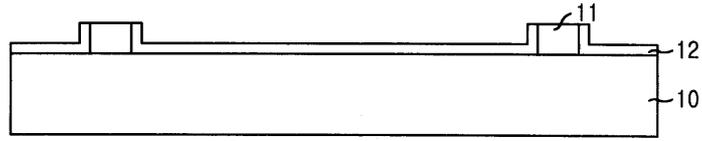
청구항 4.

제1항에 있어서,

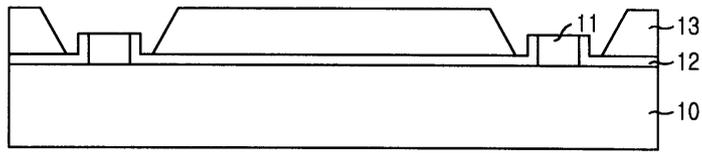
상기 제2절연막은 폴리머 계열의 절연막, 산화막, 질화막, 잔류응력을 감소시킬 수 있는 1GPa 이하의 저탄성계수를 갖는 폴리머 재료 중 어느 하나임을 특징으로 하는 반도체 소자의 재배열금속배선 기술을 적용한 패키징 제조방법.

도면

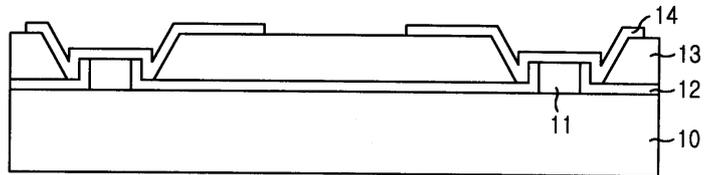
도면1a



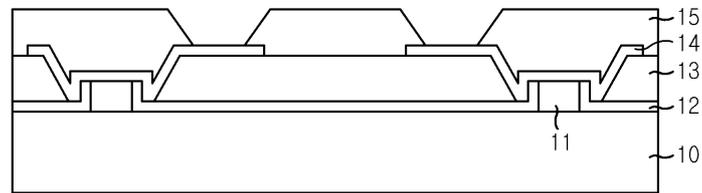
도면1b



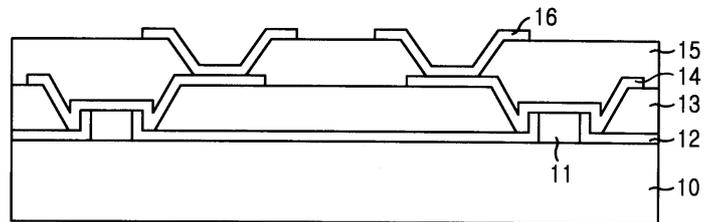
도면1c



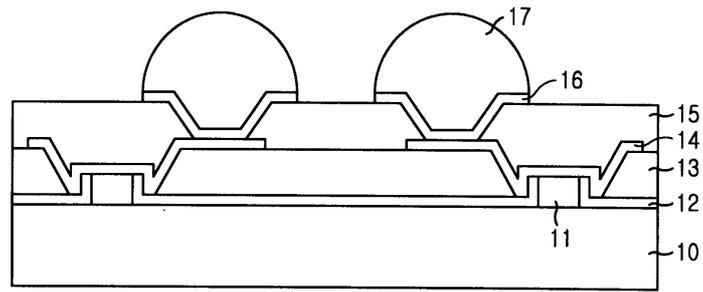
도면1d



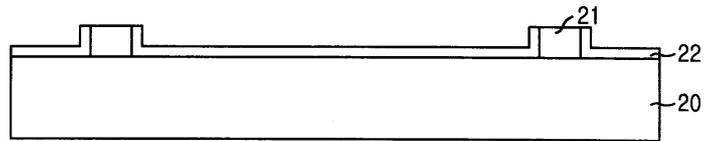
도면1e



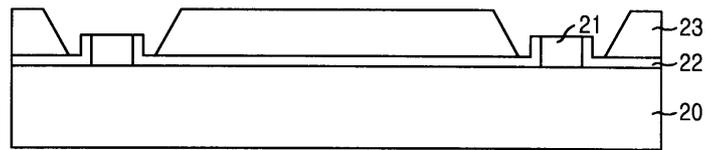
도면1f



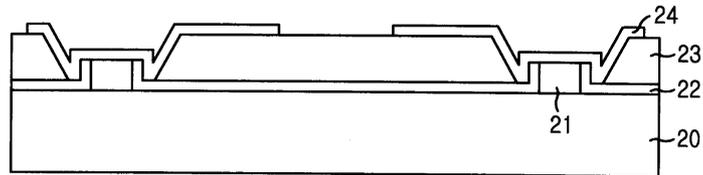
도면2a



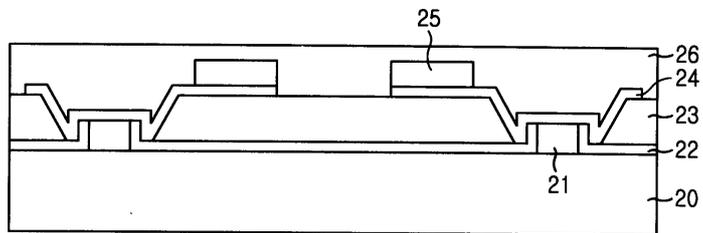
도면2b



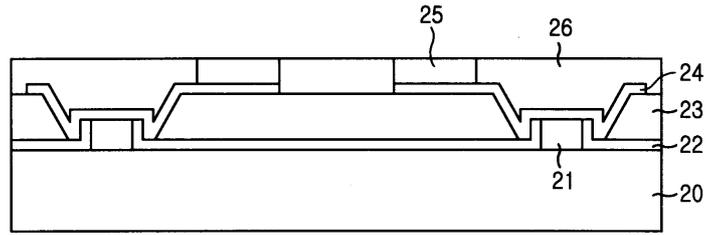
도면2c



도면2d



도면2e



도면2f

