

發明專利說明書

200529358

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94101987

※申請日期：94年1月24日

※IPC分類：

H01L21/76

一、發明名稱：(中文/英文)

降低半導體裝置之有效介電常數之裝置及方法

DEVICE AND METHODOLOGY FOR REDUCING EFFECTIVE
DIELECTRIC CONSTANT IN SEMICONDUCTOR DEVICE**二、申請人：**(共1人)

姓名或名稱：(中文/英文)(簽章)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)(簽章)

傑羅 羅森梭

Gerald Rosenthal

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文)

美國

US

三、發明人：(共16人)

姓名(中文/英文)，國籍(中文/英文)

丹尼爾 C. 艾戴斯坦，EDELSTEIN, DANIEL C.，美國 US

馬修 E 寇本，COLBURN, MATTHEW E.，美國 US

艾德華 C. 柯尼 三世，COONEY, EDWARD C. III，美國 US

堤摩西 J 達頓，DALTON, TIMOTHY J.，美國 US

約翰 A. 費茲賽門斯，FITZSIMMONS, JOHN A.，美國 US

傑弗瑞 P 甘比諾，GAMBINO, JEFFREY P.，美國 US

艾伯特 E 黃，HUANG, ELBERT E.，美國 US

麥可 W 藍恩，LANE, MICHAEL W.，日本 JP

文森 A. 麥蓋黑，MCGAHAY, VINCENT A.，美國 US

李 M 倪秋森，NICHOLSON, LEE M.，英國 GB

撒田納拉亞納 V 尼塔，NITTA, SATYANARAYANA V.，印度 IN

薩姆帕詩 普魯修舍曼，PURUSHOTHAMAN, SAMPATH，美國 US

蘇嘉沙 山卡朗，SANKARAN, SUJATHA，印度 IN

湯瑪士 M. 修，SHAW, THOMAS M.，英國 GB

安德魯 H. 賽門，SIMON, ANDREW H.，美國 US

安東尼 K. 史坦普，STAMPER, ANTHONY K.，美國 US

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國 US、西元 2004 年 1 月 30 日、10/707,996

☐ 無主張專利法 1 第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明一般關於一種半導體裝置及其製造方法，尤其是關於一種半導體裝置及介電材料中次微影特徵之製造方法，供降低此介電材料之有效介電常數。

【先前技術】

為了製造如積體電路 (IC) 之微電子裝置，需要將多種不同的金屬層及絕緣層選擇性地沉積於矽晶圓上。絕緣層可能是如二氧化矽、氮氧化矽、氟化矽玻璃 (FSG) 及其相似者。這些絕緣層，如內層介電層 (ILD)，沉積於金屬層間，以及作為金屬層間之電氣絕緣或具有其他習知功能。這些層以習知技術，如加強式化學氣相沉積 (PECVD)、化學氣相沉積 (CVD) 或其他製程沉積。

藉由蝕刻金屬層間之絕緣層形成介層窗 (vias)，併將之金屬化，使金屬層內連接。這些內連接分別位於介電 (絕緣) 層中。為達成此目的，金屬及絕緣之堆疊層經過微影製程，以提供具有預定 IC 設計之圖案阻抗。舉例來說，此結構之頂層可能覆蓋光活性複合材料之光阻層，以藉由遮罩而圖案化。之後，微影製程使用可見光或紫外線穿過遮罩至光阻層，以將之曝光於遮罩圖案。可能在晶圓基材之頂部使用一抗反光塗層 (ARC)，使至光阻抗層之光反射最小化，提供一致的處理程序。執行的蝕刻可能為非等向性或等向性及濕或乾蝕刻，將視材料之物理及化學特性而定。若不管製造程序，為了使超大積體電路中之裝置組件之集積度最大化，則必須增加組件之密度。

雖然二氧化矽因其熱穩定及機械強度，已被使用為絕緣材料，然而最近幾年發現有一種低介電常數(low-k)材料可達到更好的裝置效能。藉由使用一低介電常數材料，可使結構之電容降低，增加裝置速度。然而，相較於典型之介電材料(如二氧化矽)，使用有機低介電常數材料(如 SiLK，由 Dow Chemical Co., Midland, MI 製造)傾向具有較低機械強度。在某些應用中，發現與在裝置中其他材料組合之下列之材料具有一特定有效介電常數，舉例來說：

- (i)未摻雜的矽玻璃(USG)，具有 K 為 4.1 及 K_{eff} 約 4.3；
- (ii)USG 及 氟化矽玻璃(FSG)(K 為 3.6)之雙層，具有 K_{eff} 約 3.8；
- (iii)有機矽玻璃(OSG)，具有 K 為 2.9 及 K_{eff} 約 3.0，
- 以及(iv)多孔 OSG，具有多孔 OSG 及 OSG 之雙層， K_{eff} 約 2.4。

藉由建立具有 low-k 介電或混合 low-k 介電堆疊之裝置，線路電容耦合之大的內層線至線組件將會減少，因此將 low-k 材料之正向優點最大化，同時增進最終結構之整個堅實及可信度。相較於“全部 low-k”介電材料堆疊，混合的氧化物/low-k 介電堆疊結構較為堅實，且由於有機及半有機 low-k 材料之高 CTE(熱膨脹係數)產生之熱循環應力，已知混合的氧化物/low-k 介電堆疊結構對於介層窗阻值劣化及介層窗分層相對地更為敏感。然而，在低介電常數，介電材料的整體強度明顯降低。

即使具有低介電常數材料，如混合氧化物/低介電堆疊結構，仍可藉由於內連線及介層洞間之介電材料中形成空心(voided)通道，降低多層結構之有效 $K(K_{eff})$ 或介電材料之 K ，以進一步改善裝置之電子特性。這些通道以真空填充，且具有介電常數約為 1。藉由這些通道，可使用較高

介電常數材料，增加結構之整體強度，而不會降低電子特性。

在已知的系統中，可使用次解析度微影製程以建立此類通道。微影製程典型包含一些新的製程及機台設定，將會增加製造半導體裝置之整體經費。在次解析度微影製程中，也需要在空蕩的空間蝕刻寬的溝渠，之後無法以 ILD PECVD 將之縮小。再者，雖然這些通道建立低的線-線電容，但對於寬線，存在高的層-層電容。當然，這會影響裝置的整個電子特性。空氣縫隙(air gap)也可能從高層、在接近介層洞附近發生，這將造成電鍍槽及金屬填入這些區域之風險。最近，在已知的製程中，亦對於提供等向性蝕刻有需求，然其可能蝕刻內連線之底部，使其無支撐或浮動，因此降低裝置之整體結構及電子效能。

本發明意欲解決這些及其他問題。

【發明內容】

本發明一方面為製造一種結構之方法，包含提供具有一絕緣層之結構及形成一次微影模板遮罩於絕緣層上，絕緣層具有至少一內連線。藉由次微影模板遮罩並使用一選擇性蝕刻而蝕刻絕緣層，以形成跨越至少一內連線之一側壁的次微影特徵。

在本發明另一方面，此方法包含提供具有一絕緣層之一結構，及形成一阻礙結構於絕緣層上，絕緣層具有複數個內連線。此方法進一步包含形成次微影模板遮罩於阻礙結構上，次微影模板遮罩具有次微影特徵，且藉由次微影模板遮罩選擇性蝕刻阻礙結構及絕緣層，以於絕緣層中形

成次微影特徵。

在本發明之另一方面，一種半導體裝置包含一絕緣層，絕緣層具有至少一縫隙形成於其中且縫隙跨越大於內連線之一最小間隙。

【實施方式】

本發明關於一種半導體裝置及製造方法，提供在介電(絕緣)材料之通道(或孔洞)，以改善整體裝置效能，本發明之方法無須新的製程步驟或機台設定，亦不需要引用新的材料於最終的建構中，且進一步避免次解析度微影製程中之缺點。

再者，本發明之方法易於與任一材料一同使用，無論是混合結構或具有高介電常數之材料。本發明一方面避免內連線浮動，且降低有效介電常數 K_{eff} ，以維持內連線之層-層垂直電容。使用本發明之方法也可能維持整體裝置強度。

圖 1 揭示一般用於製造一半導體裝置之結構，此結構，標示為元件符號 100，為一單階(level)結構，即單線層(wiring layer)，用於說明本發明之目的。然而，習知技藝人士所共知的是，在此揭露或所述之結構可能是具有多種不同層之多階結構。在此所述之製造方法亦適於描述此類多階結構。

圖 1 之結構 100 包含一基材 110，可為任何適用之習知材料(如矽)。此基材可能是建立為線階之一積體電路。

絕緣層 120 使用任何習知方法，如電漿加強式化學氣相沉

積(PECVD)、化學氣相沉積(CVD)或其他製程，而沉積於基材 110 上。絕緣層 120 可能為(i)未摻雜的矽玻璃(USG)，(ii)USG 及氟化矽玻璃(FSG)，(iii)有機矽玻璃(OSG)，(iv)多孔 OSG 及 OSG，(v)包含這些材料的組合物或其他習知介電材料。絕緣層 120，在某一實施例中，較佳為 OSG 或 OSG 及多孔-OSG 之層結構。擴散阻障層 135，可能為 SiC、SiN 或其他在此述及之已知材料，可能沉積於絕緣層 120 上，以保護內連線 130。擴散絕緣層 135 可能額外作為之後製程之蝕刻遮罩。擴散阻障層 135 可能具有範圍介於 250 埃至 500 埃之厚度，或其他厚度，視其應用而定。

圖 2 揭示本發明之方法之第一步驟。在此步驟中，一阻礙(blockout)圖案化阻抗 140(上微影阻抗)係沉積或形成於擴散阻障層 135 上。阻礙圖案化阻抗 140 在一實施例中具有 2000 埃至 1 微米之厚度，且以習知手段沉積。阻礙圖案化阻抗可能是任一習知光阻材料。阻礙圖案化阻抗 140 包含大於最小解析度特徵之孔洞或特徵，也就是在一實施例中，阻礙圖案化阻抗 140 大於內連線 130 間之間隙。

圖 3 揭示本發明之第二步驟。在圖 3 中，塊狀共聚物奈米模板(block copolymer nanotemplate)150 形成於阻礙圖案化阻抗 140 及部分擴散阻障層 135 上。塊狀共聚物奈米模板 150 為薄層，且具有小於最小解析度特徵之特徵。也就是說，在一實施例中，塊狀共聚物奈米模板 150 之特徵小於內連線 130 間之間隙。塊狀共聚物奈米模板 150 之材料可能是自組合(self assembly)為實質均勻形狀及間隙孔洞或特徵。舉例來說，塊狀共聚物奈米模板 150 可能是自組合單層模板化多孔或可滲透之薄膜。塊狀共聚物奈米模板 150 可能以電子束、紫外線或以熱固化。可進一步確認

的是在一實施例中，阻礙圖案化阻抗 140 可能形成於塊狀共聚物奈米模板 150 上。

在一實施例中，塊狀共聚物奈米模板 150 之孔洞之直徑約為 20nm，孔洞間之間距約為 20nm。在其他實施例中，特徵及間距之範圍可能從小於 5nm 至 100nm。塊狀共聚物奈米模板 150 之厚度在一實施例中約為 20nm，且由具有篩孔(mesh)或孔洞之有機材料基質所組成。可以了解的是塊狀共聚物奈米模板 150(及阻礙阻抗)之厚度將視絕緣層之厚度、所需的特徵解析度及其他因素而定，這些全部可由習知技藝者參考在此之說明而確定。

圖 4 揭示本發明之一蝕刻步驟。現在塊狀共聚物奈米模板 150 及雙塊狀(diblock)圖案化阻抗 140 形成於基材上，在一實施例中，係使用 RIE 之蝕刻，以在內連線 130 間形成通道 160 或奈米管柱。在此步驟中，當在塊狀共聚物奈米模板 150 之孔洞間蝕刻絕緣體 120，可能故意侵蝕絕緣層 120，以在鄰近的內連線間形成一或多奈米管柱。在其他實施例中，可能侵蝕絕緣層 120 至基材或更低層階。在此步驟中，因為無法無限地選擇一蝕刻步驟，塊狀共聚物奈米模板 150 也可能開始被腐蝕，然而，塊狀共聚物奈米模板 150 的特徵已被轉移至擴散阻障層 135，其之後將作為具有轉移圖案之遮罩。也可能形成一底切(undercut)於內連線下方。

如圖 4 所示，小孔洞 135a 約與通道 160 相等，存在於絕緣材料 120 之表面，基本上是相對應於塊狀共聚物奈米模板 150 之特徵大小，舉例來說，小孔洞 135a 之直徑約在 20 埃到 200 埃之級數。再者，在蝕刻期間，可能從

內連線 130 之側壁蝕刻絕緣材料 120a，但在之後以進一步的沉積步驟再次沉積。在一實施例中，側壁蝕刻絕緣材料 120a 之厚度範圍介於 5 埃至 200 埃，在接近塊狀共聚物奈米模板 150 或擴散阻障層 135 處具有較厚的側壁。可為習知技藝者所了解的是為了控制圖案，遮罩 130、150 及蝕刻步驟可能被調整，因此排除了接近介層洞空地(via land)之縫隙及其相似者的可能。同樣地，藉由調整蝕刻製程，通道 160 可能部份或完全延伸而穿過絕緣層 120，或接近內連線之絕緣層可能完全或實質上完全被侵蝕。在後者的情況下，在形成一較高內連線層之後續步驟時，可能在接近側壁處沉積絕緣材料。

RIE 為非等向性蝕刻，主要垂直往下蝕刻，以蝕刻絕緣物而形成通道 160。可能在 RIE 後執行濕式潔淨(wet clean)，以將蝕刻步驟產生的任何聚合物殘留物移除。此潔淨步驟可能包含一蝕刻劑，持續非等向性蝕刻絕緣層，以形成在內連線下方之底切(圖 5)。若使用稀釋的氫氟酸(DHF)蝕刻包含 USG 或 FSG 的絕緣層，其速度相對較慢。舉例來說，在 $H_2O:HF$ 比例為 200:15 時之蝕刻速率可能為每分鐘 10 埃至 20 埃。

另一方面，使用 DHF 蝕刻 OSG 時具有非常低化學蝕刻速率，幾乎無法測得。在 OSG 的實施例中，使用 RIE 伴隨電漿 O_2 ，藉由氧化或“破壞”(damage)暴露的 OSG 表面，以提供更完整蝕刻能力。之後，此被破壞的層可能以 DHF 快速地被蝕刻。然而，當使用電漿 O_2 ，可能破壞 OSG 絕緣層或擴散層，然此破壞可藉由提供對破壞部分的其他蝕刻而修正。

圖 5 呈現除了提供一底切於形成的通道外，以等向性蝕刻擴大奈米管柱至一單一較大管柱 160a，單一較大管柱 160a 大於塊狀共聚物奈米模板 150 之原始空洞。在此步驟，藉由加入如 O_2 以改變 RIE。在此步驟，等向性蝕刻形成底切 160b，但應不會蝕刻內連線底部之全部區域。再次，可以調整蝕刻以提供更極端(extreme)的底切，這將視所期待的整體裝置之效能而定。然而，此底切較佳不會包含內連線 130 底部之全部區域。在一實施例，此底切將降低寬線之垂直電容。

圖 6 呈現本發明之其他製造步驟，舉例來說，在底切形成之後，將塊狀共聚物奈米模板 150 及阻礙階圖案化阻抗 140 蝕刻或剝離，並留下小孔洞 135a。這些遮罩可能在蝕刻製程已經部份或完全被侵蝕，因此留下擴散阻擋層 135 作為遮罩。濕蝕刻製程也可與溶劑 DHF 或其他可將前述蝕刻任何介電材料之酸一併使用。在一實施例中，DHF 之濃度約為 1000:1 至 10:1 之 $H_2O:HF$ 。在本發明之另一方面，藉由擴寬通道 160，之後將具有不同介電常數及其他性質，如高延展性、高破裂韌性(fracture toughness)等之材料回填於通道中。

仍然參考圖 6，之後以一般沉積方法，如 PECVD 沉積第二絕緣層 170 於形成的結構上。此第二絕緣層可能包含一罩蓋(cap)，在沉積一些於內連線 130(如銅線)及擴散阻障層 135 上之後，此罩蓋將除了密封通道外，並形成縮減區域 165。在一實施例中，此罩蓋將使圖貌(topography)最小化。這些縮減可能使介於鄰近層之間任何階至階之電容問題最小化。

在絕緣材料之初始沉積期間，小尺寸的孔洞 135a 實質消除沉積於管柱、足夠厚的材料的需求。第二絕緣層 170 之材料可能為(i)未摻雜的矽玻璃(USG)，(ii)USG 及氟化矽玻璃(FSG)，(iii)有機矽玻璃(OSG)，(iv)多孔 OSG 及 OSG，(v)包含這些材料的組合物或其他習知介電材料。在一實施例中，第二絕緣層 170 較佳為 OSG 或多孔 OSG 及 OSG 之層結構，此層結構以 OSG 作為密封管柱之罩蓋。

圖 7 揭示根據本發明所形成之結構之上視圖。在此圖中，阻礙阻抗圖案 175 可能使用阻礙圖案化阻抗 140 而形成，阻礙阻抗圖案 175 可能用於額外強化形成於通道外的其他位置之結構。在某一範例的方法中，阻礙阻抗圖案 175 可能形成於切割道(scribe line)或介層洞上，以提供額外強度及預防在鋸截操作(sawing operation)附近區域之細孔。需要認知的是在切割道上的通道可能因易碎的材料破碎造成嚴重的失效。而在同時發生極端的挖切時，阻礙阻抗圖案 175 也可能使介電質強化，且避免或預防在鄰近介層洞形成縫隙。

可以了解的是如前所述，本發明之步驟及裝置可能在更高階絕緣層重複著。因此，如圖 7 所示，可能使用本發明之方法形成具有介層洞、內連線及通道之多層絕緣層。也可以被了解的是藉由提供通道，絕緣材料之有效介電常數可以降低，而不會顯著影響整個裝置的完整性、堅實及強度。事實上，藉由具有 2.77 或更大的 K_{eff} ，本發明之方法可以達到 2.0 或更小的 K_{eff} 。再者，藉由使用本發明之方法，可以避免於絕緣層中使用多孔材料，因此，增加裝置之機械強度及熱性能，即可使熱往下傳送至基材。這個結構可藉由其他描述於此的方法所形成。

圖 9 至 14 揭示本發明之另一個實施例。圖 9 為一結構之示意圖，此結構具有前述任一種類之兩絕緣層 200、210。舉例來說，此絕緣層可以是 SiO_2 、FSG、SiCOH、SiLK 或其他材料。絕緣層 200 包含一內連線 220，且絕緣層包含一介層洞 230 及數個內連線 240。一介電罩蓋，如 SiN、SiC、SiCOH 等(擴散層)252 沉積於絕緣層 210 及內連線上。在一實施例中，罩蓋之厚度範圍從 5 奈米至 50 奈米。若內連線，如銅線，被罩蓋住，則提供 SiO_2 作為罩蓋。這些材料或任一組合物之多層可能與本發明一同使用。

現在參考圖 10 至 14，在厚度介於 5 奈米至 50 奈米之 Au、Ag、In、Sn 或 Ga 沉積層之後， SiO_2 之毯覆沉積層 260 提供於罩蓋 250 上。可以了解的是，阻礙圖案化阻抗可能沉積於沉積層 260 及 270 之間，或也可在沉積層 270 上。在前述之實施例中，阻礙圖案化阻抗應為一上微影遮罩，供預防在裝置中形成大範圍的縫隙。可以輕易溶解於酸、酸的鹽類及鹼液中，如 Sn 或 In 可能使用於本發明中，以更容易於後續步驟移除。然而，其他金屬也可以一起使用於本發明中。如以回火處理層 270，產生聚結(agglomeration) (即串珠)，以形成介於 1nm 至 50nm 之次微影特徵。在此手段中，奈米島(island)270a 從層 270 形成，作為進一步製程步驟之遮罩。層 270 具有介於 1nm 至 50nm 之厚度且在一實施例中，具有介於 5nm 至 20nm 之厚度。

在圖 11，在層 150 中之細孔被蝕刻。此蝕刻之執行一般可藉由 RIE。奈米島 270a 由濕或蝕刻剝離，且以 RIE 蝕刻持續至層 250。一下層硬遮罩，如罩蓋 250，在移除金屬島 270a 之期間，用於保護下層結構。RIE 蝕刻形成通

道或細孔 250a(圖 12)。蝕刻持續至二氧化矽層 210，形成細孔或奈米通道 210a，實質與層 270 之次微影特徵具有相同尺寸，介於 1nm 至 50nm。在一實施例中，RIE 為非等向性蝕刻。

沉積於絕緣層 210 上之介電罩蓋層 280，乃以 PECVD 或任一習知方法沉積二氧化矽，供密封通道 250a(圖 14)。在本發明之一方面，此介電罩蓋層 280 可能具有範圍介於 5nm 至 50nm 之厚度(當然可用於此的材料之其他厚度也要考慮進去)。此介電罩蓋 280 可同樣可為其他材料，如 SiC、SiCOH 或 SiN。在某一實施例中，此奈米通道可以在被罩蓋介電層密封前，以堅固介電材質所填充。縮減部分可能形成於罩蓋介電層 280 中。

此實施例之一方面，在阻抗中無規則的孔洞圖案可能使用電子束、X 光或 EUV 微影而形成。在此例中，此阻抗將留下介電層的區域遮罩，且垂直細孔或管柱被蝕刻至介電層中。當介電質為有機材料，如矽化物之遮罩可能用於阻抗下方。

在一進一步的實施例中，具有造孔劑(porogen)之二維聚合物遮罩中的無規則孔洞圖案，可能用於形成細孔。為了製造此遮罩，使用聚合物，且之後以高溫硬化或以溶劑，或以習知技術移除造孔劑。如此形成次微影孔洞以供進一步製程，將不需要用於此或其他製程之光學微影曝光。這些垂直細孔或奈米管柱之後將以上述之手段蝕刻。

具有如金屬溶膠(sol)之細微金屬顆粒之旋塗薄膜也可能使用於形成所需的孔洞，以於層 270 代表。在此製程中，

來自溶膠的細微金屬顆粒之單層可能藉由界面活性劑預處理層 260 而沉積，界面活性劑在表面形成單層，且吸引溶膠顆粒至表面，使形成溶膠顆粒之單層。也就是說，此層將被燒掉，留下金屬顆粒於表面，其之後將可作為遮罩。一相分離旋佈溶液，如塊狀共聚物，也可作為遮罩。此外，在此實施例中，有選擇性的遮罩可以用於選擇性地增加晶片關鍵區域之堅固性，如參考圖 7 所討論的部分。

雖然本發明已如前實施例所討論，但是習知技術人士在未脫離本發明之精神及範圍下，將可了解本發明可實施的變體。

【圖式簡單說明】

- 圖 1 使用於本發明之初始結構之示意圖；
- 圖 2 為根據本發明之製程步驟之示意圖；
- 圖 3 為根據本發明之製程步驟之示意圖；
- 圖 4 為根據本發明之製程步驟之示意圖；
- 圖 5 為根據本發明之製程步驟之示意圖；
- 圖 6 為根據本發明(及形成的結構)之製程步驟之示意圖；
- 圖 7 為根據本發明所形成的結構之上視圖；
- 圖 8 為根據本發明逆形成的多層結構之一側剖面圖；
- 圖 9 為根據本發明之製程步驟之示意圖；
- 圖 10 為根據本發明之製程步驟之示意圖；
- 圖 11 為根據本發明之製程步驟之示意圖；
- 圖 12 為根據本發明之製程步驟之示意圖；
- 圖 13 為根據本發明之製程步驟之示意圖；
- 圖 14 為根據本發明(及形成的結構)之製程步驟之示意圖。

【主要元件符號說明】

100 結構	110 基材
120、200、210 絕緣層	130、220、240 內連線
135 擴散阻障層	140、175 阻礙圖案化阻抗
150 塊狀共聚物奈米模板	160 通道
135a 小孔洞	160a 較大管柱
160b 底切	170 第二絕緣層
230 介層洞	252、280 介電罩蓋層
260、270 沉積層	270a 奈米島
250a 細孔	

五、中文發明摘要：

一種製造一結構之方法，包含提供具有一絕緣層之一結構及形成一次微影模板遮罩(sub lithographic template mask)於絕緣層上，絕緣層具有至少一內連線。藉由接近至少一內連線之次微影模板遮罩，使用一選擇性蝕刻而蝕刻絕緣層。一上微影塊狀遮罩(supra lithographic blocking mask)也可能被使用。在另一方面，此方法包含於絕緣層上的罩蓋(capping)層中形成次微影尺寸之縮減區域(pinch off section)。一種半導體結構包含絕緣層及形成於絕緣層之至少一管柱，其中，絕緣層具有至少一內連線特徵。複數個次微影特徵形成於絕緣層頂部上，且與至少一管柱連通。此複數個次微影特徵具有一截面或直徑小於任一至少一管柱。接近或在切割道及介層洞之上可能禁止形成一縫隙(gap)。

六、英文發明摘要：

A method for manufacturing a structure includes providing a structure having an insulator layer with at least one interconnected and forming a sub lithographic template mask on the insulator layer. A selective etching step is used for etching the insulator layer through the sub lithographic features near the at least one interconnect. A supra lithographic blocking mask may also be utilized. In another aspect, the method includes forming pinch off section of sub lithographic size formed in a capping layer on the insulator layer. A semiconductor structure includes an insulator layer having at least one interconnect feature and at least one column formed in the insulator layer. A plurality of sub lithographic features formed on a top portion of the insulator layer

and communicating with the at least one column is also provided. The plurality of sub lithographic features have a cross section or diameter less than any of the at least one column. A gap may be prohibited from forming on or near scribe lanes and vias.

十、申請專利範圍：

1.一種製造一結構之方法，包含下列步驟：

提供一結構，該結構具有一絕緣層，該絕緣層具有至少一內連線；

形成一次微影模板遮罩於該絕緣層上；

藉由該次微影模板遮罩，選擇性蝕刻該絕緣層，以形成跨越該至少一內連線之一側壁的次微影特徵。

2.如請求項 1 所述之方法，其中該次微影特徵為在該絕緣層中之實質垂直管柱。

3.如請求項 2 所述之方法，其中該次微影特徵進一步包含複數個孔洞，形成於該次微影模板遮罩下之一罩蓋(capping)層中，且具有一直徑或截面(cross section)小於該至少一內連線之一直徑或截面，且也與該絕緣層中之該實質垂直管柱實質上相等。

4.如請求項 1 所述之方法，其中該蝕刻步驟為一非等向性蝕刻，形成複數個次微影特徵並定義為奈米管柱。

5.如請求項 4 所述之方法，其中該蝕刻步驟包含一等向性蝕刻，以結合(meld)至少鄰近之奈米管柱，並於該至少一內連線之下提供一底切(undercut)。

6.如請求項 1 所述之方法，其中：

該次微影特徵為在該絕緣層中之實質垂直管柱；以及

該次微影特徵進一步包含複數個孔洞，具有一直徑小於該至少一內連線之一直徑，且與該絕緣層中之該實質垂直管柱實質上相等，且該孔洞之一頂部是漸尖的。

7.如請求項 1 所述之方法，於該形成步驟前，進一步包含沉積一罩蓋層之步驟，且縮減(pinch off)該罩蓋層之一頂部，以形成具有一次微影直徑之縮減結構。

8.如請求項 7 所述之方法，進一步包含沉積一絕緣層於該頂部之步驟，供形成該縮減結構。

9.如請求項 8 所述之方法，其中該沉積步驟形成絕緣材料於該至少一內連線之該側壁，在該蝕刻步驟期間該絕緣材料被蝕刻。

10.如請求項 1 所述之方法，其中該次微影模板遮罩為一塊狀(block)共聚物奈米模板，形成於一擴散層上，該擴散層作為一遮罩，該遮罩具有從該塊狀共聚物奈米模板轉移之特徵。

11.如請求項 10 所述之方法，其中該塊狀共聚物奈米模板具有小於鄰近內連線間之距離的特徵。

12.如請求項 10 所述之方法，其中該塊狀共聚物奈米模板為自組合(self assembly)本身成實質均勻形狀且隔開的孔洞或特徵的一材料。

13.如請求項 10 所述之方法，其中該塊狀共聚物奈米模板之該特徵 150 在小於 5 奈米至 100 奈米之一範圍。

14.如請求項 1 所述之方法，其中該塊狀共聚物奈米模板形成於下列之一(i)部分覆蓋該絕緣層上之一阻礙(blockout)阻抗，(ii)在該阻礙阻抗下，該阻礙阻抗包含大於鄰近內連線間之一距離的特徵。

15.如請求項 14 所述之方法，進一步包含在該絕緣層中之該次微影特徵形成之後，移除該塊狀共聚物奈米模板及阻礙阻抗之步驟。

16.如請求項 15 所述之方法，進一步包含提供一罩蓋(capping)層覆蓋該絕緣層上。

17.如請求項 1 所述之方法，其中該次微影模板遮罩為一金屬沉積層，該金屬沉積層被處理以產生聚結(agglomeration)。

18.如請求項 17 所述之方法，其中該金屬沉積層為一包含 Au、Ag、In、Sn 及 Ga 其中之一的材料。

19.如請求項 17 所述之方法，其中該聚結係藉由回火以形成，且該聚結產生範圍在 1 奈米至 50 奈米之次微影特徵。

20.如請求項 19 所述之方法，其中該回火產生奈米島(island)，以作為一蝕刻步驟中之一遮罩。

21.如請求項 17 所述之方法，其中該金屬沉積層係沉積於一罩蓋層上。

22.如請求項 21 所述之方法，其中該罩蓋層係由 SiN、SiC 及 SiOH 其中之一材料所形成。

23.如請求項 21 所述之方法，進一步包含下列步驟：

藉由形成於該金屬沉積層之該次微影模板遮罩，蝕刻該罩蓋層，以對應該金屬沉積層中之該特徵而形成細孔(pore)；

移除該金屬沉積層；以及

以該罩蓋層作為一遮罩，蝕刻該絕緣層以形成該次微影特徵。

24.如請求項 23 所述之方法，其中該次微影特徵為實質垂直之細孔。

25.如請求項 24 所述之方法，進一步包含將該至少一內連線間之鄰近實質垂直細孔結合(meld)在一起。

26.如請求項 23 所述之方法，其中該次微影特徵以一第二材料而非該絕緣層回填。

27.如請求項 23 所述之方法，進一步包含提供一密封罩蓋於該次微影特徵之上的步驟。

28.如請求項 1 所述之方法，其中該次微影特徵以一第二材料而非該絕緣層回填。

29.如請求項 27 所述之方法，其中該密封罩蓋係選自 SiN 或 SiC 的一材料，且具有範圍在 5 奈米至 50 奈米之一厚度。

30.如請求項 27 所述之方法，進一步包含將具有一不同特徵之一絕緣材料沉積於該密封罩蓋層上。

31.如請求項 1 所述之方法，其中該次微影模組遮罩係使用電子束、x 光或 ECV 微影，從阻抗中之一無規則孔洞圖案所形成。

32.如請求項 1 所述之方法，其中該次微影模組遮罩使用一造

孔劑在二維聚合物遮罩中之一無規則孔洞圖案。

33.如請求項 1 所述之方法，進一步包含於該次微影模板遮罩之下形成雙塊狀(diblock)圖案化遮罩。

34. 如請求項 1 所述之方法，進一步包含在該微影模板遮罩之上或之下提供一上微影遮罩。

35. 如請求項 34 所述之方法，其中該上微影遮罩供防止在尺寸大於一最小內連線間隙之至少一區域形成縫隙 (gap)。

36.一種製造一結構之方法，包含下列步驟：

提供一結構，該結構具有一絕緣層，該絕緣層具有複數個內連線：

形成一絕緣擴散阻障層於該絕緣層上：

形成一阻礙結構於該絕緣擴散阻障層上；

形成一次微影模板遮罩於該絕緣擴散阻障層上，該次微影模板遮罩具有次微影特徵；

藉由該次微影模板遮罩，選擇性蝕刻該絕緣擴散阻障層及該絕緣層，以於該絕緣層中形成次微影特徵。

37.如請求項 36 所述之方法，其中該塊狀結構形成於該次微影模板遮罩之下或之上。

38. 如請求項 36 所述之方法，其中該次微影特徵包含複數個孔洞，該複數個孔洞具有一直徑小於每一該複數個內連線之一直徑，且小於形成於該絕緣層上之垂直管柱。

39. 如請求項 36 所述之方法，其中該蝕刻步驟包含一非等向

性蝕刻及一等向性蝕刻，以溶解該次微影特徵間之隔間，且提供一底切於至少一該複數個內連線之下。

40. 如請求項 36 所述之方法，其中：

該次微影特徵為在該絕緣層中之實質垂直管柱；

該次微影特徵進一步包含在該絕緣擴散層中之複數個孔洞，該複數個孔洞具有一直徑或一截面大約與該絕緣層中之該實質垂直管柱之一直徑或截面相等。

41. 如請求項 40 所述之方法，進一步包含：以一罩蓋層縮減該罩蓋層之一頂部。

42. 如請求項 36 所述之方法，其中：

該次微影模板遮罩具有一塊狀共聚物奈米模板，該塊狀共聚物奈米模板具有範圍從小於 5 奈米至 100 奈米之特徵；以及該塊狀結構為一雙塊狀遮罩。

43. 如請求項 36 所述之方法，其中該次微影模板遮罩為一金屬沉積層，該金屬沉積層被處理以產生聚結，該聚結產生奈米尺度島，以作為該蝕刻步驟中之一遮罩。

44. 如請求項 36 所述之方法，其中該次微影特徵以一第二材料而非該絕緣層回填。

45. 如請求項 36 所述之方法，進一步包含下列步驟：

沉積一密封罩蓋於該絕緣層中之該次微影特徵上，以形成縮減；以及

沉積一絕緣材料於該密封罩蓋層上。

46.如請求項 36 所述之方法，其中該次微影模板遮罩由下列之一所形成(i)在阻抗中之一無規則的孔洞圖案，係使用電子束、X 光或 EUV 微影，(ii)使用造孔劑在二維聚合物遮罩中之一無規則孔洞圖案。

47. 如請求項 36 所述之方法，其中該蝕刻步驟將該絕緣材料從該複數個內連線之側壁移除，且該絕緣材料之後重新沉積於其上。

48. 如請求項 36 所述之方法，進一步包含沉積絕緣材料於該次微影特徵之上，以形成縮減區域，以及提供絕緣材料於一些該複數個內連線之該側壁上。

49.一種半導體結構，包含：

一絕緣層，具有至少一內連線特徵；以及
至少一縫隙形成於該絕緣層中，該縫隙跨越大於該內連線間之一最小間隙。

50. 如請求項 49 所述之半導體結構，進一步包含複數個次微影特徵，形成於該絕緣層之一頂部且與該至少一縫隙連通 (communicating)，該複數個次微影特徵具有小於該至少一縫隙之一直徑。

51.如請求項 50 所述之半導體結構，其中該次微影結構為連通該至少一縫隙之縮減部分。

52.如請求項 51 所述之半導體結構，進一步包含一密封層，形成於該絕緣層上，供縮減每一該至少一縫隙。

53.如請求項 52 所述之半導體結構，其中該縮減部分形成於一擴散阻障層之中，該擴散阻障層係沉積於該絕緣層上。

54.如請求項 51 所述之半導體結構，其中該至少一縫隙包含鄰近於該至少一內連線特徵之一側壁上的絕緣材料。

55.如請求項 54 所述之半導體結構，其中該至少一縫隙及該複數個次微影特徵具有一截面，小於該至少一內連線之截面。

56.如請求項 49 所述之半導體結構，其中在一切割道不存在該縫隙。

57.如請求項 49 所述之半導體結構，其中在接近介層洞不存在該縫隙。

圖1

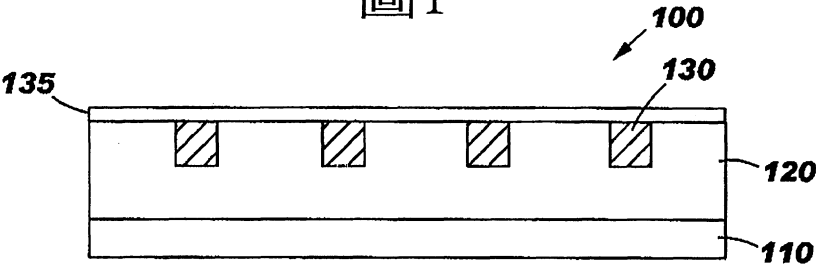


圖2

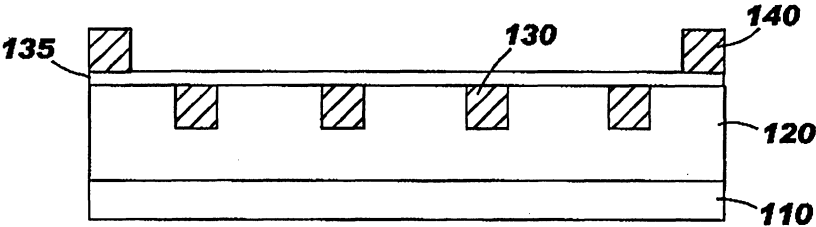


圖3

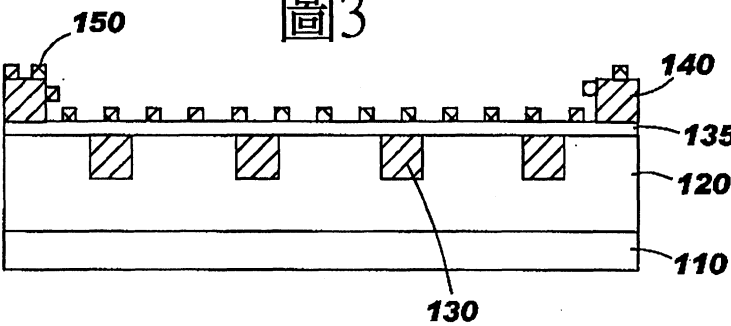


圖4

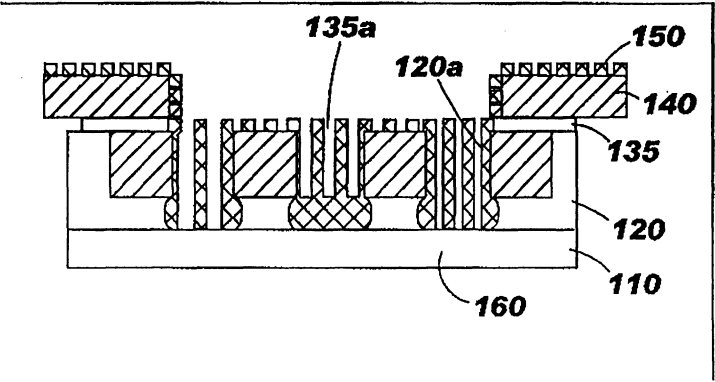


圖5

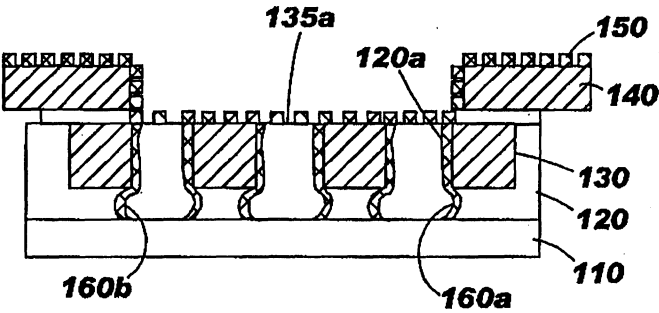


圖6

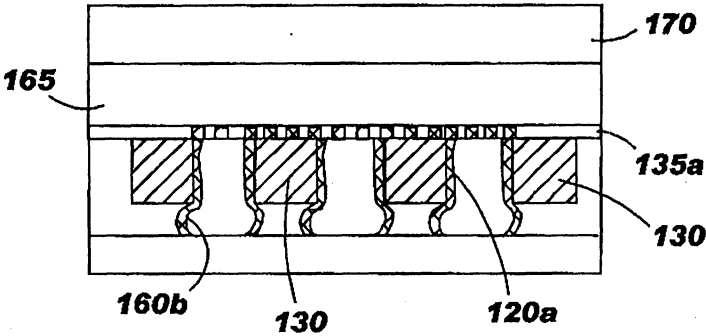


圖7

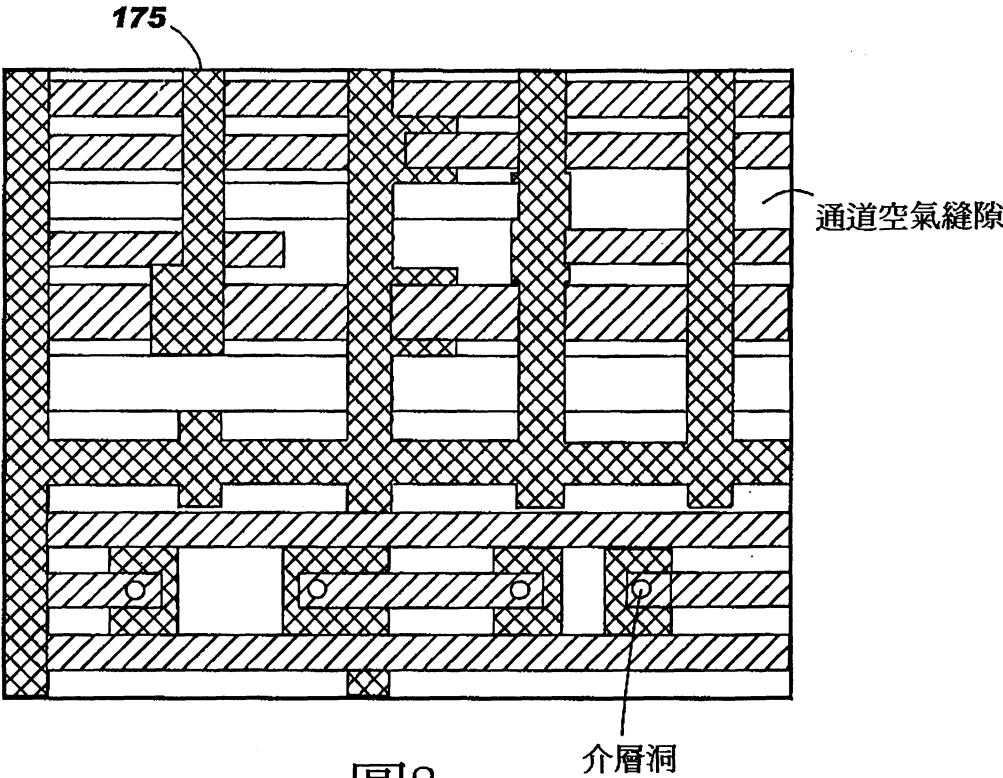


圖8

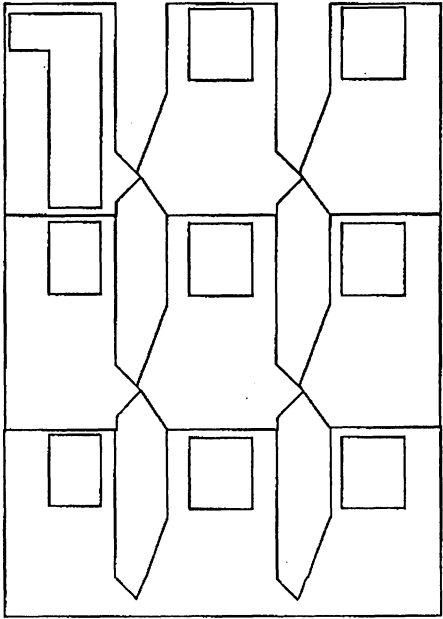


圖9

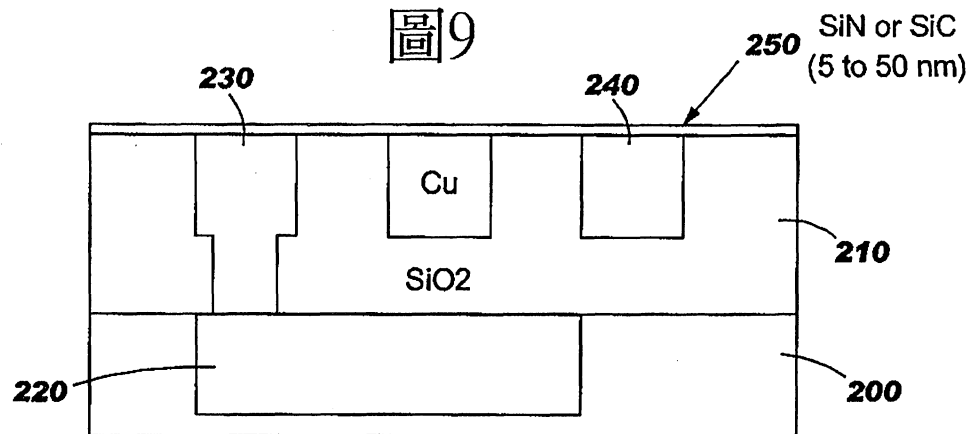


圖10

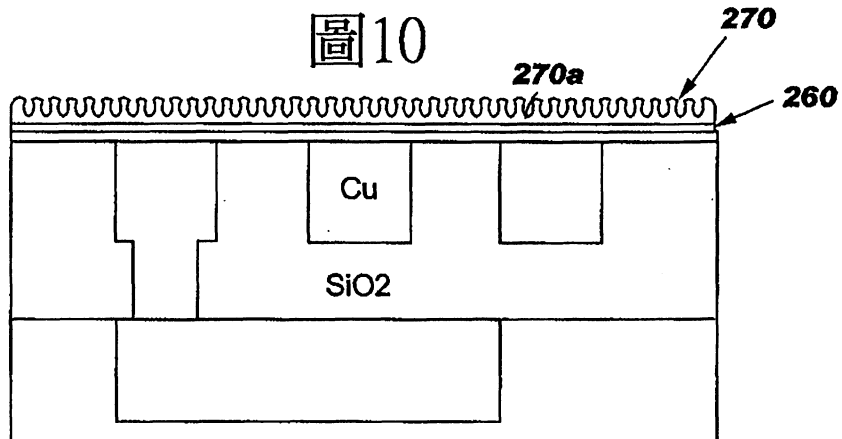


圖11

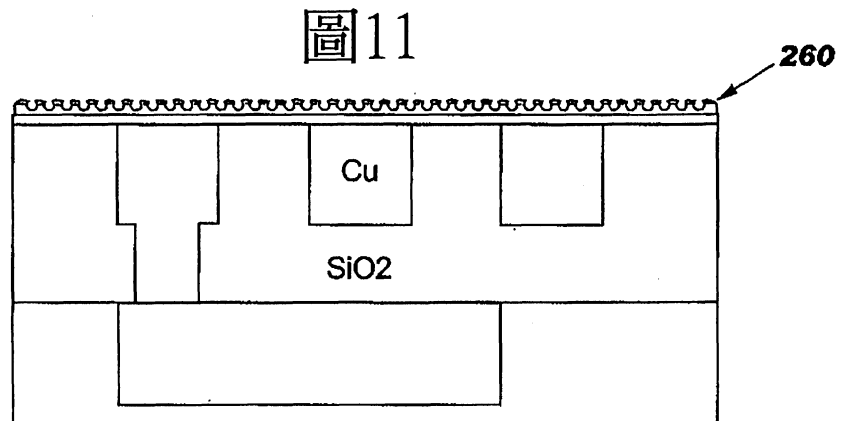


圖12

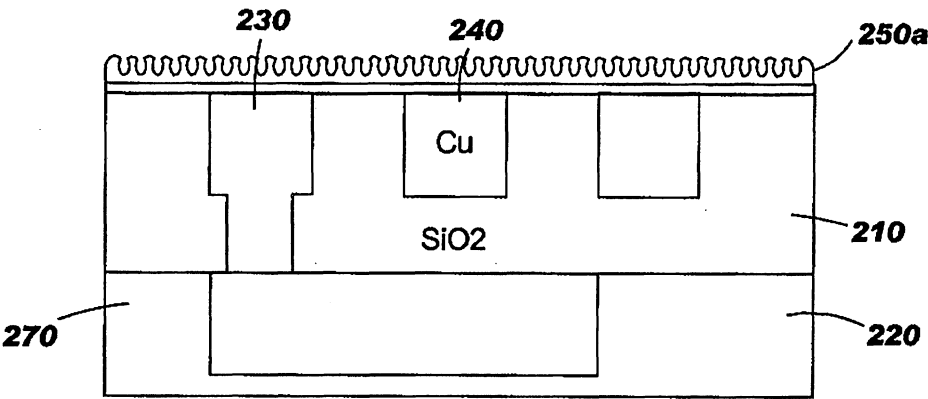


圖13

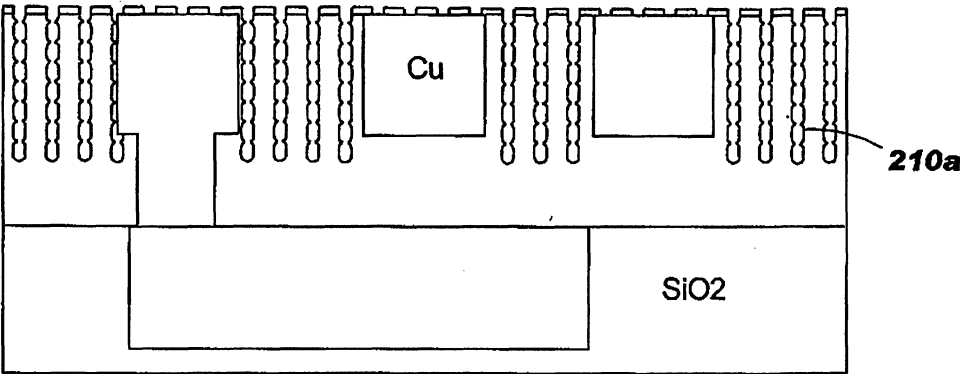
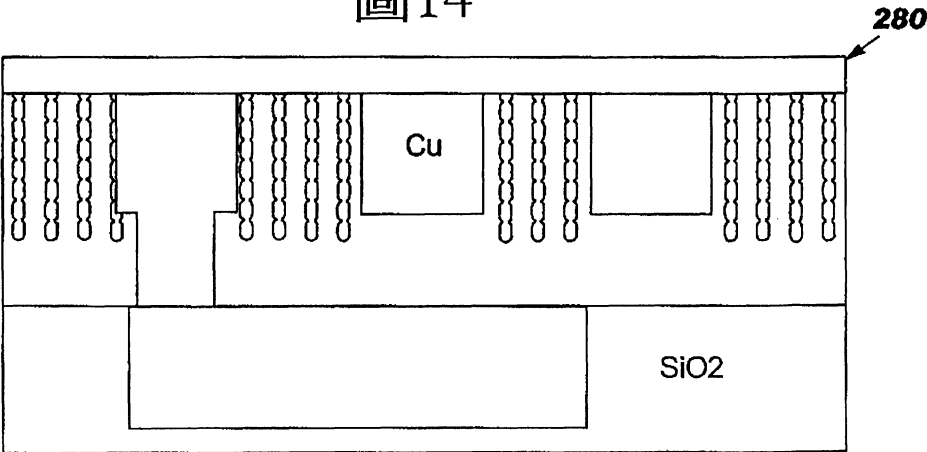


圖14



七、指定代表圖：

(一)本案指定代表圖為：圖 5

(二)本代表圖之元件符號簡單說明：

110 基材

120 絕緣層

130 內連線

135a 小孔洞

140 阻礙圖案化阻抗

160a 較大管柱

150 塊狀共聚物奈米模板

160b 底切

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無