



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월22일
(11) 등록번호 10-1236484
(24) 등록일자 2013년02월18일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) *G09G 3/36* (2006.01)
G02F 1/133 (2006.01)

(21) 출원번호 10-2005-0120861

(22) 출원일자 2005년12월09일
심사청구일자 2010년12월06일

(65) 공개번호 10-2006-0065570

(43) 공개일자 2006년06월14일

(30) 우선권주장
JP-P-2004-00359214 2004년12월10일 일본(JP)

(56) 선행기술조사문현
JP2003131625 A
JP2004226620 A

(73) 특허권자
재팬 디스플레이 웨스트 인코포레이트
일본 아이치켄 치타군 히가시우라초 오아자 오가
와 50 아자 카미후나키

(72) 발명자
기다 요시토시
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7
반 35고 소니가부시끼 가이샤내
나카지마 요시하루
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7
반 35고 소니가부시끼 가이샤내
(뒷면에 계속)

(74) 대리인
신관호

전체 청구항 수 : 총 12 항

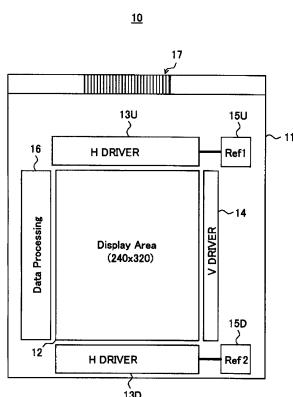
심사관 : 김재문

(54) 발명의 명칭 표시장치 및 휴대단말

(57) 요 약

협(狹)피치화가 가능하고, 협(狹)액자화를 실현할 수 있고, 또한, 보다 저소비전력화가 가능한 형태표시장치 및 그것을 이용한 휴대단말을 제공한다.

2개의 수평구동회로(13U, 13D)를 유효화소부(2)의 양 사이드(도 1에서는 위 아래)에 배치하고 있지만, 이것은, 데이터선의 홀수라인과 짝수라인으로 나누어서 구동하기 위해서가 아니고, 색마다 나눠서, 예를 들면 제 1수평구동회로(13U)에 의해 R데이터 및 B데이터에 따라서 데이터라인을 시리얼 구동하고, 제 2수평구동회로(13D)에 의해 G데이터에 따른 데이터라인의 구동을 실시한다. 제 1수평구동회로(13U)에 있어서는, 1수평기간(1H) 전반(前半)의 1 / 2에서 2개의 디지털데이터 중 한쪽의 데이터, 예를 들면 R데이터를 출력하고, 1H 후반의 1 / 2에서 다른 쪽의 B데이터를 출력한다.

대 표 도 - 도3

(72) 발명자

무라세 마사키

일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반
35고 소니가부시끼 가이샤내

도요시마 요시히코

일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반
35고 소니가부시끼 가이샤내

노무라 가즈야

일본국 미야기켄 토메-군 나카다-쵸 타카라에니이
다 카가노사카이30 소니 미야기 가부시끼 가이샤내

도노가이 마사아키

일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반
35고 소니가부시끼 가이샤내

이토 다이스케

일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반
35고 소니가부시끼 가이샤내

특허청구의 범위

청구항 1

화소가 매트릭스형으로 배치된 표시영역부와, 상기 표시영역부의 각 화소를 행 단위로 선택하는 수직구동회로와, 제 1 및 제 2디지털 화상데이터를 입력하게 하고, 상기 디지털 화상데이터를 아날로그 화상신호로서 상기 수직구동회로에 의해 선택된 행의 각 화소가 접속된 데이터라인에 대해서 공급하는 제 1수평구동회로와, 제 3디지털 화상데이터를 입력하게 하고, 상기 디지털 화상데이터를 아날로그 화상신호로서 상기 수직구동회로에 의해 선택된 행의 각 화소가 접속된 데이터라인에 대해서 공급하는 제 2수평구동회로를 가지고,

상기 제 1수평구동회로는, 상기 제 1 및 제 2디지털 화상데이터를 순차적으로 샘플링하여 래치하는 샘플링래치회로와, 상기 샘플링래치회로의 각 래치데이터를 재차 래치하는 제 2래치회로와, 상기 제 2래치회로에서 래치된 디지털 화상데이터를 아날로그 화상신호로 변환하는 디지털 아날로그 변환회로(DAC)와, 상기 DAC에 의해 아날로그 데이터로 변환된 상기 제 1 및 제 2디지털 화상데이터를 소정 기간 내에 시분할적으로 선택하여 상기 데이터라인에 출력하는 라인선택터를 포함하며,

상기 제 2래치회로는, 상기 샘플링래치회로의 각 래치데이터를 선(線) 순차화하고,

상기 제 1수평구동회로는, 상기 제 2래치회로에 래치된 제 1 및 제 2디지털 화상데이터를, 시분할적으로 선택하여 상기 DAC에 입력시키는 데이터선택터를 추가로 포함하는 표시장치에 있어서,

상기 제 2수평구동회로는,

상기 제 3디지털 화상데이터를 순차적으로 샘플링하여 래치하는 샘플링래치회로와,

상기 샘플링래치회로의 각 래치데이터를 재차 래치하는 제 2래치회로와,

상기 제 2래치회로에서 래치된 디지털 화상데이터를 아날로그 화상신호로 변환하는 디지털 아날로그 변환회로(DAC)를 포함하고,

상기 제 1 및 제 2수평구동회로의 DAC는, 기준전압 선택형의 DAC를 포함하고,

복수의 기준전압을 생성하여 상기 제 1수평구동회로의 DAC에 공급하는 제 1기준전압 생성회로와,

복수의 기준전압을 생성하여 상기 제 2수평구동회로의 DAC에 공급하는 제 2기준전압 생성회로를 추가로 구비하는 것을 특징으로 하는 표시장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1항에 있어서,

상기 제 2수평구동회로는,

상기 제 3디지털 화상데이터를 순차적으로 샘플링하여 래치하는 샘플링래치회로와,

상기 샘플링래치회로의 각 래치데이터를 재차 래치하는 제 2래치회로와,

상기 제 2래치회로에서 래치된 디지털 화상데이터를 아날로그 화상신호로 변환하는 디지털 아날로그 변환회로(DAC)를 포함하고,

상기 제 1 및 제 2수평구동회로의 DAC는, 기준전압 선택형의 DAC를 포함하고,

복수의 기준전압을 생성하여 상기 제 1수평구동회로의 DAC에 공급하는 제 1기준전압 생성회로와,

복수의 기준전압을 생성하여 상기 제 2수평구동회로의 DAC에 공급하는 제 2기준전압 생성회로를 더욱 가지도록

구성된 것을 특징으로 하는 표시장치.

청구항 5

삭제

청구항 6

삭제

청구항 7

제 1항에 있어서,

적어도 상기 제 1 및 제 2수평구동회로 및 상기 제 1 및 제 2기준전압 발생회로는, 유효화소부와 동일기판에 일체적으로 형성되도록 구성된 것을 특징으로 하는 표시장치.

청구항 8

제 4항에 있어서,

적어도 상기 제 1 및 제 2수평구동회로 및 상기 제 1 및 제 2기준전압 발생회로는, 유효화소부와 동일기판에 일체적으로 형성되도록 구성된 것을 특징으로 하는 표시장치.

청구항 9

제 1항에 있어서,

상기 제 1 및 제 2수평구동회로의 샘플링래치회로 및 제 2래치회로는, 제 1전원전압계에서 데이터의 전송 및 보관유지 동작을 실시하고, 상기 DAC에는 제 1전원전압보다 큰 제 2전원전압계로 시프트된 데이터가 입력되며,

상기 제 1 및 제 2수평구동회로는,

통상 모드시 사용하는 n비트 DAC와 그것을 제어하는 n개의 데이터신호선을 가지고, n개의 데이터신호선 중 k개 ($n > k$)의 데이터신호선을 사용하여 제어하는 것이 가능한 k비트 DAC를 독립적으로 가지고, n비트 DAC와 k비트 DAC의 어느 쪽을 사용할지는, 모드선택신호에 의해 제어되며,

통상 모드시는 n비트 DAC를 사용하며, 소신호진폭인 제 1전원전압계보다 큰 전압진폭인 제 2전원전압계로 레벨 변환하여 n비트 DAC 회로에 입력하고,

통상 모드시보다 계조수가 적은 저(低)계조 모드시는 k비트 DAC를 사용하고, 소신호진폭인 채로 상기 k비트 DAC 회로에 입력하도록 제어되는 것을 특징으로 하는 표시장치.

청구항 10

화소가 매트릭스형으로 배치된 표시영역부와, 상기 표시영역부의 각 화소를 행 단위로 선택하는 수직구동회로와, 제 1 및 제 2디지털 화상데이터를 입력하게 하고, 상기 디지털 화상데이터를 아날로그 화상신호로서 상기 수직구동회로에 의해 선택된 행의 각 화소가 접속된 데이터라인에 대해서 공급하는 제 1수평구동회로와, 제 3디지털 화상데이터를 입력하게 하고, 상기 디지털 화상데이터를 아날로그 화상신호로서 상기 수직구동회로에 의해 선택된 행의 각 화소가 접속된 데이터라인에 대해서 공급하는 제 2수평구동회로를 가지고,

상기 제 1수평구동회로는, 상기 제 1디지털 화상데이터를 순차적으로 샘플링하여 래치하는 제 1샘플링래치와, 상기 제 2디지털 화상데이터를 순차적으로 샘플링하여 래치하는 제 2샘플링래치와, 상기 제 1 및 제 2샘플링래치에 래치된 제 1 및 제 2디지털 화상데이터를, 시분할적으로 선택하여 출력하는 출력회로와, 상기 출력회로로부터 출력된 제 1 및 제 2디지털 화상데이터를 아날로그 화상신호로 변환하는 디지털 아날로그 변환회로(DAC)와, 상기 DAC에 의해 아날로그 데이터로 변환된 상기 제 1 및 제 2디지털 화상데이터를 소정 기간 내에 시분할적으로 선택하여 상기 데이터라인에 출력하는 라인실렉터를 포함하는 표시장치에 있어서,

상기 제 1 및 제 2샘플링래치는 종속 접속되며,

상기 출력회로는, 상기 제 2샘플링의 출력에 대해서 종속 접속된 제 3래치 및 제 4래치를 포함하고,

상기 제 1 및 제 2샘플링래치는, 동일한 샘플링펄스로 제 1디지털 화상데이터 및 제 2디지털 화상데이터를 격납하고,

상기 출력회로는, 상기 제 2샘플링래치의 제 2디지털 화상데이터를 상기 제 3래치를 통하여 제 4래치에 전송하고, 다음에, 제 1샘플링래치의 제 1디지털 화상데이터를 제 2샘플링래치를 통하여 상기 제 3래치에 전송하도록 구성된 것을 특징으로 하는 표시장치.

청구항 11

삭제

청구항 12

제 10항에 있어서,

상기 제 1샘플링래치의 상기 제 1디지털 화상데이터를 상기 제 2샘플링래치를 통하여 상기 제 3래치에 전송한 후에,

상기 출력회로는, 제 2디지털 화상데이터를 수평기간의 전반(前半)에 상기 DAC로 전송하고, 다음에 제 1디지털 화상데이터를 수평기간의 전반 종료 후에 제 3래치로부터 제 4래치에 전송하여 수평기간의 후반의 기간에 상기 DAC에 전송하도록 구성된 것을 특징으로 하는 표시장치.

청구항 13

제 10항에 있어서,

상기 제 1샘플링래치, 제 2샘플링래치 및 제 3래치 제 1전원전압에서 전송 및 보관유지 동작을 실시하고, 제 4래치는 자단(自段)으로의 기입동작 완료 후에 다음 단의 DAC에 대응하는 제 2전압에 전원전압을 변화시켜서 보관유지 및 신호출력동작을 실시하도록 구성된 것을 특징으로 하는 표시장치.

청구항 14

제 12항에 있어서,

상기 제 1샘플링래치, 제 2샘플링래치 및 제 3래치 제 1전원전압에서 전송 및 보관유지 동작을 실시하고, 제 4래치는 자단(自段)으로의 기입동작 완료 후에 다음 단의 DAC에 대응하는 제 2전압에 전원전압을 변화시켜서 보관유지 및 신호출력동작을 실시하도록 구성된 것을 특징으로 하는 표시장치.

청구항 15

제 10항에 있어서,

상기 제 2수평구동회로는,

상기 제 3디지털 화상데이터를 순차적으로 샘플링하여 래치하는 샘플링래치회로와,

상기 샘플링래치회로의 각 래치데이터를 재차 래치하는 제 2래치회로와,

상기 제 2래치회로에서 래치된 디지털 화상데이터를 아날로그 화상신호로 변환하는 디지털 아날로그 변환회로(DAC)를 포함하고,

상기 제 1 및 제 2수평구동회로의 DAC는, 기준전압 선택형의 DAC를 포함하고,

복수의 기준전압을 생성하여 상기 제 1수평구동회로의 DAC에 공급하는 제 1기준전압 생성회로와,

복수의 기준전압을 생성하여 상기 제 2수평구동회로의 DAC에 공급하는 제 2기준전압 생성회로를 더욱 가지도록 구성된 것을 특징으로 하는 표시장치.

청구항 16

삭제

청구항 17

제 15항에 있어서,

적어도 상기 제 1 및 제 2수평구동회로 및 상기 제 1 및 제 2기준전압 발생회로는, 유효화소부와 동일기판에 일체적으로 형성되도록 구성된 것을 특징으로 하는 표시장치.

청구항 18

제 15항에 있어서,

상기 제 1 및 제 2수평구동회로는,

통상 모드시 사용하는 n비트 DAC와, 그것을 제어하는 n개의 데이터신호선을 가지고, n개의 데이터신호선 중 k개($n > k$)의 데이터신호선을 사용하여 제어하는 것이 가능한 k비트 DAC를 독립적으로 가지고, n비트 DAC와 k비트 DAC의 어느 쪽을 사용할지는, 모드선택신호에 의해 제어되며,

통상 모드시는 n비트 DAC를 사용하고, 소신호진폭인 제 1전원전압계보다 큰 전압진폭인 제 2전원전압계로 레벨 변환하여 n비트 DAC 회로에 입력하고, 통상 모드시보다 계조수가 적은 저계조 모드시는 k비트 DAC를 사용하고, 소신호진폭인 채로 상기 k비트 DAC 회로에 입력하도록 제어되는 것을 특징으로 하는 표시장치.

청구항 19

삭제

청구항 20

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0030]

본 발명은, 액정표시장치 등의 액티브 매트릭스형 표시장치 및 그것을 이용한 휴대단말에 관한 것이다.

[0031]

근래, 휴대전화기나 PDA(Personal Digital Assistants) 등의 휴대단말의 보급이 눈부시다. 이러한 휴대단말의 급속한 보급요인의 하나로서, 그 출력표시부로서 탑재되어 있는 액정표시장치를 들 수 있다. 그 이유는, 액정표시장치가 원리적으로 구동하기 위한 전력을 필요로 하지 않는 특성을 가진, 저소비전력의 표시 디바이스이기 때문이다.

[0032]

근래, 화소의 스위칭소자로서 폴리실리콘(TFT)(Thin Film Transistor:박막트랜지스터)을 이용한 액티브 매트릭스형 표시장치에 있어서, 화소가 매트릭스형으로 배치되어서 이루어지는 표시영역부와 동일기판상에 디지털 인터페이스 구동회로를 일체적으로 형성하는 경향에 있다.

[0033]

이 구동회로 일체형 표시장치는, 유효표시부의 주변부(액자)에 수평구동계나 수직구동계가 배치되며, 이러한 구동계가 폴리실리콘(TFT)을 이용하여 화소영역부와 함께 동일기판상에 일체적으로 형성된다.

[0034]

도 1은, 종래의 구동회로 일체형 표시장치의 개략 구성을 나타내는 도면이다(예를 들면, 특허문헌 1 참조).

[0035]

이 액정표시장치는, 도 1에 나타내는 바와 같이, 투명절연기판, 예를 들면 유리기판(1)상에, 액정 셀을 포함한 복수의 화소가 매트릭스형으로 배치된 유효표시부(2), 도 1에 있어서 유효표시부(2)의 상하에 배치된 한 쌍의 수평구동회로(H드라이버)(3U, 3D), 도 1에 있어서 유효표시부(2)의 측부(側部)에 배치된 수직구동회로(V드라이버)(4), 복수의 기준전압을 발생하는 하나의 기준전압 발생회로(5) 및 데이터 처리회로(6) 등이 집적되어 있다.

[0036]

이와 같이, 도 1의 구동회로 일체형 표시장치는, 2개의 수평구동회로(3U, 3D)를 유효화소부(2)의 양 사이드(도 1에서는 상하)에 배치하고 있는데, 이것은, 데이터선이 홀수라인과 짝수라인으로 나누어서 구동하기 위해서이다.

[0037]

도 2는, 홀수라인과 짝수라인을 따로따로 구동하는 도 1의 수평구동회로(3U, 3D)의 구성예를 나타내는 블록도이

다.

[0038] 도 2에 나타내는 바와 같이, 홀수라인 구동용의 수평구동회로(3U)와 짹수라인 구동용의 수평구동회로(3D)는 동일한 구성을 가지고 있다.

[0039] 구체적으로는, 수평전송클록(HCK)(도시하지 않음)에 동기하여 각 전송단으로부터 순차적으로 시프트펄스(샘플링펄스)를 출력하는 시프트레지스터(HSR)군(群)(3HSRU, 3HSRD)과, 시프트레지스터(31U, 31D)로부터 주어지는 샘플링펄스에 의해 디지털 화상데이터를 순차적으로 샘플링하여 래치하는 샘플링래치회로군(3SMPLU, 3SMPLD)과, 샘플링래치회로(32U, 32D)의 각 래치데이터를 선(線) 순차화 하는 선 순차화 래치회로군(3LTCU, 3LTCD)과, 선 순차화 래치회로(33U, 3D)에서 선 순차화된 디지털 화상데이터를 아날로그 화상신호로 변환하는 디지털 / 아날로그 변환회로(DAC)군(群)(3DACU, 3DACD)을 가진다.

[0040] 또한, 통상, DAC(34U, 34D)의 입력단에는, 레벨시프트 회로가 배치되며, 레벨업 시킨 데이터가 DAC(34)에 입력된다.

[0041] 도 2에 나타내는 바와 같이, 도 1의 수평구동회로(3U, 3D)는, 구동해야 할 홀수 데이터라인 및 짹수 데이터라인의 1개마다, 샘플링래치회로(32), 선 순차화 래치회로(33) 및 DAC(34)가 배치되어 있다.

[0042] 또, 휴대전화기 등의 휴대단말에 있어서는, 그 급속한 보급에 수반하여 표시장치에 대한 새로운 저소비전력화의 요구가 강해지고 있다.

[0043] 특히, 스텐바이 기간에 있어서의 저소비전력화는, 배터리의 지속 시간을 늘리기 위한 중요한 포인트가 되기 때문에, 특히 요구가 강한 항목의 하나로 되고 있다. 이러한 요구에 대해서, 다양한 전력 절약화 기술이 제안되고 있다.

[0044] 그 하나로서, 스텐바이시에 화상표시의 계조수를 각 색마다 “2” (1비트(bit))로 제한하는 이른바 1 bit 모드(2계조 모드)가 알려져 있다. 이 1 bit모드에서는, 각 색 1 bit에서의 계조표현이기 때문에, 합계 8색에서의 화상표시가 실시되게 된다.

[0045] [특허 문헌 1]특개2002-175033호 공보

발명이 이루고자 하는 기술적 과제

[0046] 그렇지만, 상술한 도 2의 수평구동회로에 있어서는, 1개의 데이터선에 대해서, 1세트의 샘플링래치회로(32), 선 순차화 래치회로(33) 및 DAC(34)가 필요하게 되기 때문에, 레이아웃적으로 허용되는 가로폭이 적다. 이 때문에 협(狹)피치화가 불가능하다. 또, 필요한 회로수도 많기 때문에 액자가 커진다고 하는 불이익이 있다.

[0047] 도 2의 수평구동회로의 경우, 시리얼 패러렐화한 R(빨강), G(초록), B(파랑) 데이터를 샘플링하는 3개의 샘플링래치회로를 필요로 하지만, 이것으로는 협피치화, 협액자화의 요망에 대응하는 것은 곤란하다.

[0048] 이것을 극복하기 위해서 이른바 세로 방향으로 레이아웃을 늘리는 것도 고려할 수 있지만, 이것으로는 급격하게 레이아웃 면적이 증대하고, 협액자화를 실현하는 것은 곤란하다.

[0049] 또, DAC로서는 기준전압 선택형의 것을 채용하고 있지만, 동일한 색을 짹수열과 홀수열로 상하로 나누고 있기 때문에, 기준전압 발생회로(15)의 출력전위를 동일하게 하지 않으면 세로 줄무늬 등이 발생하기 때문에 2개의 수평구동회로(3U, 3D)의 DAC(34U, 34D)의 기준전압선(RVL)을 연결할 필요가 있다. 이 때문에, 도 1에 있어서의 가로방향 액자의 증대도 초래하고 있다.

[0050] 또, 8색 모드(저계조 모드)를 가지는 표시장치에 있어서는, 통상 모드용과 8색 모드용의 DAC를 2개 가지고 있지만, 2개의 DAC에서 샘플링래치회로, 선 순차화 회로가 공유이며, 통상 모드시도 8색 모드시도 레벨 변환하고 나서 데이터를 DAC에 입력하는 방식이었다. 그 때문에 이하와 동일한 불이익이 있었다.

[0051] 8색 모드시에 있어서도, DAC 입력 신호진폭을 크게 하기 때문에, 충방전 전류가 크고 소비전력이 높다.

[0052] 또, 상위 비트와 하위 비트의 레벨시프터 회로를 따로따로 처리하기 때문에, 래치부의 회로가 커지고, 액자가 커진다.

[0053] 본 발명의 목적은, 협피치화가 가능하고, 협액자화를 실현할 수 있고, 또한, 보다 저소비전력화가 가능한 형태 표시장치 및 그것을 이용한 휴대단말을 제공하는 것에 있다.

발명의 구성 및 작용

[0054]

상기 목적을 달성하기 위해서, 본 발명의 제 1관점의 표시장치는, 화소가 매트릭스형으로 배치된 표시부와, 상기 표시영역부의 각 화소를 행 단위로 선택하는 수직구동회로와, 제 1 및 제 2디지털 화상데이터를 입력하게 하고, 상기 디지털 화상데이터를 아날로그 화상신호로서 상기 수직구동회로에 의해 선택된 행의 각 화소가 접속된 데이터라인에 대해서 공급하는 제 1수평구동회로와, 제 3디지털 화상데이터를 입력하게 하고, 상기 디지털 화상데이터를 아날로그 화상신호로서 상기 수직구동회로에 의해 선택된 행의 각 화소가 접속된 데이터라인에 대해서 공급하는 제 2수평구동회로를 가지고, 상기 제 1수평구동회로는, 상기 제 1 및 제 2디지털 화상데이터를 순차적으로 샘플링하여 래치하는 샘플링래치회로와, 상기 샘플링래치회로의 각 래치데이터를 재차 래치하는 제 2래치회로와, 상기 제 2래치회로에서 래치된 디지털 화상데이터를 아날로그 화상신호로 변환하는 디지털 아날로그 변환회로(DAC)와, 상기 DAC에 의해 아날로그 데이터로 변환된 상기 제 1 및 제 2디지털 화상데이터를 소정 기간 내에 시분할적으로 선택하여 상기 데이터라인에 출력하는 라인실렉터를 포함한다.

[0055]

적합하게는, 상기 제 2래치회로는, 상기 샘플링래치회로의 각 래치데이터를 선 순차화(順次化)하고, 상기 제 1수평구동회로는, 상기 제 2래치회로에 래치된 제 1 및 제 2디지털 화상데이터를, 소정 기간 내에 시분할적으로 선택하여 상기 DAC에 입력시키는 데이터실렉터를, 더욱 가진다.

[0056]

적합하게는, 상기 제 2수평구동회로는, 상기 제 3디지털 화상데이터를 순차적으로 샘플링하여 래치하는 샘플링래치회로와, 상기 샘플링래치회로의 각 래치데이터를 재차 래치하는 제 2래치회로와, 상기 제 2래치회로에서 래치된 디지털 화상데이터를 아날로그 화상신호로 변환하는 디지털 아날로그 변환회로(DAC)를 포함하고, 상기 제 1 및 제 2수평구동회로의 DAC는, 기준전압 선택형의 DAC를 포함하고, 복수의 기준전압을 생성하여 상기 제 1수평구동회로의 DAC에 공급하는 제 1기준전압 생성회로와, 복수의 기준전압을 생성하여 상기 제 2수평구동회로의 DAC에 공급하는 제 2기준전압 생성회로를 더욱 가진다.

[0057]

적합하게는, 적어도 상기 제 1 및 제 2수평구동회로는, 상기 유효화소부와 동일기판에 일체적으로 형성되어 있다.

[0058]

적합하게는, 적어도 상기 제 1 및 제 2수평구동회로 및 상기 제 1 및 제 2기준전압 발생회로는, 상기 유효화소부와 동일기판에 일체적으로 형성되어 있다.

[0059]

적합하게는, 상기 제 1 및 제 2수평구동회로의 샘플링래치회로 및 제 2래치회로는, 제 1전원전압계에서 데이터의 전송 및 보관유지 동작을 실시하고, 상기 DAC로는 제 1전원전압보다 큰 제 2전원전압계로 시프트된 데이터가 입력되며, 상기 제 1 및 제 2수평구동회로는, 통상 모드시 사용하는 n비트 DAC와, 그것을 제어하는 n개의 데이터신호선을 가지고, n개의 데이터신호선 중 k개($n > k$)의 데이터신호선을 사용하여 제어하는 것이 가능한 k비트 DAC를 독립적으로 가지고, n비트 DAC와 k비트 DAC의 어느 쪽을 사용할지는, 모드선택신호에 의해 제어되며, 통상 모드시는 n비트 DAC를 사용하고, 소(小)신호진폭인 제 1전원전압계보다 큰 전압진폭인 제 2전원전압계로 레벨 변환하여 n비트 DAC 회로에 입력하고, 통상 모드시보다 계조수가 적은 저계조 모드시는 k비트 DAC를 사용하고, 소신호진폭인 채로 상기 k비트 DAC 회로에 입력하도록 제어된다.

[0060]

본 발명의 제 2관점의 표시장치는, 화소가 매트릭스형으로 배치된 표시부와, 상기 표시영역부의 각 화소를 행 단위로 선택하는 수직구동회로와, 제 1 및 제 2디지털 화상데이터를 입력하게 하고, 상기 디지털 화상데이터를 아날로그 화상신호로서 상기 수직구동회로에 의해 선택된 행의 각 화소가 접속된 데이터라인에 대해서 공급하는 제 1수평구동회로와 제 3디지털 화상데이터를 입력하게 하고, 상기 디지털 화상데이터를 아날로그 화상신호로서 상기 수직구동회로에 의해 선택된 행의 각 화소가 접속된 데이터라인에 대해서 공급하는 제 2수평구동회로를 가지고, 상기 제 1수평구동회로는, 상기 제 1디지털 화상데이터를 순차적으로 샘플링하여 래치하는 제 1샘플링래치와, 상기 제 2디지털 화상데이터를 순차적으로 샘플링하여 래치하는 제 2샘플링래치와, 상기 제 1 및 제 2샘플링래치에 래치된 제 1 및 제 2디지털 화상데이터를 소정 기간 내에 시분할적으로 선택하여 출력하는 출력회로와, 상기 출력회로로부터 출력된 제 1 및 제 2디지털 화상데이터를 아날로그 화상신호로 변환하는 디지털 아날로그 변환회로(DAC)와, 상기 DAC에 의해 아날로그 데이터로 변환된 상기 제 1 및 제 2디지털 화상데이터를 소정 기간 내에 시분할적으로 선택하여 상기 데이터라인에 출력하는 라인실렉터를 포함한다.

[0061]

적합하게는, 상기 제 1 및 제 2샘플링래치는 종속(縱續) 접속되며, 상기 출력회로는, 상기 제 2샘플링의 출력에 대해서 종속 접속된 제 3래치 및 제 4래치를 포함하고, 상기 제 1 및 제 2샘플링래치는, 동일한 샘플링펄스에서 제 1디지털 화상데이터 및 제 2디지털 화상데이터를 격납하고, 상기 출력회로는, 상기 제 2샘플링래치의 제 2디지털 화상데이터를 상기 제 3래치를 통하여 제 4래치에 전송하고, 다음에, 제 1샘플링래치의 제 1디지털 화상데이터

이터를 제 2샘플링래치를 통하여 상기 제 3래치에 전송한다.

[0062] 적합하게는, 상기 출력회로는, 상기 동작의 다음에, 제 2디지털 화상데이터를 수평기간의 전반(前半)에 상기 DAC로 전송하고, 다음에 제 1디지털 화상데이터를 수평기간의 전반 종료 후에 제 3래치로부터 제 4래치에 전송하여 수평기간 후반의 기간에 상기 DAC에 전송한다.

[0063] 적합하게는, 상기 제 1샘플링래치, 제 2샘플링래치 및 제 3래치 제 1전원전압에서 전송 및 보관유지 동작을 실시하고, 제 4래치는 자단(自段)으로의 기입동작 완료 후에 다음 단의 DAC에 대응하는 제 2전압에 전원전압을 변화시켜서 보관유지 및 신호출력동작을 실시한다.

[0064] 본 발명의 제 3관점은, 표시장치를 갖춘 휴대단말에 있어서, 상기 표시장치는, 화소가 매트릭스형으로 배치된 표시부와, 상기 표시영역부의 각 화소를 행 단위로 선택하는 수직구동회로와, 제 1 및 제 2디지털 화상데이터를 입력하게 하고, 상기 디지털 화상데이터를 아날로그 화상신호로서 상기 수직구동회로에 의해 선택된 행의 각 화소가 접속된 데이터라인에 대해서 공급하는 제 1수평구동회로와, 제 3디지털 화상데이터를 입력하게 하고, 상기 디지털 화상데이터를 아날로그 화상신호로서 상기 수직구동회로에 의해 선택된 행의 각 화소가 접속된 데이터라인에 대해서 공급하는 제 2수평구동회로를 가지고, 상기 제 1수평구동회로는, 상기 제 1 및 제 2디지털 화상데이터를 순차적으로 샘플링하여 래치하는 샘플링래치회로와, 상기 샘플링래치회로의 각 래치데이터를 재차 래치하는 제 2래치회로와, 상기 제 2래치회로에서 래치된 디지털 화상데이터를 아날로그 화상신호로 변환하는 디지털 아날로그 변환회로(DAC), 상기 DAC에 의해 아날로그 데이터로 변환된 상기 제 1 및 제 2디지털 화상데이터를 소정 기간 내에 시분할적으로 선택하여 상기 데이터라인에 출력하는 라인실렉터를 포함한다.

[0065] 본 발명의 제 4관점은, 표시장치를 갖춘 휴대단말에 있어서, 상기 표시장치는, 화소가 매트릭스형으로 배치된 표시부와, 상기 표시영역부의 각 화소를 행 단위로 선택하는 수직구동회로와, 제 1 및 제 2디지털 화상데이터를 입력하게 하고, 상기 디지털 화상데이터를 아날로그 화상신호로서 상기 수직구동회로에 의해 선택된 행의 각 화소가 접속된 데이터라인에 대해서 공급하는 제 1수평구동회로와, 제 3디지털 화상데이터를 입력하게 하고, 상기 디지털 화상데이터를 아날로그 화상신호로서 상기 수직구동회로에 의해 선택된 행의 각 화소가 접속된 데이터라인에 대해서 공급하는 제 2수평구동회로를 가지고, 상기 제 1수평구동회로는, 상기 제 1디지털 화상데이터를 순차적으로 샘플링하여 래치하는 제 1샘플링래치와, 상기 제 2디지털 화상데이터를 순차적으로 샘플링하여 래치하는 제 2샘플링래치와, 상기 제 1 및 제 2샘플링래치에 래치된 제 1 및 제 2디지털 화상데이터를 소정 기간 내에 시분할적으로 선택하여 출력하는 출력회로와, 상기 출력회로로부터 출력된 제 1 및 제 2디지털 화상데이터를 아날로그 화상신호로 변환하는 디지털 아날로그 변환회로(DAC)와, 상기 DAC에 의해 아날로그 데이터로 변환된 상기 제 1 및 제 2디지털 화상데이터를 소정 기간 내에 시분할적으로 선택하여 상기 데이터라인에 출력하는 라인실렉터를 포함한다.

[0066] 본 발명에 의하면, 예를 들면 2개의 수평구동회로가 유효화소부의 양 사이드에 배치된다. 이것은, 데이터선의 흘수라인과 짹수라인으로 나누어서 구동하기 위해서가 아니고, 색마다 나누고, 예를 들면 제 1수평구동회로에 의해 R데이터 및 B데이터에 따라 데이터라인을 시리얼 구동하고, 제 2수평구동회로에 의해 G데이터에 따른 데이터라인의 구동을 실시한다.

[0067] 시리얼 구동시에는, 소정의 기간, 예를 들면 1수평기간(1H)의 전반(前半)의 1 / 2에서 2개의 디지털데이터 중 한 쪽의 데이터, 예를 들면 R데이터를 출력하고, 1H 후반의 1 / 2에서 다른 쪽의 B데이터를 출력하도록, 시계열 구동(시분할 구동)한다.

[0068] 이하, 본 발명의 실시형태에 있어서 도면에 관련지어 상세하게 설명한다.

<제 1실시형태>

[0069] 도 3은, 본 발명과 관련되는 구동회로 일체형 표시장치의 구성예를 나타내는 개략 구성도이다.

[0070] 여기에서는, 예를 들면, 각 화소의 전기광학소자로서 액정 셀을 이용한 액티브 매트릭스형 액정표시장치에 적용했을 경우를 예를 들어 설명한다.

[0071] 이 액정표시장치(10)는, 도 3에 나타내는 바와 같이, 투명절연기판, 예를 들면 유리기판(11)상에, 액정 셀을 포함한 복수의 화소가 매트릭스형으로 배치된 유효표시부(12), 도 3에 있어서 유효표시부(12)의 상하에 배치된 한 벌의 제 1 및 제 2수평구동회로(H드라이버)(13U, 13D), 도 1에 있어서 유효표시부(2)의 측부에 배치된 수직구동회로(V드라이버)(14), 복수의 기준전압을 발생하는 2개의 제 1 및 제 2기준전압 발생회로(15U, 15D) 및 데이터 처리회로(16) 등이 접적되어 있다. 또, 유리기판(11)의 제 2수평구동회로(13D)의 배치 위치의 근방의 가장

자리에는 데이터 등의 입력패드(17)가 형성되어 있다.

[0073] 유리기판(11)은, 능동소자(예를 들면, 트랜지스터)를 포함한 복수의 화소회로가 매트릭스형으로 배치 형성되는 제 1기판과, 이 제 1기판과 소정의 틈을 가지고 대향하여 배치되는 제 2기판에 의해 구성된다. 그리고, 이러한 제 1, 제 2기판 사이에 액정이 봉입(封入)된다.

[0074] 본 실시형태의 구동회로 일체형 액정표시장치(10)는, 2개의 수평구동회로(13U, 13D)를 유효화소부(2)의 양 사이드(도 1에서는 상하)에 배치하고 있지만, 이것은, 데이터선의 홀수라인과 짝수라인으로 나누어서 구동하기 위해서가 아니고, 색마다 나누어서, 예를 들면 제 1수평구동회로(13U)에 의해 R데이터 및 B데이터에 따라 데이터라인을 시리얼 구동하고, 제 2수평구동회로(13D)에 의해 G데이터에 따른 데이터라인의 구동을 실시한다.

[0075] 본 실시형태에 있어서, 시리얼 구동이란, 1수평기간(1H)의 전반의 1 / 2에서 2개의 디지털데이터 중 한쪽의 데이터, 예를 들면 R데이터를 출력하고, 1H 후반의 1 / 2에서 다른 쪽의 B데이터를 출력하도록 시계열 구동(시분할 구동)하는 것을 말한다.

[0076] 그리고, 3개의 색데이터를 2개의 수평구동회로(13U, 13D)로 나누어서 구동하는 것이기 때문에, 기준전압 발생회로를, 각 수평구동회로(13U, 13D)에 대응하여 개별적으로 설치해도 세로줄무늬와 동일한 화질상의 문제가 일어나는 경우가 없다.

[0077] 그래서, 본 실시형태에 있어서는, 각 수평구동회로(13U, 13D)에 근접하여, 각 구동회로대응의 기준전압 생성회로(15U, 15D)를 배치하고 있다. 이러한 제 1 및 제 2기준전압 생성회로(15U, 15D) 사이는, 기준전압선과 동일한 전원선으로 접속되어 있지 않다.

[0078] 이하, 본 실시형태의 액정표시장치(10)의 각 구성요소의 구성 및 기능에 대해서 순서대로 따라 설명한다.

[0079] 유효표시부(12)는, 액정 셀을 포함한 복수의 화소가 매트릭스형으로 배열되어 있다.

[0080] 그리고, 유효표시부(12)는, 수평구동회로(13U, 13D) 및 수직구동회로(14)에 구동되는 데이터라인 및 수직주사라인이 매트릭스형으로 배선되어 있다.

[0081] 도 4는, 유효표시부(12)의 구체적인 구성의 일례를 나타내는 도면이다.

[0082] 여기에서는, 도면의 간략화를 위해서, 3행($n-1$ 행 ~ $n+1$ 행) 4열($m-2$ 열 ~ $m+1$ 열)의 화소 배열의 경우를 예를 들어 나타내고 있다.

[0083] 도 4에 있어서, 표시부(12)에는, 수직주사라인…, 121 $n-1$, 121 n , 121 $n+1$, …과, 데이터라인…, 122 $m-2$, 122 $m-1$, 122 m , 122 $m+1$, …이 매트릭스형으로 배선되며, 그러한 교점부분에 단위화소(123)가 배치되어 있다.

[0084] 단위화소(123)는, 화소 트랜지스터인 박막 트랜지스터(TFT), 액정 셀(LC) 및 보관유지 용량(Cs)을 가지는 구성으로 되어 있다. 여기서, 액정 셀(LC)은, 박막 트랜지스터(TFT)로 형성되는 화소 전극(한쪽의 전극)과 이것에 대향하여 형성되는 대향 전극(다른 쪽의 전극)과의 사이에 발생하는 용량을 의미한다.

[0085] 박막 트랜지스터(TFT)는, 게이트 전극이 수직주사라인…, 121 $n-1$, 121 n , 121 $n+1$, …에 접속되며, 소스 전극이 데이터라인…, 122 $m-2$, 122 $m-1$, 122 m , 122 $m+1$, …에 접속되어 있다.

[0086] 액정 셀(LC)은, 화소 전극이 박막 트랜지스터(TFT)의 드레인 전극에 접속되며, 대향 전극이 공통라인(124)에 접속되어 있다. 보관유지 용량(Cs)은, 박막 트랜지스터(TFT)의 드레인 전극과 공통라인(124)과의 사이에 접속되어 있다.

[0087] 공통라인(124)에는, 유리기판(11)에 구동회로 등과 일체적으로 형성되는 VCOM회로(18)에 의해 소정의 교류 전압이 코먼 전압(Vcom)으로서 주어진다.

[0088] 수직주사라인…, 121 $n-1$, 121 n , 121 $n+1$, …의 각 일단은, 도 3에 나타내는 수직구동회로(14)의 대응하는 행의 각 출력단에 각각 접속된다.

[0089] 수직구동회로(14)는, 예를 들면 시프트레지스터를 포함하여 구성되며, 수직전송클록(VCK)(도시하지 않음)에 동기하여 순차적으로 수직선택펄스를 발생하여 수직주사라인…, 121 $n-1$, 121 n , 121 $n+1$, …에 부여함으로써 수직 주사를 실시한다.

[0090] 또, 표시부(12)에 있어서, 예를 들면, 데이터라인…, 122 $m-1$, 122 $m+1$, …의 각 일단이 도 3에 나타내는 제

1수평구동회로(13U)에 대응하는 열의 각 출력단에, 각 타단이 도 3에 나타내는 제 2수평구동회로(13D)에 대응하는 열의 각 출력단에 각각 접속된다.

[0091] 제 1수평구동회로(13U)는, R데이터 및 B데이터에 따라 데이터라인을 시리얼 구동하고, 제 2수평구동회로(13D)에 의해 G데이터에 따른 데이터라인의 구동을 실시한다.

[0092] 제 1수평구동회로(13U)는, 시리얼 구동에 수반하지 않고, 1수평기간(1H)의 전반의 1 / 2에서 2개의 디지털데이터 중 한쪽의 데이터, 예를 들면 R데이터를 출력하고, 1H 후반의 1 / 2에서 다른 쪽의 B데이터를 출력하도록 구동한다.

[0093] 따라서, 본 실시형태에 있어서는, 시리얼 구동을 실시하는 R데이터 및 B데이터용의 제 1수평구동회로(13U)와, 시리얼 구동을 실시하지 않는 G데이터용의 제 2수평구동회로(13D)와는, 구성이 다르다.

[0094] 도 5는, 본 실시형태의 제 1수평구동회로(13U)와 제 2수평구동회로(13D)의 기본적 구성예를 나타내는 블록도이다.

[0095] 제 1수평구동회로(13U)는, 도 5에 나타내는 바와 같이, 시프트레지스터(HSR)군(13HSRU), 샘플링래치회로군(13SMPLU), 제 2래치회로(선 순차화 래치회로)군(13LTCU), 데이터실렉터군(13DSEL), DAC군(13DACU) 및 라인실렉터군(13LSEL)을 가진다.

[0096] 한편, 제 2수평구동회로(13D)는, 도 5에 나타내는 바와 같이, 시프트레지스터(HSR)군(13HSRD), 샘플링래치회로군(13SMPLD), 제 2래치회로(선 순차화 래치회로)군(13LTCD) 및 DAC군(13DACD)을 가진다.

[0097] 또한 본 실시형태에 있어서는, 데이터 처리회로(16)로부터 각 수평구동회로(13U, 13D)에 입력되는 데이터는 0~3V(2.9V)계의 레벨에서 공급된다.

[0098] 그리고, 제 1수평구동회로(13U)에 있어서는, 시프트레지스터(HSR)군(13HSRU), 샘플링래치회로군(13SMPLU), 제 2래치회로(선 순차화 래치회로)군(13LTCU), 데이터실렉터군(13DSEL)은, 0~3V(2.9V)계의 전압에서 구동되며, DAC군(13DACU)의 입력단에 도시하지 않지만 레벨시프터가 배치되어서, 예를 들면 -2.3V ~ 4.8V계로 레벨업 된다.

[0099] 동일하게, 제 2수평구동회로(13D)에 있어서는, 시프트레지스터(HSR)군(13HSRD), 샘플링래치회로군(13SMPLD), 제 2래치회로(선 순차화 래치회로)군(13LTCD)은, 0~3V(2.9V)계의 전압에서 구동되며, DAC군(13DACD)의 입력단에 도시하지 않지만 레벨시프터가 배치되고, 예를 들면 -2.3V ~ 4.8V계로 레벨업 된다.

[0100] 이하에, 제 1수평구동회로(13U) 및 제 2수평구동회로(13D)의 구성 및 기능에 대해서, 도 6, 도 7, 도 8 및 도 9에 관련지어 설명한다.

[0101] 우선, 도 6 및 도 7에 관련지어 제 1수평구동회로(13U)의 구성 및 기능에 대해서 설명한다.

[0102] 도 6은, 제 1수평구동회로(13U)의 구체적인 구성예를 나타내는 회로도이다.

[0103] 또, 도 7(A) ~ (M)는 도 6의 제 1수평구동회로(13U)의 타이밍차트이다.

[0104] 시프트레지스터군(13HSRU)은, 수평전송클록(HCK)(도시하지 않음)에 동기하여 각 열에 대응하는 각 전송단으로부터 순차적으로 시프트펄스(샘플링펄스)(SP)를 출력하는 복수의 시프트레지스터(HSR)(131U)를 가진다.

[0105] 샘플링래치회로군(13SMPLU)은, 각 열에 대응하여 2개의 샘플링스위치(132U-1, 132U-2)와, 샘플링래치회로(133U-1, 133U-2)를 가지고, 대응하는 시프트레지스터(131U)로부터 주어지는 샘플링펄스(SP)에 의해 디지털화상데이터, 구체적으로는 R데이터 및 B데이터를 병렬적으로 순차 샘플링하여 래치한다.

[0106] 도 6의 예에서는, 샘플링스위치(132U-1)를 통하여 R데이터를 샘플링래치회로(133U-1)에 래치하고, 샘플링스위치(132U-2)를 통하여 B데이터를 샘플링래치회로(133U-2)에 래치한다.

[0107] 제 2래치회로군(13LTCU)은, 각 열에 대응하여 2개의 샘플링스위치(134U-1, 134U-2)와, 제 2래치회로(135U-1, 135U-2)를 가지고, 펄스(OERB)에 의해 샘플링래치회로(133U-1, 133U-2)의 각 래치데이터인 R데이터 및 B데이터를 선 순차화하여 제 2래치회로(135U-1, 135U-2)에 래치한다.

[0108] 도 6의 예에서는, 샘플링스위치(134U-1)를 통하여 R데이터를 제 2래치회로(135U-1)에 래치하고, 샘플링스위치(134U-2)를 통하여 B데이터를 제 2래치회로(135U-2)에 래치한다.

[0109] 데이터실렉터군(13DSEL)은, 각 열에 대응하여 2개의 선택스위치(136U-1, 136U-2)를 가지고, 1수평기간(1H) 전반의 대략 1 / 2 기간에 액티브의 예를 들면 하이레벨로 설정되는 R데이터 선택신호(DSELR)에 의해 선택스위치

(136U-1)를 통하여 제 2래치회로(135U-1)에 래치된 R데이터를 DAC군(13DACP)의 동일한 열의 DAC에 입력하고, 1H 후반의 대략 1/2 기간에 액티브의 하이레벨로 설정되는 B데이터 선택신호(DSELB)에 의해 제 2래치회로(135U-2)에 래치된 B데이터를, 1H 전반에 R데이터를 입력시킨 동일 열의 DAC에 입력한다.

[0110] DAC군(13DACP)은, 각 열에 대응하여 1개의 예를 들면 6비트 DAC(혹은 3비트 DAC 등)(137U)를 가지고, 제 1기준 전압 선택회로(15U)에서 발생되는 기준전압(V0 ~ V63)을 선택스위치(136U-1, 136U-2)에 의해 선택적으로 입력되는 6비트의 R데이터 및 B데이터의 값에 따라 선택하고, 아날로그(R데이터) 및 아날로그(B데이터)를 라인실렉터군(13LSEL)의 동일 열의 선택스위치에 출력한다.

[0111] 라인실렉터군(13LSEL)은, 각 열에 대응하여 2개의 선택스위치(138U-1, 138U-2)를 가지고, 1수평기간(1H)의 전반의 대략 1/2 기간에 액티브의 예를 들면 하이레벨로 설정되는 아날로그(R데이터) 선택신호(SSELR)에 의해 선택스위치(138U-1)를 통하여 대응하는 DAC(137U)로부터 출력된 아날로그(R데이터)를 대응하는 데이터라인에 출력하고, 1H 후반의 대략 1/2 기간에 액티브의 하이레벨로 설정되는 아날로그(B데이터) 선택신호(SSELB)에 의해 선택스위치(138U-2)를 통하여 대응하는 DAC(137U)로부터 출력된 아날로그(B데이터)를 1H 전반에 R데이터를 동일 열의 데이터라인에 출력한다.

[0112] 다음에, 도 8 및 도 9에 관련지어 제 2수평구동회로(13D)의 구성 및 기능에 대하여 설명한다.

[0113] 도 8은, 제 2수평구동회로(13D)의 구체적인 구성예를 나타내는 회로도이다.

[0114] 또, 도 9(A) ~ (G)는 도 8의 제 2수평구동회로(13D)의 타이밍차트이다.

[0115] 시프트레지스터군(13HSRD)은, 수평전송클록(HCK)(도시하지 않음)에 동기하여 각 열에 대응하는 각 전송단으로부터 순차적으로 시프트펄스(샘플링펄스)(SP)를 출력하는 복수의 시프트레지스터(HSR) 131D를 가진다.

[0116] 샘플링래치회로군(13SMPLD)은, 각 열에 대응하여 1개의 샘플링스위치(132D)와, 샘플링래치회로(133D)를 가지고, 대응하는 시프트레지스터(131D)로부터 주어지는 샘플링펄스(SP)에 의해 디지털 화상데이터, 구체적으로는 G데이터를 순차적으로 샘플링하여 래치한다.

[0117] 제 2래치회로군(13LTCD)은, 각 열에 대응하여 1개의 샘플링스위치(134D)와, 제 2래치회로(135D)를 가지고, 펄스(OEG)에 의해 샘플링래치회로(133D)의 래치데이터인 G데이터를 선(線) 순차화하여 제 2래치회로(135D)에 래치한다.

[0118] DAC군(13DACP)은, 각 열에 대응하여 1개의 예를 들면 6비트 DAC(혹은 3비트 DAC 등)(137D)를 가지고, 제 2기준 전압 선택회로(15D)에서 발생되는 기준전압(V0 ~ V63)을 대응하는 제 2래치회로(135D)에 래치된 G데이터를 아날로그 데이터로 변환하고, 동일 열의 데이터라인에 출력한다.

[0119] 제 1기준전압 발생회로(15U)는, 기준전압 선택형 6비트 DAC(137U)에 관련된 회로이며, 입력 화상데이터의 비트수에 대응한 계조수 만큼의 기준전압(V0 ~ V63)을 발생하고, 기준전압 선택형 DAC(137U)에 부여한다.

[0120] 기준전압 발생회로(15U)에 있어서, 검은색신호용 기준전압(V0) 및 흰색신호용 기준전압(V63)을 저항 분할에 의해 분할하여 색신호용 기준전압(V1 ~ V62)이 생성된다.

[0121] 제 2기준전압 발생회로(15D)는, 기준전압 선택형 6비트 DAC(137D)에 관련된 회로이며, 입력 화상데이터의 비트수에 대응한 계조수 만큼의 기준전압(V0 ~ V63)을 발생하고, 기준전압 선택형 DAC(137D)에 부여한다.

[0122] 기준전압 발생회로(15D)에 있어서, 검은색신호용 기준전압(V0) 및 흰색신호용 기준전압(V63)을 저항 분할에 의해 분할하여 색신호용 기준전압(V1 ~ V62)이 생성된다.

[0123] 데이터 처리회로(16)는, 외부에서 입력된 패러렐의 디지털데이터에 대해서, 위상조정이나 주파수를 내리기 위한 패러렐 변환을 실시하고, R데이터 및 B데이터를 제 1수평구동회로(13U)에 출력하고, G데이터를 제 2수평구동회로(13D)에 출력한다.

[0124] 다음에, 상기 구성에 의한 동작을 설명한다.

[0125] 외부에서 입력된 패러렐의 디지털데이터는, 유리기판(11)상의 데이터 처리회로(16)에서 위상 조정이나 주파수를 내리기 위한 패러렐 변환이 실시되며, R데이터 및 B데이터가 제 1수평구동회로(13U)에 출력되며, G데이터가 제 2수평구동회로(13D)에 출력된다.

[0126] 제 2수평구동회로(13D)에서는, 데이터 처리회로(16)에서 입력된 디지털 G데이터가 샘플링래치회로(133D)에서 1H에 걸쳐서 순차적으로 샘플링하여 보관유지된다. 그 후, 수평의 블랭킹 기간에 제 2래치회로(135D)에 전송되

며, 다음의 1H 기간에 DAC(137D)에서 아날로그 데이터로 변환된 G데이터가 데이터라인에 출력된다.

[0127] 제 1수평구동회로(13U)에서는, R데이터와 B데이터가 따로따로 1H에 걸쳐서 샘플링하여 샘플링래치회로(133U-1, 133U-2)에 보관유지되며, 다음의 수평 블랭킹 기간에 각각의 제 2래치회로(135U-1, 135U-2)에 전송된다.

[0128] 다음의 1H 기간에 데이터실렉터에 의해서 1H 전반의 1/2에서 R데이터가, 후반의 1/2에서 BD데이터가 DAC(137U)에 출력된다.

[0129] DAC(137U)의 입력에 대응하여 데이터라인을 선택하는 라인실렉터에 의해 출력데이터라인의 변환이 실시된다.

[0130] 또한 G, R, B 처리의 차례는 바뀌어도 실현 가능하다.

[0131] 본 실시형태에 의하면, R데이터와 B데이터의 DAC 출력을 시리얼처리하여 회로수를 적게 할 수 있기 때문에, 하나의 회로에 사용할 수 있는 레이아웃 피치는 종래에 대해서, G데이터를 처리하는 제 2수평구동회로(13D)의 샘플링래치회로와 제 2래치회로와 DAC가 3/2배로, R데이터 및 B데이터를 처리하는 제 1수평구동회로(13U) 중 DAC가 3/2배가 된다. 이것에 의해 수평구동회로 부분의 레이아웃의 협(狹)액자화를 도모할 수 있다.

[0132] 또, 색마다 수평구동회로를 유효표시부(12)의 상하로 나누었기 때문에, 기준전압 발생회로를 제 1수평구동회로(13U)와 제 2수평구동회로(13D)로 따로 가졌을 경우에도 종래의 세로 줄무늬와 동일한 화질상의 문제가 일어나는 경우가 없다. 따로따로 기준전압 발생회로를 가지는 것으로 상하의 수평구동회로 사이에 기준전압 배선을 연결할 필요가 없어지기 때문에 가로 측의 협액자화도 실현할 수 있다.

[0133] 또한 이상의 설명에서는, R데이터와 B데이터의 배열 변환을 제 1수평구동회로(13U) 내에 라인메모리를 가지고 실시했지만, 수평구동회로의 외부에서 데이터의 배열 변환을 실시하는 것도 가능하다.

[0134] 도 10은, 외부에 데이터배열 변환회로를 가지는 경우의 제 1수평구동회로의 구성예를 나타내는 회로도이다.

[0135] 또, 도 11(A) ~ (J)은 도 10의 제 1수평구동회로(13UA)의 타이밍차트이다.

[0136] 도 10의 제 1수평구동회로(13UA)가 도 6의 회로와 다른 점은, 각 열 마다 대응하여 설치되는 샘플링스위치가 2개가 아닌 1개로 좋은 것과, 데이터실렉터를 설치할 필요가 없는 것이다.

[0137] 이 방식을 채용하는 것으로, 제 1수평구동회로(13UA) 내의 샘플링래치회로와 제 2래치회로의 시리얼처리화도 가능하게 되며, 이러한 회로에 사용할 수 있는 레이아웃 피치도 종래에 대해서 3/2배가 된다.

[0138] 이것에 의해, 도 12에 나타내는 바와 같이, 협(狹)피치까지의 구동회로 개발이 더욱더 가능하게 되는 동시에 새로운 협액자화를 실현할 수 있다.

[0139] 본 구동방식에 의해서, 협액자로 고정밀까지 대응할 수 있는 구동회로 일체형 표시소자의 제작이 가능하게 된다.

[0140] <제 2실시형태>

[0141] 다음에, 제 2실시형태로서 본 발명과 관련되는 구동회로 일체형 액정표시장치에 있어서의 제 1수평구동회로의 보다 적합한 구성에 대하여 설명한다.

[0142] 도 13은, 제 2실시형태와 관련되는 구동회로 일체형 액정표시장치의 구성을 나타내는 블록도이다.

[0143] 또한 도 13의 액정표시장치(10B)에 있어서는, 이해를 용이하게 하기 위해서, 제 1실시형태와 관련되는 액정표시장치(10)와 동일 구성 부분은 동일 부호로서 나타내고 있다.

[0144] 또한 제 2수평구동회로(13D)는, 시프트레지스터를 생략하고, 또, 레벨시프터를 포함한 구성으로서 기재하고 있지만, 실질적으로는 제 1실시형태에서 설명한 회로와 동일한 구성 및 기능을 가진다.

[0145] 이하에서는, 제 1수평구동회로(20)의 구성 및 기능에 대해서만 설명한다.

[0146] 도 13의 제 1수평구동회로(20)는, 기본적으로는, 제 1실시형태의 경우와 동일한 2개의 샘플링래치회로군과 2개의 제 2래치회로군을 가진다.

[0147] 도 13에 있어서는, 2개의 샘플링래치회로군을 제 1샘플링래치군(21), 제 2샘플링래치(22)군으로 하고, 2개의 제 2래치회로군을 제 3래치군(23), 제 4래치군(24)으로 하고 있다.

[0148] 또, 후술하는 바와 같이, 제 3래치군(23), 제 4래치군(24)은 데이터실렉터의 기능을 포함하도록 구성되며, 제 4

래치군은 레벨시프트 기능을 포함하도록 구성된다.

[0149] 또, 시프트레지스터군을 생략하고 있지만, 실질적으로는 제 1실시형태와 동일하게, 시프트레지스터군은 설치된다.

[0150] 즉, 제 1수평구동회로(20)는, 도시하지 않는 시프트레지스터군, 제 1샘플링래치군(21), 제 2샘플링래치군(22), 제 3래치군(23), 제 4래치군(24), DAC군(25) 및 라인선택터군(26)을 가진다.

[0151] 또한 제 3래치군(23) 및 제 4래치군에 의해 출력회로군이 구성된다.

[0152] 도 14는, 각 열에 배치되는 4단의 래치구성을 나타내는 블록도이다.

[0153] 도 14의 회로는, 도시하지 않는 시프트레지스터로부터의 샘플링 펄(SP)에 의해 1번째의 디지털 R데이터를 래치하는 제 1샘플링래치(210), 동일한 샘플링펄스(SP)에서 2개째의 디지털 B데이터를 래치하는 제 2샘플링래치(220), 그 다음에 일괄적으로 디지털 R데이터 및 B데이터를 전송하는 제 3래치(230) 및 전송된 디지털데이터의 레벨시프트를 실시하여 DAC에 전송하는 제 4래치(240)에 의해 구성된다.

[0154] 또한 제 3래치와 제 4래치에 의해 출력회로가 구성된다.

[0155] 제 1수평구동회로(20)에 있어서는, 시프트레지스터(HSR)군, 제 1샘플링래치군(21), 제 2샘플링래치군(22), 제 3래치(23)는, 0~3V(2.9V)계의 제 1전원전압VDD1(VSS)에서 전송 및 보관유지 동작을 실시하고, 제 4래치(24)는 자단(自段)으로의 기입동작 완료 후에 다음 단의 DAC에 대응하는, 예를 들면 -2.3V ~ 4.8V계의 제 2전원전압(VH, VL)으로 변화하여, 보관유지 및 신호데이터 출력동작을 실시한다.

[0156] 도 15는, 도 14의 회로의 구체적인 구성예를 나타내는 회로도이다.

[0157] 제 1샘플링래치(210)는, n채널의 트랜지스터(NT211 ~ NT218) 및 p채널의 트랜지스터(PT211 ~ PT214)를 포함하여 구성되어 있다.

[0158] 트랜지스터(NT211)는, 게이트에 샘플링펄스가 공급되는 R데이터의 입력전송게이트(211)를 구성하고 있다.

[0159] 트랜지스터(PT211와 NT212, PT212와 NT213)로 구성되는 CMOS인버터의 입출력끼리를 교차 결합하여 래치(212)가 구성되어 있다. 또, 트랜지스터(NT214)는, 게이트에 샘플링펄스의 반전신호(XSP)가 공급되고, 래치(212)의 이코라이즈(equalize) 회로(213)를 구성하고 있다.

[0160] 트랜지스터(PT213 및 NT215)에 의해 CMOS 인버터로부터 이루어지는 출력버퍼(214)가 구성되어 있다.

[0161] 트랜지스터(PT214 및 NT216)에 의해 CMOS 인버터로부터 이루어지는 출력버퍼(215)가 구성되어 있다.

[0162] 그리고, 트랜지스터(NT217)는, 게이트에 신호(0e1)가 공급되고, 출력버퍼(214)의 제 2샘플링래치(220)로의 출력전송게이트(216)를 구성하고, 트랜지스터(NT218)는, 게이트에 신호(0e1)가 공급되고, 출력버퍼(215)의 제 2샘플링래치(220)로의 출력 전송게이트(217)를 구성하고 있다.

[0163] 제 2샘플링래치(220)는, n채널의 트랜지스터(NT221 ~ NT226) 및 p채널의 트랜지스터(PT221 ~ PT223)를 포함하여 구성되어 있다.

[0164] 트랜지스터(NT221)는, 게이트에 샘플링펄스가 공급되는 B데이터의 입력전송게이트(221)를 구성하고 있다.

[0165] 트랜지스터(PT221와 NT222, PT222와 NT223)로 구성되는 CMOS인버터의 입출력끼리를 교차 결합하여 래치(222)가 구성되어 있다. 또, 트랜지스터(NT224)는, 게이트에 샘플링펄스의 반전신호(XSP)가 공급되고, 래치(222)의 이코라이즈 회로(223)를 구성하고 있다.

[0166] 트랜지스터(PT223와 NT225)에 의해 CMOS 인버터로부터 이루어지는 출력버퍼(224)가 구성되어 있다.

[0167] 그리고, 트랜지스터(NT226)는, 게이트에 신호(0e2)가 공급되고, 출력버퍼(224)의 제 3래치(230)로의 출력 전송게이트(216)를 구성하고 있다.

[0168] 제 3래치(230)는, n채널의 트랜지스터(NT231 ~ NT235) 및 p채널의 트랜지스터(PT231 ~ PT233)를 포함하여 구성되어 있다.

[0169] 트랜지스터(PT231와 NT231, PT232와 NT232)로 구성되는 CMOS인버터의 입출력끼리를 교차 결합하여 래치(231)가 구성되어 있다. 또, 트랜지스터(NT233)는, 게이트에 신호(0e3)의 반전신호(X0e3)가 공급되어, 래치(231)의 이코라이즈 회로(232)를 구성하고 있다.

- [0170] 트랜지스터(PT233와 NT234)에 의해 CMOS 인버터로부터 이루어지는 출력버퍼(233)가 구성되어 있다.
- [0171] 그리고, 트랜지스터(NT235)는, 게이트에 신호(0e3)가 공급되어, 출력버퍼(233)의 제 4래치(240)로의 출력 전송 게이트(234)를 구성하고 있다.
- [0172] 제 4래치(240)는, n채널의 트랜지스터(NT241 ~ NT244) 및 p채널의 트랜지스터(PT241 ~ PT244)를 포함하여 구성되어 있다.
- [0173] 트랜지스터(PT241와 NT241, PT242와 NT242)로 구성되는 CMOS 인버터의 입출력끼리를 교차 결합하여 래치(241)가 구성되어 있다. 또, 트랜지스터(NT243)는 게이트에 전압(VSS)이 공급되며, 트랜지스터(PT243)는 게이트에 신호(0e4a)가 공급되어, 래치(241)의 이코라이즈 회로(242)를 구성하고 있다.
- [0174] 트랜지스터(PT244와 NT244)에 의해 CMOS 인버터로부터 이루어지는 출력버퍼(243)가 구성되어 있다.
- [0175] 이 제 4래치(240)는, 제 2전원전압계인 전압(VH, VL)이 공급되어서 동작한다.
- [0176] 도 15의 회로에 있어서는, 연속하는 화상데이터를 샘플링할 때, 제 1샘플링래치(210)에 있는 화상데이터(R데이터 또는 B데이터)를 CMOS 래치 셀(212)에 격납한다. 그들과 동시에 제 2샘플링래치(220)에 위와 다른 화상데이터(B데이터 또는 R데이터)를 CMOS 래치 셀(222)에 격납한다.
- [0177] 수평방향 1 라인 모든 데이터를 제 1샘플링래치(210), 제 2샘플링래치(220)에 격납이 완료되면, 수평방향 블랭킹 기간에 제 2샘플링래치 내의 CMOS 래치 셀(222)의 데이터를 제 3래치(230)에 전송하고, 곧바로 제 4래치(240)에 격납한다. 이때, 제 3래치(230)는 보관유지하지 않도록 CMOS 래치(231) 구조를 해제한다.
- [0178] 제 2샘플링래치(220) 내의 데이터를 제 4래치(230)에 전송이 종료하면, 다음에 제 1샘플링래치(210)에 격납하고 있는 데이터를 제 2샘플링래치(220)에 전송하고, 곧바로 제 3래치(230)에 격납한다.
- [0179] 다음의 수평방향 1 라인의 데이터를 제 1샘플링래치(210), 제 2샘플링래치(220)에 격납하는 동안에, 제 4래치(240)에 격납되어 있는 1번째의 데이터를 DAC(25)에 입력한다. 1번째의 데이터가 DAC로 전송이 끝나면 제 3래치(230)에 격납되어 있는 2번째의 데이터가 DAC에 입력된다.
- [0180] 이 샘플링래치방식에 의해 2개의 디지털데이터를 1개의 샘플링래치회로에서 동작시키기 때문에 Hdot 피치의 소형화를 실현할 수 있는 것이며, 이것에 의해 고해상도화가 가능해진다.
- [0181] 이와 같이, 본 제 2실시형태와 관련되는 제 1수평구동회로(20)는, 도 16(A) ~ (M)의 타이밍차트에 나타내는 바와 같이, 제 1데이터신호군(R데이터 또는 B데이터)을 제 1래치군(21)에, 제 2데이터신호군(B데이터 또는 R데이터)을 제 2래치군(22)에 동일한 샘플링펄스(SP)에서 격납한 후, 우선, 제 2데이터신호군을 제 4래치군(24)에 전송하고, 다음에 제 1데이터신호군을 제 3래치군(23)에 전송한다.
- [0182] 상기 동작의 다음에, 도 17(A) ~ (J)의 타이밍차트에 나타내는 바와 같이, 제 2데이터신호군을 수평기간의 전반(前半)에 DAC로 전송하고, 그 다음에 제 1데이터신호를 수평기간의 전반종료 후에 제 3래치군(23)으로부터 제 4래치군으로 전송하여 수평기간의 후반의 기간에 DAC로 전송한다.
- [0183] 즉, DAC는, 제 1데이터신호군과 제 2데이터신호군으로 겹용(공용)하고 있다.
- [0184] 그리고, 도 18(A) ~ (K)에 나타내는 바와 같이, 유효표시부(12) 중의 제 1데이터신호에 대응하는 데이터라인과 제 2데이터신호에 대응하는 데이터라인에, 데이터실렉터군(26)을 개입시켜 시계열적으로 신호를 분배한다.
- [0185] 또, 도 19(A) ~ (O)의 타이밍차트에 나타내는 바와 같이, 제 1래치(210)로부터 제 3래치(230)는 제 1전원전압 VDD1(VSS)에서 전송 및 보관유지 동작을 실시하고, 제 4래치(240)는 자단(自段)으로의 기입동작 완료 후에 다음 단의 DAC에 대응하는 제 2전압(VH, VL)에 전원전압을 변화시켜서 보관유지 및 신호출력동작을 실시한다.
- [0186] 도 20은, 도 14의 제 1수평구동회로(20)와 데이터 처리회로(16)와의 구성을 상세하게 나타내는 도면이다.
- [0187] 데이터 처리회로(16)는, 입력데이터(R, B)의 레벨을 0~3V(2.9V)계(系)로부터 6V계로 시프트하는 레벨시프터(161-1, 161-2), 레벨시프트된 R, B데이터를 시리얼데이터로부터 패러렐데이터로 변환하는 시리얼·패러렐 변환회로(162-1, 162-2), 패러렐데이터를 6V계로부터 0~3V(2.9V)계로 다운시프트하여 수평구동회로(20)에 출력하는 레벨시프터(163-1 ~ 163-4)를 가진다.
- [0188] 이 회로구성에 의하여, 종래의 방식으로부터 데이터를 샘플링에 필요한 샘플링래치회로수가 감소하고, Hdot 피치의 협피치화에 기여하고 있다. 또, 종래형의 샘플링래치회로로부터 새로운 방식의 샘플링래치회로로 바꿈

으로써 저소비전력화를 가능하게 하고 있다. 여기서, 도 20의 예에서는 데이터 처리 시스템에 있어서 2 패러렐화 되어있지만 2개 이상의 복수의 패러렐화에서도 가능하다. 그 경우에는, 수평구동회로는 그 패러렐수에 따르고, 블록도 그 수(數) 순서대로 한다.

[0189] 종래의 방식에서는 수평구동회로는 Hdot수 ×RGB의 샘플링래치회로를 필요로 하고, Hdot 피치폭에 3개의 화상데이터만큼의 샘플링래치회로를 배치하지 않으면 안 되기 때문에 협(狹)피치화를 진행시키는데 장해가 된다.

[0190] 이것에 대해서, 본 제 2실시형태의 구동회로 일체형 표시장치(10B)에 의하면, 1개의 샘플링래치회로로 2개의 화상데이터(예를 들면 R, B)를 구동시키기 위해, 표시영역 위(혹은 아래)에 배치하면 Hdot 피치에 1개의 샘플링래치회로를 배치하면 좋다.

[0191] 이때, 또 하나의 G데이터를 샘플링하는 제 2수평구동회로는 반대 측에 배치하기 때문에, 고해상도화를 실현할 수 있다.

[0192] 또, 종래 회로보다 샘플링회로수를 약간할 수 있기 때문에 소비전력을 억제할 수 있다.

[0193] 도 13의 예에서는 R데이터와 B데이터를 본 발명의 샘플링래치회로에 입력하고 있지만, RGB의 어느 쪽이든 2개의 데이터를 입력해도 좋다.

[0194] 즉, 본 제 2실시형태에 의하면, 1개의 샘플링래치회로로 2개의 디지털데이터를 DAC에 전송하는 회로를 절연 기판상에 실현할 수 있고, 구동회로 일체형 표시장치를 실현할 수 있다.

[0195] 또, 저소비전력인 샘플링래치회로 및 구동회로 일체형 표시장치를 실현할 수 있다.

<제 3실시형태>

[0197] 제 1 및 제 2실시형태에 있어서는, 통상 모드에 대해서만 설명했지만, 본 제 3실시형태에 있어서는, 통상 모드에 더하여 통상 모드보다 계조수가 적은 저계조 모드(8색 모드)의 설정시에 수평구동회로에 대해서 계조수에 대응한 회로부분만을 액티브 상태로 함으로써, 나머지의 회로부분이 비액티브 상태가 되며, 그 회로부분에서는 전력이 소비되지 않기 때문에, 그만큼 저소비전력화를 도모할 수 있도록 한 구성예를 설명한다.

[0198] 도 21은, 본 제 3실시형태와 관련되는 수평구동회로(30)의 주요부 구성을 나타내는 블록도이다.

[0199] 도 21에 있어서, 이해를 용이하게 하기 위해, 도 6, 도 8, 혹은 도 10과 동일한 구성부분은 동일 부호로서 나타내고 있다.

[0200] 또, 도 21에 있어서는, 6비트 DAC(137)의 전단(前段)에 레벨시프터(139)를 배치하고, 6비트 DAC에 병렬로 1비트 DAC(140)가 설치되어 있다.

[0201] 그리고, 레벨시프터(140)의 전단까지는 제 1 및 제 2실시형태에서 이미 설명한 바와 같이 소신호진폭 0~3V(2.9V)계로 구동되지만, 본 제 3실시형태에 있어서는, 1비트 DAC(140)에는, 레벨시프터(139)에 의해 레벨시프트 시켜서 레벨업한 6비트 중 비트데이터(d5)를 입력시키는 것이 아니라, 이 소진폭 0~3V(2.9V)계의 데이터 비트(d5)를 입력시키고 있다.

[0202] 즉, 본 제 3실시형태의 수평구동회로(13)는, 통상 모드시 사용하는 n비트(이 예에서는 n=6비트) DAC(137)와 그것을 제어하는 n개의 데이터신호선을 가지고 있어, n개의 데이터신호선 중 k개($n > k$)의 데이터신호선을 사용하여 제어하는 것이 가능한 k비트(이 예에서는 k=1비트) DAC(140)를 독립적으로 가지고 있다.

[0203] n비트 DAC와 k비트 DAC의 어느 쪽을 사용할지는, 모드선택신호에 의해 제어된다. 통상 모드시는 n비트 DAC를 사용하고, 소신호진폭(V1)보다 큰 전압진폭(V2)으로 레벨 변환하여 n비트 DAC 회로에 입력한다. 통상 모드시 보다 계조수가 적은 저계조 모드시(8색 모드시)는 k비트 DAC(140)를 사용하고, 소신호진폭(V1)인 채로 k비트 DAC 회로에 입력한다.

[0204] 본 수평구동회로(13C)에 있어서는, 통상 모드시는, 소신호진폭(V1)의 데이터를 6비트 DAC(137)의 스위칭에 필요한 전압진폭(V2)까지 레벨업하는 레벨시프터(139)를 통하여 6비트 DAC(137)에 출력된다.

[0205] 이때, 저계조 모드용 1비트 DAC(140)는, 모드선택신호에 의해 정지하고 있다.

[0206] 저계조 모드시는, 소신호진폭(V1)의 전압인 채로 MSB 배선(d5 out)을 사용하여, 1비트 DAC(140)에 출력된다.

[0207] 이때, 통상 모드용 6비트 DAC 회로(137)는 모드선택신호에 의해 정지하고 있다.

- [0208] 이 회로구성에 있어서, 저계조 모드시에 레벨업하여 고전압으로 할 필요가 없고, 대폭적인 저소비전력화가 가능해진다.
- [0209] 도 21의 회로에 있어서는, 소신호진폭(V1)의 데이터신호는 표시장치의 표시라인 위치에 대응하는 샘플링래치(133)에서 순차적으로 샘플링되며, 계속해서 제 2래치(135)에 일괄하여 전송된다.
- [0210] 그리고, 제 2래치(137)로부터 일괄하여 DAC에 출력된다.
- [0211] 이 회로구성에 있어서, 저계조 모드시에 레벨업하여 고전압으로 할 필요가 없고, 대폭적인 저소비전력화가 가능해진다.
- [0212] 도 21의 예에서는, 샘플링래치와 제 2래치와 2개의 래치가 있지만, 이것은 제 2실시형태와 같이 2개 이상의 래치가 존재해도 상관없다.
- [0213] 도 22는, 저계조 모드시용 DAC(140)의 구체적인 구성예를 나타내는 회로도이다.
- [0214] 이 DAC(140)는, 인버터(141, 142, 143), 2 입력 NAND 게이트(144, 145) 및 n채널과 p채널 트랜지스터의 소스·드레인끼리를 접속한 전송게이트(146, 147)를 가진다.
- [0215] 인버터(141)의 입력단자가 제 2래치(139-5)의 비트데이터(d5) 출력라인에 접속되어며, 출력단자가 NAND 게이트의 한쪽의 입력단자에 접속되어 있다. NAND 게이트(144)의 다른 쪽의 입력단자가 모드선택신호(MSEL)의 공급라인에 접속되며, NAND 게이트(144)의 출력단자가 인버터(142)의 입력단자 및 전송게이트(146)의 p채널 트랜지스터의 게이트에 접속되어 있다. 인버터(142)의 출력단자가 전송게이트(146)의 n채널 트랜지스터의 게이트에 접속되어 있다.
- [0216] NAND 게이트(145)의 한쪽의 입력단자가 비트데이터(d5)의 출력라인에 접속되어며, 다른 쪽의 입력단자가 모드선택신호(MSEL)의 공급라인에 접속되어 있다.
- [0217] NAND 게이트(145)의 출력단자가 인버터(143)의 입력단자 및 전송게이트(147)의 p채널 트랜지스터의 게이트에 접속되며, 인버터(143)의 출력단자가 전송게이트(147)의 n채널 트랜지스터의 게이트에 접속되어 있다.
- [0218] 도 22의 DAC(140)에 있어서는, 모드선택신호(MSEL)에 의해 통상 모드와 저계조 모드를 선택하고, 저계조 모드시는 신호진폭(V1)의 MSB 배선(d5_out)의 입력 값에 의해, 기준전압(V1)이나 기준전압(V2)을 선택한다.
- [0219] 그 때문에 소신호진폭(V1)인 채로 고속 처리하는 저계조 DAC 회로를 실현할 수 있다.
- [0220] 본 제 3실시형태에 의하면, 고속으로 처리 가능한 저소비전력 DAC 회로 및 구동회로 일체형 표시장치를 실현할 수 있다.
- [0221] 또, 상위 비트와 하위 비트의 레벨시프터를 따로따로 처리하지 않아도 되기 때문에, 협(狹)액자를 실현할 수 있다.
- [0222] 또한 상기 실시형태에서는, 액티브 매트릭스형 액정표시장치에 적용했을 경우를 예로 들어 설명했지만, 이것에 한정되는 것이 아니고, 전계발광(EL)소자를 각 화소의 전기광학소자로서 이용한 EL표시장치 등의 다른 액티브 매트릭스형 표시장치에도 동일하게 적용 가능하다.
- [0223] 또, 상기 실시형태에 있어서는, 전력 절약 모드의 하나인 저계조 모드로서 1 비트 모드(2계조 모드)를 예로 들어 설명했지만, 이것으로 한정되는 것이 아니고, 통상 모드보다 계조수가 적은 계조 모드라면, 그것에 상응하는 저소비전력화를 도모할 수 있게 된다.
- [0224] 또한, 상기 실시형태와 관련되는 액티브 매트릭스형 액정표시장치로 대표되는 액트브 매트릭스형 표시장치는, 퍼스널 컴퓨터, 워드 프로세서 등의 OA기기나 텔레비전 수상기 등의 디스플레이로서 이용되는 외에, 특히 장치 본체의 소형화, 콤팩트화가 진행되고 있는 휴대전화기나 PDA 등의 휴대단말의 표시부로서 이용하기에 매우 적합한 것이다.
- [0225] 도 23은, 본 발명이 적용되는 휴대단말, 예를 들면 휴대전화기의 구성의 개략을 나타내는 외관도이다.
- [0226] 본 예와 관련되는 휴대전화기는, 장치 케이스(41)의 전면 측에, 스피커부(42), 표시부(43), 조작부(44) 및 마이크부(45)가 상부측으로부터 순서대로 배치된 구성으로 되어 있다.
- [0227] 이러한 구성의 휴대전화기에 있어서, 표시부(43)에는 예를 들면 액정표시장치가 이용되며, 이

액정표시장치로서, 상술한 실시형태와 관련되는 액티브 매트릭스형 액정표시장치가 이용된다.

[0228] 이와 같이, 휴대전화기 등의 휴대단말에 있어서, 상술한 실시형태와 관련되는 액티브 매트릭스형 액정표시장치를 표시부(43)로서 이용함으로써, 이 액정표시장치에 탑재되는 각 회로에 있어서, 협파치화가 가능하고, 협액자화를 실현할 수 있고, 또 전력 절약 모드의 하나인 저계조 모드시에 확실히 소비전력을 저감할 수 있기 때문에, 표시장치의 저소비전력화를 도모할 수 있고, 따라서 단말본체의 저소비전력화가 가능하게 된다.

발명의 효과

[0229] 본 발명에 의하면, 협액자로 고정밀까지 대응할 수 있고, 저소비전력인 구동회로 일체형 표시장치를 실현할 수 있다.

도면의 간단한 설명

[0001] 도 1은, 종래의 구동회로 일체형 표시장치의 개략 구성을 나타내는 도면이다.

[0002] 도 2는, 홀수라인과 짹수라인을 따로따로 구동하는 도 1의 수평구동회로의 구성예를 나타내는 블록도이다.

[0003] 도 3은, 본 발명의 제 1실시형태와 관련되는 구동회로 일체형 표시장치의 개략 구성도를 나타내는 도면이다.

[0004] 도 4는, 액정표시장치의 유효표시부의 구성예를 나타내는 회로도이다.

[0005] 도 5는, 제 1실시형태의 제 1수평구동회로와 제 2수평구동회로의 기본적인 구성예를 나타내는 블록도이다.

[0006] 도 6은, 제 1수평구동회로의 구체적인 구성예를 나타내는 회로도이다.

[0007] 도 7은, 도 6의 제 1수평구동회로의 타이밍차트이다.

[0008] 도 8은, 제 2수평구동회로의 구체적인 구성예를 나타내는 회로도이다.

[0009] 도 9는, 도 8의 제 2수평구동회로의 타이밍차트이다.

[0010] 도 10은, 외부에 데이터배열 변환회로를 가지는 경우의 제 1수평구동회로의 구성예를 나타내는 회로도이다.

[0011] 도 11은, 도 10의 제 1수평구동회로의 타이밍차트이다.

[0012] 도 12는, 도 10의 회로의 효과를 설명하기 위한 도면이다.

[0013] 도 13은, 제 2실시형태와 관련되는 구동회로 일체형 액정표시장치의 구성을 나타내는 블록도이다.

[0014] 도 14는, 제 2실시형태와 관련되는 제 1수평구동회로에 있어서의 각 열에 배치되는 4단의 래치구성을 나타내는 블록도이다.

[0015] 도 15는, 도 14의 회로의 구체적인 구성예를 나타내는 회로도이다.

[0016] 도 16은, 제 2실시형태와 관련되는 제 1수평구동회로에 있어서 제 1데이터신호군(R데이터 또는 B데이터)을 제 1래치군으로, 제 2데이터신호군(B데이터 또는 R데이터)을 제 2래치군에 동일한 샘플링펄스(SP)로 격납한 후, 우선, 제 2데이터신호군을 제 4래치군으로 전송하고, 다음에 제 1데이터신호군을 제 3래치군으로 전송하는 동작을 나타내는 타이밍차트이다.

[0017] 도 17은, 제 2실시형태와 관련되는 제 1수평구동회로에 있어서 제 2데이터신호군을 수평기간의 전반(前半)에 DAC로 전송하고, 그 다음에 제 1데이터신호를 수평기간의 전반 종료 후에 제 3래치군으로부터 제 4래치군으로 전송하여 수평기간의 후반의 기간에 DAC로 전송하는 동작을 나타내는 타이밍차트이다.

[0018] 도 18은, 제 2실시형태와 관련되는 제 1수평구동회로에 있어서 유효표시부 중의 제 1데이터신호에 대응하는 데 이터라인과 제 2데이터신호에 대응하는 데이터라인에, 데이터실렉터군을 개입시켜 시계열적으로 신호를 분배하는 동작의 타이밍차트이다.

[0019] 도 19는, 제 2실시형태와 관련되는 제 1수평구동회로에 있어서 제 1래치로부터 제 3래치는 제 1전원전압 VDD1(VSS)에서 전송 및 보관유지 동작을 실시하고, 제 4래치는 자단(自段)으로의 기입동작 완료 후에 다음 단의 DAC에 대응하는 제 2전압(VH, VL)에 전원전압을 변화시켜 보관유지 및 신호출력동작을 나타내는 타이밍차트이다.

[0020] 도 20은, 도 14의 제 1수평구동회로와 데이터 처리회로와의 구성을 상세하게 나타내는 도면이다.

[0021] 도 21은, 본 제 3실시형태와 관련되는 수평구동회로의 주요부 구성을 나타내는 블록도이다.

[0022] 도 22는, 저(低)계조 모드시용 DAC의 구체적인 구성예를 나타내는 회로도이다.

[0023] 도 23은, 본 발명과 관련되는 휴대단말인 휴대전화기의 구성의 개략을 나타내는 외관도이다

[0024] *부호의 설명

[0025] 10, 10A ~ 10C. 액정표시장치 11. 유리기판

[0026] 12. 유효표시부 13. 수평구동회로

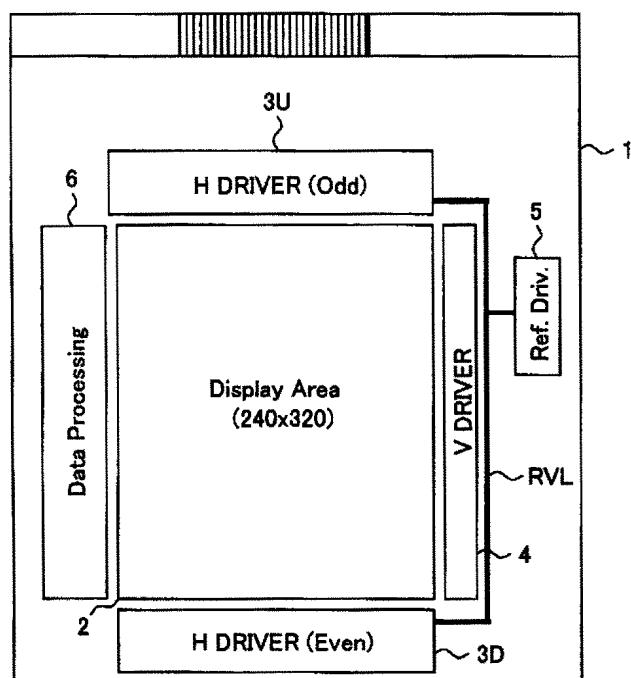
[0027] 13U, 13UA, 13UB. 제 1수평구동회로 13D. 제 2수평구동회로

[0028] 14. 수직구동회로 15U. 제 1기준전압 발생회로

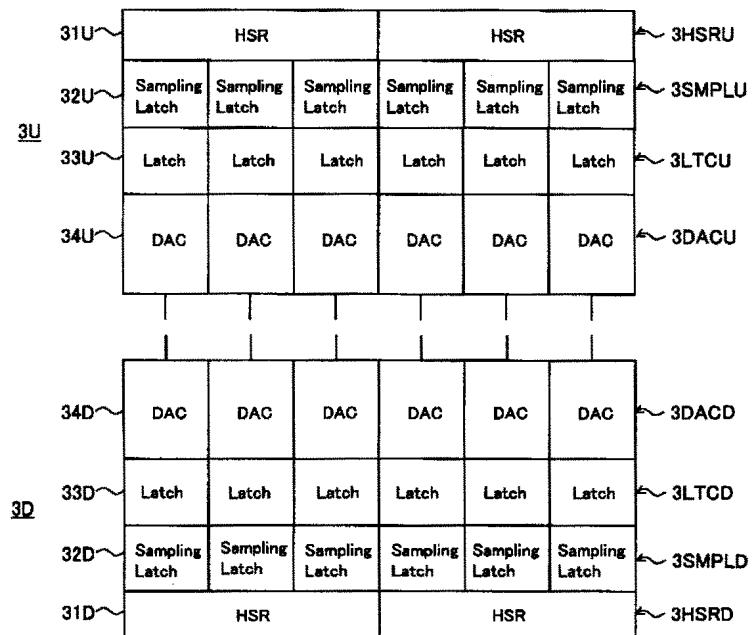
[0029] 15D. 제 2기준전압 발생회로 16. 데이터 처리회로

도면

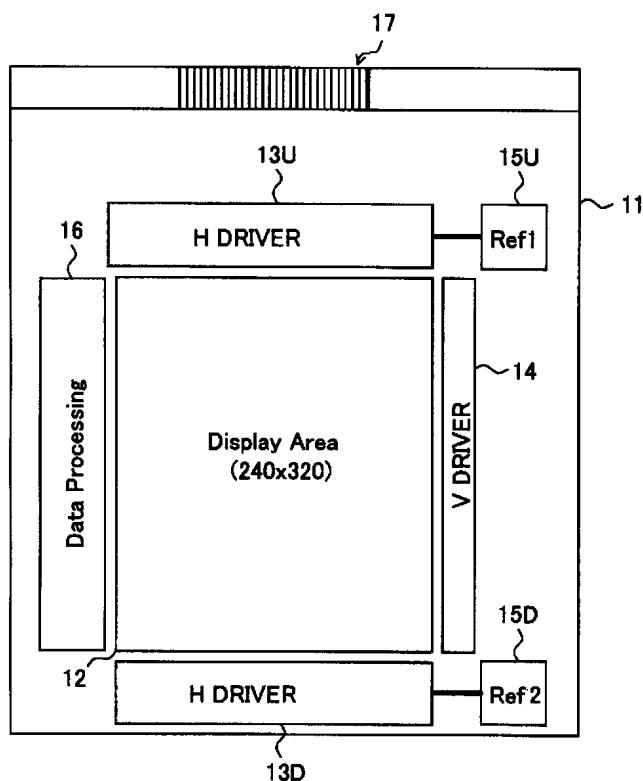
도면1



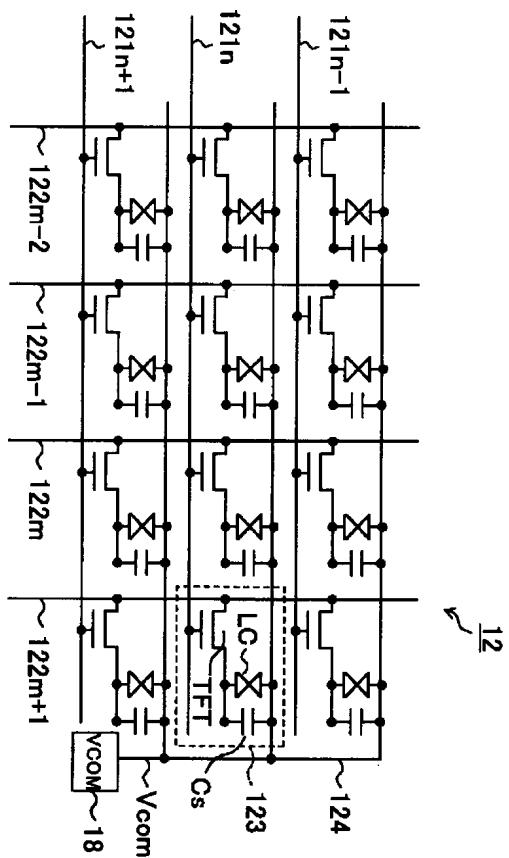
도면2



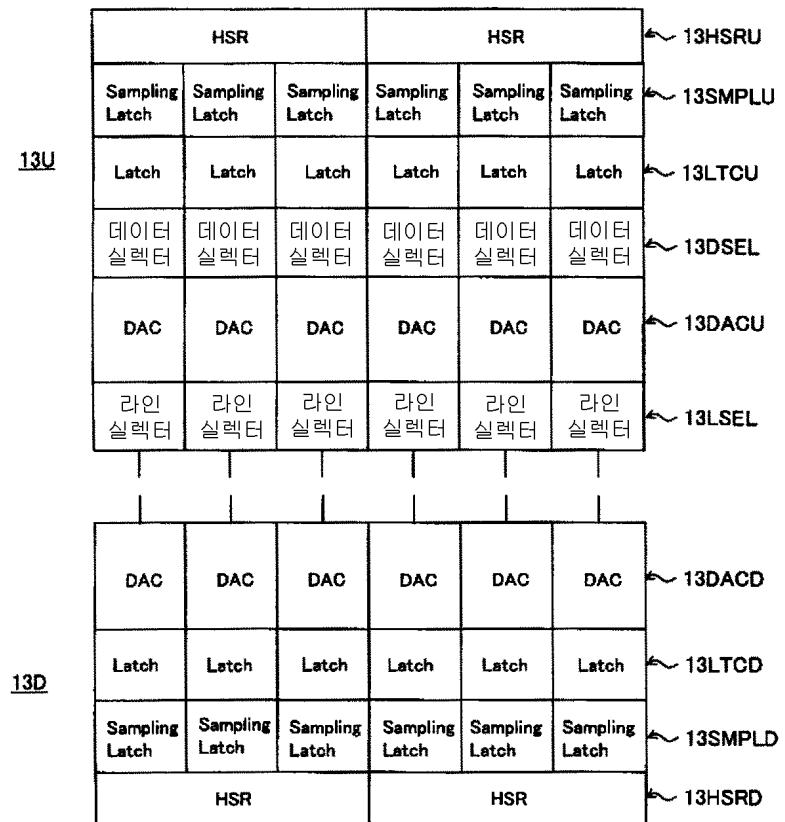
도면3

10

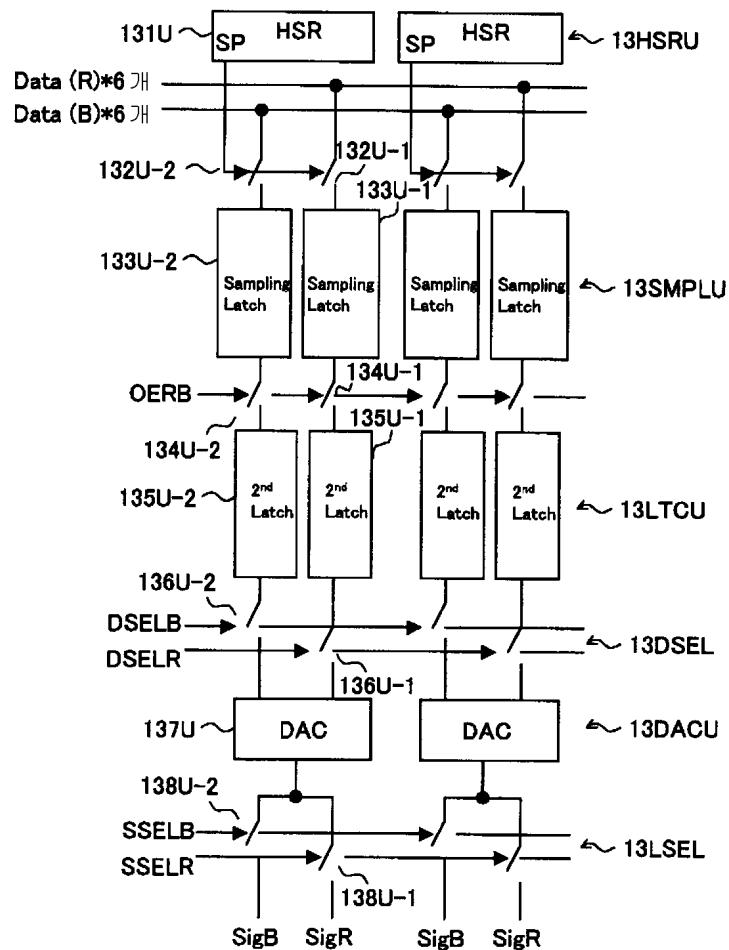
도면4



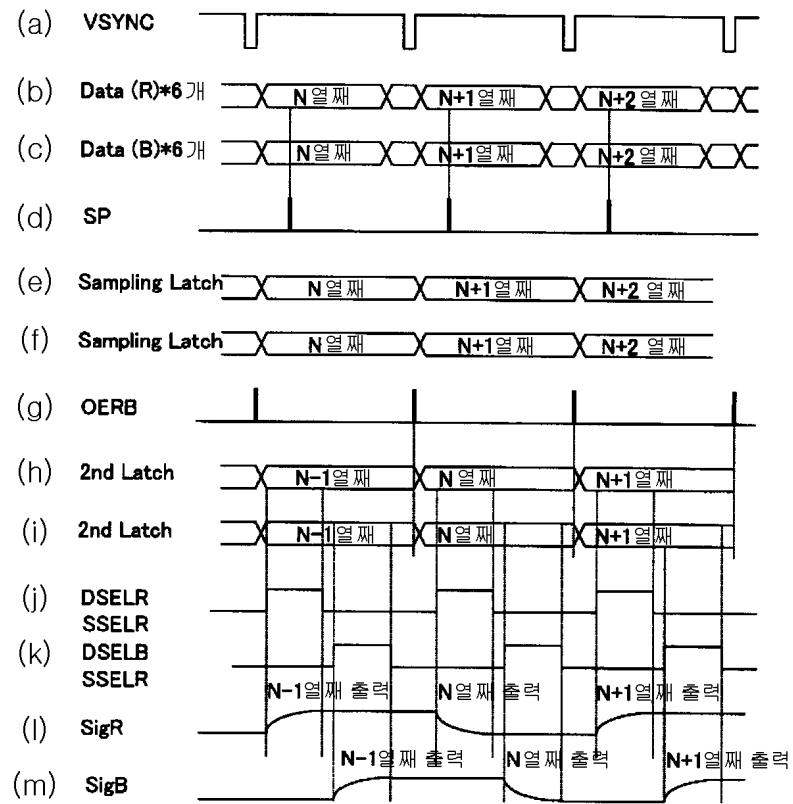
도면5



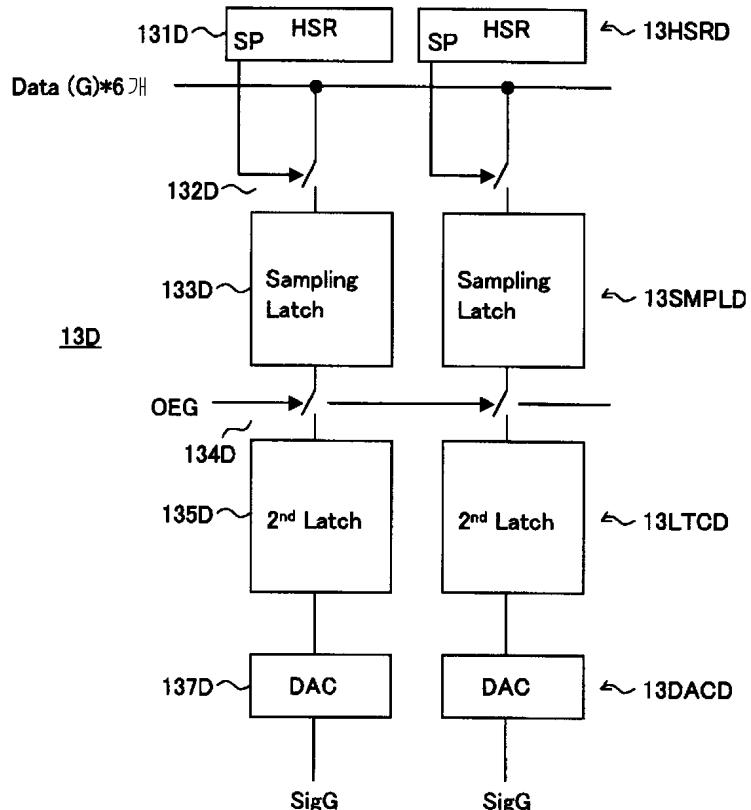
도면6



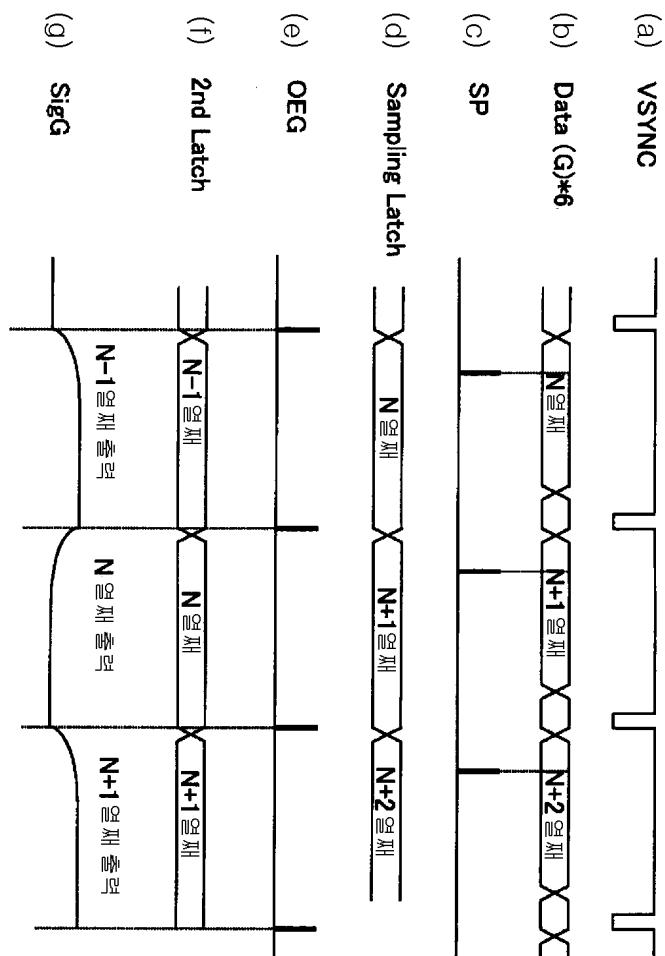
도면7



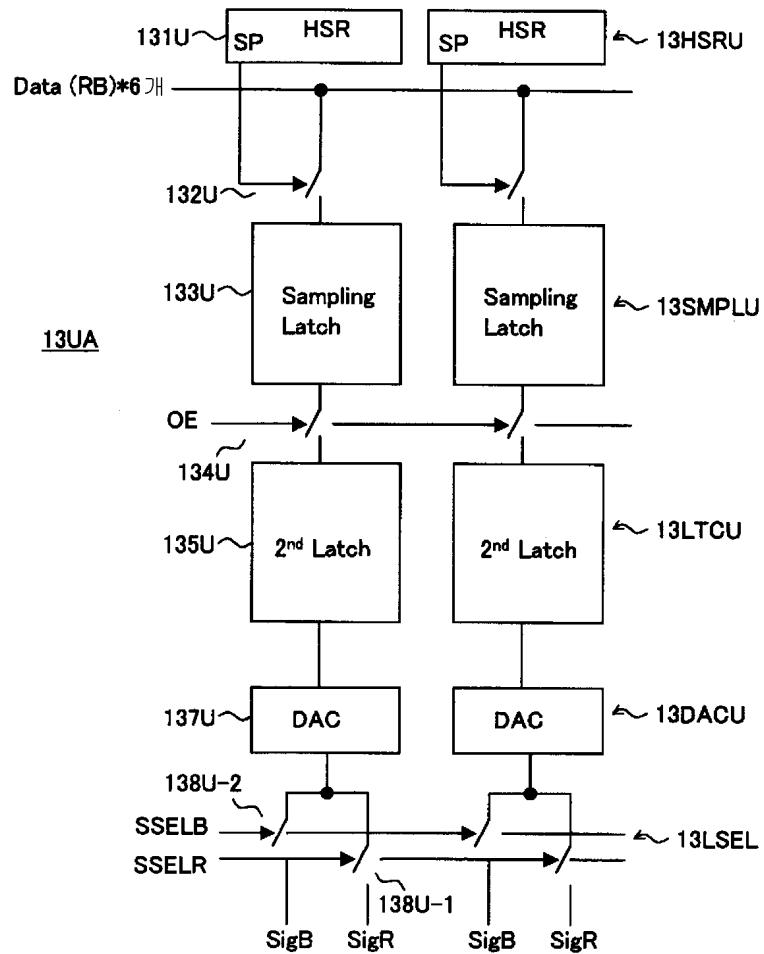
도면8



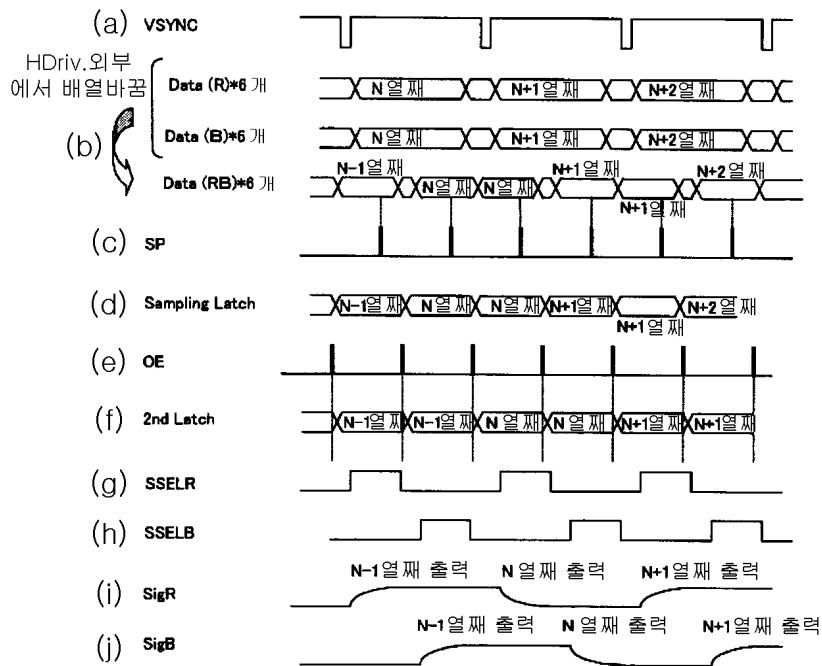
도면9



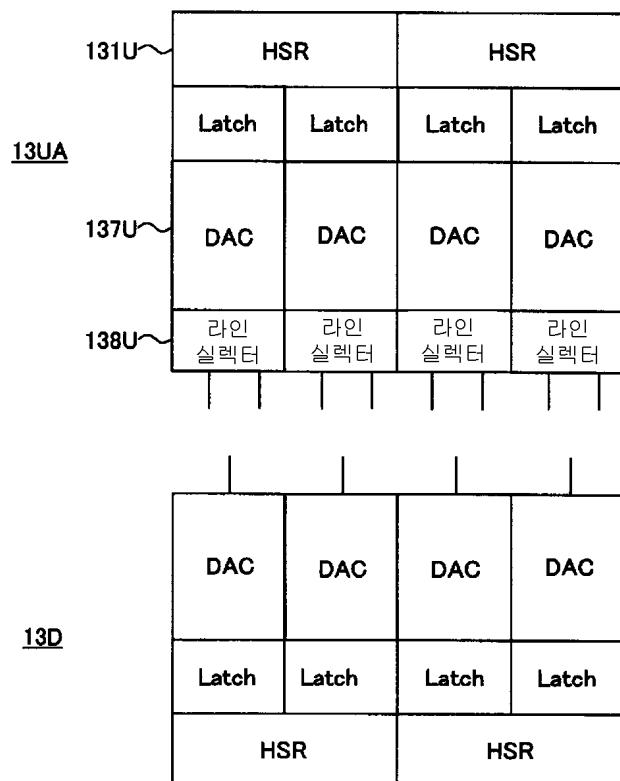
도면10



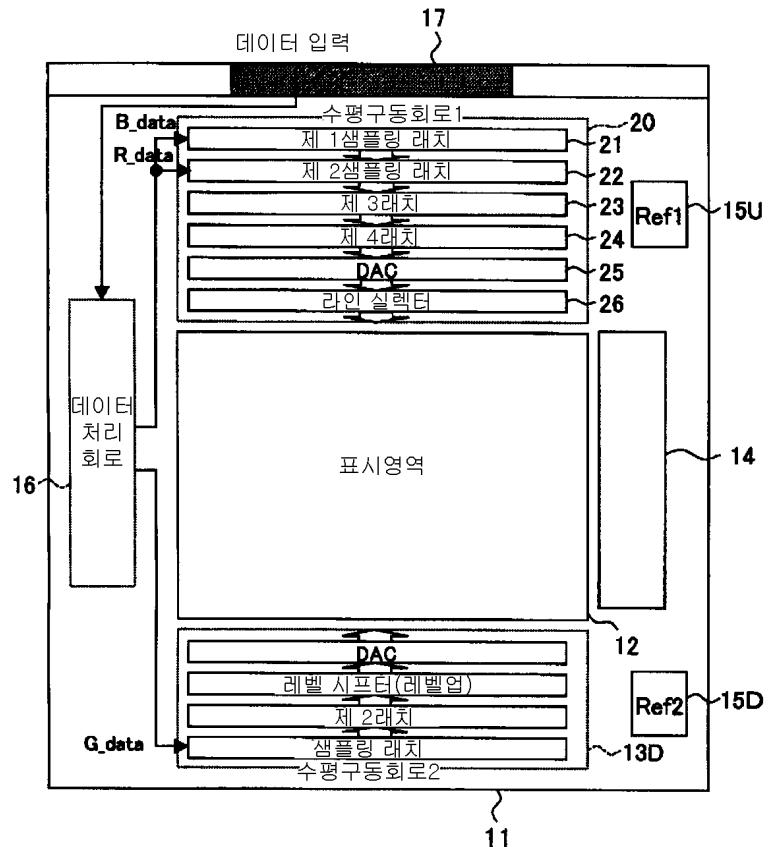
도면11



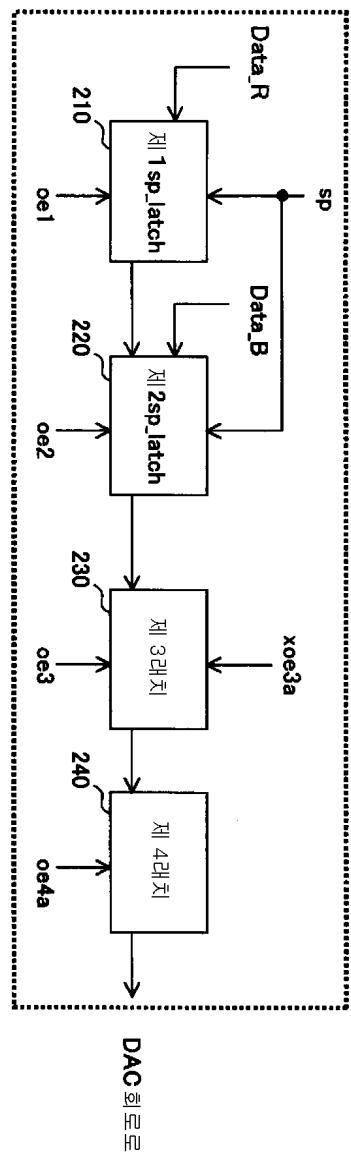
도면12



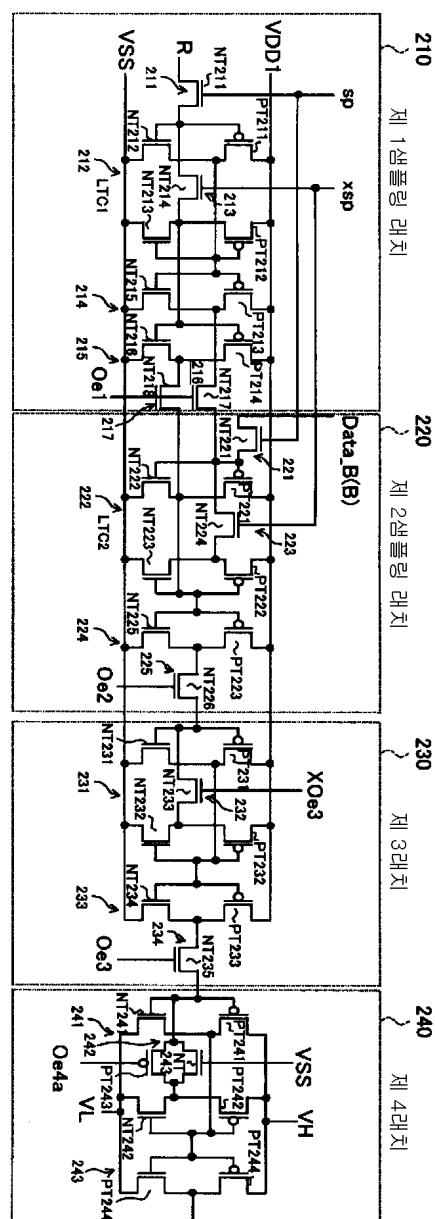
도면13

10B

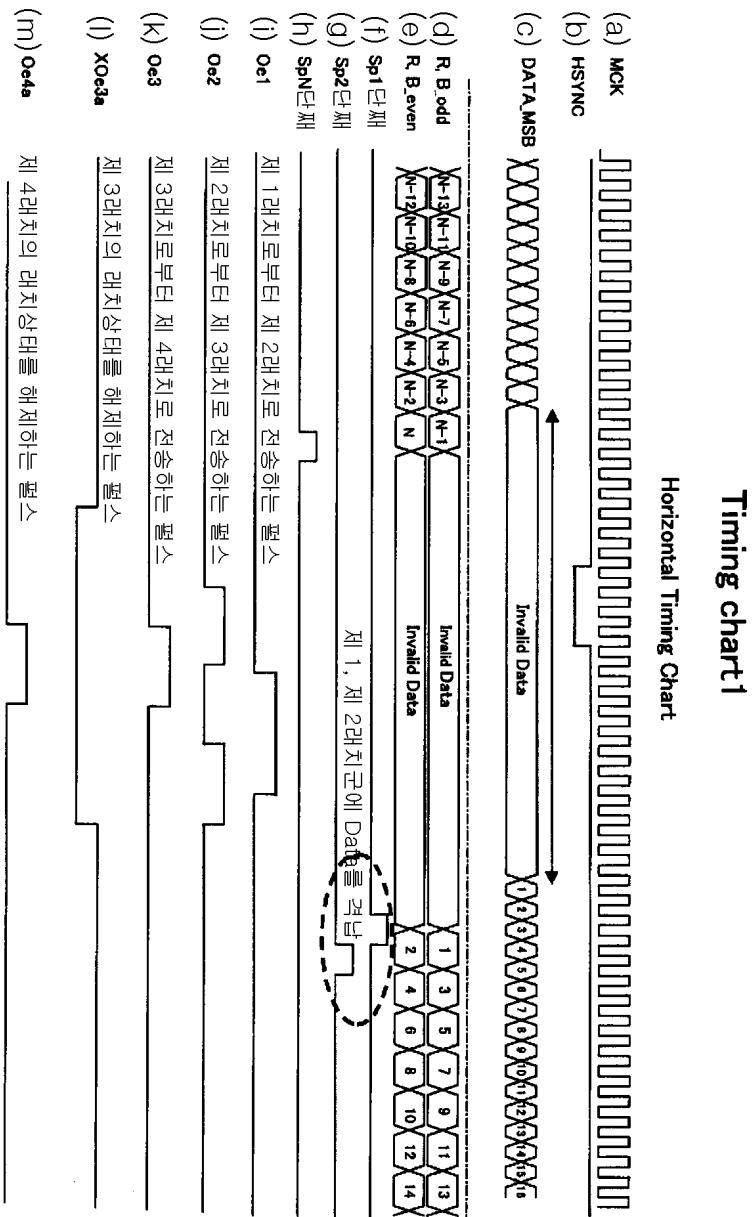
도면14



도면15



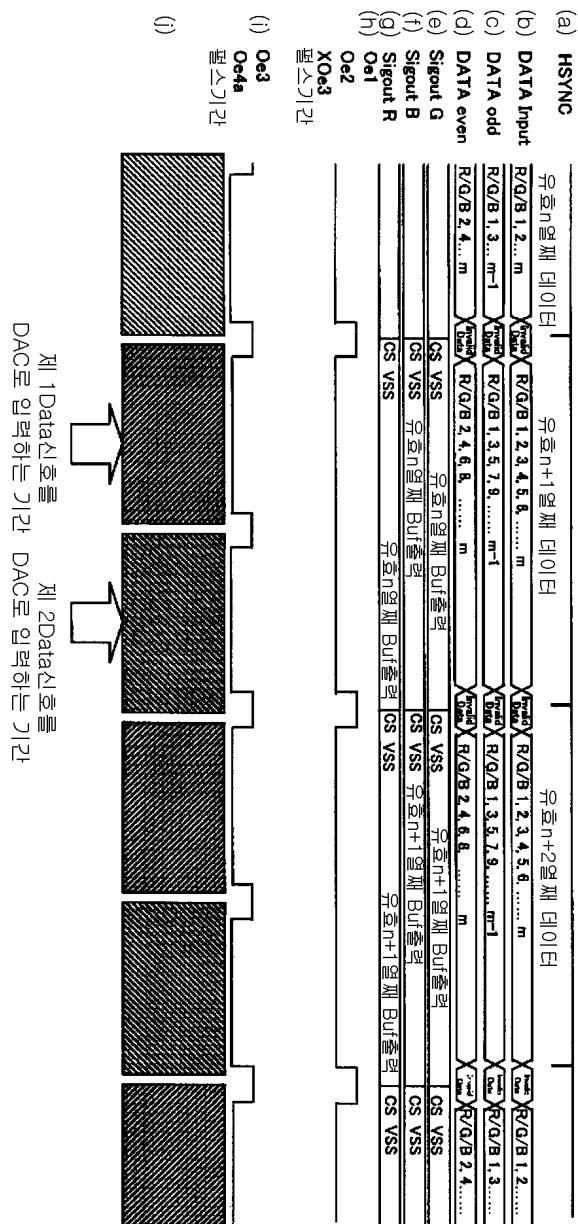
도면16



도면17

Timing chart2

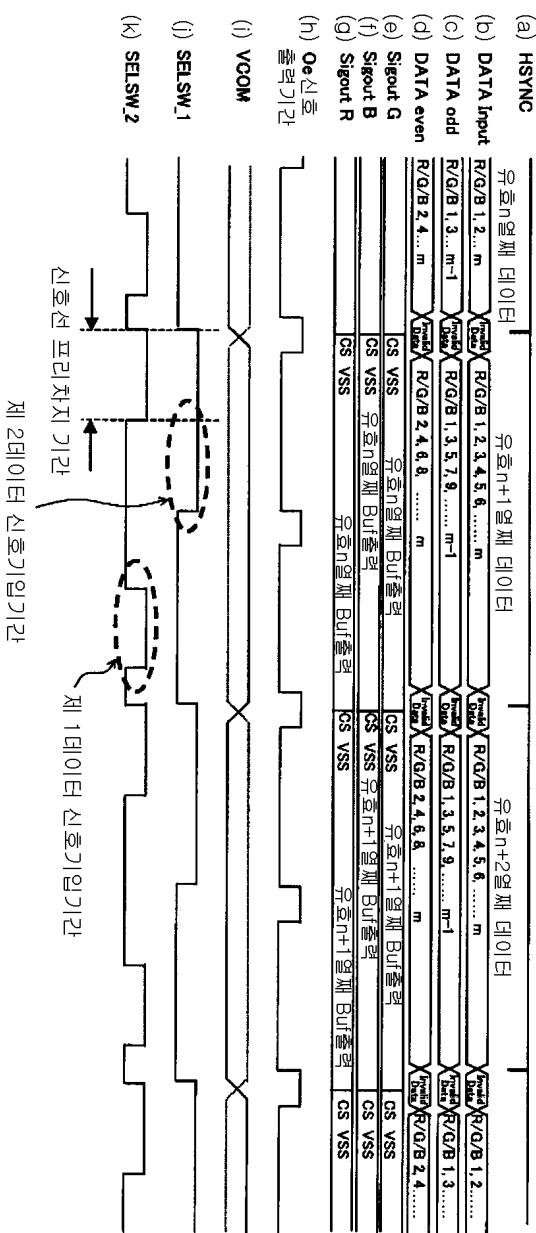
수평기간 3line 의 Timing chart



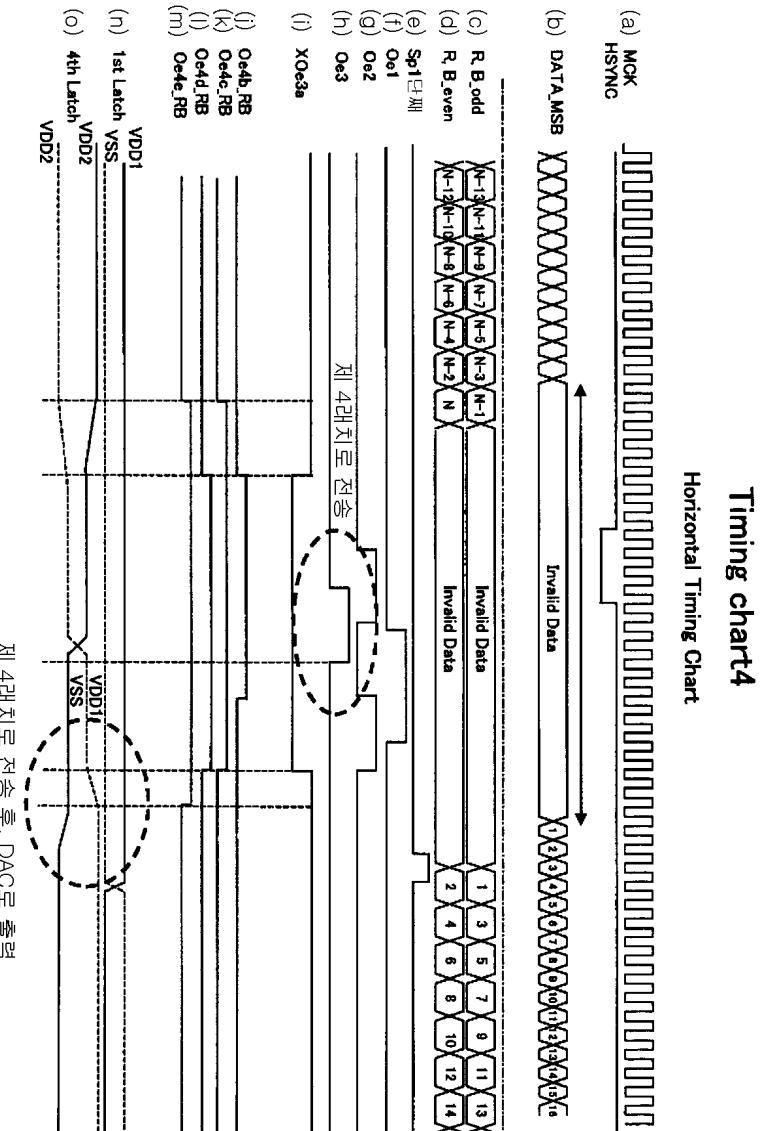
도면18

Timing chart3

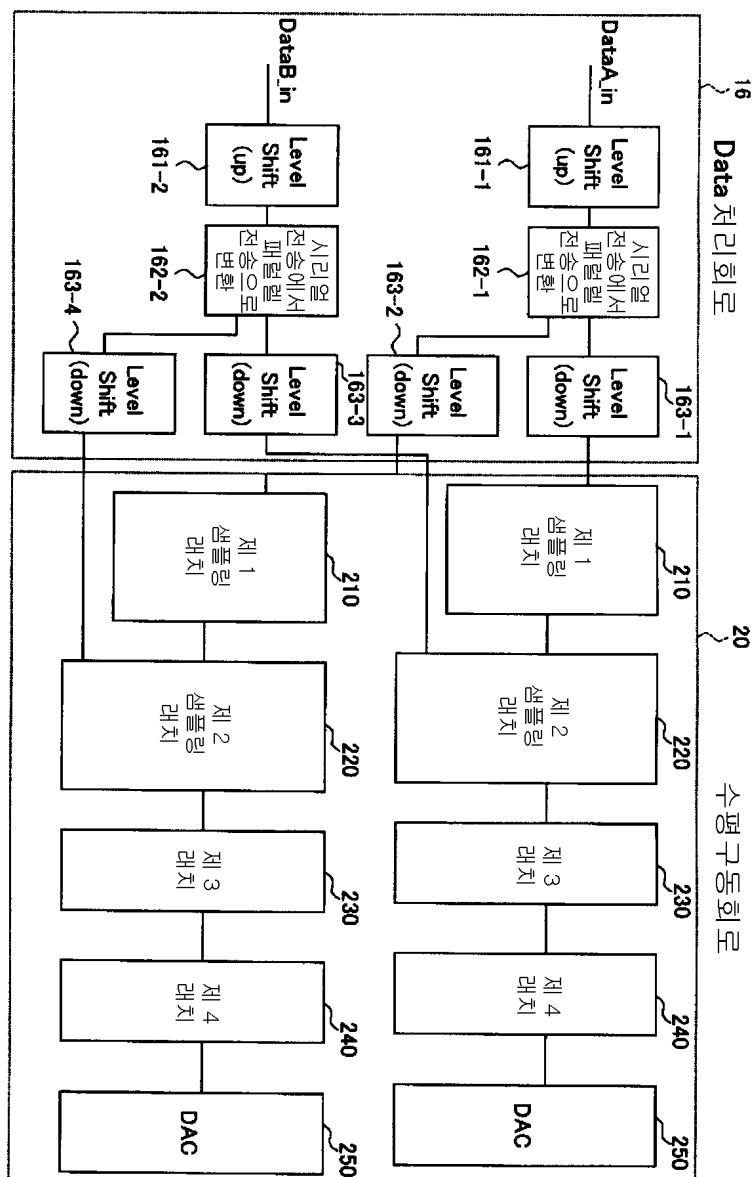
수평기간 3line의 Timing chart



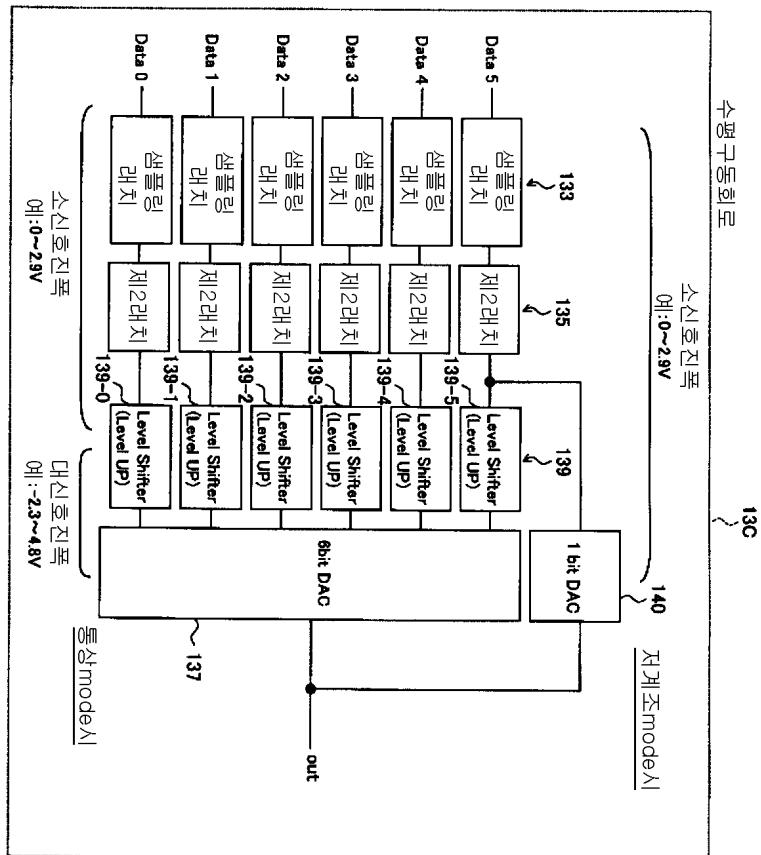
도면19



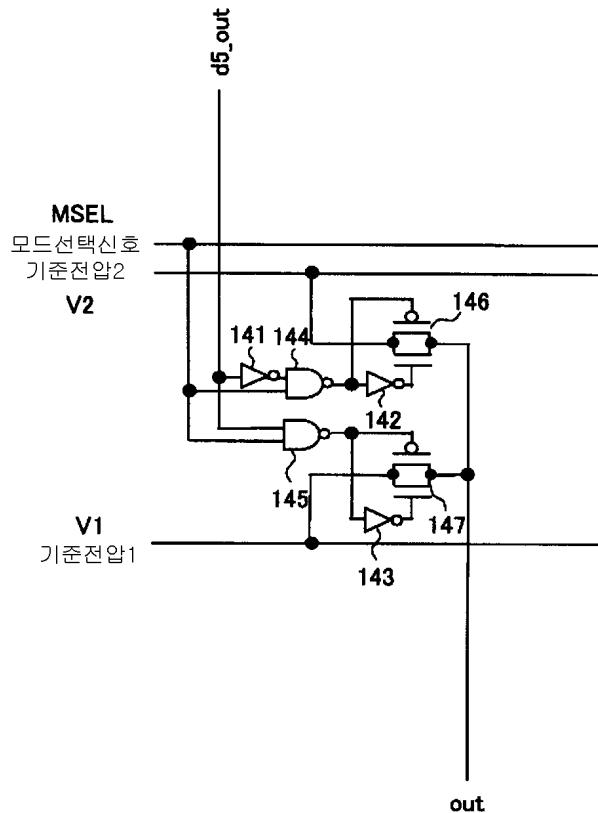
도면20



도면21



도면22



도면23

