

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7700328号
(P7700328)

(45)発行日 令和7年6月30日(2025.6.30)

(24)登録日 令和7年6月20日(2025.6.20)

(51)国際特許分類

F I

H 1 0 F 39/18 (2025.01)

H 1 0 F 39/18 A

H 0 4 N 25/77 (2023.01)

H 0 4 N 25/77

請求項の数 3 (全80頁)

(21)出願番号	特願2024-101764(P2024-101764)	(73)特許権者	000153878
(22)出願日	令和6年6月25日(2024.6.25)		株式会社半導体エネルギー研究所
(62)分割の表示	特願2023-69204(P2023-69204)の分割	(72)発明者	神奈川県厚木市長谷398番地
原出願日	平成28年9月8日(2016.9.8)		王丸 拓郎
(65)公開番号	特開2024-120939(P2024-120939 A)		神奈川県厚木市長谷398番地 株式会
(43)公開日	令和6年9月5日(2024.9.5)	審査官	社半導体エネルギー研究所内
審査請求日	令和6年7月1日(2024.7.1)		柴山 将隆
(31)優先権主張番号	特願2015-178407(P2015-178407)		
(32)優先日	平成27年9月10日(2015.9.10)		
(33)優先権主張国・地域又は機関	日本国(JP)		
(31)優先権主張番号	特願2015-178420(P2015-178420)		
(32)優先日	平成27年9月10日(2015.9.10)		
	最終頁に続く		最終頁に続く

(54)【発明の名称】 撮像装置

(57)【特許請求の範囲】

【請求項1】

シリコン基板に形成された光電変換素子と、容量素子と、第1のトランジスタと、第2のトランジスタと、を有し、

前記光電変換素子の受光面側に配置された前記光電変換素子のアノードを上側としたとき、前記容量素子、前記第1のトランジスタ及び前記第2のトランジスタは、前記アノードの下方に配置された領域を有し、

前記光電変換素子のカソードは、前記第1のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、前記容量素子と電氣的に接続される撮像装置であって、

前記容量素子の一方の電極としての機能を有し、かつ、上面が第1の絶縁層と接する領域を有する第1の導電層と、

前記容量素子の他方の電極としての機能を有し、かつ、下面が第2の絶縁層と接する領域を有する第2の導電層と、

前記アノードと電氣的に接続され、かつ、上面が前記第1の絶縁層と接する領域を有する第3の導電層と、

前記第3の導電層を介して前記アノードと電氣的に接続され、かつ、前記アノードの電

位を制御する配線として機能を有する第４の導電層と、

前記第１のトランジスタのゲートと電氣的に接続された第１の信号線としての機能を有し、かつ、下面が前記第２の絶縁層と接する領域を有する第５の導電層と、

前記第２のトランジスタのゲートと電氣的に接続された第２の信号線としての機能を有し、かつ、下面が前記第２の絶縁層と接する領域を有する第６の導電層と、

前記受光面の上方に配置された領域を有する酸化ハフニウム層と、

前記酸化ハフニウム層を介して前記受光面の上方に配置された領域を有する遮光層と、を有し、

前記第１のトランジスタのソース又はドレインの他方は、前記第１の導電層と電氣的に接続され、

前記第２のトランジスタのソース又はドレインの一方は、前記第１の導電層と電氣的に接続され、

前記第４の導電層は、前記第３の導電層の下方に配置された領域を有し、

前記アノードのうち前記遮光層と重ならない領域は、前記第１のトランジスタのチャンネル形成領域と重なりを有し、かつ、前記第２のトランジスタのチャンネル形成領域と重なりを有する、

撮像装置。

【請求項２】

シリコン基板に形成された光電変換素子と、容量素子と、第１のトランジスタと、第２のトランジスタと、を有し、

前記光電変換素子の受光面側に配置された前記光電変換素子のアノードを上側としたとき、前記容量素子、前記第１のトランジスタ及び前記第２のトランジスタは、前記アノードの下方に配置された領域を有し、

前記光電変換素子のカソードは、前記第１のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第１のトランジスタのソース又はドレインの他方は、前記第２のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第１のトランジスタのソース又はドレインの他方は、前記容量素子と電氣的に接続される撮像装置であって、

前記容量素子の一方の電極としての機能を有し、かつ、上面が第１の絶縁層と接する領域を有する第１の導電層と、

前記容量素子の他方の電極としての機能を有し、かつ、下面が第２の絶縁層と接する領域を有する第２の導電層と、

前記アノードと電氣的に接続され、かつ、上面が前記第１の絶縁層と接する領域を有する第３の導電層と、

前記第３の導電層を介して前記アノードと電氣的に接続され、かつ、前記アノードの電位を制御する配線として機能を有する第４の導電層と、

前記第１のトランジスタのゲートと電氣的に接続された第１の信号線としての機能を有し、かつ、下面が前記第２の絶縁層と接する領域を有する第５の導電層と、

前記第２のトランジスタのゲートと電氣的に接続された第２の信号線としての機能を有し、かつ、下面が前記第２の絶縁層と接する領域を有する第６の導電層と、

前記受光面の上方に配置された領域を有する酸化ハフニウム層と、

前記酸化ハフニウム層を介して前記受光面の上方に配置された領域を有する遮光層と、を有し、

前記第１のトランジスタのソース又はドレインの他方は、前記第１の導電層と電氣的に接続され、

前記第２のトランジスタのソース又はドレインの一方は、前記第１の導電層と電氣的に接続され、

前記第４の導電層は、前記第３の導電層の下方に配置された領域を有し、

前記アノードのうち前記遮光層と重ならない領域は、前記第１のトランジスタのチャネ

10

20

30

40

50

ル形成領域と重なりを有し、前記第2のトランジスタのチャンネル形成領域と重なりを有し、かつ、前記第1の導電層と重なりを有する、撮像装置。

【請求項3】

請求項1又は請求項2において、

前記第1のトランジスタ、前記第2のトランジスタ及び前記容量素子を含む第1の層と積層される、第3のトランジスタ及び第4のトランジスタを含む第2の層を有し、

前記第2の層は、前記第1の層の下方に配置された領域を有する、

撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、撮像装置およびその動作方法に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの動作方法、または、それらの製造方法、を一例として挙げることができる。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

【背景技術】

【0004】

トランジスタに適用可能な半導体材料として酸化物半導体が注目されている。例えば、酸化物半導体として酸化亜鉛、またはIn-Ga-Zn系酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献1および特許文献2参照）。

【0005】

また、酸化物半導体を有するトランジスタを画素回路の一部に用いる構成の撮像装置が特許文献3に開示されている。

【先行技術文献】

【特許文献】

【0006】

【文献】特開2007-123861号公報

【文献】特開2007-96055号公報

【文献】特開2011-119711号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

CMOSイメージセンサは様々な機器への搭載が進められており、撮像性能の向上が期待されている。現状のCMOSイメージセンサのダイナミックレンジは、3桁乃至4桁（60dB乃至80dB）程度であり、銀塩フィルムや肉眼相当の5桁乃至6桁（100dB乃至120dB）に向上させることが望まれている。

【0008】

ダイナミックレンジを向上させるには、電荷蓄積部を切り替えて撮像する方法や画素内部でアナログデータ処理を行う方法などが提案されている。しかしながら、前者は外部からの制御が必要となり、照度等の検知手段が別途必要となる。また、後者は画素内のトラン

10

20

30

40

50

ジスタが増加するため、当該トランジスタのリーク電流やノイズなどによる画像の劣化が問題となる。

【0009】

したがって、本発明の一態様では、簡易な構成でダイナミックレンジを広げることができる撮像装置を提供することを目的の一つとする。または、1回目の撮像後に画素の感度を変更し、2回目の撮像を行う撮像装置を提供することを目的の一つとする。または、低消費電力の撮像装置を提供することを目的の一つとする。または、露光期間中に前フレームのデータの読み出しを行う撮像装置を提供することを目的の一つとする。または、ノイズの少ない画像を撮像することができる撮像装置を提供することを目的の一つとする。または、高速動作に適した撮像装置を提供することを目的の一つとする。または、解像度の高い撮像装置を提供することを目的の一つとする。または、集積度の高い撮像装置を提供することを目的の一つとする。または、低照度下で撮像することができる撮像装置を提供することを目的の一つとする。または、広い温度範囲において使用可能な撮像装置を提供することを目的の一つとする。または、高開口率の撮像装置を提供することを目的の一つとする。または、信頼性の高い撮像装置を提供することを目的の一つとする。または、新規な撮像装置などを提供することを目的の一つとする。または、上記撮像装置の動作方法を提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

10

【0010】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

20

【課題を解決するための手段】

【0011】

本発明の一態様は、画素の感度を自動的に変更して撮像することができる撮像装置に関する。

【0012】

本発明の一態様は、第1のトランジスタ乃至第6のトランジスタと、光電変換素子と、第1の容量素子と、第2の容量素子と、を有する撮像装置であって、光電変換素子の一方の電極は第1のトランジスタのソースまたはドレインの一方と電気的に接続され、第1のトランジスタのソースまたはドレインの一方は第2のトランジスタのソースまたはドレインの一方と電気的に接続され、第1のトランジスタのソースまたはドレインの他方は第3のトランジスタのソースまたはドレインの一方と電気的に接続され、第1のトランジスタのソースまたはドレインの他方は第4のトランジスタのソースまたはドレインの一方と電気的に接続され、第1のトランジスタのソースまたはドレインの他方は第5のトランジスタのゲート電極と電気的に接続され、第1のトランジスタのソースまたはドレインの他方は第1の容量素子の一方の電極と電気的に接続され、第4のトランジスタのソースまたはドレインの他方は第2の容量素子の一方の電極と電気的に接続され、第5のトランジスタのソースまたはドレインの一方は第6のトランジスタのソースまたはドレインの一方と電気的に接続され、第1のトランジスタ、第2のトランジスタ、第3のトランジスタおよび第4のトランジスタは、チャンネルが形成される領域に酸化物半導体を有することを特徴とする撮像装置である。

30

40

【0013】

酸化物半導体は、Inと、Znと、M（MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf）と、を有することが好ましい。また、第5のトランジスタおよび第6のトランジスタもチャンネルが形成される領域に酸化物半導体を有していてもよい。

【0014】

光電変換素子は、光電変換層にセレンまたはセレンを含む化合物を用いることができる。例えば、セレンとしては非晶質セレンまたは結晶セレンを用いることができる。

50

【0015】

また、本発明の他の一態様は、画素と、第1の回路と、第2の回路と、第3の回路と、第4の回路と、第5の回路と、を有する撮像装置であって、画素は第1の回路と電氣的に接続され、第1の回路は第2の回路と電氣的に接続され、第2の回路は第3の回路と電氣的に接続され、第2の回路は第4の回路と電氣的に接続され、第3の回路は第5の回路と電氣的に接続され、第5の回路は画素と電氣的に接続され、画素は、第1の撮像データまたは第2の撮像データを取得する機能を有し、画素は、第1の撮像データまたは第2の撮像データを電荷蓄積部に蓄積する機能を有し、画素は、電荷蓄積部に蓄積した第1の撮像データまたは第2の撮像データを電荷検出部に転送する機能を有し、第1の回路は、第2の撮像データに応じた電位と、電荷検出部のリセット電位に応じた電位との差分の絶対値を基準電位に対して加算または減算した信号を出力する機能を有し、第2の回路は、第1の撮像データによる電荷検出部の飽和の有無を判定する機能を有し、第3の回路は、判定により電荷検出部が飽和していないとき、第2の撮像データを取得しない信号を第5の回路を介して画素に出力する機能を有し、第3の回路は、判定により電荷検出部が飽和しているとき、電荷検出部の飽和を解消し、第2の撮像データを取得する信号を第5の回路を介して画素に出力する機能を有し、第2の回路および第4の回路は、第1の回路が出力する信号をデジタルデータに変換する機能を有することを特徴とする撮像装置である。

10

【0016】

また、本発明の他の一態様は、第 n (n は1以上の自然数)のフレーム期間において、電荷蓄積部の電位をリセットする第1のステップと、電荷蓄積部に電荷を蓄積する第2のステップと、電荷検出部の電位をリセットする第3のステップと、電荷蓄積部の電位を電荷検出部に転送する第4のステップと、電荷検出部の電位に対応する信号を読み出し、当該信号から電荷検出部の飽和の有無を判定する第5のステップと、を上記順序で行い、第5のステップにおいて、電荷検出部が飽和していると判定された場合は、電荷蓄積部の電位をリセットする第6のステップと、電荷蓄積部に電荷を蓄積する第7のステップと、電荷検出部の容量を一時的に増加させ、電荷検出部の飽和を解消する第8のステップと、電荷蓄積部の電位を電荷検出部に転送する第9のステップと、を上記順序で行い、第 $n+1$ フレーム期間における第1のステップおよび第2のステップと並行して、第 n フレーム期間における第9のステップの電荷検出部の電位に対応する信号を読み出し、第5のステップにおいて、電荷検出部が飽和していないと判定された場合は、第 $n+1$ フレーム期間における第1のステップおよび第2のステップと並行して、第 n フレーム期間における第4のステップの電荷検出部の電位に対応する信号を読み出すことを特徴とする撮像装置の動作方法である。

20

30

【0017】

本発明の一態様は、第1のトランジスタ乃至第7のトランジスタと、光電変換素子と、第1の容量素子と、第2の容量素子と、第3の容量素子と、を有する撮像装置であって、光電変換素子の一方の電極は第1のトランジスタのソースまたはドレインの一方と電氣的に接続され、第1のトランジスタのソースまたはドレインの一方は第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、第1のトランジスタのソースまたはドレインの他方は第3のトランジスタのソースまたはドレインの一方と電氣的に接続され、第1のトランジスタのソースまたはドレインの他方は第4のトランジスタのソースまたはドレインの一方と電氣的に接続され、第1のトランジスタのソースまたはドレインの他方は第5のトランジスタのゲート電極と電氣的に接続され、第1のトランジスタのソースまたはドレインの他方は第1の容量素子の一方の電極と電氣的に接続され、第4のトランジスタのソースまたはドレインの他方は第2の容量素子の一方の電極と電氣的に接続され、第5のトランジスタのソースまたはドレインの一方は第6のトランジスタのソースまたはドレインの一方と電氣的に接続され、第4のトランジスタのゲートには第7のトランジスタのソースまたはドレインの一方が電氣的に接続され、第4のトランジスタのゲートには第3の容量素子の一方の電極が電氣的に接続され、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタおよび第7のトランジスタは、チャンネルが

40

50

形成される領域に酸化物半導体を有することを特徴とする撮像装置である。

【0018】

酸化物半導体は、Inと、Znと、M（MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、NdまたはHf）と、を有することが好ましい。また、第5のトランジスタおよび第6のトランジスタもチャンネルが形成される領域に酸化物半導体を有していてもよい。

【0019】

光電変換素子は、光電変換層にセレンまたはセレンを含む化合物を用いることができる。例えば、セレンとしては非晶質セレンまたは結晶セレンを用いることができる。

【0020】

また、本発明の他の一態様は、画素と、第1の回路と、第2の回路と、第3の回路と、第4の回路と、を有する撮像装置であって、画素は電荷蓄積部および電荷検出部を有し、電荷検出部は第1の容量素子および第2の容量素子と電気的に接続され、画素は第1の回路と電気的に接続され、第1の回路は第2の回路と電気的に接続され、第2の回路は第3の回路と電気的に接続され、第2の回路は第4の回路と電気的に接続され、第3の回路は画素と電気的に接続され、画素は第1の撮像データまたは第2の撮像データを取得する機能を有し、画素は第1の撮像データまたは第2の撮像データを電荷蓄積部に蓄積する機能を有し、画素は電荷蓄積部に蓄積した第1の撮像データまたは第2の撮像データを電荷検出部に転送する機能を有し、第1の回路は、第2の撮像データに対応する電位と、電荷検出部のリセット電位に対応する電位との差分の絶対値を基準電位に対して加算または減算した信号を出力する機能を有し、第2の回路は、第1の撮像データによる電荷検出部の飽和の有無を判定する機能を有し、第3の回路は、判定により電荷検出部が飽和していないとき、電荷検出部と前記第2の容量素子の一方の電極とを導通させない信号を画素に出力する機能を有し、第3の回路は、判定により電荷検出部が飽和しているとき、電荷検出部と前記第2の容量素子の一方の電極とを導通させる信号を前記画素に出力する機能を有し、画素は、判定の後に第2の撮像データを電荷蓄積部から電荷検出部に転送する機能を有し、第2の回路および第4の回路は、第1の回路が出力する信号をデジタルデータに変換する機能を有することを特徴とする撮像装置である。

【0021】

また、本発明の他の一態様は、第n（nは1以上の自然数）のフレーム期間において、電荷蓄積部の電位をリセットする第1のステップと、電荷蓄積部に電荷を蓄積する第2のステップと、電荷検出部の電位をリセットする第3のステップと、電荷蓄積部の電位を電荷検出部に転送する第4のステップと、電荷検出部の電位に対応する信号を読み出し、当該信号から電荷検出部の飽和の有無を判定する第5のステップと、を上記順序で行い、第5のステップにおいて、電荷検出部が飽和していると判定された場合は、電荷検出部の容量を増加させる第6のステップと、電荷検出部の電位をリセットする第7のステップと、を上記順序で行い、第5のステップにおいて、電荷検出部が飽和していないと判定された場合は、第7のステップを行い、第5のステップ乃至前記第7のステップと並行して、電荷蓄積部の電位をリセットする第8のステップと、電荷蓄積部に電荷を蓄積する第9のステップと、を上記順序で行い、電荷蓄積部の電位を電荷検出部に転送する第10のステップを行い、第n+1フレーム期間における第1のステップおよび第2のステップと並行して、第nフレーム期間における第10のステップの電荷検出部の電位に対応する信号を読み出すことを特徴とする撮像装置の動作方法である。

【発明の効果】

【0022】

本発明の一態様を用いることで、簡易な構成でダイナミックレンジを広げることができる撮像装置を提供することができる。または、1回目の撮像後に画素の感度を変更し、2回目の撮像を行う撮像装置を提供することができる。または、低消費電力の撮像装置を提供することができる。または、露光期間中に前フレームのデータの読み出しを行う撮像装置を提供することができる。または、ノイズの少ない画像を撮像することができる撮像装置を提供することができる。または、高速動作に適した撮像装置を提供することができる。

または、解像度の高い撮像装置を提供することができる。または、集積度の高い撮像装置を提供することができる。または、低照度下で撮像することができる撮像装置を提供することができる。または、広い温度範囲において使用可能な撮像装置を提供することができる。または、高開口率の撮像装置を提供することができる。または、信頼性の高い撮像装置を提供することができる。または、新規な撮像装置などを提供することができる。または、上記撮像装置の動作方法を提供することができる。または、新規な半導体装置などを提供することができる。

【0023】

なお、本発明の一態様はこれらの効果に限定されるものではない。例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果以外の効果を有する場合もある。または、例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果を有さない場合もある。

【図面の簡単な説明】

【0024】

【図1】画素を説明する回路図。

【図2】撮像装置を説明する上面図およびCDS回路の回路図およびA/D変換回路のブロック図。

【図3】判定出力回路および画素制御回路の回路図。

【図4】判定出力回路および画素制御回路の動作を説明するタイミングチャート。

【図5】撮像装置の動作を説明するフローチャート。

【図6】撮像装置の動作を説明するタイミングチャート。

【図7】CDS回路およびコンパレータ回路の動作を説明するタイミングチャート。

【図8】撮像装置の動作を説明するタイミングチャート。

【図9】画素回路を説明する図。

【図10】画素回路を説明する図。

【図11】撮像装置の動作を説明するタイミングチャート。

【図12】撮像装置の動作を説明するタイミングチャート。

【図13】画素回路を説明する図。

【図14】画素回路を説明する図。

【図15】撮像装置の構成を説明する上面図および正面図。

【図16】撮像装置の構成を説明する断面図。

【図17】撮像装置の動作を説明する図。

【図18】光電変換素子の構成を説明する断面図。

【図19】光電変換素子の接続形態を説明する断面図。

【図20】光電変換素子の接続形態を説明する断面図。

【図21】撮像装置を説明する断面図。

【図22】光電変換素子の接続形態を説明する断面図。

【図23】撮像装置を説明する断面図。

【図24】撮像装置を説明する断面図。

【図25】撮像装置を説明する断面図および回路図。

【図26】撮像装置を説明する断面図。

【図27】撮像装置を説明する断面図。

【図28】撮像装置を説明する断面図。

【図29】撮像装置の構成を説明する断面図。

【図30】撮像装置の構成を説明する断面図。

【図31】撮像装置の構成を説明する断面図。

【図32】湾曲した撮像装置を説明する図。

【図33】画素を説明する回路図。

【図34】撮像装置を説明する上面図およびCDS回路の回路図およびA/D変換回路のブロック図。

10

20

30

40

50

- 【図 3 5】判定出力回路の回路図。
【図 3 6】判定出力回路の動作を説明するタイミングチャート。
【図 3 7】撮像装置の動作を説明するフローチャート。
【図 3 8】撮像装置の動作を説明するタイミングチャート。
【図 3 9】C D S 回路およびコンパレータ回路の動作を説明するタイミングチャート。
【図 4 0】画素回路を説明する図。
【図 4 1】画素回路を説明する図。
【図 4 2】撮像装置の動作を説明するタイミングチャート。
【図 4 3】画素回路を説明する図。
【図 4 4】画素回路を説明する図。
【図 4 5】トランジスタを説明する上面図および断面図。
【図 4 6】トランジスタを説明する上面図および断面図。
【図 4 7】トランジスタのチャネル幅方向の断面を説明する図。
【図 4 8】トランジスタのチャネル長方向の断面を説明する図。
【図 4 9】半導体層を説明する上面図および断面図。
【図 5 0】トランジスタを説明する上面図および断面図。
【図 5 1】トランジスタを説明する上面図および断面図。
【図 5 2】トランジスタのチャネル幅方向の断面を説明する図。
【図 5 3】トランジスタのチャネル長方向の断面を説明する図。
【図 5 4】トランジスタを説明する上面図および断面図。
【図 5 5】トランジスタを説明する上面図。
【図 5 6】C A A C - O S および単結晶酸化物半導体の X R D による構造解析を説明する図、ならびに C A A C - O S の制限視野電子回折パターンを示す図。
【図 5 7】C A A C - O S の断面 T E M 像、ならびに平面 T E M 像およびその画像解析像。
【図 5 8】n c - O S の電子回折パターンを示す図、および n c - O S の断面 T E M 像。
【図 5 9】a - l i k e O S の断面 T E M 像。
【図 6 0】I n - G a - Z n 酸化物の電子照射による結晶部の変化を示す図。
【図 6 1】撮像装置を収めたパッケージの斜視図および断面図。
【図 6 2】撮像装置を収めたパッケージの斜視図および断面図。
【図 6 3】電子機器を説明する図。

【発明を実施するための形態】

【0025】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

【0026】

なお、第 1、第 2 として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」または「第 3 の」などと適宜置き換えて説明することができる。また、本明細書などに記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0027】

例えば、本明細書等において、X と Y とが接続されている、と明示的に記載されている場合は、X と Y とが電氣的に接続されている場合と、X と Y とが機能的に接続されている場合と、X と Y とが直接接続されている場合とが、本明細書等に関示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものと

10

20

30

40

50

する。

【0028】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0029】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

10

【0030】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

20

【0031】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（D/A変換回路、A/D変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

30

【0032】

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等に開示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に開示されているものとする。

40

【0033】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

【0034】

50

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

【0035】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1の端子など）とトランジスタのドレイン（又は第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース（又は第1の端子など）からトランジスタのドレイン（又は第2の端子など）への電氣的パスであり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン（又は第2の端子など）からトランジスタのソース（又は第1の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

【0036】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0037】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場

10

20

30

40

50

合も、その範疇に含める。

【0038】

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0039】

なお、一般的に、電位（電圧）は、相対的なものであり、基準の電位からの相対的な大きさによって大きさが決定される。したがって、「接地」「GND」「グラウンド」などと記載されている場合であっても、必ずしも、電位が0ボルトであるとは限らないものとする。例えば、回路で最も低い電位を基準として、「接地」や「GND」を定義する場合もある。または、回路で中間くらいの電位を基準として、「接地」や「GND」を定義する場合もある。その場合には、その電位を基準として、正の電位と負の電位が規定されることとなる。

【0040】

（実施の形態1）

本実施の形態では、本発明の一態様である撮像装置について、図面を参照して説明する。

【0041】

本発明の一態様は、画素内に設けた電荷検出部における電子の飽和状態を判定し、判定結果に応じて動作モードを変更することができる撮像装置の回路構成および動作方法である。まず、第1の撮像データを取得し、電荷検出部が飽和していない場合は第1の撮像データをそのまま読み出す。電荷検出部が飽和している場合は電荷検出部の飽和を解消し、第2の撮像データの取得および読み出しを行う。第1の撮像データは低照度に対応した画像データに相当し、第2の撮像データは高照度に対応した画像データに相当する。

【0042】

上記動作により、低照度下においてもノイズが少なく、階調を維持した広ダイナミックレンジの画像を取得することができる。また、高照度を含む環境下での撮像においても明部の階調を維持することができ、広ダイナミックレンジの画像を取得することができる。

【0043】

図1は、本発明の一態様の撮像装置が有する画素10の回路図である。なお、図1などにおいてはトランジスタがn-c h型である場合の例を示すが、本発明の一態様はこれに限定されず、一部のトランジスタをp-c h型トランジスタに置き換えてもよい。

【0044】

画素10において、光電変換素子PDの一方の電極は、トランジスタ41のソースまたはドレインの一方と電氣的に接続される。トランジスタ41のソースまたはドレインの一方は、トランジスタ42のソースまたはドレインの一方と電氣的に接続される。トランジスタ41のソースまたはドレインの他方は、トランジスタ43のソースまたはドレインの一方と電氣的に接続される。トランジスタ41のソースまたはドレインの他方は、トランジスタ44のソースまたはドレインの一方と電氣的に接続される。トランジスタ41のソースまたはドレインの他方は、トランジスタ45のゲートと電氣的に接続される。トランジスタ41のソースまたはドレインの他方は、容量素子C1の一方の電極と電氣的に接続される。トランジスタ44のソースまたはドレインの他方は、容量素子C2の一方の電極と電氣的に接続される。トランジスタ45のソースまたはドレインの一方は、トランジスタ46のソースまたはドレインの一方と電氣的に接続される。

【0045】

ここで、光電変換素子PDの一方の電極、トランジスタ41のソースまたはドレインの一方およびトランジスタ42のソースまたはドレインの一方が接続されるノードANを電荷蓄積部とする。また、トランジスタ41のソースまたはドレインの他方、トランジスタ43のソースまたはドレインの一方、トランジスタ44のソースまたはドレインの一方、トランジスタ45のゲートおよび容量素子C1の一方の電極が接続されるノードFDを電荷

検出部とする。

【0046】

光電変換素子PDの他方の電極は、配線71（VPD）に電氣的に接続される。トランジスタ42のソースまたはドレインの他方およびトランジスタ43のソースまたはドレインの他方は、配線72（VRS）に電氣的に接続される。容量素子C1の他方の電極および容量素子C2の他方の電極は、配線73（VSS）に電氣的に接続される。トランジスタ45のソースまたはドレインの他方は、配線74（VPI）に電氣的に接続される。トランジスタ46のソースまたはドレインの他方は、配線91（OUT1）に電氣的に接続される。

【0047】

なお、上記各要素の接続形態では、複数のトランジスタまたは複数の容量素子が電氣的に接続される配線を共有する例を示しているが、それぞれが異なる配線と電氣的に接続してもよい。

【0048】

配線71（VPD）、配線72（VRS）、配線73（VSS）、および配線74（VPI）は、電源線としての機能を有することができる。例えば、配線71（VPD）および配線73（VSS）は、低電位電源線として機能させることができる。配線72（VRS）および配線74（VPI）は、高電位電源線として機能させることができる。

【0049】

トランジスタ41のゲートは、配線61（TX）と電氣的に接続される。トランジスタ42のゲートは、配線62（GWRS）と電氣的に接続される。トランジスタ43のゲートは、配線63（RS）と電氣的に接続される。トランジスタ44のゲートは、配線64（CN）と電氣的に接続される。トランジスタ46のゲートは、配線65（SE）と電氣的に接続される。

【0050】

配線61（TX）、配線62（GWRS）、配線63（RS）、配線64（CN）および配線65（SE）は、それぞれが接続されるトランジスタの導通を制御する信号線として機能させることができる。なお、配線63（RS）および配線65（SE）は、行毎に制御することができる。

【0051】

トランジスタ41は、ノードANの電位をノードFDに転送するためのトランジスタとして機能させることができる。トランジスタ42は、ノードANの電位をリセットするためのトランジスタとして機能させることができる。トランジスタ43は、ノードFDの電位をリセットするためのトランジスタとして機能させることができる。トランジスタ44は、ノードFDと容量素子C2との電氣的な接続を制御し、ノードFDに蓄積した電子を分割するためのトランジスタとして機能させることができる。トランジスタ45は、ノードFDの電位に応じた出力を行うためのトランジスタとして機能させることができる。トランジスタ46は、画素10を選択するためのトランジスタとして機能させることができる。

【0052】

なお、上述した画素10の構成は一例であり、一部の回路、一部のトランジスタ、一部の容量素子、または一部の配線等が含まれない場合もある。または、上述した構成に含まれない回路、トランジスタ、容量素子、配線等が含まれる場合もある。また、一部の配線の接続形態が上述した構成とは異なる場合もある。

【0053】

図2（A）は、本発明の一態様の撮像装置を説明する図である。当該撮像装置は、マトリクス状に配列された画素10を有する画素アレイ11と、画素10を駆動する機能を有する回路12（ロードライバ）と、画素10の出力信号に対してCDS（Correlated Double Sampling）動作を行うための回路13（CDS回路）と、ノードFDの飽和の有無を判定する機能および回路13から出力されたアナログデータを

10

20

30

40

50

デジタルデータに変換する機能を有する回路 14 (A/D 変換回路等) と、回路 14 で変換されたデータを選択して読み出す機能を有する回路 15 (カラムドライバ) と、ノード FD の飽和の有無に従って画素の動作モードを変更する回路 16 (画素制御回路) と、を有する。なお、回路 13 を設けない構成とすることもできる。

【0054】

図 2 (B) は画素アレイ 11 の 1 つの列に接続される回路 13 の回路図および回路 14 のブロック図である。回路 13 は、トランジスタ 51、トランジスタ 52、トランジスタ 53、容量素子 C3 および容量素子 C4 を有する構成とすることができる。また、回路 14 はコンパレータ回路 17、判定出力回路 18 およびカウンタ回路 19 を有する構成とすることができる。

10

【0055】

トランジスタ 54 は電流源回路としての機能を有する。トランジスタ 54 のソースまたはドレインの一方に配線 91 (OUT1) が電氣的に接続され、ソースまたはドレインの他方には電源線が接続される。当該電源線は、例えば低電位電源線とすることができる。また、トランジスタ 54 のゲートには常時バイアス電圧が印加されている状態とする。

【0056】

回路 13 において、トランジスタ 51 のソースまたはドレインの一方はトランジスタ 52 のソースまたはドレインの一方と電氣的に接続される。トランジスタ 51 のソースまたはドレインの一方は容量素子 C3 の一方の電極と電氣的に接続される。トランジスタ 52 のソースまたはドレインの他方はトランジスタ 53 のソースまたはドレインの一方と電氣的に接続される。トランジスタ 52 のソースまたはドレインの他方は容量素子 C4 の一方の電極と電氣的に接続される。トランジスタ 52 のソースまたはドレインの他方は、配線 92 (OUT2) と電氣的に接続される。トランジスタ 53 のソースまたはドレインの他方および容量素子 C3 の他方の電極は、配線 91 (OUT1) と電氣的に接続される。トランジスタ 51 のソースまたはドレインの他方は、例えば基準電位が供給される高電位電源線 (CDSVDD) と電氣的に接続される。容量素子 C4 の他方の電極は、例えば低電位電源線 (CDSVSS) と電氣的に接続される。

20

【0057】

図 1 に示す画素 10 と接続された場合の回路 13 の動作の一例を説明する。まず、トランジスタ 51 およびトランジスタ 52 を導通させる。次に、画素 10 から配線 91 (OUT1) に撮像データの電位を出力し、配線 92 (OUT2) に基準電位 (CDSVDD) を保持する。その後、トランジスタ 51 を非導通として画素 10 から配線 91 (OUT1) にリセット電位 (ここでは撮像データの電位よりも高い電位、例えば VDD 電位とする) を出力する。このとき、配線 92 (OUT2) は、撮像データの電位とリセット電位の差分の絶対値を基準電位 (CDSVDD) に加算した電位となる。したがって、基準電位 (CDSVDD) に正味の撮像データの電位を加算した、ノイズの少ない電位信号を回路 14 に供給することができる。

30

【0058】

なお、リセット電位が撮像データの電位よりも低い電位 (例えば GND 電位など) である場合、配線 92 (OUT2) は撮像データの電位とリセット電位の差分の絶対値を基準電位 (CDSVDD) から減算した電位となる。

40

【0059】

また、トランジスタ 53 を導通させた場合はバイパスが形成されるため、配線 91 (OUT1) の信号を配線 92 (OUT2) に直接出力することができる。

【0060】

回路 14 では、コンパレータ回路 17 において、回路 13 から入力される信号電位と、基準電位 (REF) とが比較される。コンパレータ回路 17 には、配線 92 (OUT2) を介して第 1 の撮像データまたは第 2 の撮像データに対応する信号電位が入力される。ここで、第 1 の撮像データは 1 回目の露光データであり、画素 10 のノード FD の飽和の有無を判定するためのデータである。また、第 2 の撮像データは、当該判定に従って取得する

50

2 回目の露光データである。

【0061】

まず、第1の撮像データが入力されるとコンパレータ回路17は判定出力回路18に判定結果を出力する。判定出力回路18は、出力のタイミングを調整してコンパレータ回路17から出力されるノイズを除去する機能を有する。

【0062】

コンパレータ回路17では、第1の撮像データが画素10のノードFDを飽和させているか否かの判定を行う。このとき、コンパレータ回路17に入力される基準電位(REF)はノードFDの飽和時に相当する一定の電位であり、当該電位と第1の撮像データに対応する信号電位とを比較することによって、飽和の有無を判定する。なお、本実施の形態では、第1の撮像データに対応する信号電位は回路13をバイパスしてコンパレータ回路17に入力する構成とするが、回路13をバイパスしないでコンパレータ回路17に入力してもよい。

10

【0063】

ノードFDが飽和していないと判定された場合、判定出力回路18は第2の撮像データを取得しない信号を回路16に出力する。したがって、第1の撮像データに対応する信号電位が回路13を介してコンパレータ回路17に入力される。また、コンパレータ回路17に入力される基準電位はランプ波であり、第1の撮像データに対応する信号電位と比較した結果をカウンタ回路19に出力する。そして、カウンタ回路19は、配線94(OUT4)に第1の撮像データに対応するデジタルデータを出力する。

20

【0064】

ノードFDが飽和していると判定された場合、判定出力回路18は第2の撮像データを取得する信号を回路16に出力する。また、回路16は画素10に第2の撮像データを取得する信号を出力する。第2の撮像データに対応する信号電位は回路13を介してコンパレータ回路17に入力される。また、コンパレータ回路17に入力される基準電位はランプ波であり、第2の撮像データに対応する信号電位と比較した結果をカウンタ回路19に出力する。そして、カウンタ回路19は、配線94(OUT4)に第2の撮像データに対応するデジタルデータを出力する。

【0065】

判定出力回路18には、例えば図3(A)に示す回路を用いることができる。当該回路の入力端子(IN)にはコンパレータ回路17の出力端子が電氣的に接続される。また、当該回路の出力端子(OUT)には配線93(OUT3)が電氣的に接続される。判定出力回路18は選択された行毎にJRES信号によってリセットされた後、コンパレータ回路17の判定結果を回路16に出力する。

30

【0066】

回路16には、例えば図3(B)に示す回路を用いることができる。当該回路の入力端子(IN)には配線93(OUT3)が電氣的に接続される。また、当該回路の出力端子(OUT)は二系統あり、一方は配線61(TX)と電氣的に接続され、他方は配線64(CN)と電氣的に接続される。当該回路から配線61(TX)には、端子TX1または端子TX2に入力される一方の信号が出力される。また、当該回路から配線64(CN)には、端子CN1または端子CN2に入力される一方の信号が出力される。なお、端子GCNに制御信号を入力し、配線61(TX)および配線64(CN)から出力される信号を固定することもできる。なお、回路16はラッチ機能を有するため、ノードFDが飽和していると判定された場合に判定出力回路18から出力された信号は回路16に保持される。したがって、最終行まで判定を繰り返しても当該信号は保持される。

40

【0067】

上述した回路は、図4に示すタイミングチャートに従って動作させることができる。図4に示すRCK1/2およびRCKB1/2は回路12(ロードライバ)に入力されるクロック信号および反転クロック信号、JRESは図3(A)の回路に入力される信号、GRESおよびJENBは図3(B)の回路に入力される信号、EN_CDSは回路13のト

50

ランジスタ 53 のゲートに入力される信号、SE [1] は 1 行目の画素 10 の配線 65 に入力される信号、SE [N] は最終行の画素 10 の配線 65 に入力される信号である。

【0068】

frame [n] で示す期間が第 n フレーム (n は 2 以上の自然数) の期間に相当する。第 n フレームにおいて、期間 401 は第 n-1 フレームのデータを読み出す期間、期間 402 は前述した第 1 の撮像データを読み出して判定を行う期間であり、期間 400 はロードドライバが動作しない期間である。また、第 n+1 フレームにおける期間 403 は第 n フレームのデータを読み出す期間である。

【0069】

次に、図 5 に示すフローチャートおよび図 6 に示すタイミングチャートを用いて、図 1 に示す画素 10 の動作について説明する。本発明の一態様の撮像装置はグローバルシャッタ方式で動作し、1 フレーム内の動作は第 1 の撮像データの取得、第 1 の撮像データの判定、第 2 の撮像データの取得、前フレームの撮像データの読み出しに大別される。なお、第 1 の撮像データの取得および前フレームの撮像データの読み出しは並行して行われる。

【0070】

図 5 および図 6 では、任意の第 n フレームを基準として説明する。また、配線 71 (VPD) および配線 73 (VSS) は低電位 ("L")、配線 72 (VRS) および配線 74 (VPI) は高電位 ("H") とする。

【0071】

また、図 6 において、GWRS は配線 62 (GWRS) の電位、RS [1] は 1 行目の特定の画素 10 における配線 63 (RS) の電位、RS [N] は最終行の特定の画素 10 における配線 63 (RS) の電位、CN は配線 64 (CN) の電位、TX は配線 61 (TX) の電位、AN [1] は 1 行目の特定の画素 10 におけるノード AN の電位、AN [N] は最終行の特定の画素 10 におけるノード AN の電位、FD [1] は 1 行目の特定の画素 10 におけるノード FD の電位、FD [N] は最終行の特定の画素 10 におけるノード FD の電位である。

【0072】

まず、第 1 の撮像データの取得および前フレームで取得した撮像データの読み出しについて説明する。

【0073】

第 1 の撮像データの撮像モードは露光時間が相対的に長く、低照度環境において広ダイナミックレンジの画像が得られる。一方で、露光時間が相対的に長いため、高照度環境ではノード FD が飽和する。なお、図 6 のタイミングチャートでは、第 1 の撮像データの判定においてノード FD が飽和している場合の動作を示している。

【0074】

時刻 T1 において、GWRS を "H" とすると、AN [1:N] はリセットされて "H" (配線 72 (VRS) の電位) となる (S1)。

【0075】

時刻 T2 において、GWRS を "L" とすると、照度に応じて AN [1:N] が低下し始める (露光 1 回目、S2)。

【0076】

時刻 T3 において、RS [1:N] を "H"、CN を "H" とすると、FD [1:N] はリセットされて、"H" (配線 72 (VRS) の電位) となる (S3)。このとき、ノード FD には容量素子 C2 がトランジスタ 44 を介して電氣的に接続される。

【0077】

時刻 T4 において、RS [1:N] を "L"、CN を "L"、TX を "H" とすると、ノード FD と容量素子 C2 の電氣的な接続は切断され、容量素子 C2 にリセット時のノード FD の電位が保持される。また、ノード AN の電位がノード FD に転送され、ノード FD の電位が低下し始める (S4)。

【0078】

10

20

30

40

50

時刻 T_5 において、 TX を "L" とすると、 $FD[1:N]$ は保持される。ここまでが第 1 の撮像データの取得動作である。

【0079】

ここで、時刻 T_1 乃至 T_3 までの間に $SE[1]$ 乃至 $SE[N]$ が順次一定期間 "H" となり、第 $n-1$ フレームで確定した撮像データが読み出される ($S10'$)。つまり、上記第 n フレームの第 1 の撮像データの取得動作と、第 $n-1$ フレームで確定した撮像データの読み出しは並行して行われる。このように撮像データを次フレームで読み出すことで、グローバルシャッタ方式においても露光などに割り当てる時間を長くすることができる。したがって、低照度下においても広ダイナミックレンジ、低ノイズの画像を取得することができる。

10

【0080】

図 7 (A) は 1 行目の撮像データの読み出しを説明するタイミングチャートである。 SH は回路 13 におけるトランジスタ 52 のゲートに供給される電位、 CL は回路 13 におけるトランジスタ 51 のゲートに供給される電位、 $REF(RAMP)$ はコンパレータ回路 17 に供給される基準電位、 $OUT2$ は配線 92 ($OUT2$) の電位、 $COMP_OUT$ はコンパレータ回路 17 の出力端子の電位である。

【0081】

図 6 においては、時刻 T_3 以前に $RS[1]$ 乃至 $RS[N]$ が順次一定期間 "H" となり、ノード FD がリセットされるが、これは図 7 (A) に示す回路 13 の動作にともなう動作である。

20

【0082】

次に、第 1 の撮像データの判定および当該判定結果にともなう動作について説明する。

【0083】

時刻 T_6 乃至 T_8 において、 $SE[1]$ 乃至 $SE[N]$ が順次一定期間 "H" となり、行毎に第 1 の撮像データが読み出され、有効な画素全てについてノード FD の飽和の有無が判定される ($S5$)。

【0084】

図 7 (B) は時刻 T_6 乃至 T_8 における第 1 の撮像データの読み出しを説明するタイミングチャートである。第 1 の撮像データの読み出し期間中は EN_CDS を "H"、 CL を "H" とし、画素 10 から出力される信号は回路 13 をバイパスさせてコンパレータ回路 17 に入力する。 $REF(CONST)$ の電位は一定とし、ノード FD が飽和しているときに配線 91 ($OUT1$) に出力される電位よりもわずかに大きい値とする。このように動作させることで、コンパレータ回路 17 の出力によってノード FD の飽和の有無を判断することができる。なお、図 7 (B) では選択された特定の画素 10 のノード FD が飽和しているときの状態を示しており、コンパレータ回路 17 の出力端子からは "L" が出力される。なお、 EN_CDS を "L" として回路 13 をバイパスしないで第 1 の撮像データを読み出してもよい。このとき、コンパレータ回路 17 の出力端子からは "H" が出力される。

30

【0085】

このとき、第 1 の撮像データはノード FD の飽和の有無の判定をするために用いられ、外部には出力されない。したがって、外部出力に必要な回路 15 (カラムドライバ) などの出力回路の動作を停止させてもよい。

40

【0086】

第 1 の撮像データの判定結果は判定出力回路 18 を介して回路 16 に出力される。ここで、各列の判定出力回路 18 の出力端子は全て配線 93 ($OUT3$) に接続されているため、全ての画素 10 のうち一つでもノード FD が飽和していると判断された場合、回路 16 は指定された時刻に CN を "H"、 TX を "H" とする動作を行い、第 2 の撮像データを取得するモードに切り替わる。ここまでが第 1 の撮像データの判定および当該判定結果にともなう動作である。

【0087】

50

次に、第2の撮像データの取得について説明する。なお、第2の撮像データの撮像モードは露光時間が相対的に短く、高照度環境において広ダイナミックレンジの画像が得られる。

【0088】

第1の撮像データの判定結果にかかわらず、または全ての判定結果が出る前に第2の撮像データを取得する露光動作は行ってもよい。例えば、図6に示すように、時刻T7においてGWR Sを”H”とし、AN[1:N]をリセットする(S6)。そして、時刻T8にGWR Sを”L”、とし、時刻T10までに2回目の露光を行う(S7)。なお、2回目の露光では、ノードFDが飽和することがないように1回目の露光よりも露光時間を短くする。

【0089】

2回目の露光が終了する前の時刻T9に回路16の動作によりCNを”H”とし、トランジスタ44を導通させてノードFDと容量素子C2を再度電氣的に接続させる。

【0090】

時刻T9の直前においては、ノードFDは電子が飽和している状態、すなわち電圧が0の状態であるが、時刻T9においてノードFDのリセット時の電位を保持した容量素子C2が電氣的に接続されるため、蓄積電子が分割されてノードFDの電位は上昇する(S8)。

【0091】

時刻T10において、回路16の動作によりCNを”L”、TXを”H”とすると、ノードANの電位がノードFDに転送される(S9)。

【0092】

時刻T11において、TXを”L”とすると、FD[1:N]が保持される。ここまでが第2の撮像データの取得動作である。また、当該第2の撮像データは、第n+1のフレームにおいて第nフレームの撮像データとして読み出される(S10)。

【0093】

図8は第1の撮像データによるノードFDの飽和がないと判定された場合のタイミングチャートである。全ての画素10のノードFDが飽和していない場合、回路16はCNおよびTXを”H”とする動作を行わない。すなわち、第2の撮像データを取得するモードに切り替わらない。したがって、第1の撮像データとして取得したデータがそのまま読み出される。なお、ノードFDの飽和がないと判定された場合、時刻T7乃至T8におけるGWR Sを”H”とする動作を無効とし、2回目の露光を行わない動作としてもよい。

【0094】

なお、前述したように、本発明の一態様の撮像装置はグローバルシャッター方式で動作する。したがって、全ての画素10のうち一つでもノードFDが飽和していると判断された場合、第2の撮像データを取得するモードに切り替わるため、全ての画素10で第2の撮像データが取得される。

【0095】

上述の動作によって、必要に応じて第2の撮像データを自動的に取得することができ、明暗が混在した視野の撮像においても、明部の階調を維持することができる。すなわち、広ダイナミックレンジの画像を取得することができる。また、低照度下においてもノイズが少なく、階調が維持された広ダイナミックレンジの画像を取得することができる。

【0096】

画素10は、図9に示す構成であってもよい。図9に示す画素10は、光電変換素子PDの接続される向きが図1に示す画素10と異なる。図9に示す画素10は、図11のタイミングチャート(第2の撮像データの取得あり)または図12のタイミングチャート(第2の撮像データの取得なし)に従って動作させることができる。このとき、配線71(VPD)および配線74(VPI)は高電位(”H”)、配線72(VRS)、配線73(VSS)は低電位(”L”)とする。

【0097】

この場合、ノードANおよびノードFDはリセット時に電子が飽和状態になり、照度が高いとノードANおよびノードFDの電子は不足状態となる。したがって、前述した図1に示す画素10の動作の説明とは逆になるようにノードANおよびノードFDの電位は変化する。

【0098】

また、画素10は図10(A)、(B)に示す構成であってもよい。図10(A)はトランジスタ42を設けない構成である。当該構成では、配線71(VPD)の電位を高電位とすることによりノードANの電位をリセットすることができる。図10(B)はトランジスタ45のソースまたはドレインの一方が配線91(OUT)に接続する構成である。

【0099】

また、画素10に用いるトランジスタは、図13(A)、(B)に示すように、トランジスタ41乃至トランジスタ46にバックゲートを設けた構成であってもよい。図13(A)はバックゲートに定電位を印加する構成であり、しきい値電圧を制御することができる。図13(A)では、一例としてバックゲートが低電位を供給する配線71(VPD)、配線73(VSS)または配線75(VSS2)と接続する例を示しているが、いずれか一つの配線に接続する構成であってもよい。また、図13(B)はフロントゲートと同じ電位がバックゲートに印加される構成であり、オン電流を増加させ、かつオフ電流を減少させることができる。また、所望のトランジスタが適切な電気特性を有するように、図13(A)および図13(B)の構成などを組み合わせた構成としてもよい。なお、バックゲートが設けられないトランジスタがあってもよい。また、図9、図10(A)、(B)、および13(A)、(B)の構成は、必要に応じて組み合わせることができる。

【0100】

画素10は、図14に示すようにトランジスタ43乃至トランジスタ46を複数の画素で共用する形態としてもよい。図14では垂直方向の複数の画素でトランジスタ43乃至トランジスタ46を共用する構成を例示しているが、水平方向または水平垂直方向の複数の画素で共用してもよい。このような構成とすることで、一画素あたりが有するトランジスタ数を削減させることができる。

【0101】

また、図14ではトランジスタ43乃至トランジスタ46が4画素で共用される形態を図示しているが、2画素、3画素または5画素以上で共用される形態であってもよい。なお、当該構成と図9、図10(A)、(B)、および図13(A)、(B)の構成は任意に組み合わせることができる。

【0102】

また、本発明の一態様の撮像装置は、画素アレイ11と、回路12乃至回路16を有する基板35との積層構成とすることができる。例えば、図15(A)を画素アレイ11の上面図、図15(B)を基板35の上面図としたとき、図15(C)の正面図に示すような画素アレイ11と基板35との積層構成とすることができる。当該構成とすることで、それぞれの要素に適したトランジスタを用いることができ、かつ撮像装置の面積を小さくすることができる。なお、図15(B)における回路のレイアウトは一例であり、他のレイアウトであってもよい。

【0103】

回路12乃至回路16は、高速動作とCMOS回路での構成を両立させるため、シリコンを用いたトランジスタ(以下、Siトランジスタ)を用いて作製することが好ましい。例えば、基板35をシリコン基板とし、当該シリコン基板に上記回路を形成することができる。また、画素アレイ11は、酸化物半導体を用いたトランジスタ(以下、OSTランジスタ)を用いて作製することが好ましい。なお、回路12乃至回路16を構成する一部のトランジスタを画素アレイ11と同じ面上に設けてもよい。

【0104】

本発明の一態様の撮像装置の具体的な構成例について、図面を参照して説明する。図16(A)に示す断面図は、図1に示す画素10における光電変換素子PD、トランジスタ4

10

20

30

40

50

1、トランジスタ43および容量素子C1の具体的な接続形態の一例を示している。なお、図16(A)にはトランジスタ42、トランジスタ44、トランジスタ45、トランジスタ46および容量素子C2は図示されていない。トランジスタ41乃至トランジスタ46および容量素子C1、C2は層1100、光電変換素子PDは層1200に設けることができる。

【0105】

本実施の形態で説明する断面図において、配線、電極およびコンタクトプラグ（導電体81）を個別の要素として図示しているが、それらが電氣的に接続している場合においては、同一の要素として設けられる場合もある。また、配線と電極が導電体81を介して接続される形態は一例であり、電極が配線と直接接続される場合もある。

10

【0106】

各要素上には保護膜、層間絶縁膜または平坦化膜としての機能を有する絶縁層82および絶縁層83等が設けられる。例えば、絶縁層82および絶縁層83等は、酸化シリコン膜、酸化窒化シリコン膜などの無機絶縁膜を用いることができる。または、アクリル樹脂、ポリイミド樹脂などの有機絶縁膜などを用いてもよい。絶縁層82および絶縁層83等の上面は、必要に応じてCMP（Chemical Mechanical Polishing）法等で平坦化処理を行うことが好ましい。

【0107】

なお、図面に示される配線等の一部が設けられない場合や、図面に示されない配線等やトランジスタ等が各層に含まれる場合もある。また、図面に示されない層が含まれる場合もある。また、図面に示される層の一部が含まれない場合もある。

20

【0108】

画素10の構成要素であるトランジスタ41乃至トランジスタ46には、オフ電流の低いOSトランジスタを用いることが好ましい。OSトランジスタは極めて低いオフ電流特性を有するため、撮像のダイナミックレンジを拡大することができる。図1に示す画素10の回路構成では、光電変換素子PDに入射される光の強度が大きいときにノードANおよびノードFDの電位が小さくなる。酸化物半導体を用いたトランジスタは極めてオフ電流が低いため、ゲート電位が極めて小さい場合においても当該ゲート電位に応じた電流を正確に出力することができる。したがって、検出することのできる照度のレンジ、すなわちダイナミックレンジを広げることができる。

30

【0109】

また、トランジスタ41、トランジスタ42、トランジスタ43およびトランジスタ44の低いオフ電流特性によってノードANおよびノードFDで電荷を保持できる期間を極めて長くすることができる。そのため、回路構成や動作方法を複雑にすることなく、全画素で同時に電荷の蓄積動作を行うグローバルシャッタ方式を適用することができる。なお、本発明の一態様の撮像装置は、ローリングシャッタ方式で動作させることもできる。

【0110】

図17(A)、(B)、(C)を用いて撮像装置の動作方式の説明を行う。なお、図17(A)、(B)、(C)において、“E”は露光動作が行える期間、“R”は読み出し動作が行える期間を意味する。また、nは任意のn番目（nは2以上の自然数）のフレームである第nフレームを意味する。また、n-1は第nフレームの一つ前のフレーム、n+1は第nフレームの一つ後のフレームを意味する。また、Line[1]は画素アレイ11の1行目、Line[M]は画素アレイ11のM行目（図17においてMは4以上の自然数）を意味する。

40

【0111】

図17(A)はローリングシャッタ方式の動作方法を模式化した図である。ローリングシャッタ方式は、行毎に露光とデータの読み出しを順次行う動作方法である。全画素において撮像の同時性がないため、動体の撮像においては画像に歪が生じる。

【0112】

図17(B)は通常のグローバルシャッタ方式の動作方法を模式化した図である。グロー

50

バルシャッタ方式は、全画素で同時に露光を行い、その後行毎にデータを読み出す動作方法である。したがって、動体の撮像であっても歪のない画像を得ることができる。

【0113】

図17(C)は本発明の一態様の撮像装置に適用する動作方法を模式化した図である。当該動作方法では、第nフレームで全画素の同時露光を行い、第n+1フレームにおいて第nフレームで取得したデータの読み出しを行う。したがって、1フレーム期間内に同一フレームの露光と読み出しを行わないため、従来のグローバルシャッタ方式のように読み出し時間の増大によって、露光時間が制限されることはない。したがって、露光時間を長くすることができる。

【0114】

OSTランジスタは、シリコンを活性領域または活性層に用いたランジスタよりも電気特性変動の温度依存性が小さいため、極めて広い温度範囲で使用することができる。したがって、OSTランジスタを有する撮像装置および半導体装置は、自動車、航空機、宇宙機などへの搭載にも適している。

【0115】

また、OSTランジスタは、Siランジスタよりもドレイン耐圧の高い特性を有する。セレン系材料を光電変換層とした光電変換素子では、アバランシェ増倍を利用するために比較的高い電圧(例えば、10V以上)を印加して動作させることが好ましい。したがって、OSTランジスタと、セレン系材料を光電変換層とした光電変換素子とを組み合わせることで、信頼性の高い撮像装置とすることができる。

【0116】

図16(A)において、各ランジスタはバックゲートを有する形態を例示しているが、図16(B)に示すように、バックゲートを有さない形態であってもよい。また、図16(C)に示すように一部のランジスタ、例えばランジスタ41のみにバックゲートを有するような形態であってもよい。当該バックゲートは、対向して設けられるランジスタのフロントゲートと電気的に接続する場合がある。または、当該バックゲートにフロントゲートとは異なる固定電位が供給される場合がある。なお、当該バックゲート有無に関する形態は、本実施の形態で説明する他の画素の構成にも適用することができる。

【0117】

層1200に設けられる光電変換素子PDは、様々な形態の素子を用いることができる。図16(A)では、セレン系材料を光電変換層561に用いた形態を図示している。セレン系材料を用いた光電変換素子PDは、可視光に対する外部量子効率が高い特性を有する。また、セレン系材料は光吸収係数が高いため、光電変換層561を薄くしやすい利点を有する。セレン系材料を用いた光電変換素子PDでは、アバランシェ増倍により増幅が大きい高感度のセンサとすることができる。つまり、セレン系材料を光電変換層561に用いることで、画素面積が縮小しても十分な光電流を得ることができる。したがって、セレン系材料を用いた光電変換素子PDは、低照度環境における撮像にも適しているといえる。

【0118】

セレン系材料としては、非晶質セレンまたは結晶セレンを用いることができる。結晶セレンは、例えば、非晶質セレンを成膜後に熱処理することで得ることができる。結晶セレンの結晶粒径を画素ピッチより小さくすることで、画素ごとの特性ばらつきを低減させることができる。また、結晶セレンは、非晶質セレンよりも可視光に対する分光感度や光吸収係数が高い特性を有する。

【0119】

図16(A)では、光電変換層561は単層として図示しているが、図18(A)に示すように受光面側に正孔注入阻止層568として酸化ガリウム、酸化セリウムまたはIn-Ga-Zn酸化物などを設けてもよい。または、図18(B)に示すように、電極566側に電子注入阻止層569として酸化ニッケルまたは硫化アンチモンなどを設けてもよい。または、図18(C)に示すように、正孔注入阻止層568および電子注入阻止層56

10

20

30

40

50

9を設ける構成としてもよい。なお、図1および図9に示すように、画素10では光電変換素子PDの接続の向きが異なる構成とすることができる。したがって、図18(A)乃至図18(C)に示す正孔注入阻止層568および電子注入阻止層569を入れ替える構成であってもよい。

【0120】

光電変換層561は、銅、インジウム、セレンの化合物(CIS)を含む層であってもよい。または、銅、インジウム、ガリウム、セレンの化合物(CIGS)を含む層であってもよい。CISおよびCIGSでは、セレンの単層と同様にアバランシェ増倍を利用する光電変換素子を形成することができる。

【0121】

セレン系材料を用いた光電変換素子PDは、例えば、金属材料などで形成された電極566と透光性導電層562との間に光電変換層561を有する構成とすることができる。また、CISおよびCIGSはp型半導体であり、接合を形成するためにn型半導体の硫化カドミウムや硫化亜鉛等を接して設けてもよい。

【0122】

図16(A)では透光性導電層562と配線71は直接接する構成としているが、図19(A)に示すように配線88を介して両者が接する構成としてもよい。また、図16(A)では光電変換層561および透光性導電層562を画素回路間で分離しない構成としているが、図19(B)に示すように回路間で分離する構成としてもよい。また、画素間においては、電極566を有さない領域には絶縁体で隔壁567を設け、光電変換層561および透光性導電層562に亀裂が入らないようにすることが好ましいが、図19(C)、(D)に示すように隔壁567を設けない構成としてもよい。

【0123】

また、電極566および配線71等は多層としてもよい。例えば、図20(A)に示すように、電極566を導電層566aおよび導電層566bの二層とし、配線71を導電層71aおよび導電層71bの二層とすることができる。図20(A)の構成においては、例えば、導電層566aおよび導電層71aを低抵抗の金属等を選択して形成し、導電層566bおよび導電層71bを光電変換層561とコンタクト特性の良い金属等を選択して形成するとよい。このような構成とすることで、光電変換素子PDの電気特性を向上させることができる。また、一部の金属は透光性導電層562と接触することにより電蝕を起こすことがある。そのような金属を導電層71aに用いた場合でも導電層71bを介することによって電蝕を防止することができる。

【0124】

導電層566bおよび導電層71bには、例えば、モリブデンやタングステンなどを用いることができる。また、導電層566aおよび導電層71aには、例えば、アルミニウム、チタン、またはアルミニウムをチタンで挟むような積層を用いることができる。

【0125】

また、図20(B)に示すように透光性導電層562と配線71は導電体81および配線88を介して接続してもよい。また、絶縁層82等が多層である構成であってもよい。例えば、図20(B)に示すように、絶縁層82が絶縁層82aおよび絶縁層82bを有し、かつ絶縁層82aと絶縁層82bとのエッチングレート等が異なる場合は、導電体81は段差を有するようになる。層間絶縁膜や平坦化膜に用いられるその他の絶縁層が多層である場合も同様に導電体81は段差を有するようになる。ここでは絶縁層82が2層である例を示したが、絶縁層82およびその他の絶縁層は3層以上の構成であってもよい。

【0126】

隔壁567は、無機絶縁体や絶縁有機樹脂などを用いて形成することができる。また、隔壁567は、トランジスタ等に対する遮光、および／または1画素あたりの受光部の面積を確定するために黒色等に着色されていてもよい。

【0127】

また、光電変換素子PDには、非晶質シリコン膜や微結晶シリコン膜などを用いたpin

10

20

30

40

50

型ダイオード素子などを用いてもよい。

【0128】

例えば、図21は光電変換素子PDにpin型の薄膜フォトダイオードを用いた例である。当該フォトダイオードは、n型の半導体層565、i型の半導体層564、およびp型の半導体層563が順に積層された構成を有している。i型の半導体層564には非晶質シリコンを用いることが好ましい。また、p型の半導体層563およびn型の半導体層565には、それぞれの導電性を付与するドーパントを含む非晶質シリコンまたは微結晶シリコンなどを用いることができる。非晶質シリコンを光電変換層とするフォトダイオードは可視光の波長領域における感度が高く、微弱な可視光を検知しやすい。

【0129】

図21に示す光電変換素子PDでは、カソードとして作用するn型の半導体層565がトランジスタ41と電気的な接続を有する電極566と接する構成となっている。また、アノードとして作用するp型の半導体層563が配線88を介して配線71と電気的な接続を有する。

【0130】

なお、光電変換素子PDのアノードおよびカソードと、電極層および配線とのそれぞれの接続形態を逆とすれば、図9に示す回路図に従った構成とすることができる。

【0131】

いずれの場合においても、p型の半導体層563が受光面となるように光電変換素子PDを形成することが好ましい。p型の半導体層563を受光面とすることで、光電変換素子PDの出力電流を高めることができる。

【0132】

また、pin型の薄膜フォトダイオードの形態を有する光電変換素子PDの構成、ならびに光電変換素子PDおよび配線の接続形態は、図22(A)、(B)、(C)に示す例であってもよい。なお、光電変換素子PDの構成、光電変換素子PDと配線の接続形態はこれらに限定されず、他の形態であってもよい。

【0133】

図22(A)は、光電変換素子PDのp型の半導体層563と接する透光性導電層562を設けた構成である。透光性導電層562は電極として作用し、光電変換素子PDの出力電流を高めることができる。

【0134】

透光性導電層562には、例えば、インジウム錫酸化物、シリコンを含むインジウム錫酸化物、亜鉛を含む酸化インジウム、酸化亜鉛、ガリウムを含む酸化亜鉛、アルミニウムを含む酸化亜鉛、酸化錫、フッ素を含む酸化錫、アンチモンを含む酸化錫、グラフェンまたは酸化グラフェン等を用いることができる。また、透光性導電層562は単層に限らず、異なる膜の積層であっても良い。

【0135】

図22(B)は、透光性導電層562と配線71が導電体81および配線88を介して接続された構成である。なお、光電変換素子PDのp型の半導体層563と配線71が導電体81および配線88を介して接続された構成とすることもできる。なお、図22(B)においては、透光性導電層562を設けない構成とすることもできる。

【0136】

図22(C)は、光電変換素子PDを覆う絶縁層にp型の半導体層563が露出する開口部が設けられ、当該開口部を覆う透光性導電層562と配線71が電気的な接続を有する構成である。

【0137】

また、光電変換素子PDには、図23に示すように、シリコン基板600を光電変換層としたフォトダイオードを用いることもできる。

【0138】

上述したセレン系材料や非晶質シリコンなどを用いて形成した光電変換素子PDは、成膜

10

20

30

40

50

工程、リソグラフィ工程、エッチング工程などの一般的な半導体作製工程を用いて作製することができる。また、セレン系材料は高抵抗であり、図16(A)に示すように、光電変換層561を回路間で分離しない構成とすることもできる。したがって、本発明の一態様の撮像装置は、歩留りが高く、低コストで作製することができる。一方で、シリコン基板600を光電変換層としたフォトダイオードを形成する場合は、研磨工程や貼り合わせ工程などの難度の高い工程が必要となる。

【0139】

また、本発明の一態様の撮像装置は、回路が形成されたシリコン基板600が積層された構成としてもよい。例えば、図24(A)に示すように、シリコン基板600に活性領域を有するトランジスタ610およびトランジスタ620を有する層1400が画素回路と重なる構成とすることができる。図24(B)はトランジスタのチャネル幅方向の断面図に相当する。

10

【0140】

ここで、図24(A)、(B)において、Siトランジスタはフィン型の構成を例示しているが、図25(A)に示すようにプレーナ型であってもよい。または、図25(B)に示すように、シリコン薄膜の活性層650を有するトランジスタであってもよい。また、活性層650は、多結晶シリコンやSOI(Silicon on Insulator)の単結晶シリコンとすることができる。

【0141】

シリコン基板600に形成された回路は、画素回路が出力する信号を読み出す機能や当該信号を変換する処理などを行う機能を有することができ、例えば、図25(C)に回路図で示すCMOSインバータを含む構成とすることができる。トランジスタ610(n-ch型)およびトランジスタ620(p-ch型)のゲートは電氣的に接続される。また、一方のトランジスタのソースまたはドレインの一方は、他方のトランジスタのソースまたはドレインの一方と電氣的に接続される。また、両方のトランジスタのソースまたはドレインの他方はそれぞれ別の配線に電氣的に接続される。

20

【0142】

シリコン基板600に形成された回路は、例えば、図2(A)および図15(B)に示す回路12、回路13、回路14、回路15、回路16などに相当する。

【0143】

また、シリコン基板600はバルクのシリコン基板に限らず、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、有機半導体を材料とする基板を用いることもできる。

30

【0144】

ここで、図23および図24(A)、(B)に示すように、酸化物半導体を有するトランジスタが形成される領域と、Siデバイス(SiトランジスタまたはSiフォトダイオード)が形成される領域との間には絶縁層80が設けられる。

【0145】

トランジスタ610およびトランジスタ620の活性領域近傍に設けられる絶縁層中の水素はシリコンのダングリングボンドを終端する。したがって、当該水素はトランジスタ610およびトランジスタ620の信頼性を向上させる効果がある。一方、トランジスタ41等の活性層である酸化物半導体層の近傍に設けられる絶縁層中の水素は、酸化物半導体層中にキャリアを生成する要因の一つとなる。そのため、当該水素はトランジスタ41等の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタを有する一方の層と、酸化物半導体を用いたトランジスタを有する他方の層を積層する場合、これらの間に水素の拡散を防止する機能を有する絶縁層80を設けることが好ましい。絶縁層80により、一方の層に水素を閉じ込めることでトランジスタ610およびトランジスタ620の信頼性が向上することができる。また、一方の層から他方の層への水素の拡散が抑制されることでトランジスタ41等の信頼性も向上させることができる。

40

50

【0146】

絶縁層80としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア（YSZ）等を用いることができる。

【0147】

図24（A）、（B）に示すような構成では、シリコン基板600に形成される回路（例えば駆動回路）と、トランジスタ41等と、光電変換素子PDとを重なるように形成することができるため、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。例えば、画素数が4K2K、8K4Kまたは16K8Kなどの撮像装置に用いることが適する。なお、画素10が有するトランジスタ45およびトランジスタ46をSiトランジスタで形成し、トランジスタ41、トランジスタ42、トランジスタ43、トランジスタ44、光電変換素子PD等と、重なる領域を有する構成とすることもできる。

10

【0148】

また、本発明の一態様の撮像装置は、図26に示す構成とすることができる。図26に示す撮像装置は図24（A）に示す撮像装置の変形例であり、OSTランジスタおよびSiトランジスタでCMOSインバータを構成する例を図示している。

【0149】

ここで、層1400に設けるSiトランジスタであるトランジスタ620はp-ch型とし、層1100に設けるOSTランジスタであるトランジスタ610はn-ch型とする。p-ch型トランジスタのみをシリコン基板600に設けることで、ウェル形成やn型不純物層形成など工程を省くことができる。

20

【0150】

図26に示す撮像装置は、光電変換素子PDにセレン等を用いた例を示したが、図21と同様にpin型の薄膜フォトダイオードを用いた構成としてもよい。

【0151】

図26に示す撮像装置において、トランジスタ610は、層1100に形成するトランジスタ41およびトランジスタ43と同一の工程で作製することができる。したがって、撮像装置の製造工程を簡略化することができる。

【0152】

また、本発明の一態様の撮像装置は、図27に示すように、シリコン基板660に形成された光電変換素子PDおよびその上に形成されたOSTランジスタで構成された画素を有する構成と、回路が形成されたシリコン基板600とを貼り合わせた構成としてもよい。このような構成とすることで、シリコン基板660に形成する光電変換素子PDの実効的な面積を大きくすることが容易になる。また、シリコン基板600に形成する回路を微細化したSiトランジスタで高集積化することで高性能な半導体装置を提供することができる。

30

【0153】

また、図27の変形例として、図28に示すように、OSTランジスタおよびSiトランジスタで回路を構成する形態であってもよい。このような構成とすることで、シリコン基板660に形成する光電変換素子PDの実効的な面積を向上することが容易になる。また、シリコン基板600に形成する回路を微細化したSiトランジスタで高集積化することで高性能な半導体装置を提供することができる。

40

【0154】

図28の構成の場合、シリコン基板600に形成されたSiトランジスタおよびその上に形成されたOSTランジスタでCMOS回路を構成することができる。OSTランジスタは極めてオフ電流が低いため、静的なリーク電流が極めて少ないCMOS回路を構成することができる。

【0155】

なお、本実施の形態における撮像装置が有するトランジスタおよび光電変換素子の構成は

50

一例である。したがって、例えば、トランジスタ 4 1 乃至トランジスタ 4 6 のいずれか、または一つ以上を活性領域または活性層にシリコン等を有するトランジスタで構成することもできる。また、トランジスタ 6 1 0 およびトランジスタ 6 2 0 の両方または一方を活性層に酸化物半導体層を有するトランジスタで構成することもできる。

【0156】

図 2 9 (A) は、撮像装置にカラーフィルタ等を付加した形態の一例の断面図である。当該断面図は、3 画素分の画素回路を有する領域の一部を示している。光電変換素子 P D が形成される層 1 2 0 0 上には、絶縁層 2 5 0 0 が形成される。絶縁層 2 5 0 0 は可視光に対して透光性の高い酸化シリコン膜などを用いることができる。また、パッシベーション膜として窒化シリコン膜を積層する構成としてもよい。また、反射防止膜として、酸化ハフニウムなどの誘電体膜を積層する構成としてもよい。

10

【0157】

絶縁層 2 5 0 0 上には、遮光層 2 5 1 0 が形成されてもよい。遮光層 2 5 1 0 は、上部のカラーフィルタを通る光の混色を防止する機能を有する。遮光層 2 5 1 0 には、アルミニウム、タングステンなどの金属層や当該金属層と反射防止膜としての機能を有する誘電体膜を積層する構成とすることができる。

【0158】

絶縁層 2 5 0 0 および遮光層 2 5 1 0 上には平坦化膜として有機樹脂層 2 5 2 0 を設ける構成とすることができる。また、画素別にカラーフィルタ 2 5 3 0 (カラーフィルタ 2 5 3 0 a、カラーフィルタ 2 5 3 0 b、カラーフィルタ 2 5 3 0 c) が形成される。例えば、カラーフィルタ 2 5 3 0 a、カラーフィルタ 2 5 3 0 b およびカラーフィルタ 2 5 3 0 c に、R (赤)、G (緑)、B (青)、Y (黄)、C (シアン)、M (マゼンタ) などの色を割り当てることにより、カラー画像を得ることができる。

20

【0159】

カラーフィルタ 2 5 3 0 上には、透光性を有する絶縁層 2 5 6 0 などを設けることができる。

【0160】

また、図 2 9 (B) に示すように、カラーフィルタ 2 5 3 0 の代わりに光学変換層 2 5 5 0 を用いてもよい。このような構成とすることで、様々な波長領域における画像が得られる撮像装置とすることができる。

30

【0161】

例えば、光学変換層 2 5 5 0 に可視光線の波長以下の光を遮るフィルタを用いれば赤外線撮像装置とすることができる。また、光学変換層 2 5 5 0 に近赤外線の波長以下の光を遮るフィルタを用いれば遠赤外線撮像装置とすることができる。また、光学変換層 2 5 5 0 に可視光線の波長以上の光を遮るフィルタを用いれば紫外線撮像装置とすることができる。

【0162】

また、光学変換層 2 5 5 0 にシンチレータを用いれば、X 線撮像装置などに用いる、放射線の強弱を可視化した画像を得る撮像装置とすることができる。被写体を透過した X 線等の放射線がシンチレータに入射されると、フォトルミネッセンスと呼ばれる現象により可視光線や紫外光線などの光 (蛍光) に変換される。そして、当該光を光電変換素子 P D で検知することにより画像データを取得する。また、放射線検出器などに当該構成の撮像装置を用いてもよい。

40

【0163】

シンチレータは、X 線やガンマ線などの放射線が照射されると、そのエネルギーを吸収して可視光や紫外光を発する物質を含む。例えば、 $Gd_2O_2S:Tb$ 、 $Gd_2O_2S:Pr$ 、 $Gd_2O_2S:Eu$ 、 $BaFCl:Eu$ 、 NaI 、 CsI 、 CaF_2 、 BaF_2 、 CeF_3 、 LiF 、 LiI 、 ZnO を樹脂やセラミクスに分散させたものを用いることができる。

【0164】

50

セレン系材料を用いた光電変換素子PDにおいては、X線等の放射線を電荷に直接変換することができるため、シンチレータを不要とする構成とすることもできる。

【0165】

また、図29(C)に示すように、カラーフィルタ2530a、カラーフィルタ2530bおよびカラーフィルタ2530c上にマイクロレンズアレイ2540を設けてもよい。マイクロレンズアレイ2540が有する個々のレンズを通る光が直下のカラーフィルタを通り、光電変換素子PDに照射されるようになる。また、図29(D)に示すように、光学変換層2550上にマイクロレンズアレイ2540を設けてもよい。なお、図29(A)、(B)、(C)、(D)に示す層1200以外の領域を層1600とする。

【0166】

図30は、本発明の一態様の画素10および図29(C)に示すマイクロレンズアレイ2540等の具体的な積層構成を例示する図である。図30は、図24(A)に示す画素の構成を用いた例である。また、図31は、図28に示す画素の構成を用いた例である。

【0167】

このように、光電変換素子PD、画素10が有する回路、および駆動回路のそれぞれが互いに重なる領域を有するように構成することができるため、撮像装置を小型化することができる。

【0168】

また、図30および図31に示すようにマイクロレンズアレイ2540の上方に回折格子1500を設けた構成としてもよい。回折格子1500を介した被写体の像(回折画像)を画素に取り込み、画素における撮像画像から演算処理により入力画像(被写体の像)を構成することができる。また、レンズの代わりに回折格子1500を用いることで撮像装置のコストを下げる可以降低することができる。

【0169】

回折格子1500は、透光性を有する材料で形成することができる。例えば、酸化シリコン膜、酸化窒化シリコン膜などの無機絶縁膜を用いることができる。または、アクリル樹脂、ポリイミド樹脂などの有機絶縁膜などを用いてもよい。または、上記無機絶縁膜と有機絶縁膜との積層であってもよい。

【0170】

また、回折格子1500は、感光性樹脂などを用いたリソグラフィ工程で形成することができる。また、リソグラフィ工程とエッチング工程とを用いて形成することもできる。また、ナノインプリントリソグラフィやレーザスクライブなどを用いて形成することもできる。

【0171】

回折格子1500とマイクロレンズアレイ2540との間に間隔Xを設けてもよい。間隔Xは、1mm以下、好ましくは100μm以下とすることができる。当該間隔は空間でもよいし、透光性を有する材料を封止層または接着層として設けてもよい。例えば、窒素や希ガスなどの不活性ガスを当該間隔に封じ込めることができる。または、アクリル樹脂、エポキシ樹脂またはポリイミド樹脂などを当該間隔に設けてもよい。またはシリコンオイルなどの液体を設けてもよい。なお、マイクロレンズアレイ2540を設けない場合においても、カラーフィルタ2530と回折格子1500との間に間隔Xを設けてもよい。

【0172】

また、撮像装置は、図32(A1)および図32(B1)に示すように湾曲させてもよい。図32(A1)は、撮像装置を同図中の二点鎖線X1-X2の方向に湾曲させた状態を示している。図32(A2)は、図32(A1)中の二点鎖線X1-X2で示した部位の断面図である。図32(A3)は、図32(A1)中の二点鎖線Y1-Y2で示した部位の断面図である。

【0173】

図32(B1)は、撮像装置を同図中の二点鎖線X3-X4の方向に湾曲させ、かつ、同図中の二点鎖線Y3-Y4の方向に湾曲させた状態を示している。図32(B2)は、図

10

20

30

40

50

図 3 2 (B 1) 中の二点鎖線 X 3 - X 4 で示した部位の断面図である。図 3 2 (B 3) は、図 3 2 (B 1) 中の二点鎖線 Y 3 - Y 4 で示した部位の断面図である。

【 0 1 7 4 】

撮像装置を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置と組み合わせて用いるレンズなどの光学設計を容易とすることができる。例えば、収差補正のためのレンズ枚数を低減できるため、撮像装置を用いた半導体装置などの小型化や軽量化を容易とすることができる。また、撮像された画像の品質を向上させる事ができる。

【 0 1 7 5 】

なお、本実施の形態において、本発明の一態様について述べた。または、他の実施の形態において、本発明の一態様について述べる。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態および他の実施の形態では、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、撮像装置に適用した場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様は、撮像装置に適用しなくてもよい。例えば、本発明の一態様は、別の機能を有する半導体装置に適用してもよい。例えば、本発明の一態様として、トランジスタのチャネル形成領域、ソースドレイン領域などが、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、様々な半導体を有していてもよい。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャネル形成領域、または、トランジスタのソースドレイン領域などは、酸化物半導体を有していなくてもよい。

【 0 1 7 6 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【 0 1 7 7 】

(実施の形態 2)

本実施の形態では、実施の形態 1 とは異なる撮像装置について、図面を参照して説明する。なお、実施の形態 1 で説明した撮像装置と共通する部分の詳細な説明は省略する。

【 0 1 7 8 】

本発明の一態様は、画素内に設けた電荷検出部における電子の飽和状態を判定し、判定結果に応じて動作モードを変更することができる撮像装置の回路構成および動作方法である。まず、第 1 の撮像データを取得し、電荷検出部が飽和していない場合は電荷検出部の容量値を変更しない制御を行う。また、電荷検出部が飽和している場合は電荷検出部の容量値を増加させる制御を行う。これらの制御を全ての画素について個々に行ったのち、第 2 の撮像データの取得および読み出しを行う。電荷検出部の容量値を変更しないで取得した第 2 の撮像データは低照度に対応したデータに相当する。また、電荷検出部の容量値を増加して取得した第 2 の撮像データは高照度に対応したデータに相当する。

【 0 1 7 9 】

上記動作により、低照度下においてもノイズが少なく、階調を維持した広ダイナミックレンジの画像を取得することができる。また、高照度を含む環境下での撮像においても明部の階調を維持することができ、広ダイナミックレンジの画像を取得することができる。

【 0 1 8 0 】

図 3 3 は、本発明の一態様の撮像装置が有する画素 2 0 の回路図である。なお、図 3 3 な

10

20

30

40

50

どにおいてはトランジスタがn-c h型である場合の例を示すが、本発明の一態様はこれに限定されず、一部のトランジスタをp-c h型トランジスタに置き換えてもよい。

【0181】

画素20において、光電変換素子PDの一方の電極は、トランジスタ741のソースまたはドレインの一方と電氣的に接続される。トランジスタ741のソースまたはドレインの一方は、トランジスタ742のソースまたはドレインの一方と電氣的に接続される。トランジスタ741のソースまたはドレインの他方は、トランジスタ743のソースまたはドレインの一方と電氣的に接続される。トランジスタ741のソースまたはドレインの他方は、トランジスタ744のソースまたはドレインの一方と電氣的に接続される。トランジスタ741のソースまたはドレインの他方は、トランジスタ745のゲートと電氣的に接続される。トランジスタ741のソースまたはドレインの他方は、容量素子C71の一方の電極と電氣的に接続される。トランジスタ744のソースまたはドレインの他方は、容量素子C72の一方の電極と電氣的に接続される。トランジスタ745のソースまたはドレインの一方は、トランジスタ746のソースまたはドレインの一方と電氣的に接続される。トランジスタ744のゲートは、トランジスタ747のソースまたはドレインの一方が電氣的に接続される。トランジスタ744のゲートは、容量素子C73の一方の電極が電氣的に接続される。

10

【0182】

ここで、光電変換素子PDの一方の電極、トランジスタ741のソースまたはドレインの一方およびトランジスタ742のソースまたはドレインの一方が接続されるノードANを電荷蓄積部とする。また、トランジスタ741のソースまたはドレインの他方、トランジスタ743のソースまたはドレインの一方、トランジスタ744のソースまたはドレインの一方、トランジスタ745のゲートおよび容量素子C71の一方の電極が接続されるノードFDを電荷検出部とする。また、トランジスタ744のゲート、トランジスタ747のソースまたはドレインの一方および容量素子C73の一方の電極が接続されるノードCNを信号保持部とする。

20

【0183】

光電変換素子PDの他方の電極は、配線771(VPD)に電氣的に接続される。トランジスタ742のソースまたはドレインの他方およびトランジスタ743のソースまたはドレインの他方は、配線772(VRS)に電氣的に接続される。容量素子C1の他方の電極、容量素子C72の他方の電極および容量素子C73の他方の電極は、配線773(VSS)に電氣的に接続される。トランジスタ745のソースまたはドレインの他方は、配線774(VPI)に電氣的に接続される。トランジスタ746のソースまたはドレインの他方は、配線791(OUT1)に電氣的に接続される。

30

【0184】

なお、上記各要素の接続形態では、複数のトランジスタまたは複数の容量素子が電氣的に接続される配線を共有する例を示しているが、それぞれが異なる配線と電氣的に接続してもよい。

【0185】

配線771(VPD)、配線772(VRS)、配線773(VSS)、および配線774(VPI)は、電源線としての機能を有することができる。例えば、配線771(VPD)および配線773(VSS)は、低電位電源線として機能させることができる。配線772(VRS)および配線774(VPI)は、高電位電源線として機能させることができる。

40

【0186】

トランジスタ741のゲートは、配線761(TX)と電氣的に接続される。トランジスタ742のゲートは、配線762(GWRS)と電氣的に接続される。トランジスタ743のゲートは、配線763(RS)と電氣的に接続される。トランジスタ746のゲートは、配線764(SE)と電氣的に接続される。トランジスタ747のゲートは、配線765(SE2)と電氣的に接続される。トランジスタ747のソースまたはドレインの他

50

方は、配線 793 (OUT3) と電氣的に接続される。

【0187】

配線 761 (TX)、配線 762 (GWRS)、配線 763 (RS)、配線 764 (SE) および配線 765 (SE2) は、それぞれが接続されるトランジスタの導通を制御する信号線として機能させることができる。なお、配線 763 (RS)、配線 764 (SE) および配線 765 (SE2) は、行毎に制御することができる。

【0188】

トランジスタ 741 は、ノード AN の電位をノード FD に転送するためのトランジスタとして機能させることができる。トランジスタ 742 は、ノード AN の電位をリセットするためのトランジスタとして機能させることができる。トランジスタ 743 は、ノード FD の電位をリセットするためのトランジスタとして機能させることができる。トランジスタ 744 は、ノード FD と容量素子 C72 との電氣的な接続を制御するためのトランジスタとして機能させることができる。トランジスタ 745 は、ノード FD の電位に応じた出力を行うためのトランジスタとして機能させることができる。トランジスタ 746 は、画素 20 を選択するためのトランジスタとして機能させることができる。トランジスタ 747 は、ノード CN の電位を保持するためのトランジスタとして機能させることができる。

【0189】

なお、上述した画素 20 の構成は一例であり、一部の回路、一部のトランジスタ、一部の容量素子、または一部の配線等が含まれない場合もある。または、上述した構成に含まれない回路、トランジスタ、容量素子、配線等が含まれる場合もある。また、一部の配線の接続形態が上述した構成とは異なる場合もある。

【0190】

図 34 (A) は、本発明の一態様の撮像装置を説明する図である。当該撮像装置は、マトリクス状に配列された画素 20 を有する画素アレイ 21 と、画素 20 を駆動する機能を有する回路 22 (ロードドライバ) と、画素 20 の出力信号に対して CDS (Correlated Double Sampling) 動作を行うための回路 23 (CDS 回路) と、ノード FD の飽和の有無を判定する機能、当該判定結果に従って画素の動作モードを制御する機能および回路 23 から出力されたアナログデータをデジタルデータに変換する機能を有する回路 24 (A/D 変換回路等) と、回路 24 で変換されたデータを選択して読み出す機能を有する回路 25 (カラムドライバ) と、を有する。なお、回路 23 を設けない構成とすることもできる。

【0191】

図 34 (B) は画素アレイ 21 の 1 つの列に接続される回路 23 の回路図および回路 24 のブロック図である。回路 23 は、トランジスタ 751、トランジスタ 752、トランジスタ 753、容量素子 C74 および容量素子 C75 を有する構成とすることができる。また、回路 24 はコンパレータ回路 27、判定出力回路 28 およびカウンタ回路 29 を有する構成とすることができる。

【0192】

トランジスタ 754 は電流源回路としての機能を有する。トランジスタ 754 のソースまたはドレインの一方に配線 791 (OUT1) が電氣的に接続され、ソースまたはドレインの他方には電源線が接続される。当該電源線は、例えば低電位電源線とすることができる。また、トランジスタ 754 のゲートには常時バイアス電圧が印加されている状態とする。

【0193】

回路 23 において、トランジスタ 751 のソースまたはドレインの一方はトランジスタ 752 のソースまたはドレインの一方と電氣的に接続される。トランジスタ 751 のソースまたはドレインの一方は容量素子 C74 の一方の電極と電氣的に接続される。トランジスタ 752 のソースまたはドレインの他方はトランジスタ 753 のソースまたはドレインの一方と電氣的に接続される。トランジスタ 752 のソースまたはドレインの他方は容量素子 C75 の一方の電極と電氣的に接続される。トランジスタ 752 のソースまたはドレイ

ンの他方は、配線 792 (OUT2) と電氣的に接続される。トランジスタ 753 のソースまたはドレインの他方および容量素子 C74 の他方の電極は、配線 791 (OUT1) と電氣的に接続される。トランジスタ 751 のソースまたはドレインの他方は、例えば基準電位が供給される高電位電源線 (CDSVDD) と電氣的に接続される。容量素子 C75 の他方の電極は、例えば低電位電源線 (CDSVSS) と電氣的に接続される。

【0194】

図 33 に示す画素 20 と接続された場合の回路 23 の動作の一例を説明する。まず、トランジスタ 751 およびトランジスタ 752 を導通させる。次に、画素 20 から配線 791 (OUT1) に撮像データの電位を出力し、配線 792 (OUT2) に基準電位 (CDSVDD) を保持する。その後、トランジスタ 751 を非導通として画素 20 から配線 791 (OUT1) にリセット電位 (ここでは撮像データの電位よりも高い電位、例えば VDD 電位とする) を出力する。このとき、配線 792 (OUT2) は、撮像データの電位とリセット電位の差分の絶対値を基準電位 (CDSVDD) に加算した電位となる。したがって、基準電位 (CDSVDD) に正味の撮像データの電位を加算した、ノイズの少ない電位信号を回路 24 に供給することができる。

10

【0195】

なお、リセット電位が撮像データの電位よりも低い電位 (例えば GND 電位など) である場合、配線 792 (OUT2) は撮像データの電位とリセット電位の差分の絶対値を基準電位 (CDSVDD) から減算した電位となる。

【0196】

20

また、トランジスタ 753 を導通させた場合はバイパスが形成されるため、配線 791 (OUT1) の信号を配線 792 (OUT2) に直接出力することができる。

【0197】

回路 24 では、コンパレータ回路 27 において、回路 23 から入力される信号電位と、基準電位 (REF) とが比較される。コンパレータ回路 27 には、配線 792 (OUT2) を介して第 1 の撮像データまたは第 2 の撮像データに対応する信号電位が入力される。ここで、第 1 の撮像データは 1 回目の露光データであり、画素 20 のノード FD の飽和の有無を判定するためのデータである。また、第 2 の撮像データは、当該判定に従って取得する 2 回目の露光データである。

【0198】

30

まず、第 1 の撮像データが入力されるとコンパレータ回路 27 は判定出力回路 28 に判定結果を出力する。判定出力回路 28 は、出力のタイミングを調整してコンパレータ回路 27 から出力されるノイズを除去する機能を有する。

【0199】

コンパレータ回路 27 では、第 1 の撮像データが画素 20 のノード FD を飽和させているか否かの判定を行う。このとき、コンパレータ回路 27 に入力される基準電位 (REF) はノード FD の飽和時に相当する一定の電位であり、当該電位と第 1 の撮像データに対応する信号電位とを比較することによって、飽和の有無を判定する。なお、本実施の形態では、第 1 の撮像データに対応する信号電位は回路 23 をバイパスしてコンパレータ回路 27 に入力する構成とするが、回路 23 をバイパスしないでコンパレータ回路 27 に入力してもよい。

40

【0200】

ノード FD が飽和していないと判定された場合、判定出力回路 28 はノード FD の容量値を変更しない信号を前記画素に出力する。具体的にはトランジスタ 744 が導通しない電位を配線 793 (OUT3) に出力し、当該電位を画素 20 のノード CN に保持する。このとき、ノード FD の容量値は変化しない。

【0201】

ノード FD が飽和していると判定された場合、判定出力回路 28 はノード FD の容量値を増加させる信号を前記画素に出力する。具体的にはトランジスタ 744 が導通する電位を配線 793 (OUT3) に出力し、当該電位を画素 20 のノード CN に保持する。このと

50

き、容量素子C 7 2 がノードF Dと電氣的に接続されるため、ノードF Dの容量値は増加する。

【0202】

上記動作を有効な画素すべてについて行ったのち、ノードF Dをリセットし、第2の撮像データを取得する。第2の撮像データに対応する信号電位は回路23を介してコンパレータ回路27に入力される。このとき、コンパレータ回路27に入力される基準電位（REF）はランプ波であり、第2の撮像データに対応する信号電位と比較した結果をカウンタ回路29に出力する。そして、カウンタ回路29は、配線794（OUT4）に第2の撮像データに対応するデジタルデータを出力する。

【0203】

判定出力回路28には、例えば図35に示す回路を用いることができる。当該回路の入力端子（IN）にはコンパレータ回路27の出力端子が電氣的に接続される。また、当該回路の出力端子（OUT）には配線793（OUT3）が電氣的に接続される。判定出力回路28は選択された行毎にJRES信号によってリセットされた後、コンパレータ回路27の判定結果を配線793（OUT3）に出力する。なお、端子GCNに制御信号を入力し、配線793（OUT3）に出力される信号を固定することもできる。

【0204】

図35に示す回路は、図36に示すタイミングチャートに従って動作させることができる。図36に示すRCK1／2およびRCKB1／2は回路22（ロードドライバ）に入力されるクロック信号および反転クロック信号、JRESおよびJENBは図35の回路に入力される信号、EN_CDSは回路23のトランジスタ753のゲートに入力される信号、SE[1]は1行目の画素20の配線764に入力される信号、SE[N]は最終行の画素20の配線764に入力される信号、SE2[1]は1行目の画素20の配線765に入力される信号、SE2[N]は最終行の画素20の配線765に入力される信号である。

【0205】

frame[n]で示す期間が第nフレーム（nは2以上の自然数）の期間に相当する。第nフレームにおいて、期間401は第n-1フレームのデータを読み出す期間、期間402は前述した第1の撮像データを読み出して判定を行う期間であり、期間400はロードドライバが動作しない期間である。また、第n+1フレームにおける期間403は第nフレームのデータを読み出す期間である。

【0206】

次に、図37に示すフローチャートおよび図38に示すタイミングチャートを用いて、図33に示す画素20の動作について説明する。本発明の一態様の撮像装置はグローバルシャッタ方式で動作し、1フレーム内の動作は第1の撮像データの取得、第1の撮像データの判定、第2の撮像データの取得、前フレームの撮像データの読み出しに大別される。なお、第1の撮像データの取得および前フレームの撮像データの読み出しは並行して行われる。

【0207】

図37および図38では、任意の第nフレームを基準として説明する。また、配線771（VPD）および配線773（VSS）は低電位（"L"）、配線772（VRS）および配線774（VPI）は高電位（"H"）とする。

【0208】

また、図38において、GWRSは配線762（GWRS）の電位、RS[1]は1行目の特定の画素20における配線763（RS）の電位、RS[N]は最終行の特定の画素20における配線763（RS）の電位、CN[1]は1行目の特定の画素20におけるノードCNの電位、CN[N]は最終行の特定の画素20におけるノードCNの電位、TXは配線761（TX）の電位、AN[1]は1行目の特定の画素20におけるノードANの電位、AN[N]は最終行の特定の画素20におけるノードANの電位、FD[1]は1行目の特定の画素20におけるノードFDの電位、FD[N]は最終行の特定の画素

10

20

30

40

50

20におけるノードFDの電位である。

【0209】

まず、第1の撮像データの取得および前フレームで取得した撮像データの読み出しについて説明する。

【0210】

第1の撮像データは、撮像の対象の照度（低照度または高照度）を見分けるためのデータである。第1の撮像データの撮像モードでは、ノードFDに容量素子C71のみが接続される低容量値での撮像を行うため、高照度環境ではノードFDが飽和する。したがって、ノードFDの飽和の有無を判定することで、撮像の対象の照度を見分けることができる。なお、図38のタイミングチャートでは、第1の撮像データにおいて、1行目はノードFDが飽和していない場合の動作を示しており、N行目（最終行）はノードFDが飽和している場合の動作を示している。

10

【0211】

時刻T1において、GWR Sを”H”とすると、AN[1:N]はリセットされて”H”（配線772（VRS）の電位）となる（S1）。

【0212】

時刻T2において、GWR Sを”L”とすると、照度に応じてAN[1:N]が低下し始める（露光1回目、S2）。

【0213】

時刻T3において、RS[1:N]を”H”、CN[1:N]を”H”とすると、FD[1:N]はリセットされて、”H”（配線772（VRS）の電位）となる（S3）。このとき、ノードFDには容量素子C72がトランジスタ744を介して電氣的に接続される。なお、CN[1:N]を”H”とするには、配線765（SE2）[1:N]を”H”としてトランジスタ747を導通し、判定出力回路28の端子GCNの入力信号を”H”とすればよい。

20

【0214】

時刻T4において、SE2[1:N]を”H”、CN[1:N]を”L”とすると、トランジスタ744が非導通となるため、ノードFDと容量素子C72との電氣的な接続は切断される。なお、CN[1:N]を”L”とするには、判定出力回路28をリセット状態かつ端子GCNを”L”とすればよい。なお、時刻T4より後にSE2[1:N]を”L”としてトランジスタ747を非導通とすれば、CN[1:N]は容量素子C73等によって保持される。

30

【0215】

また、時刻T4において、RS[1:N]を”L”、TXを”H”とすると、また、ノードANの電位がノードFDに転送され、ノードFDの電位が低下し始める（S4）。

【0216】

時刻T5において、TXを”L”とすると、FD[1:N]は保持される。ここまでの第1の撮像データの取得動作である。

【0217】

ここで、時刻T1乃至T3までの間にSE[1]乃至SE[N]が順次一定期間”H”となり、第n-1フレームで確定した撮像データが読み出される（S10'）。つまり、上記第nフレームの第1の撮像データの取得動作と、第n-1フレームで確定した撮像データの読み出しは並行して行われる。このように撮像データを次フレームで読み出すことで、グローバルシャッタ方式においても露光などに割り当てる時間を長くすることができる。したがって、低照度下においても広ダイナミックレンジ、低ノイズの画像を取得することができる。

40

【0218】

図39（A）は1行目の撮像データの読み出しを説明するタイミングチャートである。SHは回路23におけるトランジスタ752のゲートに供給される電位、CLは回路23におけるトランジスタ751のゲートに供給される電位、REF（RAMP）はコンパレー

50

タ回路 27 に供給される基準電位、OUT 2 は配線 792 (OUT 2) の電位、COMP_OUT はコンパレータ回路 27 の出力端子の電位である。

【0219】

図 38 においては、時刻 T3 以前に RS [1] 乃至 RS [N] が順次一定期間 "H" となり、ノード FD がリセットされるが、これは図 39 (A) に示す回路 23 の動作にともなう動作である。

【0220】

次に、第 1 の撮像データの判定および当該判定結果にともなう動作について説明する。

【0221】

時刻 T6 乃至 T8 において、SE [1] 乃至 SE [N] が順次一定期間 "H" となり、行毎に第 1 の撮像データが読み出され、有効な画素 20 すべてについてノード FD の飽和の有無が判定される (S5)。

10

【0222】

図 39 (B) は時刻 T6 乃至 T8 における第 1 の撮像データの読み出しを説明するタイミングチャートである。第 1 の撮像データの読み出し期間中は EN_CDS を "H"、CL を "H" とし、画素 20 から出力される信号は回路 23 をバイパスさせてコンパレータ回路 27 に入力する。REF (CONST) の電位は一定とし、ノード FD が飽和しているときに配線 791 (OUT 1) に出力される電位よりもわずかに大きい値とする。このように動作させることで、コンパレータ回路 27 の出力によってノード FD の飽和の有無を判断することができる。なお、図 39 (B) では選択された特定の画素 20 のノード FD が飽和しているときの状態を示しており、コンパレータ回路 27 の出力端子からは "L" が出力される。なお、EN_CDS を "L" として回路 23 をバイパスしないで第 1 の撮像データを読み出してもよい。このとき、コンパレータ回路 27 の出力端子からは "H" が出力される。

20

【0223】

このとき、第 1 の撮像データはノード FD の飽和の有無の判定をするために用いられ、外部には出力されない。したがって、外部出力に必要な回路 25 (カラムドライバ) などの出力回路の動作を停止させてもよい。

【0224】

第 1 の撮像データの判定結果は判定出力回路 28 を介して、当該第 1 の撮像データを読み出した画素 20 に出力される。ここで、画素 20 のノード CN に当該判定結果を入力するため、当該判定結果を出力するタイミングにあわせて同一行の配線 765 (SE2) を一定期間 "H" とする。

30

【0225】

ノード FD が飽和していないと判定された画素 20 では、ノード CN に "L" が入力されるため、トランジスタ 744 は導通しない。したがって、ノード FD に容量素子 C71 のみが電氣的に接続される形態となり、ノード FD の容量値は変化しない。すなわち、当該画素 20 は、低照度での撮像に適した撮像モードに設定される。

【0226】

ノード FD が飽和していると判定された画素 20 では、ノード CN に "H" が入力されるため、トランジスタ 744 は導通する。したがって、ノード FD に容量素子 C71 および容量素子 C72 が電氣的に接続される形態となり、ノード FD の容量値が増加する (S6)。すなわち、当該画素 20 は、高照度での撮像に適した撮像モードに設定される。ここまですべての第 1 の撮像データの判定および当該判定結果にともなう動作である。

40

【0227】

次に、第 2 の撮像データの取得について説明する。

【0228】

全ての判定結果が出る前に、第 2 の撮像データを取得する露光動作は行ってもよい。例えば、図 38 に示すように、時刻 T7 において GWS を "H" とし、AN [1:N] をリセットする (S7)。そして、時刻 T8 に GWS を "L" とし、時刻 T10 まで

50

に2回目の露光を行う(S 8)。なお、2回目の露光時間は1回目の露光時間と同じとすればよい。または、1回目の露光時間よりも短くしてもよい。

【0229】

2回目の露光が終了する前の時刻T 9にRS [1:N]を”H”とすると、FD [1:N]はリセットされて、”H”(配線772(VRS)の電位)となる(S 9)。

【0230】

時刻T 10において、配線761(TX)を”H”とすると、ノードANの電位がノードFDに転送される(S 10)。

【0231】

時刻T 11において、配線761(TX)を”L”とすると、FD [1:N]が保持される。ここまでが第2の撮像データの取得動作である。また、当該第2の撮像データは、第n+1のフレームにおいて第nフレームの撮像データとして読み出される(S 11)。

10

【0232】

上述の動作によって、第2の撮像データの撮像モードを画素20毎に設定することができ、明暗が混在した視野の撮像においても、階調が維持された広ダイナミックレンジの画像を取得することができる。

【0233】

画素20は、図40に示す構成であってもよい。図40に示す画素20は、光電変換素子PDの接続される向きが図33に示す画素20と異なる。図40に示す画素20は、図42のタイミングチャートに従って動作させることができる。このとき、配線771(VPD)および配線774(VPI)は高電位(”H”)、配線772(VRS)、配線773(VSS)は低電位(”L”)とする。

20

【0234】

この場合、ノードANおよびノードFDはリセット時に電子が飽和状態になり、照度が高いとノードANおよびノードFDの電子は不足状態となる。したがって、前述した図33に示す画素20の動作の説明とは逆になるようにノードANおよびノードFDの電位は変化する。

【0235】

また、画素20は図41(A)、(B)に示す構成であってもよい。図41(A)はトランジスタ742を設けない構成である。当該構成では、配線771(VPD)の電位を高電位とすることによりノードANの電位をリセットすることができる。図41(B)はトランジスタ745のソースまたはドレインの一方が配線791(OUT)に接続する構成である。

30

【0236】

また、画素20に用いるトランジスタは、図43(A)、(B)に示すように、トランジスタ741乃至トランジスタ747にバックゲートを設けた構成であってもよい。図43(A)はバックゲートに定電位を印加する構成であり、しきい値電圧を制御することができる。図43(A)では、一例としてバックゲートが低電位を供給する配線771(VPD)、配線773(VSS)または配線775(VSS2)と接続する例を示しているが、いずれか一つの配線に接続する構成であってもよい。また、図43(B)はフロントゲートと同じ電位がバックゲートに印加される構成であり、オン電流を増加させ、かつオフ電流を減少させることができる。また、所望のトランジスタが適切な電気特性を有するように、図43(A)および図43(B)の構成などを組み合わせた構成としてもよい。なお、バックゲートが設けられないトランジスタがあってもよい。また、図40、図41(A)、(B)、および図43(A)、(B)の構成は、必要に応じて組み合わせることができる。

40

【0237】

画素20は、図44に示すようにトランジスタ743乃至トランジスタ747を複数の画素で共用する形態としてもよい。図44では垂直方向の複数の画素でトランジスタ743乃至トランジスタ747を共用する構成を例示しているが、水平方向または水平垂直方向

50

の複数の画素で共用してもよい。このような構成とすることで、一画素あたりが有するトランジスタ数を削減させることができる。

【0238】

また、図44ではトランジスタ743乃至トランジスタ747が4画素で共用される形態を図示しているが、2画素、3画素または5画素以上で共用される形態であってもよい。なお、当該構成と図40、図41(A)、(B)、および図43(A)、(B)の構成は任意に組み合わせることができる。

【0239】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0240】

(実施の形態3)

本実施の形態では、本発明の一態様に用いることのできる酸化物半導体を有するトランジスタについて図面を用いて説明する。なお、本実施の形態における図面では、明瞭化のために一部の要素を拡大、縮小、または省略して図示している。

【0241】

図45(A)、(B)は、本発明の一態様のトランジスタ101の上面図および断面図である。図45(A)は上面図であり、図45(A)に示す一点鎖線B1-B2方向の断面が図45(B)に相当する。また、図45(A)に示す一点鎖線B3-B4方向の断面が図47(A)に相当する。また、一点鎖線B1-B2方向をチャンネル長方向、一点鎖線B3-B4方向をチャンネル幅方向と呼称する。

【0242】

トランジスタ101は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130と、酸化物半導体層130と電気的に接続する導電層140および導電層150と、酸化物半導体層130、導電層140および導電層150と接する絶縁層160と、絶縁層160と接する導電層170と、導電層140、導電層150、絶縁層160および導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と、を有する。また、必要に応じて絶縁層180に平坦化膜としての機能を付加してもよい。

【0243】

ここで、導電層140はソース電極層、導電層150はドレイン電極層、絶縁層160はゲート絶縁膜、導電層170はゲート電極層としてそれぞれ機能することができる。

【0244】

また、図45(B)に示す領域231はソース領域、領域232はドレイン領域、領域233はチャンネル形成領域として機能することができる。領域231および領域232は導電層140および導電層150とそれぞれ接しており、導電層140および導電層150として酸素と結合しやすい導電材料を用いれば領域231および領域232を低抵抗化することができる。

【0245】

具体的には、酸化物半導体層130と導電層140および導電層150とが接することで酸化物半導体層130内に酸素欠損が生じ、当該酸素欠損と酸化物半導体層130内に残留または外部から拡散する水素との相互作用により、領域231および領域232は低抵抗のn型となる。

【0246】

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることができる。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。また、「電極層」は、「配線」と言い換えることもできる。

【0247】

また、導電層 170 は、導電層 171 および導電層 172 の二層で形成される例を図示しているが、一層または三層以上の積層であってもよい。当該構成は本実施の形態で説明する他のトランジスタにも適用できる。

【0248】

また、導電層 140 および導電層 150 は単層で形成される例を図示しているが、二層以上の積層であってもよい。当該構成は本実施の形態で説明する他のトランジスタにも適用できる。

【0249】

また、本発明の一態様のトランジスタは、図 45 (C)、(D) に示す構成であってもよい。図 45 (C) はトランジスタ 102 の上面図であり、図 45 (C) に示す一点鎖線 C1-C2 方向の断面が図 45 (D) に相当する。また、図 45 (C) に示す一点鎖線 C3-C4 方向の断面は、図 47 (B) に相当する。また、一点鎖線 C1-C2 方向をチャンネル長方向、一点鎖線 C3-C4 方向をチャンネル幅方向と呼称する。

【0250】

トランジスタ 102 は、ゲート絶縁膜として作用する絶縁層 160 の端部とゲート電極層として作用する導電層 170 の端部とを一致させない点を除き、トランジスタ 101 と同様の構成を有する。トランジスタ 102 の構造は、導電層 140 および導電層 150 が絶縁層 160 で広く覆われているため、導電層 140 および導電層 150 と導電層 170 との間の抵抗が高く、ゲートリーク電流の少ない特徴を有している。

【0251】

トランジスタ 101 およびトランジスタ 102 は、導電層 170 と導電層 140 および導電層 150 が重なる領域を有するトップゲート構造である。当該領域のチャンネル長方向の幅は、寄生容量を小さくするために 3 nm 以上 300 nm 未満とすることが好ましい。当該構成では、酸化物半導体層 130 にオフセット領域が形成されないため、オン電流の高いトランジスタを形成しやすい。

【0252】

また、本発明の一態様のトランジスタは、図 45 (E)、(F) に示す構成であってもよい。図 45 (E) はトランジスタ 103 の上面図であり、図 45 (E) に示す一点鎖線 D1-D2 方向の断面が図 45 (F) に相当する。また、図 45 (E) に示す一点鎖線 D3-D4 方向の断面は、図 47 (A) に相当する。また、一点鎖線 D1-D2 方向をチャンネル長方向、一点鎖線 D3-D4 方向をチャンネル幅方向と呼称する。

【0253】

トランジスタ 103 は、基板 115 と接する絶縁層 120 と、絶縁層 120 と接する酸化物半導体層 130 と、酸化物半導体層 130 と接する絶縁層 160 と、絶縁層 160 と接する導電層 170 と、酸化物半導体層 130、絶縁層 160 および導電層 170 を覆う絶縁層 175 と、絶縁層 175 と接する絶縁層 180 と、絶縁層 175 および絶縁層 180 に設けられた開口部を通じて酸化物半導体層 130 と電気的に接続する導電層 140 および導電層 150 を有する。また、必要に応じて絶縁層 180、導電層 140 および導電層 150 に接する絶縁層 (平坦化膜) などを有していてもよい。

【0254】

ここで、導電層 140 はソース電極層、導電層 150 はドレイン電極層、絶縁層 160 はゲート絶縁膜、導電層 170 はゲート電極層としてそれぞれ機能することができる。

【0255】

また、図 45 (F) に示す領域 231 はソース領域、領域 232 はドレイン領域、領域 233 はチャンネル形成領域として機能することができる。領域 231 および領域 232 は絶縁層 175 と接しており、例えば絶縁層 175 として水素を含む絶縁材料を用いれば領域 231 および領域 232 を低抵抗化することができる。

【0256】

具体的には、絶縁層 175 を形成するまでの工程により領域 231 および領域 232 に生じる酸素欠損と、絶縁層 175 から領域 231 および領域 232 に拡散する水素との相互

10

20

30

40

50

作用により、領域 2 3 1 および領域 2 3 2 は低抵抗の n 型となる。なお、水素を含む絶縁材料としては、例えば窒化シリコンや窒化アルミニウムなどを用いることができる。

【0257】

また、本発明の一態様のトランジスタは、図 4 6 (A)、(B) に示す構成であってもよい。図 4 6 (A) はトランジスタ 1 0 4 の上面図であり、図 4 6 (A) に示す一点鎖線 E 1 - E 2 方向の断面が図 4 6 (B) に相当する。また、図 4 6 (A) に示す一点鎖線 E 3 - E 4 方向の断面は、図 4 7 (A) に相当する。また、一点鎖線 E 1 - E 2 方向をチャンネル長方向、一点鎖線 E 3 - E 4 方向をチャンネル幅方向と呼称する。

【0258】

トランジスタ 1 0 4 は、導電層 1 4 0 および導電層 1 5 0 が酸化物半導体層 1 3 0 の端部を覆うように接している点を除き、トランジスタ 1 0 3 と同様の構成を有する。

【0259】

また、図 4 6 (B) に示す領域 3 3 1 および領域 3 3 4 はソース領域、領域 3 3 2 および領域 3 3 5 はドレイン領域、領域 3 3 3 はチャンネル形成領域として機能することができる。

【0260】

領域 3 3 1 および領域 3 3 2 は、トランジスタ 1 0 1 における領域 2 3 1 および領域 2 3 2 と同様に低抵抗化することができる。

【0261】

また、領域 3 3 4 および領域 3 3 5 は、トランジスタ 1 0 3 における領域 2 3 1 および領域 2 3 2 と同様に低抵抗化することができる。なお、チャンネル長方向における領域 3 3 4 および領域 3 3 5 の長さが 1 0 0 nm 以下、好ましくは 5 0 nm 以下の場合には、ゲート電界の寄与によりオン電流は大きく低下しない。したがって、領域 3 3 4 および領域 3 3 5 の低抵抗化を行わない場合もある。

【0262】

トランジスタ 1 0 3 およびトランジスタ 1 0 4 は、導電層 1 7 0 と導電層 1 4 0 および導電層 1 5 0 が重なる領域を有さないセルフアライン構造である。セルフアライン構造のトランジスタはゲート電極層とソース電極層およびドレイン電極層間の寄生容量が極めて小さいため、高速動作用途に適している。

【0263】

また、本発明の一態様のトランジスタは、図 4 6 (C)、(D) に示す構成であってもよい。図 4 6 (C) はトランジスタ 1 0 5 の上面図であり、図 4 6 (C) に示す一点鎖線 F 1 - F 2 方向の断面が図 4 6 (D) に相当する。また、図 4 6 (C) に示す一点鎖線 F 3 - F 4 方向の断面は、図 4 7 (A) に相当する。また、一点鎖線 F 1 - F 2 方向をチャンネル長方向、一点鎖線 F 3 - F 4 方向をチャンネル幅方向と呼称する。

【0264】

トランジスタ 1 0 5 は、基板 1 1 5 と接する絶縁層 1 2 0 と、絶縁層 1 2 0 と接する酸化物半導体層 1 3 0 と、酸化物半導体層 1 3 0 と電氣的に接続する導電層 1 4 1 および導電層 1 5 1 と、酸化物半導体層 1 3 0、導電層 1 4 1、導電層 1 5 1 と接する絶縁層 1 6 0 と、絶縁層 1 6 0 と接する導電層 1 7 0 と、酸化物半導体層 1 3 0、導電層 1 4 1、導電層 1 5 1、絶縁層 1 6 0 および導電層 1 7 0 と接する絶縁層 1 7 5 と、絶縁層 1 7 5 と接する絶縁層 1 8 0 と、絶縁層 1 7 5 および絶縁層 1 8 0 に設けられた開口部を通じて導電層 1 4 1 および導電層 1 5 1 とそれぞれ電氣的に接続する導電層 1 4 2 および導電層 1 5 2 を有する。また、必要に応じて絶縁層 1 8 0、導電層 1 4 2 および導電層 1 5 2 に接する絶縁層などを有していてもよい。

【0265】

ここで、導電層 1 4 1 および導電層 1 5 1 は、酸化物半導体層 1 3 0 の上面と接し、側面には接しない構成となっている。

【0266】

トランジスタ 1 0 5 は、導電層 1 4 1 および導電層 1 5 1 を有する点、絶縁層 1 7 5 およ

10

20

30

40

50

び絶縁層 180 に設けられた開口部を有する点、ならびに当該開口部を通じて導電層 141 および導電層 151 とそれぞれ電氣的に接続する導電層 142 および導電層 152 を有する点を除き、トランジスタ 101 と同様の構成を有する。導電層 140 (導電層 141 および導電層 142) はソース電極層として作用させることができ、導電層 150 (導電層 151 および導電層 152) はドレイン電極層として作用させることができる。

【0267】

また、本発明の一態様のトランジスタは、図 46 (E)、(F) に示す構成であってもよい。図 46 (E) はトランジスタ 106 の上面図であり、図 46 (E) に示す一点鎖線 G1-G2 方向の断面が図 46 (F) に相当する。また、図 46 (A) に示す一点鎖線 G3-G4 方向の断面は、図 47 (A) に相当する。また、一点鎖線 G1-G2 方向をチャンネル長方向、一点鎖線 G3-G4 方向をチャンネル幅方向と呼称する。

【0268】

トランジスタ 106 は、基板 115 と接する絶縁層 120 と、絶縁層 120 と接する酸化物半導体層 130 と、酸化物半導体層 130 と電氣的に接続する導電層 141 および導電層 151 と、酸化物半導体層 130 と接する絶縁層 160 と、絶縁層 160 と接する導電層 170 と、絶縁層 120、酸化物半導体層 130、導電層 141、導電層 151、絶縁層 160、導電層 170 と接する絶縁層 175 と、絶縁層 175 と接する絶縁層 180 と、絶縁層 175 および絶縁層 180 に設けられた開口部を通じて導電層 141 および導電層 151 とそれぞれ電氣的に接続する導電層 142 および導電層 152 を有する。また、必要に応じて絶縁層 180、導電層 142 および導電層 152 に接する絶縁層 (平坦化膜) などを有していてもよい。

【0269】

ここで、導電層 141 および導電層 151 は、酸化物半導体層 130 の上面と接し、側面には接しない構成となっている。

【0270】

トランジスタ 106 は、導電層 141 および導電層 151 を有する点を除き、トランジスタ 103 と同様の構成を有する。導電層 140 (導電層 141 および導電層 142) はソース電極層として作用させることができ、導電層 150 (導電層 151 および導電層 152) はドレイン電極層として作用させることができる。

【0271】

トランジスタ 105 およびトランジスタ 106 の構成では、導電層 140 および導電層 150 が絶縁層 120 と接しない構成であるため、絶縁層 120 中の酸素が導電層 140 および導電層 150 に奪われにくくなり、絶縁層 120 から酸化物半導体層 130 中への酸素の供給を容易とすることができる。

【0272】

トランジスタ 103 における領域 231 および領域 232、トランジスタ 104 およびトランジスタ 106 における領域 334 および領域 335 には、酸素欠損を形成し導電率を高めるための不純物を添加してもよい。酸化物半導体層に酸素欠損を形成する不純物としては、例えば、リン、砒素、アンチモン、ホウ素、アルミニウム、シリコン、窒素、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、インジウム、フッ素、塩素、チタン、亜鉛、および炭素のいずれかから選択される一つ以上を用いることができる。当該不純物の添加方法としては、プラズマ処理法、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。

【0273】

不純物元素として、上記元素が酸化物半導体層に添加されると、酸化物半導体層中の金属元素および酸素の結合が切断され、酸素欠損が形成される。酸化物半導体層に含まれる酸素欠損と酸化物半導体層中に残存または後から添加される水素の相互作用により、酸化物半導体層の導電率を高くすることができる。

【0274】

不純物元素の添加により酸素欠損が形成された酸化物半導体に水素を添加すると、酸素欠

10

20

30

40

50

損サイトに水素が入り伝導帯近傍にドナー準位が形成される。その結果、酸化物導電体を形成することができる。ここでは、導電体化された酸化物半導体を酸化物導電体という。なお、酸化物導電体は酸化物半導体と同様に透光性を有する。

【0275】

酸化物導電体は、縮退半導体であり、伝導帯端とフェルミ準位とが一致または略一致していると推定される。このため、酸化物導電体層とソース電極層およびドレイン電極層として機能する導電層との接触はオーミック接触であり、酸化物導電体層とソース電極層およびドレイン電極層として機能する導電層との接触抵抗を低減することができる。

【0276】

また、本発明の一態様のトランジスタは、図48(A)、(B)、(C)、(D)、(E)、(F)に示すチャンネル長方向の断面図、ならびに図47(C)、(D)に示すチャンネル幅方向の断面図のように、酸化物半導体層130と基板115との間に導電層173を備えていてもよい。当該導電層を第2のゲート電極層(バックゲート)として用いることで、オン電流の増加や、しきい値電圧の制御を行うことができる。なお、図48(A)、(B)、(C)、(D)、(E)、(F)に示す断面図において、導電層173の幅を酸化物半導体層130よりも短くしてもよい。さらに、導電層173の幅を導電層170の幅よりも短くしてもよい。

【0277】

オン電流を増加させるには、例えば、導電層170と導電層173を同電位とし、ダブルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、導電層170とは異なる定電位を導電層173に供給すればよい。導電層170と導電層173を同電位とするには、例えば、図47(D)に示すように、導電層170と導電層173とをコンタクトホールを介して電氣的に接続すればよい。

【0278】

また、図45および図46におけるトランジスタ101乃至トランジスタ106では、酸化物半導体層130が単層である例を図示したが、酸化物半導体層130は積層であってもよい。トランジスタ101乃至トランジスタ106の酸化物半導体層130は、図49(B)、(C)または図49(D)、(E)に示す酸化物半導体層130と入れ替えることができる。

【0279】

図49(A)は酸化物半導体層130の上面図であり、図49(B)、(C)は、二層構造である酸化物半導体層130の断面図である。また、図49(D)、(E)は、三層構造である酸化物半導体層130の断面図である。

【0280】

酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130cには、それぞれ組成の異なる酸化物半導体層などを用いることができる。

【0281】

また、本発明の一態様のトランジスタは、図50(A)、(B)に示す構成であってもよい。図50(A)はトランジスタ107の上面図であり、図50(A)に示す一点鎖線H1-H2方向の断面が図50(B)に相当する。また、図50(A)に示す一点鎖線H3-H4方向の断面が図52(A)に相当する。また、一点鎖線H1-H2方向をチャンネル長方向、一点鎖線H3-H4方向をチャンネル幅方向と呼称する。

【0282】

トランジスタ107は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130aおよび酸化物半導体層130bからなる積層と、当該積層と電氣的に接続する導電層140および導電層150と、当該積層、導電層140および導電層150と接する酸化物半導体層130cと、酸化物半導体層130cと接する絶縁層160と、絶縁層160と接する導電層170と、導電層140、導電層150、酸化物半導体層130c、絶縁層160および導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と、を有する。また、必要に応じて絶縁層180に平坦化膜としての機

10

20

30

40

50

能を付加してもよい。

【0283】

トランジスタ107は、領域231および領域232において酸化物半導体層130が二層（酸化物半導体層130a、酸化物半導体層130b）である点、領域233において酸化物半導体層130が三層（酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c）である点、および導電層140および導電層150と絶縁層160との間に酸化物半導体層の一部（酸化物半導体層130c）が介在している点を除き、トランジスタ101と同様の構成を有する。

【0284】

また、本発明の一態様のトランジスタは、図50（C）、（D）に示す構成であってもよい。図50（C）はトランジスタ108の上面図であり、図50（C）に示す一点鎖線I1-I2方向の断面が図50（D）に相当する。また、図50（C）に示す一点鎖線I3-I4方向の断面が図52（B）に相当する。また、一点鎖線I1-I2方向をチャネル長方向、一点鎖線I3-I4方向をチャネル幅方向と呼称する。

【0285】

トランジスタ108は、絶縁層160および酸化物半導体層130cの端部が導電層170の端部と一致しない点がトランジスタ107と異なる。

【0286】

また、本発明の一態様のトランジスタは、図50（E）、（F）に示す構成であってもよい。図50（E）はトランジスタ109の上面図であり、図50（E）に示す一点鎖線J1-J2方向の断面が図50（F）に相当する。また、図50（E）に示す一点鎖線J3-J4方向の断面が図52（A）に相当する。また、一点鎖線J1-J2方向をチャネル長方向、一点鎖線J3-J4方向をチャネル幅方向と呼称する。

【0287】

トランジスタ109は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130aおよび酸化物半導体層130bからなる積層と、当該積層と接する酸化物半導体層130cと、酸化物半導体層130cと接する絶縁層160と、絶縁層160と接する導電層170と、当該積層、酸化物半導体層130c、絶縁層160および導電層170を覆う絶縁層175と、絶縁層175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて当該積層と電氣的に接続する導電層140および導電層150を有する。また、必要に応じて絶縁層180、導電層140および導電層150に接する絶縁層（平坦化膜）などを有していてもよい。

【0288】

トランジスタ109は、領域231および領域232において酸化物半導体層130が二層（酸化物半導体層130a、酸化物半導体層130b）である点、領域233において酸化物半導体層130が三層（酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c）である点を除き、トランジスタ103と同様の構成を有する。

【0289】

また、本発明の一態様のトランジスタは、図51（A）、（B）に示す構成であってもよい。図51（A）はトランジスタ110の上面図であり、図51（A）に示す一点鎖線K1-K2方向の断面が図51（B）に相当する。また、図51（A）に示す一点鎖線K3-K4方向の断面が図52（A）に相当する。また、一点鎖線K1-K2方向をチャネル長方向、一点鎖線K3-K4方向をチャネル幅方向と呼称する。

【0290】

トランジスタ110は、領域331および領域332において酸化物半導体層130が二層（酸化物半導体層130a、酸化物半導体層130b）である点、領域333において酸化物半導体層130が三層（酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c）である点を除き、トランジスタ104と同様の構成を有する。

【0291】

また、本発明の一態様のトランジスタは、図51（C）、（D）に示す構成であってもよい。

10

20

30

40

50

い。図51(C)はトランジスタ111の上面図であり、図51(C)に示す一点鎖線L1-L2方向の断面が図51(D)に相当する。また、図51(C)に示す一点鎖線L3-L4方向の断面が図52(A)に相当する。また、一点鎖線L1-L2方向をチャネル長方向、一点鎖線L3-L4方向をチャネル幅方向と呼称する。

【0292】

トランジスタ111は、基板115と接する絶縁層120と、絶縁層120と接する酸化物半導体層130aおよび酸化物半導体層130bからなる積層と、当該積層と電氣的に接続する導電層141および導電層151と、当該積層、導電層141および導電層151と接する酸化物半導体層130cと、酸化物半導体層130cと接する絶縁層160と、絶縁層160と接する導電層170と、当該積層、導電層141、導電層151、酸化物半導体層130c、絶縁層160および導電層170と接する絶縁層175と、絶縁層175と接する絶縁層180と、絶縁層175および絶縁層180に設けられた開口部を通じて導電層141および導電層151とそれぞれ電氣的に接続する導電層142および導電層152を有する。また、必要に応じて絶縁層180、導電層142および導電層152に接する絶縁層(平坦化膜)などを有していてもよい。

10

【0293】

トランジスタ111は、領域231および領域232において酸化物半導体層130が二層(酸化物半導体層130a、酸化物半導体層130b)である点、領域233において酸化物半導体層130が三層(酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c)である点、ならびに導電層141および導電層151と絶縁層160との間に酸化物半導体層の一部(酸化物半導体層130c)が介在している点を除き、トランジスタ105と同様の構成を有する。

20

【0294】

また、本発明の一態様のトランジスタは、図51(E)、(F)に示す構成であってもよい。図51(E)はトランジスタ112の上面図であり、図51(E)に示す一点鎖線M1-M2方向の断面が図51(F)に相当する。また、図51(E)に示す一点鎖線M3-M4方向の断面が図52(A)に相当する。また、一点鎖線M1-M2方向をチャネル長方向、一点鎖線M3-M4方向をチャネル幅方向と呼称する。

【0295】

トランジスタ112は、領域331、領域332、領域334および領域335において酸化物半導体層130が二層(酸化物半導体層130a、酸化物半導体層130b)である点、領域333において酸化物半導体層130が三層(酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c)である点を除き、トランジスタ106と同様の構成を有する。

30

【0296】

また、本発明の一態様のトランジスタは、図53(A)、(B)、(C)、(D)、(E)、(F)に示すチャネル長方向の断面図、ならびに図52(C)、(D)に示すチャネル幅方向の断面図のように、酸化物半導体層130と基板115との間に導電層173を備えていてもよい。当該導電層を第2のゲート電極層(バックゲート)として用いることで、更なるオン電流の増加や、しきい値電圧の制御を行うことができる。なお、図53(A)、(B)、(C)、(D)、(E)、(F)に示す断面図において、導電層173の幅を酸化物半導体層130よりも短くしてもよい。さらに、導電層173の幅を導電層170の幅よりも短くしてもよい。

40

【0297】

また、本発明の一態様のトランジスタは、図54(A)および図54(B)に示す構成とすることもできる。図54(A)は上面図であり、図54(B)は、図54(A)に示す一点鎖線N1-N2、および一点鎖線N3-N4に対応する断面図である。なお、図54(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0298】

図54(A)および図54(B)に示すトランジスタ113は、基板115と、基板11

50

5上の絶縁層120と、絶縁層120上の酸化物半導体層130（酸化物半導体層130a、酸化物半導体層130b、酸化物半導体層130c）と、酸化物半導体層130に接し、間隔を開けて配置された導電層140および導電層150と、酸化物半導体層130cと接する絶縁層160と、絶縁層160と接する導電層170を有する。なお、酸化物半導体層130c、絶縁層160および導電層170は、トランジスタ113上の絶縁層190に設けられた酸化物半導体層130a、酸化物半導体層130bおよび絶縁層120に達する開口部に設けられている。

【0299】

トランジスタ113の構成は、前述したその他のトランジスタの構成と比較して、ソース電極またはドレイン電極となる導電体とゲート電極となる導電体の重なる領域が少ないため、寄生容量を小さくすることができる。したがって、トランジスタ113は、高速動作を必要とする回路の要素として適している。トランジスタ113の上面は、図54（B）に示すようにCMP（Chemical Mechanical Polishing）法等を用いて平坦化することが好ましいが、平坦化しない構成とすることもできる。

【0300】

また、本発明の一態様のトランジスタにおける導電層140（ソース電極層）および導電層150（ドレイン電極層）は、図55（A）、（B）に示す上面図（酸化物半導体層130、導電層140および導電層150のみを図示）のように酸化物半導体層の幅（ W_{OS} ）よりも導電層140および導電層150の幅（ W_{SD} ）が長く形成されていてもよいし、短く形成されていてもよい。 $W_{OS} \geq W_{SD}$ （ W_{SD} は W_{OS} 以下）とすることで、ゲート電界が酸化物半導体層130全体にかかりやすくなり、トランジスタの電気特性を向上させることができる。また、図55（C）に示すように、導電層140および導電層150が酸化物半導体層130と重なる領域のみに形成されていてもよい。

【0301】

本発明の一態様のトランジスタ（トランジスタ101乃至トランジスタ113）では、いずれの構成においても、ゲート電極層である導電層170は、ゲート絶縁膜である絶縁層160を介して酸化物半導体層130のチャネル幅方向を電気的に取り囲み、オン電流が高められる。このようなトランジスタの構造を、*surrounded channel*（*s-channel*）構造とよぶ。

【0302】

また、酸化物半導体層130aおよび酸化物半導体層130bを有するトランジスタ、ならびに酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cを有するトランジスタにおいては、酸化物半導体層130を構成する二層または三層の材料を適切に選択することで酸化物半導体層130bに電流を流すことができる。酸化物半導体層130bに電流が流れることで、界面散乱の影響を受けにくく、高いオン電流を得ることができる。したがって、酸化物半導体層130bを厚くすることでオン電流が向上する場合がある。

【0303】

以上の構成とすることで、トランジスタの電気特性を向上することができる。

【0304】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0305】

（実施の形態4）

本実施の形態では、実施の形態2に示したトランジスタの構成要素について詳細を説明する。

【0306】

基板115には、ガラス基板、石英基板、半導体基板、セラミックス基板、表面が絶縁処理された金属基板などを用いることができる。または、トランジスタやフォトダイオードが形成されたシリコン基板、および当該シリコン基板上に絶縁層、配線、コンタクトプラ

10

20

30

40

50

グとして機能を有する導電体等が形成されたものを用いることができる。なお、シリコン基板にp-c h型のトランジスタを形成する場合は、n-型の導電性を有するシリコン基板を用いることが好ましい。または、n-型またはi型のシリコン層を有するSOI基板であってもよい。また、シリコン基板に設けるトランジスタがp-c h型である場合は、トランジスタを形成する面の面方位は、(110)面であるシリコン基板を用いることが好ましい。(110)面にp-c h型トランジスタを形成することで、移動度を高くすることができる。

【0307】

絶縁層120は、基板115に含まれる要素からの不純物の拡散を防止する役割を有するほか、酸化物半導体層130に酸素を供給する役割を担うことができる。したがって、絶縁層120は酸素を含む絶縁膜であることが好ましく、化学量論組成よりも多い酸素を含む絶縁膜であることがより好ましい。絶縁層120は、TDS法で測定した酸素原子に換算した酸素の放出量が $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上であることが好ましい。なお、上記TDS分析時における膜の表面温度は100℃以上700℃以下、または100℃以上500℃以下の範囲とする。また、基板115が他のデバイスが形成された基板である場合、絶縁層120は、層間絶縁膜としての機能も有する。その場合は、表面が平坦になるようにCMP法等で平坦化処理を行うことが好ましい。

【0308】

例えば、絶縁層120には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、またはこれらの混合材料を用いることができる。また、上記材料の積層であってもよい。

【0309】

本実施の形態では、トランジスタが有する酸化物半導体層130が酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cを絶縁層120側から順に積んだ三層構造である場合を主として詳細を説明する。

【0310】

なお、酸化物半導体層130が単層の場合は、本実施の形態に示す、酸化物半導体層130bに相当する層を用いればよい。

【0311】

また、酸化物半導体層130が二層の場合は、本実施の形態に示す、酸化物半導体層130aに相当する層および酸化物半導体層130bに相当する層を絶縁層120側から順に積んだ積層を用いればよい。この構成の場合、酸化物半導体層130aと酸化物半導体層130bとを入れ替えることもできる。

【0312】

また、酸化物半導体層130が四層以上である場合は、例えば、本実施の形態で説明する三層構造の酸化物半導体層130に対して他の酸化物半導体層を付加する構成とすることができる。

【0313】

一例としては、酸化物半導体層130bには、酸化物半導体層130aおよび酸化物半導体層130cよりも電子親和力（真空準位から伝導帯下端までのエネルギー）が大きい酸化物半導体を用いる。電子親和力は、真空準位と価電子帯上端とのエネルギー差（イオン化ポテンシャル）から、伝導帯下端と価電子帯上端とのエネルギー差（エネルギーギャップ）を差し引いた値として求めることができる。

【0314】

酸化物半導体層130aおよび酸化物半導体層130cは、酸化物半導体層130bを構成する金属元素を一種以上含み、例えば、伝導帯下端のエネルギーが酸化物半導体層130bよりも、0.05 eV、0.07 eV、0.1 eV、0.15 eVのいずれか以上で

10

20

30

40

50

あって、 2 eV 、 1 eV 、 0.5 eV 、 0.4 eV のいずれか以下の範囲で真空準位に近い酸化物半導体で形成することが好ましい。

【0315】

このような構造において、導電層170に電界を印加すると、酸化物半導体層130のうち、伝導帯下端のエネルギーが最も小さい酸化物半導体層130bにチャネルが形成される。したがって、酸化物半導体層130bは半導体として機能する領域を有するといえるが、酸化物半導体層130aおよび酸化物半導体層130cは絶縁体または半絶縁体として機能する領域を有するともいえる。

【0316】

また、酸化物半導体層130aは、酸化物半導体層130bを構成する金属元素を一種以上含んで構成されるため、酸化物半導体層130bと絶縁層120が接した場合の界面と比較して、酸化物半導体層130bと酸化物半導体層130aとの界面には界面準位が形成されにくくなる。該界面準位はチャネルを形成することがあるため、トランジスタのしきい値電圧が変動することがある。したがって、酸化物半導体層130aを設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきを低減することができる。また、当該トランジスタの信頼性を向上させることができる。

【0317】

また、酸化物半導体層130cは、酸化物半導体層130bを構成する金属元素を一種以上含んで構成されるため、酸化物半導体層130bとゲート絶縁膜（絶縁層160）が接した場合の界面と比較して、酸化物半導体層130bと酸化物半導体層130cとの界面ではキャリアの散乱が起りにくくなる。したがって、酸化物半導体層130cを設けることにより、トランジスタの電界効果移動度を高くすることができる。

【0318】

酸化物半導体層130aおよび酸化物半導体層130cには、例えば、Al、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHfを酸化物半導体層130bよりも高い原子数比で含む材料を用いることができる。具体的には、当該原子数比を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上とする。前述の元素は酸素と強く結合するため、酸素欠損が酸化物半導体層に生じることを抑制する機能を有する。すなわち、酸化物半導体層130aおよび酸化物半導体層130cは、酸化物半導体層130bよりも酸素欠損が生じにくいといえることができる。

【0319】

また、酸化物半導体層130a、酸化物半導体層130b、および酸化物半導体層130cとして用いることのできる酸化物半導体は、少なくともInもしくはZnを含むことが好ましい。または、InとZnの双方を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

【0320】

スタビライザーとしては、Ga、Sn、Hf、Al、またはZr等がある。また、他のスタビライザーとしては、ランタノイドである、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu等がある。

【0321】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化ガリウム、酸化亜鉛、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物、In-Ga酸化物、In-Ga-Zn酸化物、In-Al-Zn酸化物、In-Sn-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Hf-Zn酸化物、In-La-Zn酸化物、In-Ce-Zn酸化物、In-Pr-Zn酸化物、In-Nd-Zn酸化物、In-Sm-Zn酸化物、In-Eu-Zn酸化物、In-Gd-Zn酸化物、In-Tb-Zn酸化物、In-Dy-Zn酸化物、In-Ho-Zn酸化物、In-Er-Zn酸化物、In-Tm-Zn酸化物、In-Yb-Zn酸化物、In-Lu-Zn酸化物、In-Sn-

10

20

30

40

50

Ga-Zn酸化物、In-Hf-Ga-Zn酸化物、In-Al-Ga-Zn酸化物、In-Sn-Al-Zn酸化物、In-Sn-Hf-Zn酸化物、In-Hf-Al-Zn酸化物を用いることができる。

【0322】

ここで、例えば、In-Ga-Zn酸化物とは、InとGaとZnを主成分として有する酸化物という意味である。また、InとGaとZn以外の金属元素が入っていてもよい。また、本明細書においては、In-Ga-Zn酸化物で構成した膜をIGZO膜とも呼ぶ。

【0323】

また、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、Ga、Y、Zr、La、Ce、またはNdから選ばれた一つの金属元素または複数の金属元素を示す。また、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0324】

また、酸化物半導体層130bは、酸化物半導体層130aおよび酸化物半導体層130cよりもインジウムの含有量を多くするとよい。酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、Inの含有率を多くすることにより、より多くのs軌道が重なるため、InがMよりも多い組成となる酸化物はInがMと同等または少ない組成となる酸化物と比較して移動度が高くなる。そのため、酸化物半導体層130bにインジウムの含有量が多い酸化物を用いることで、高い電界効果移動度のトランジスタを実現することができる。

【0325】

酸化物半導体層130aの厚さは、3nm以上100nm以下、好ましくは5nm以上50nm以下、さらに好ましくは5nm以上25nm以下とする。また、酸化物半導体層130bの厚さは、3nm以上200nm以下、好ましくは5nm以上150nm以下、さらに好ましくは10nm以上100nm以下とする。また、酸化物半導体層130cの厚さは、1nm以上50nm以下、好ましくは2nm以上30nm以下、さらに好ましくは3nm以上15nm以下とする。また、酸化物半導体層130bは、酸化物半導体層130cより厚い方が好ましい。

【0326】

酸化物半導体層をチャネルとするトランジスタに安定した電気特性を付与するためには、酸化物半導体層中の不純物濃度を低減し、酸化物半導体層を真性(i型)または実質的に真性にすることが有効である。ここで、実質的に真性とは、酸化物半導体層のキャリア密度が、 $1 \times 10^{19} / \text{cm}^3$ 未満であること、 $1 \times 10^{15} / \text{cm}^3$ 未満であること、 $1 \times 10^{13} / \text{cm}^3$ 未満であること、あるいは $1 \times 10^8 / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上であることを指す。

【0327】

また、酸化物半導体層において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンは酸化物半導体層中で不純物準位の形成に寄与する。当該不純物準位はトラップとなり、トランジスタの電気特性を劣化させることがある。したがって、酸化物半導体層130a、酸化物半導体層130bおよび酸化物半導体層130cの層中や、それぞれの界面において不純物濃度を低減させることが好ましい。

【0328】

酸化物半導体層を真性または実質的に真性とするためには、SIMS (Secondary Ion Mass Spectrometry) 分析で見積もられる水素濃度が、 $2 \times 10^{20} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms} / \text{cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下であって、 $1 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以上になる領域を有するように制御する。また、窒素濃度は、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましく

10

20

30

40

50

は $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下であって、 $5 \times 10^{16} \text{ atoms/cm}^3$ 以上になる領域を有するように制御する。

【0329】

また、シリコンや炭素が高濃度で含まれると、酸化物半導体層の結晶性を低下させることがある。酸化物半導体層の結晶性を低下させないためには、シリコン濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満であり、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以上になる領域を有するように制御する。また、炭素濃度を $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満であって、 $6 \times 10^{17} \text{ atoms/cm}^3$ 以上になる領域を有するように制御する。

10

【0330】

また、上述のように高純度化された酸化物半導体層をチャンネル形成領域に用いたトランジスタのオフ電流は極めて小さい。例えば、ソースとドレインとの間の電圧を 0.1 V 、 5 V 、または、 10 V 程度とした場合に、トランジスタのチャンネル幅あたりのオフ電流を数 $\text{y A}/\mu\text{m}$ 乃至数 $\text{z A}/\mu\text{m}$ にまで低減することが可能となる。

【0331】

トランジスタのゲート絶縁膜としては、シリコンを含む絶縁膜が多く用いられるため、上記理由により酸化物半導体層のチャンネルとなる領域は、本発明の一態様のトランジスタのようにゲート絶縁膜と接しない構造が好ましいといえることができる。また、ゲート絶縁膜と酸化物半導体層との界面にチャンネルが形成される場合、該界面でキャリアの散乱が起これ、トランジスタの電界効果移動度が低くなることがある。このような観点からも、酸化物半導体層のチャンネルとなる領域はゲート絶縁膜から離すことが好ましいといえる。

20

【0332】

したがって、酸化物半導体層 130 を酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c の積層構造とすることで、酸化物半導体層 130b にチャンネルを形成することができ、高い電界効果移動度および安定した電気特性を有したトランジスタを形成することができる。

【0333】

酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c のバンド構造においては、伝導帯下端のエネルギーが連続的に変化する。これは、酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c の組成が近似することにより、酸素が相互に拡散しやすい点からも理解される。したがって、酸化物半導体層 130a、酸化物半導体層 130b、酸化物半導体層 130c は組成が異なる層の積層体ではあるが、物性的に連続であるということもでき、図面において、当該積層体のそれぞれの界面は点線で表している。

30

【0334】

主成分を共通として積層された酸化物半導体層 130 は、各層を単に積層するのではなく連続接合（ここでは特に伝導帯下端のエネルギーが各層の間で連続的に変化する U 字型の井戸構造（U Shape Well））が形成されるように作製する。すなわち、各層の界面にトラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないように積層構造を形成する。仮に、積層された酸化物半導体層の層間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアがトラップあるいは再結合により消滅してしまう。

40

【0335】

例えば、酸化物半導体層 130a および酸化物半導体層 130c には $\text{In}:\text{Ga}:\text{Zn} = 1:3:2$ 、 $1:3:3$ 、 $1:3:4$ 、 $1:3:6$ 、 $1:4:5$ 、 $1:6:4$ 、 $1:9:6$ 、 $1:10:1$ またはそれらの近傍値（原子数比）などの $\text{In}-\text{Ga}-\text{Zn}$ 酸化物、 $\text{Ga}:\text{Zn} = 10:1$ またはそれらの近傍値（原子数比）などの $\text{Ga}-\text{Zn}$ 酸化物を用いることができる。また、酸化物半導体層 130b には $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ 、 $2:$

50

1 : 3、5 : 5 : 6、3 : 1 : 2、4 : 2 : 3、4 : 2 : 4、1 またはそれらの近傍値（原子数比）などの In-Ga-Zn 酸化物などを用いることができる。なお、上記酸化物をスパッタターゲットとして成膜を行った場合、成膜される酸化物半導体層 130a、酸化物半導体層 130b、および酸化物半導体層 130c の原子数比は必ずしも同一とならない。

【0336】

酸化物半導体層 130 における酸化物半導体層 130b はウェル（井戸）となり、チャネルは酸化物半導体層 130b に形成される。酸化物半導体層 130 は伝導帯下端のエネルギーが連続的に変化しているため、U 字型井戸とも呼ぶことができる。また、このような構成で形成されたチャネルを埋め込みチャネルということもできる。

10

【0337】

また、酸化物半導体層 130a および酸化物半導体層 130c と、酸化シリコン膜などの絶縁層との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得る。酸化物半導体層 130a および酸化物半導体層 130c があることにより、酸化物半導体層 130b と当該トラップ準位とを遠ざけることができる。

【0338】

ただし、酸化物半導体層 130a および酸化物半導体層 130c の伝導帯下端のエネルギーと、酸化物半導体層 130b の伝導帯下端のエネルギーとの差が小さい場合、酸化物半導体層 130b の電子が該エネルギー差を越えてトラップ準位に達することがある。電子がトラップ準位に捕獲されることで、絶縁層界面にマイナスの電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

20

【0339】

酸化物半導体層 130a、酸化物半導体層 130b および酸化物半導体層 130c には、結晶部が含まれることが好ましい。特に c 軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。また、c 軸に配向した結晶は歪曲に強く、フレキシブル基板を用いた半導体装置の信頼性を向上させることができる。

【0340】

ソース電極層として作用する導電層 140 およびドレイン電極層として作用する導電層 150 には、例えば、Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc、および当該金属材料の合金から選ばれた材料の単層、または積層を用いることができる。代表的には、特に酸素と結合しやすい Ti や、後のプロセス温度が比較的高くできることなどから、融点の高い W を用いることがより好ましい。また、低抵抗の Cu や Cu-Mn などの合金と上記材料との積層を用いてもよい。トランジスタ 105、トランジスタ 106、トランジスタ 111、トランジスタ 112 においては、例えば、導電層 141 および導電層 151 に W、導電層 142 および導電層 152 に Ti と Al との積層膜などを用いることができる。

30

【0341】

上記材料は酸化物半導体層から酸素を引き抜く性質を有する。そのため、上記材料と接した酸化物半導体層の一部の領域では酸化物半導体層中の酸素が脱離し、酸素欠損が形成される。膜中に僅かに含まれる水素と当該酸素欠損が結合することにより当該領域は顕著に n 型化する。したがって、n 型化した当該領域はトランジスタのソースまたはドレインとして作用させることができる。

40

【0342】

また、導電層 140 および導電層 150 に W を用いる場合には、窒素をドーピングしてもよい。窒素をドーピングすることで酸素を引き抜く性質を適度に弱めることができ、n 型化した領域がチャネル領域まで拡大することを防ぐことができる。また、導電層 140 および導電層 150 を n 型の半導体層との積層とし、n 型の半導体層と酸化物半導体層を接触させることによっても n 型化した領域がチャネル領域まで拡大することを防ぐことができる。n 型の半導体層としては、窒素が添加された In-Ga-Zn 酸化物、酸化亜鉛、酸化インジウム、酸化スズ、酸化インジウムスズなどを用いることができる。

50

【0343】

ゲート絶縁膜として作用する絶縁層160には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁層160は上記材料の積層であってもよい。なお、絶縁層160に、La、N、Zrなどを、不純物として含んでいてもよい。

【0344】

また、絶縁層160の積層構造の一例について説明する。絶縁層160は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、酸化ハフニウム、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。

10

【0345】

酸化ハフニウムおよび酸化アルミニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコンを用いた場合と比べて、絶縁層160の膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。さらに、結晶構造を有する酸化ハフニウムは、非晶質構造を有する酸化ハフニウムと比べて高い比誘電率を備える。したがって、オフ電流の小さいトランジスタとするためには、結晶構造を有する酸化ハフニウムを用いることが好ましい。結晶構造の例としては、単斜晶系や立方晶系などが挙げられる。ただし、本発明の一態様は、これらに限定されない。

20

【0346】

また、酸化物半導体層130と接する絶縁層120および絶縁層160は、窒素酸化物の放出量の少ない膜を用いることが好ましい。窒素酸化物の放出量の多い絶縁層と酸化物半導体が接した場合、窒素酸化物に起因する準位密度が高くなることがある。絶縁層120および絶縁層160には、例えば、窒素酸化物の放出量の少ない酸化窒化シリコン膜または酸化窒化アルミニウム膜等の酸化物絶縁層を用いることができる。

【0347】

窒素酸化物の放出量の少ない酸化窒化シリコン膜は、TDS法において、窒素酸化物の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{19} \text{ cm}^{-3}$ 以下である。なお、アンモニアの放出量は、膜の表面温度が 50°C 以上 650°C 以下、好ましくは 50°C 以上 550°C 以下の加熱処理による放出量とする。

30

【0348】

絶縁層120および絶縁層160として、上記酸化物絶縁層を用いることで、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気特性の変動を低減することができる。

【0349】

ゲート電極層として作用する導電層170には、例えば、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、TaおよびWなどの導電膜を用いることができる。また、上記材料の合金や上記材料の導電性窒化物を用いてもよい。また、上記材料、上記材料の合金、および上記材料の導電性窒化物から選ばれた複数の材料の積層であってもよい。代表的には、タングステン、タングステンと窒化チタンの積層、タングステンと窒化タンタルの積層などを用いることができる。また、低抵抗のCuまたはCu-Mnなどの合金や上記材料とCuまたはCu-Mnなどの合金との積層を用いてもよい。本実施の形態では、導電層171に窒化タンタル、導電層172にタングステンをを用いて導電層170を形成する。

40

【0350】

絶縁層175には、水素を含む窒化シリコン膜または窒化アルミニウム膜などを用いることができる。実施の形態2に示したトランジスタ103、トランジスタ104、トランジスタ106、トランジスタ109、トランジスタ110、およびトランジスタ112では

50

、絶縁層 175 として水素を含む絶縁膜を用いることで酸化物半導体層の一部を n 型化することができる。また、窒化絶縁膜は水分などのブロッキング膜としての作用も有し、トランジスタの信頼性を向上させることができる。

【0351】

また、絶縁層 175 としては酸化アルミニウム膜を用いることもできる。特に、実施の形態 2 に示したトランジスタ 101、トランジスタ 102、トランジスタ 105、トランジスタ 107、トランジスタ 108、およびトランジスタ 111 では絶縁層 175 に酸化アルミニウム膜を用いることが好ましい。酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウム膜は、トランジスタの作製工程中および作製後において、水素、水分などの不純物の酸化物半導体層 130 への混入防止、酸素の酸化物半導体層からの放出防止、絶縁層 120 からの酸素の不必要な放出防止の効果を有する保護膜として用いることに適している。また、酸化アルミニウム膜に含まれる酸素を酸化物半導体層中に拡散させることもできる。

10

【0352】

また、絶縁層 175 上には絶縁層 180 が形成されていることが好ましい。当該絶縁層には、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、当該絶縁層は上記材料の積層であってもよい。

20

【0353】

ここで、絶縁層 180 は絶縁層 120 と同様に化学量論組成よりも多くの酸素を有することが好ましい。絶縁層 180 から放出される酸素は絶縁層 160 を経由して酸化物半導体層 130 のチャネル形成領域に拡散させることができることから、チャネル形成領域に形成された酸素欠損に酸素を補填することができる。したがって、安定したトランジスタの電気特性を得ることができる。

【0354】

半導体装置を高集積化するにはトランジスタの微細化が必須である。一方、トランジスタの微細化によりトランジスタの電気特性が悪化することが知られており、特にチャネル幅が縮小するとオン電流が低下する。

30

【0355】

本発明の一態様のトランジスタ 107 乃至トランジスタ 112 では、チャネルが形成される酸化物半導体層 130 b を覆うように酸化物半導体層 130 c が形成されており、チャネル形成層とゲート絶縁膜が接しない構成となっている。そのため、チャネル形成層とゲート絶縁膜との界面で生じるキャリアの散乱を抑えることができ、トランジスタのオン電流を大きくすることができる。

【0356】

また、本発明の一態様のトランジスタでは、前述したように酸化物半導体層 130 のチャネル幅方向を電気的に取り囲むようにゲート電極層（導電層 170）が形成されているため、酸化物半導体層 130 に対しては上面に垂直な方向からのゲート電界に加えて、側面に垂直な方向からのゲート電界が印加される。すなわち、チャネル形成層に対して全体的にゲート電界が印加されることになり実効チャネル幅が拡大するため、さらにオン電流を高められる。

40

【0357】

また、本発明の一態様における酸化物半導体層 130 が二層または三層のトランジスタでは、チャネルが形成される酸化物半導体層 130 b を酸化物半導体層 130 a 上に形成することで界面準位を形成しにくくする効果を有する。また、本発明の一態様における酸化物半導体層 130 が三層のトランジスタでは、酸化物半導体層 130 b を三層構造の中間に位置する層とすることで上下からの不純物混入の影響を排除できる効果などを併せて有する。そのため、上述したトランジスタのオン電流の向上に加えて、しきい値電圧の安定

50

化や、S値（サブスレッショルド値）の低減をはかることができる。したがって、ゲート電圧 V_G が0V時の電流を下げることができ、消費電力を低減させることができる。また、トランジスタのしきい値電圧が安定化することから、半導体装置の長期信頼性を向上させることができる。また、本発明の一態様のトランジスタは、微細化にともなう電気特性の劣化が抑えられることから、集積度の高い半導体装置の形成に適しているといえる。

【0358】

本実施の形態で説明した金属膜、半導体膜、無機絶縁膜など様々な膜は、代表的にはスパッタ法やプラズマCVD法により形成することができるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としては、MOCVD (Metal Organic Chemical Vapor Deposition) 法やALD (Atomic Layer Deposition) 法などがある。

10

【0359】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0360】

また、熱CVD法では、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0361】

ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスをチャンバーに導入・反応させ、これを繰り返すことで成膜を行う。原料ガスと一緒に不活性ガス（アルゴン、或いは窒素など）をキャリアガスとして導入しても良い。例えば2種類以上の原料ガスを順番にチャンバーに供給してもよい。その際、複数種の原料ガスが混ざらないように第1の原料ガスの反応後、不活性ガスを導入し、第2の原料ガスを導入する。あるいは、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着・反応して第1の層を成膜し、後から導入される第2の原料ガスが吸着・反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入の繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

20

30

【0362】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム ($\text{In}(\text{CH}_3)_3$)、トリメチルガリウム ($\text{Ga}(\text{CH}_3)_3$)、およびジメチル亜鉛 ($\text{Zn}(\text{CH}_3)_2$) を用いることができる。これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム ($\text{Ga}(\text{C}_2\text{H}_5)_3$) を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 ($\text{Zn}(\text{C}_2\text{H}_5)_2$) を用いることもできる。

【0363】

例えば、ALDを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム (TDMAH 、 $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$) やテトラキス（エチルメチルアミド）ハフニウムなどのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン (O_3) の2種類のガスを用いる。

40

【0364】

例えば、ALDを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体を含む液体（トリメチルアルミニウム (TMA 、 $\text{Al}(\text{CH}_3)_3$) など）を気化させた原料ガスと、酸化剤として H_2O の2種類のガスを用いる。他の材料としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、ア

50

ルミニウムトリス（２，２，６，６－テトラメチル－３，５－ヘプタンジオナート）などがある。

【０３６５】

例えば、ＡＬＤを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、酸化性ガス（ O_2 、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

【０３６６】

例えば、ＡＬＤを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを順次導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

【０３６７】

例えば、ＡＬＤを利用する成膜装置により酸化物半導体層、例えば $In-Ga-Zn-O$ 層を成膜する場合には、 $In(CH_3)_3$ ガスと O_3 ガスを順次導入して $In-O$ 層を形成し、その後、 $Ga(CH_3)_3$ ガスと O_3 ガスを順次導入して GaO 層を形成し、更にその後 $Zn(CH_3)_2$ ガスと O_3 ガスを順次導入して ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。これらのガスを用いて $In-Ga-O$ 層や $In-Zn-O$ 層、 $Ga-Zn-O$ 層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えて Ar 等の不活性ガスでバブリングして得られた H_2O ガスを用いても良いが、 H を含まない O_3 ガスを用いる方が好ましい。

【０３６８】

酸化物半導体層の成膜には、対向ターゲット式スパッタリング装置を用いることもできる。当該対向ターゲット式スパッタリング装置を用いた成膜法を、 $VDS P$ （ $vapor deposition SP$ ）と呼ぶこともできる。

【０３６９】

対向ターゲット式スパッタリング装置を用いて酸化物半導体層を成膜することによって、酸化物半導体層の成膜時におけるプラズマ損傷を低減することができる。そのため、膜中の酸素欠損を低減することができる。また、対向ターゲット式スパッタリング装置を用いることで低圧での成膜が可能となるため、成膜された酸化物半導体層中の不純物濃度（例えば水素、希ガス（アルゴンなど）、水など）を低減させることができる。

【０３７０】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【０３７１】

（実施の形態５）

以下では、本発明の一態様に用いることのできる酸化物半導体層の構造について説明する。

【０３７２】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。

【０３７３】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【０３７４】

<酸化物半導体の構造>

以下では、酸化物半導体の構造について説明する。

【０３７５】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けら

10

20

30

40

50

れる。非単結晶酸化物半導体としては、CAAC-OS (c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

【0376】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体およびnc-OSなどがある。

【0377】

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

【0378】

逆の見方をすると、安定な酸化物半導体を完全な非晶質 (completely amorphous) 酸化物半導体とは呼べない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆 (ボイドともいう。) を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

【0379】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

【0380】

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一種である。

【0381】

CAAC-OSをX線回折 (XRD: X-Ray Diffraction) によって解析した場合について説明する。例えば、空間群R-3mに分類されるInGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図56 (A) に示すように回折角 (2θ) が31°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の (009) 面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面 (被形成面ともいう。)、または上面に略垂直な方向を向いていることが確認できる。なお、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、空間群Fd-3mに分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

【0382】

一方、CAAC-OSに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の (110) 面に帰属される。そして、2θを56°近傍に固定し、試料面の法線ベクトルを軸 (φ軸) として試料を回転させながら分析 (φスキャン) を行っても、図56 (B) に示すように明瞭なピークは現れない。一方、単結晶InGaZnO₄に対し、2θを56°近傍に固定してφスキャンした場合、図56 (C) に示すように (110) 面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

【0383】

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、InGaZ

10

20

30

40

50

InGaZnO_4 の結晶を有するCAAC-OSに対し、CAAC-OSの被形成面に平行にプローブ径が300 nmの電子線を入射させると、図56 (D) に示すような回折パターン（制限視野電子回折パターンともいう。）が現れる場合がある。この回折パターンには、 InGaZnO_4 の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300 nmの電子線を入射させたときの回折パターンを図56 (E) に示す。図56 (E) より、リング状の回折パターンが確認される。したがって、プローブ径が300 nmの電子線を用いた電子回折によっても、CAAC-OSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図56 (E) における第1リングは、 InGaZnO_4 の結晶の(010)面および(100)面などに起因すると考えられる。また、図56 (E) における第2リングは(110)面などに起因すると考えられる。

【0384】

また、透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OSの明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない場合がある。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0385】

図57 (A) に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正 (Spherical Aberration Corrector) 機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

【0386】

図57 (A) より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1 nm以上のものや、3 nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶 (nc: nanocrystal) と呼ぶこともできる。また、CAAC-OSを、CANC (C-Axis Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-OSの被形成面または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

【0387】

また、図57 (B) および図57 (C) に、試料面と略垂直な方向から観察したCAAC-OSの平面のCs補正高分解能TEM像を示す。図57 (D) および図57 (E) は、それぞれ図57 (B) および図57 (C) を画像処理した像である。以下では、画像処理の方法について説明する。まず、図57 (B) を高速フーリエ変換 (FFT: Fast Fourier Transform) 処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換 (IFFT: Inverse Fast Fourier Transform) 処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

【0388】

図57 (D) では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部であ

10

20

30

40

50

る。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

【0389】

図57(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間を点線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形または／および七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-Osが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

10

【0390】

以上に示すように、CAAC-Osは、c軸配向性を有し、かつa-b面方向において複数のペレット（ナノ結晶）が連結し、歪みを有した結晶構造となっている。よって、CAAC-Osを、CAA crystal (c-axis-aligned a-b-plane-anchored crystal) を有する酸化物半導体と称することもできる。

【0391】

CAAC-Osは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をするとCAAC-Osは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

20

【0392】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0393】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

30

【0394】

不純物および酸素欠損の少ないCAAC-Osは、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-Osは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

【0395】

<nc-Os>

次に、nc-Osについて説明する。

【0396】

nc-OsをXRDによって解析した場合について説明する。例えば、nc-Osに対し、out-of-plane法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc-Osの結晶は配向性を有さない。

【0397】

また、例えば、InGaZnO₄の結晶を有するnc-Osを薄片化し、厚さが34nmの領域に対し、被形成面に平行にプローブ径が50nmの電子線を入射させると、図58(A)に示すようなリング状の回折パターン（ナノビーム電子回折パターン）が観測され

50

る。また、同じ試料にプローブ径が1 nmの電子線を入射させたときの回折パターン（ナノビーム電子回折パターン）を図58（B）に示す。図58（B）より、リング状の領域内に複数のスポットが観測される。したがって、nc-OSは、プローブ径が50 nmの電子線を入射させることでは秩序性が確認されないが、プローブ径が1 nmの電子線を入射させることでは秩序性が確認される。

【0398】

また、厚さが10 nm未満の領域に対し、プローブ径が1 nmの電子線を入射させると、図58（C）に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが10 nm未満の範囲において、nc-OSが秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

10

【0399】

図58（D）に、被形成面と略平行な方向から観察したnc-OSの断面のCs補正高分解能TEM像を示す。nc-OSは、高分解能TEM像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-OSに含まれる結晶部は、1 nm以上10 nm以下の大きさであり、特に1 nm以上3 nm以下の大きさであることが多い。なお、結晶部の大きさが10 nmより大きく100 nm以下である酸化物半導体を微結晶酸化物半導体（micro crystalline oxide semiconductor）と呼ぶことがある。nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-OSの結晶部をペレットと呼ぶ場合がある。

20

【0400】

このように、nc-OSは、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

【0401】

なお、ペレット（ナノ結晶）間で結晶方位が規則性を有さないことから、nc-OSを、RANC（Random Aligned nanocrystals）を有する酸化物半導体、またはNANC（Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

30

【0402】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

【0403】

<a-like OS>

40

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0404】

図59に、a-like OSの高分解能断面TEM像を示す。ここで、図59（A）は電子照射開始時におけるa-like OSの高分解能断面TEM像である。図59（B）は $4.3 \times 10^8 \text{ e}^-/\text{nm}^2$ の電子（ e^- ）照射後におけるa-like OSの高分解能断面TEM像である。図59（A）および図59（B）より、a-like OSは電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

50

【0405】

鬆を有するため、*a-like OS*は、不安定な構造である。以下では、*a-like OS*が、*CAAC-OS*および*nc-OS*と比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0406】

試料として、*a-like OS*、*nc-OS*および*CAAC-OS*を準備する。いずれの試料も*In-Ga-Zn*酸化物である。

【0407】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

【0408】

なお、*InGaZnO₄*の結晶の単位格子は、*In-O*層を3層有し、また*Ga-Zn-O*層を6層有する、計9層が*c*軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(*d*値ともいう。)と同程度であり、結晶構造解析からその値は0.29 nmと求められている。したがって、以下では、格子縞の間隔が0.28 nm以上0.30 nm以下である箇所を、*InGaZnO₄*の結晶部と見なした。なお、格子縞は、*InGaZnO₄*の結晶の*a-b*面に対応する。

【0409】

図60は、各試料の結晶部(22箇所から30箇所)の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図60より、*a-like OS*は、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図60より、TEMによる観察初期においては1.2 nm程度の大きさだった結晶部(初期核ともいう。)が、電子(e^-)の累積照射量が $4.2 \times 10^8 e^- / nm^2$ においては1.9 nm程度の大きさまで成長していることがわかる。一方、*nc-OS*および*CAAC-OS*は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^- / nm^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図60より、電子の累積照射量によらず、*nc-OS*および*CAAC-OS*の結晶部の大きさは、それぞれ1.3 nm程度および1.8 nm程度であることがわかる。なお、電子線照射およびTEMの観察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件は、加速電圧を300 kV、電流密度を $6.7 \times 10^5 e^- / (nm^2 \cdot s)$ 、照射領域の直径を230 nmとした。

【0410】

このように、*a-like OS*は、電子照射によって結晶部の成長が見られる場合がある。一方、*nc-OS*および*CAAC-OS*は、電子照射による結晶部の成長がほとんど見られない。即ち、*a-like OS*は、*nc-OS*および*CAAC-OS*と比べて、不安定な構造であることがわかる。

【0411】

また、鬆を有するため、*a-like OS*は、*nc-OS*および*CAAC-OS*と比べて密度の低い構造である。具体的には、*a-like OS*の密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、*nc-OS*の密度および*CAAC-OS*の密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

【0412】

例えば、*In:Ga:Zn=1:1:1* [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶*InGaZnO₄*の密度は $6.357 g / cm^3$ となる。よって、例えば、*In:Ga:Zn=1:1:1* [原子数比] を満たす酸化物半導体において、*a-like OS*の密度は $5.0 g / cm^3$ 以上 $5.9 g / cm^3$ 未満となる。また、例えば、*In:Ga:Zn=1:1:1* [原子数比] を満たす酸化物半導体において、*nc-OS*の密度および*CAAC-OS*の密度は $5.9 g / cm^3$ 以上 $6.3 g / cm^3$

10

20

30

40

50

未満となる。

【0413】

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0414】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like OS*、*nc-OS*、*CAAC-OS*のうち、二種以上を有する積層膜であってもよい。

【0415】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0416】

(実施の形態6)

本実施の形態では、イメージセンサチップを収めたパッケージおよびカメラモジュールの一例について説明する。当該イメージセンサチップには、本発明の一態様の撮像装置の構成を用いることができる。

【0417】

図61(A)は、イメージセンサチップを収めたパッケージの上面側の外観斜視図である。当該パッケージは、イメージセンサチップ850を固定するパッケージ基板810、カバーガラス820および両者を接着する接着剤830等を有する。

【0418】

図61(B)は、当該パッケージの下面側の外観斜視図である。パッケージの下面には、半田ボールをバンプ840としたBGA(Ball grid array)の構成を有する。なお、BGAに限らず、LGA(Land grid array)やPGA(Pin Grid Array)などであってもよい。

【0419】

図61(C)は、カバーガラス820および接着剤830の一部を省いて図示したパッケージの斜視図であり、図61(D)は、当該パッケージの断面図である。パッケージ基板810上には電極パッド860が形成され、電極パッド860およびバンプ840はスルーホール880およびランド885を介して電氣的に接続されている。電極パッド860は、イメージセンサチップ850が有する電極とワイヤ870によって電氣的に接続されている。

【0420】

また、図62(A)は、イメージセンサチップをレンズ一体型のパッケージに収めたカメラモジュールの上面側の外観斜視図である。当該カメラモジュールは、イメージセンサチップ851を固定するパッケージ基板811、レンズカバー821、およびレンズ835等を有する。また、パッケージ基板811およびイメージセンサチップ851の間には撮像装置の駆動回路および信号変換回路などの機能を有するICチップ890も設けられており、SiP(System in package)としての構成を有している。

【0421】

図62(B)は、当該カメラモジュールの下面側の外観斜視図である。パッケージ基板811の下面および4側面には、実装用のランド841が設けられるQFN(Quad flat no-lead package)の構成を有する。なお、当該構成は一例であり、QFP(Quad flat package)や前述したBGA等であってもよい。

【0422】

図62(C)は、レンズカバー821およびレンズ835の一部を省いて図示したモジュ

10

20

30

40

50

ールの斜視図であり、図 6 2 (D) は、当該カメラモジュールの断面図である。ランド 8 4 1 の一部は電極パッド 8 6 1 として利用され、電極パッド 8 6 1 はイメージセンサチップ 8 5 1 および IC チップ 8 9 0 が有する電極とワイヤ 8 7 1 によって電氣的に接続されている。

【0 4 2 3】

イメージセンサチップを上述したような形態のパッケージに収めることでプリント基板等への実装が容易になり、イメージセンサチップを様々な半導体装置、電子機器に組み込むことができる。

【0 4 2 4】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0 4 2 5】

(実施の形態 7)

本発明の一態様に係る撮像装置、および当該撮像装置を含む半導体装置を用いることができる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置または画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図 6 3 に示す。

【0 4 2 6】

図 6 3 (A) は監視カメラであり、筐体 9 5 1、レンズ 9 5 2、支持部 9 5 3 等を有する。当該監視カメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。なお、監視カメラとは慣用的な名称であり、用途を限定するものではない。例えば監視カメラとしての機能を有する機器はカメラ、またはビデオカメラとも呼ばれる。

【0 4 2 7】

図 6 3 (B) はビデオカメラであり、第 1 筐体 9 7 1、第 2 筐体 9 7 2、表示部 9 7 3、操作キー 9 7 4、レンズ 9 7 5、接続部 9 7 6 等を有する。操作キー 9 7 4 およびレンズ 9 7 5 は第 1 筐体 9 7 1 に設けられており、表示部 9 7 3 は第 2 筐体 9 7 2 に設けられている。当該ビデオカメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

【0 4 2 8】

図 6 3 (C) はデジタルカメラであり、筐体 9 6 1、シャッターボタン 9 6 2、マイク 9 6 3、発光部 9 6 7、レンズ 9 6 5 等を有する。当該デジタルカメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

【0 4 2 9】

図 6 3 (D) は腕時計型の情報端末であり、筐体 9 3 1、表示部 9 3 2、リストバンド 9 3 3、操作用のボタン 9 3 5、竜頭 9 3 6、カメラ 9 3 9 等を有する。表示部 9 3 2 はタッチパネルとなっていてよい。当該情報端末における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

【0 4 3 0】

図 6 3 (E) は携帯型ゲーム機であり、筐体 9 0 1、筐体 9 0 2、表示部 9 0 3、表示部 9 0 4、マイク 9 0 5、スピーカー 9 0 6、操作キー 9 0 7、スタイラス 9 0 8、カメラ 9 0 9 等を有する。なお、図 6 3 (E) に示した携帯型ゲーム機は、2つの表示部 9 0 3 と表示部 9 0 4 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。当該携帯型ゲーム機における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

【0 4 3 1】

図 6 3 (F) は携帯データ端末であり、筐体 9 1 1、表示部 9 1 2、カメラ 9 1 9 等を有する。表示部 9 1 2 が有するタッチパネル機能により情報の入出力を行うことができる。当該携帯データ端末における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

【 0 4 3 2 】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【符号の説明】

【 0 4 3 3 】

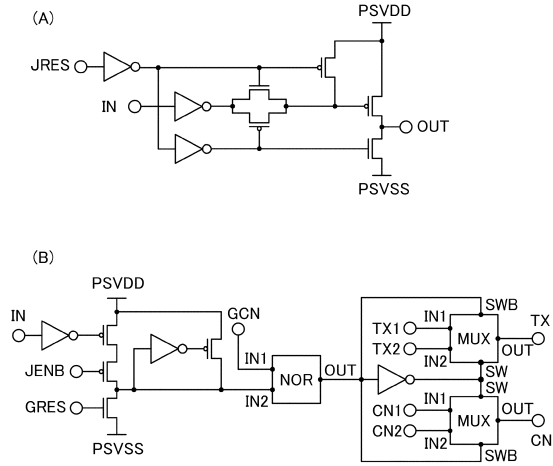
1 0	画素	10
1 1	画素アレイ	
1 2	回路	
1 3	回路	
1 4	回路	
1 5	回路	
1 6	回路	
1 7	コンパレータ回路	
1 8	判定出力回路	
1 9	カウンタ回路	
2 0	画素	20
2 1	画素アレイ	
2 2	回路	
2 3	回路	
2 4	回路	
2 5	回路	
2 7	コンパレータ回路	
2 8	判定出力回路	
2 9	カウンタ回路	
3 5	基板	
4 1	トランジスタ	30
4 2	トランジスタ	
4 3	トランジスタ	
4 4	トランジスタ	
4 5	トランジスタ	
4 6	トランジスタ	
5 1	トランジスタ	
5 2	トランジスタ	
5 3	トランジスタ	
5 4	トランジスタ	
6 1	配線	40
6 2	配線	
6 3	配線	
6 4	配線	
6 5	配線	
7 1	配線	
7 1 a	導電層	
7 1 b	導電層	
7 2	配線	
7 3	配線	
7 4	配線	50

7 5	配線	
8 0	絶縁層	
8 1	導電体	
8 2	絶縁層	
8 2 a	絶縁層	
8 2 b	絶縁層	
8 3	絶縁層	
8 8	配線	
9 1	配線	
9 2	配線	10
9 3	配線	
9 4	配線	
1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 3	トランジスタ	
1 0 4	トランジスタ	
1 0 5	トランジスタ	
1 0 6	トランジスタ	
1 0 7	トランジスタ	
1 0 8	トランジスタ	20
1 0 9	トランジスタ	
1 1 0	トランジスタ	
1 1 1	トランジスタ	
1 1 2	トランジスタ	
1 1 3	トランジスタ	
1 1 5	基板	
1 2 0	絶縁層	
1 3 0	酸化物半導体層	
1 3 0 a	酸化物半導体層	
1 3 0 b	酸化物半導体層	30
1 3 0 c	酸化物半導体層	
1 4 0	導電層	
1 4 1	導電層	
1 4 2	導電層	
1 5 0	導電層	
1 5 1	導電層	
1 5 2	導電層	
1 6 0	絶縁層	
1 7 0	導電層	
1 7 1	導電層	40
1 7 2	導電層	
1 7 3	導電層	
1 7 5	絶縁層	
1 8 0	絶縁層	
1 9 0	絶縁層	
2 3 1	領域	
2 3 2	領域	
2 3 3	領域	
3 3 1	領域	
3 3 2	領域	50

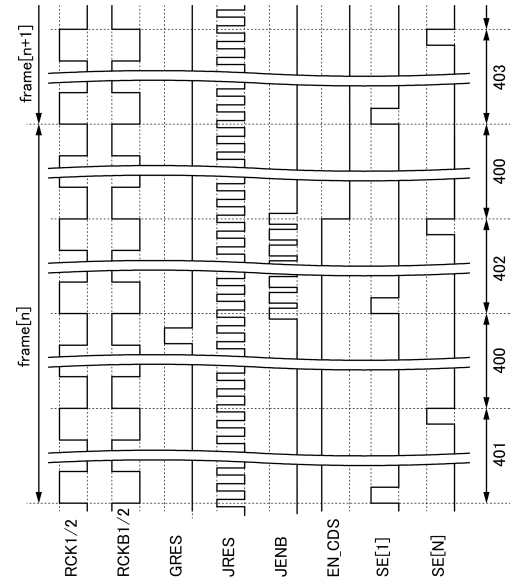
3 3 3	領域	
3 3 4	領域	
3 3 5	領域	
4 0 0	期間	
4 0 1	期間	
4 0 2	期間	
4 0 3	期間	
5 6 1	光電変換層	
5 6 2	透光性導電層	
5 6 3	半導体層	10
5 6 4	半導体層	
5 6 5	半導体層	
5 6 6	電極	
5 6 6 a	導電層	
5 6 6 b	導電層	
5 6 7	隔壁	
5 6 8	正孔注入阻止層	
5 6 9	電子注入阻止層	
6 0 0	シリコン基板	
6 1 0	トランジスタ	20
6 2 0	トランジスタ	
6 5 0	活性層	
6 6 0	シリコン基板	
7 4 1	トランジスタ	
7 4 2	トランジスタ	
7 4 3	トランジスタ	
7 4 4	トランジスタ	
7 4 5	トランジスタ	
7 4 6	トランジスタ	
7 4 7	トランジスタ	30
7 5 1	トランジスタ	
7 5 2	トランジスタ	
7 5 3	トランジスタ	
7 5 4	トランジスタ	
7 6 1	配線	
7 6 2	配線	
7 6 3	配線	
7 6 4	配線	
7 6 5	配線	
7 7 1	配線	40
7 7 2	配線	
7 7 3	配線	
7 7 4	配線	
7 7 5	配線	
7 9 1	配線	
7 9 2	配線	
7 9 3	配線	
7 9 4	配線	
8 1 0	パッケージ基板	
8 1 1	パッケージ基板	50

8 2 0	カバーガラス	
8 2 1	レンズカバー	
8 3 0	接着剤	
8 3 5	レンズ	
8 4 0	バンプ	
8 4 1	ランド	
8 5 0	イメージセンサチップ	
8 5 1	イメージセンサチップ	
8 6 0	電極パッド	
8 6 1	電極パッド	10
8 7 0	ワイヤ	
8 7 1	ワイヤ	
8 8 0	スルーホール	
8 8 5	ランド	
8 9 0	ＩＣチップ	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイク	20
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 0 9	カメラ	
9 1 1	筐体	
9 1 2	表示部	
9 1 9	カメラ	
9 3 1	筐体	
9 3 2	表示部	
9 3 3	リストバンド	30
9 3 5	ボタン	
9 3 6	竜頭	
9 3 9	カメラ	
9 5 1	筐体	
9 5 2	レンズ	
9 5 3	支持部	
9 6 1	筐体	
9 6 2	シャッターボタン	
9 6 3	マイク	
9 6 5	レンズ	40
9 6 7	発光部	
9 7 1	筐体	
9 7 2	筐体	
9 7 3	表示部	
9 7 4	操作キー	
9 7 5	レンズ	
9 7 6	接続部	
1 1 0 0	層	
1 2 0 0	層	
1 4 0 0	層	50

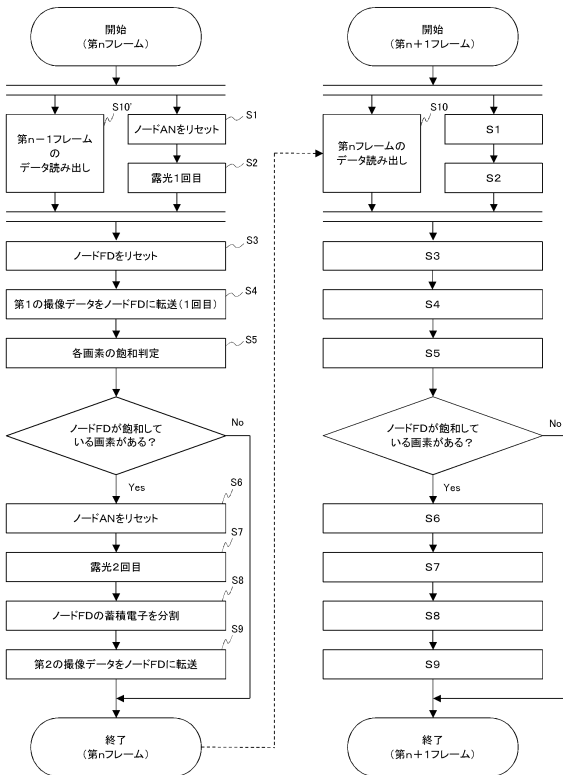
【図 3】



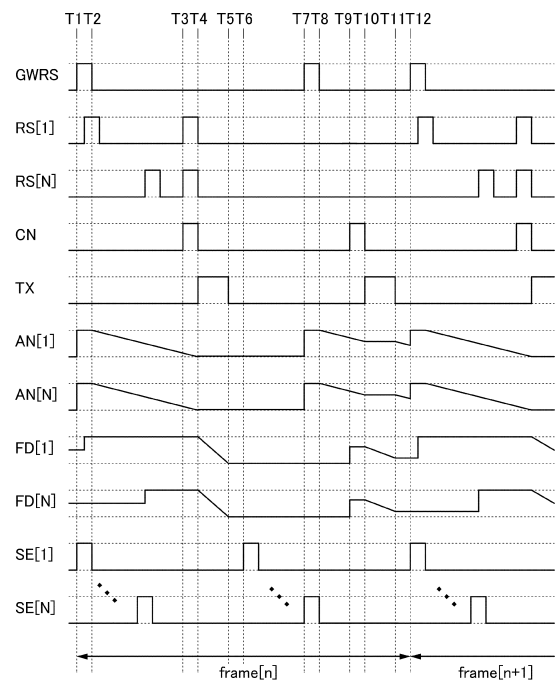
【図 4】



【図 5】



【図 6】



10

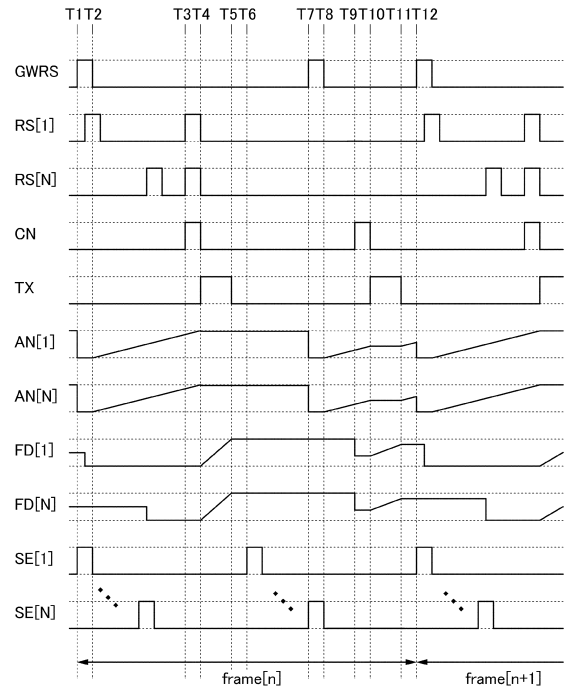
20

30

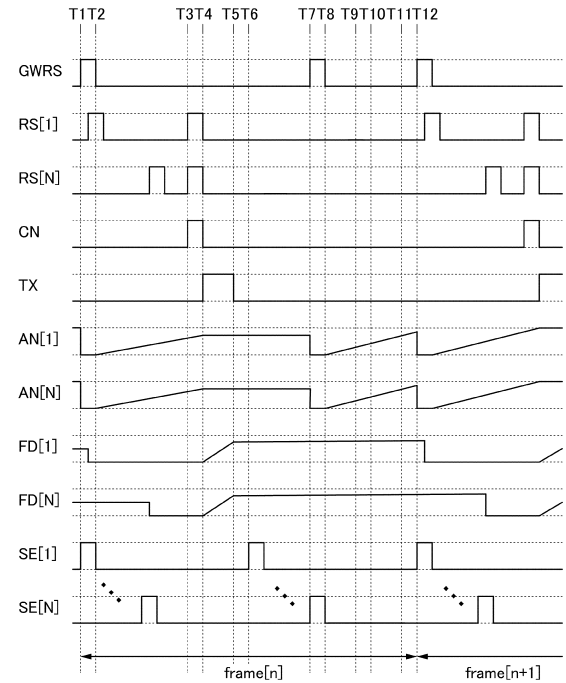
40

50

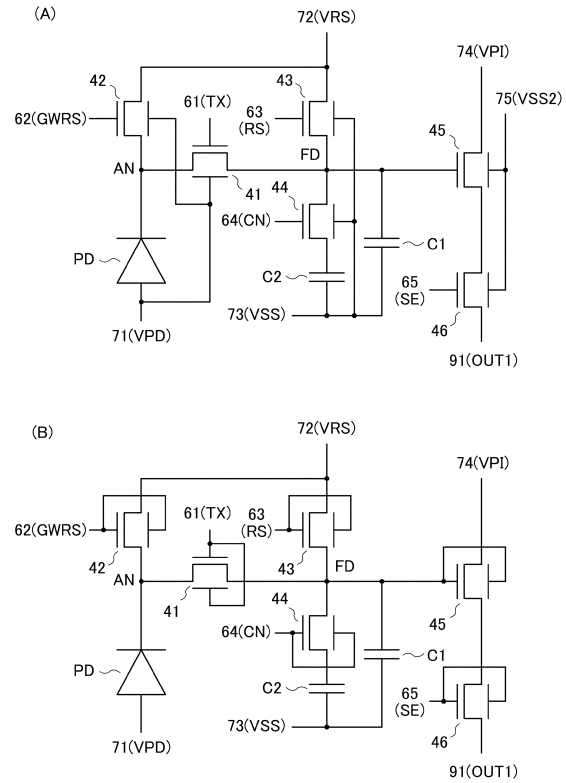
【図 1 1】



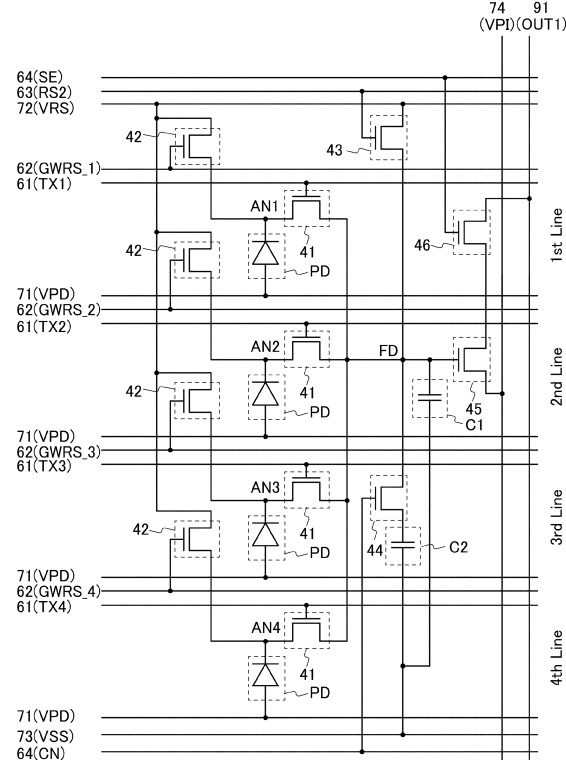
【図 1 2】



【図 1 3】



【図 1 4】



10

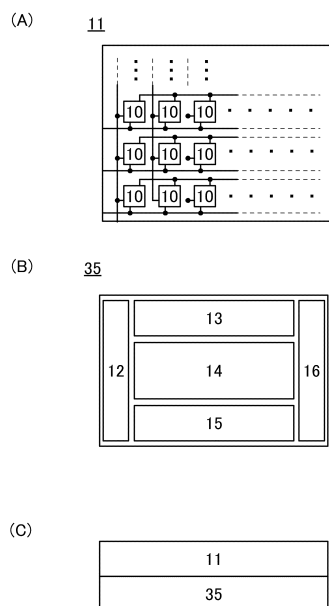
20

30

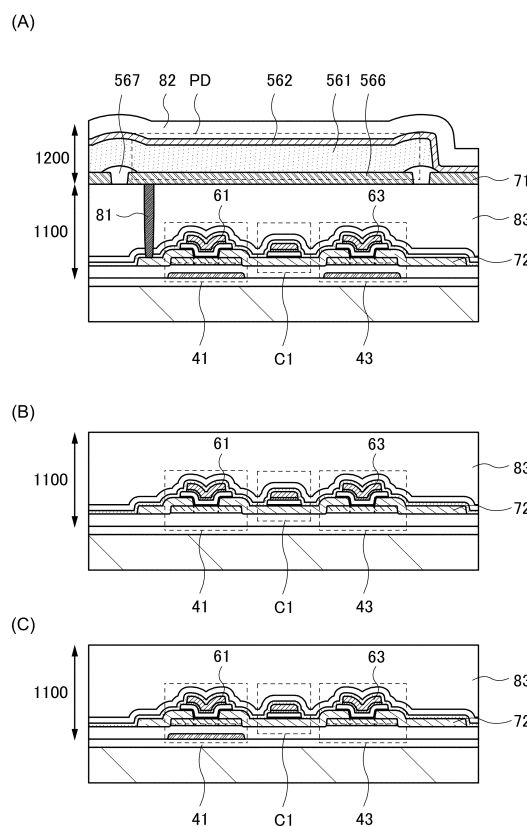
40

50

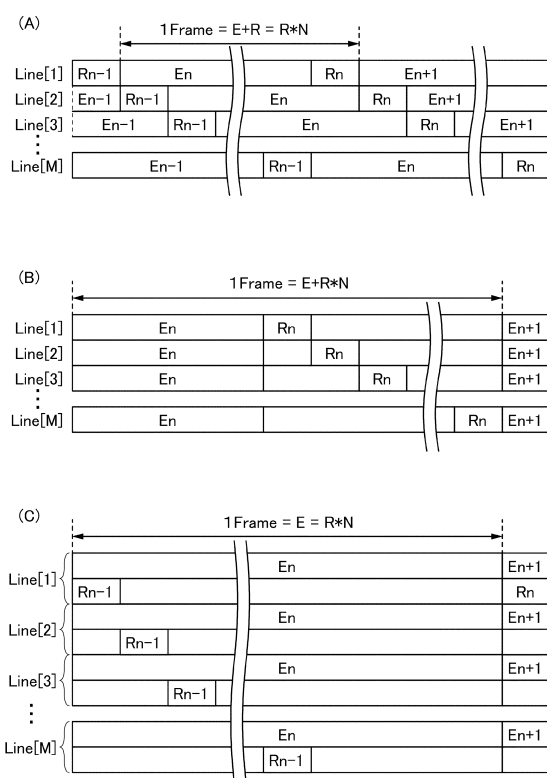
【図 15】



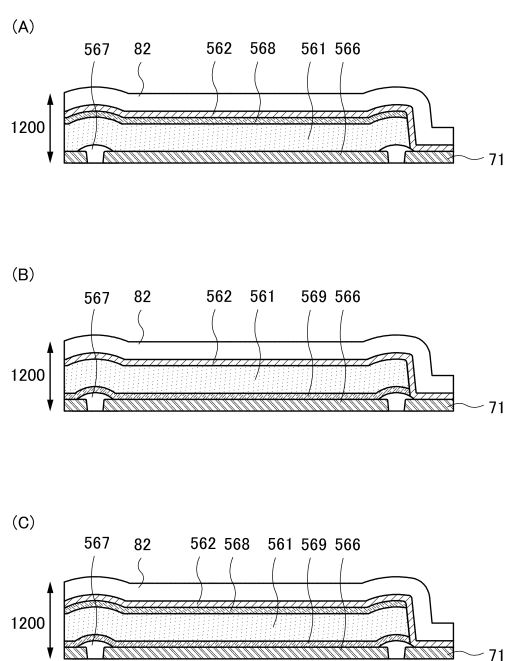
【図 16】



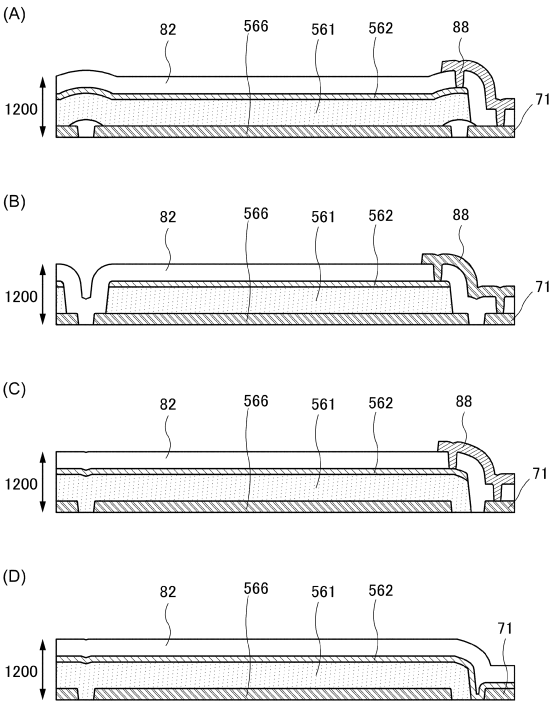
【図 17】



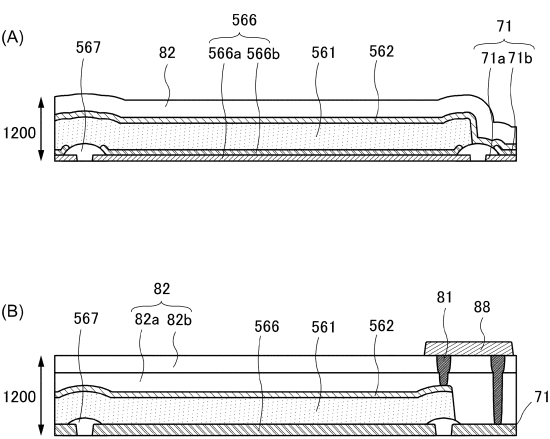
【図 18】



【図 19】



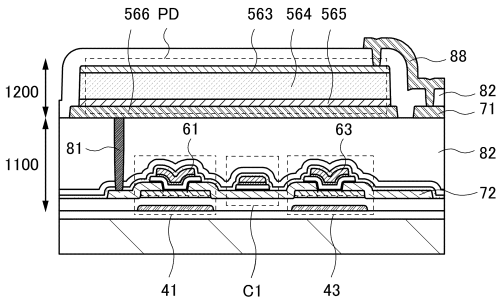
【図 20】



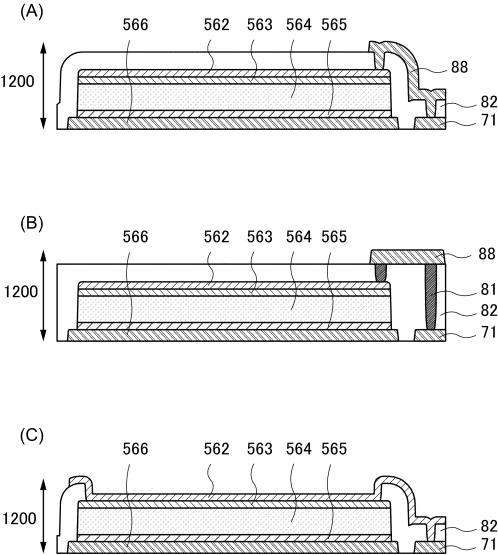
10

20

【図 21】



【図 22】

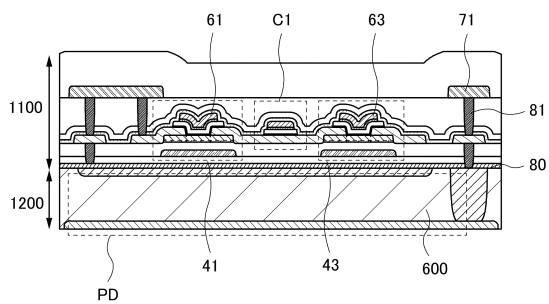


30

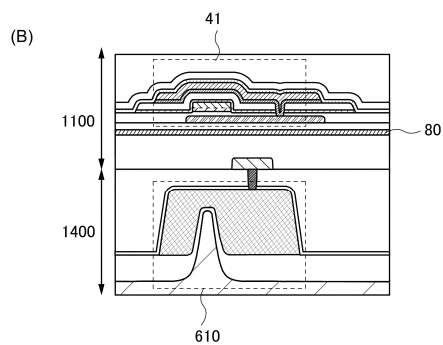
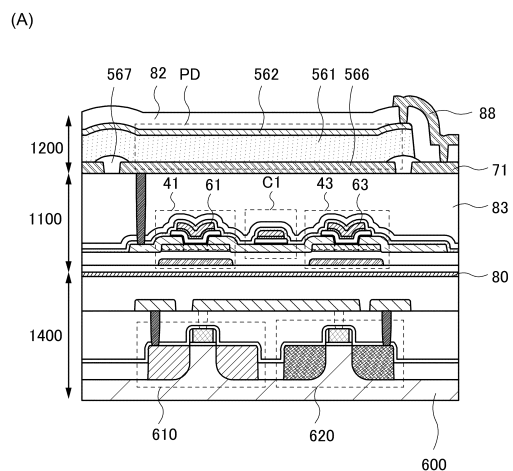
40

50

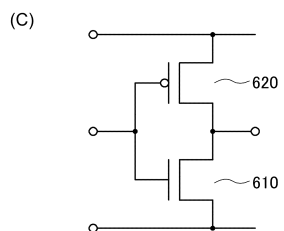
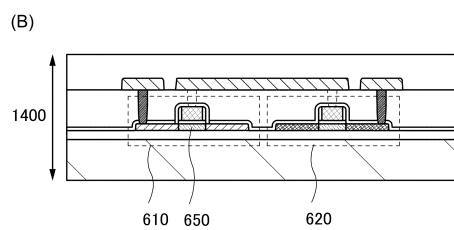
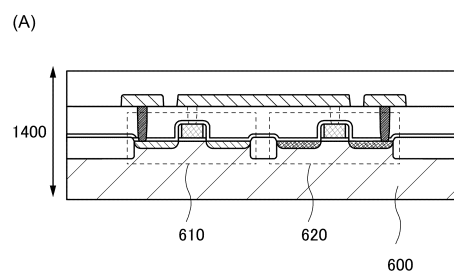
【圖 23】



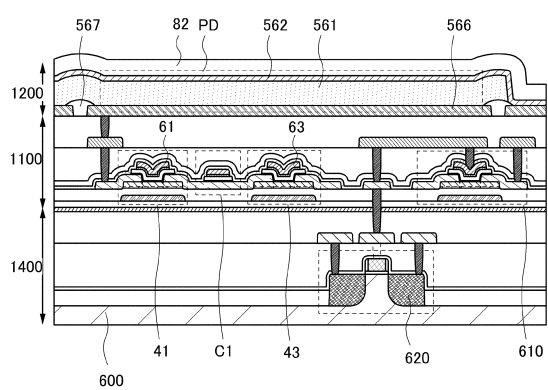
【図 2 4】



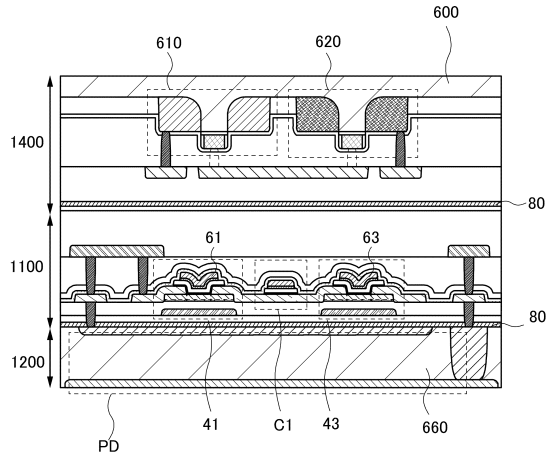
【図 25】



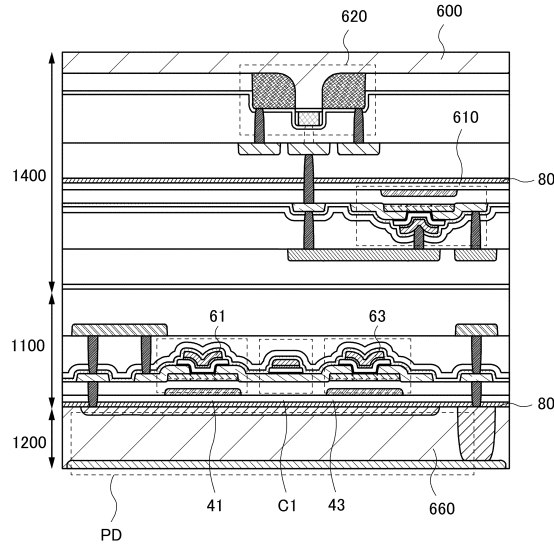
【図 26】



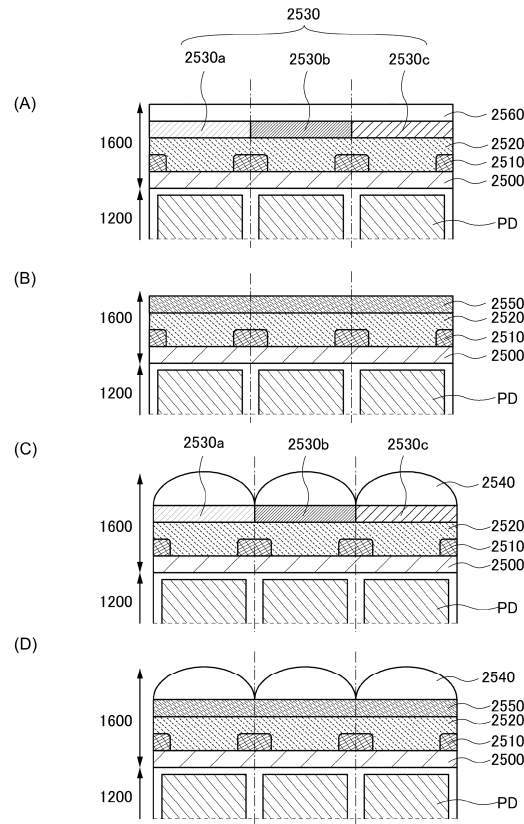
【図 27】



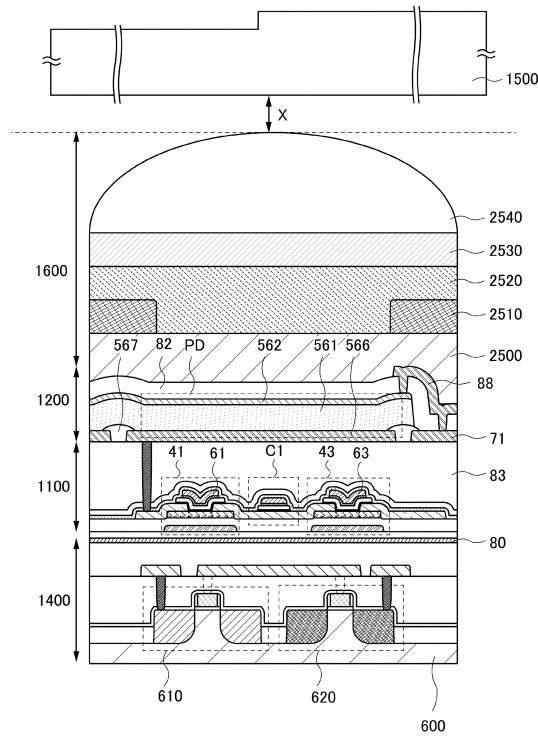
【図 28】



【図 29】



【図 30】



10

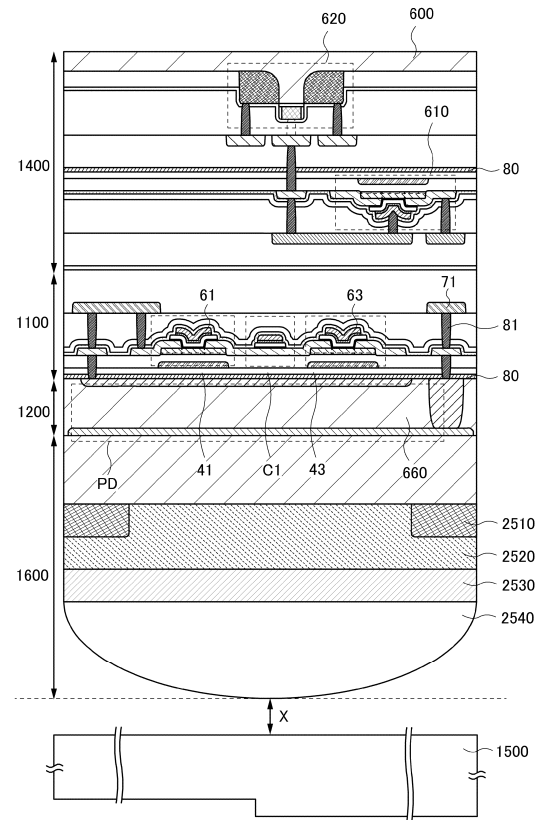
20

30

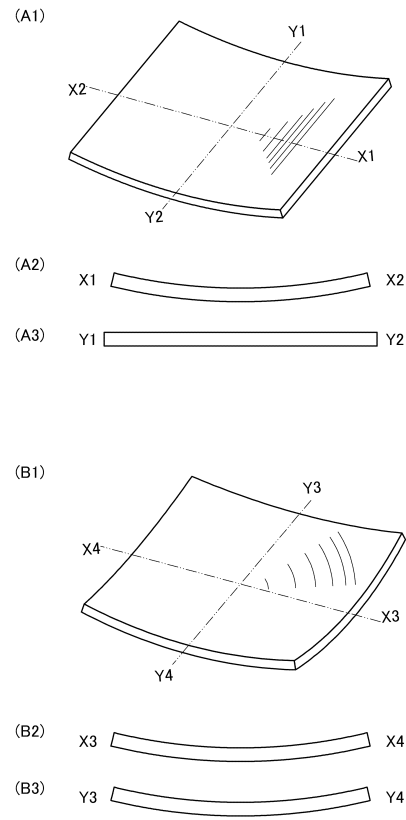
40

50

【図 3 1】



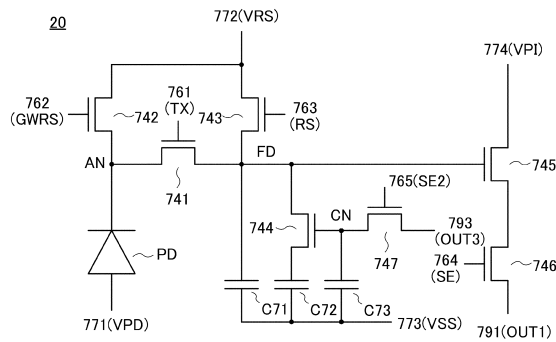
【図 3 2】



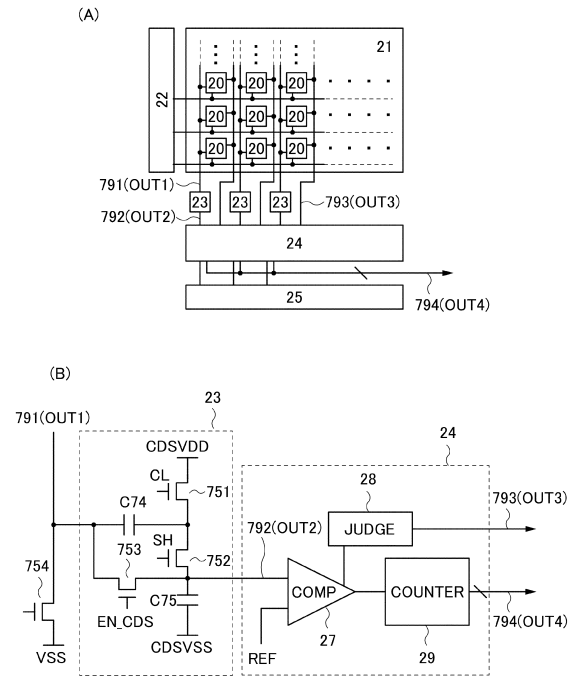
10

20

【図 3 3】



【図 3 4】

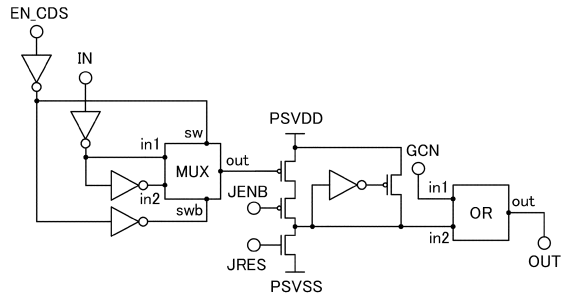


30

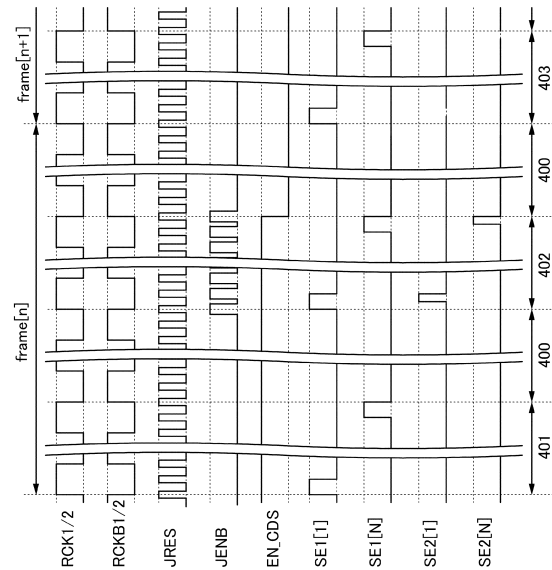
40

50

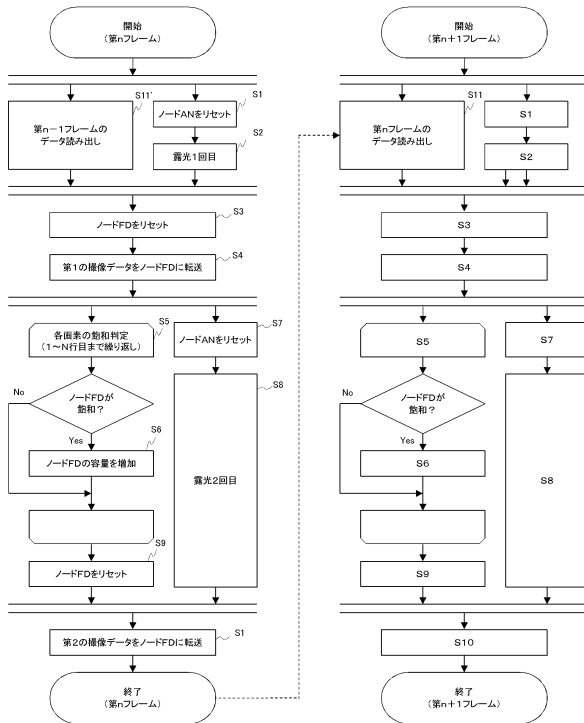
【図 3 5】



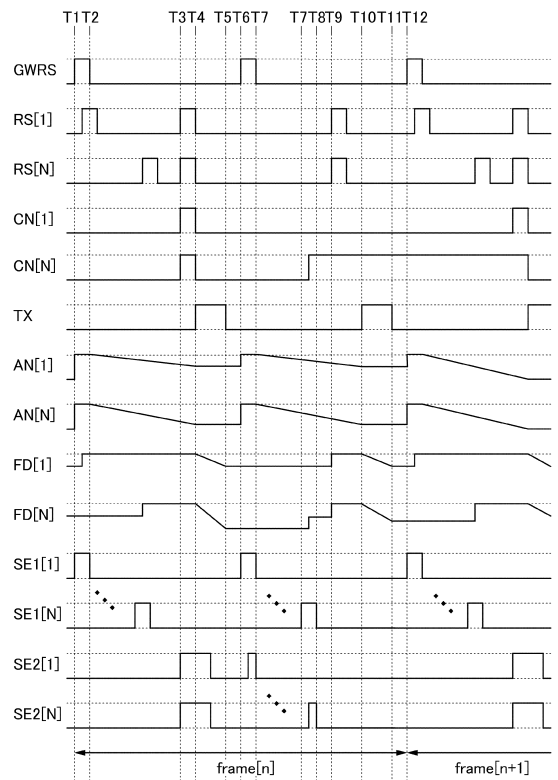
【図 3 6】



【図 3 7】



【図 3 8】



10

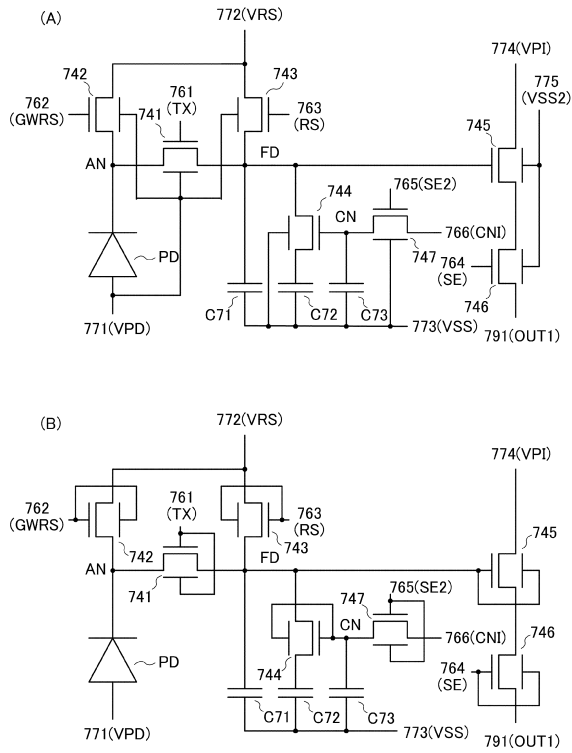
20

30

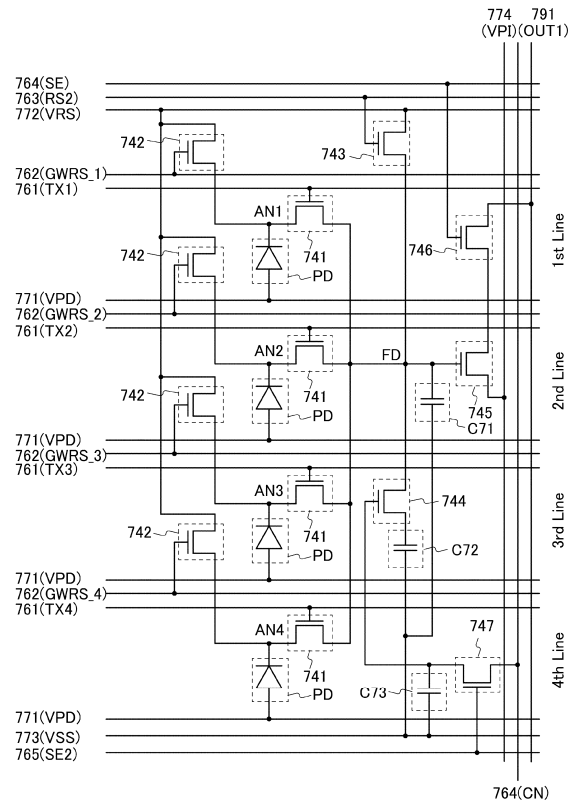
40

50

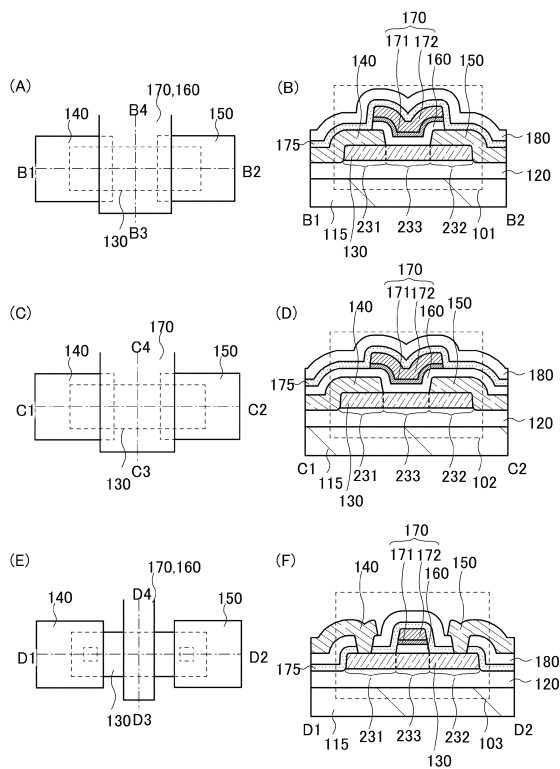
【図 4 3】



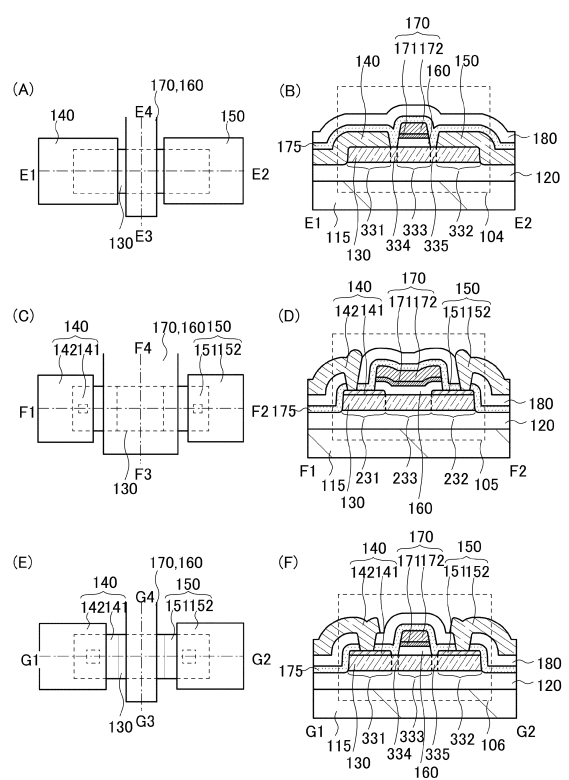
【図 44】



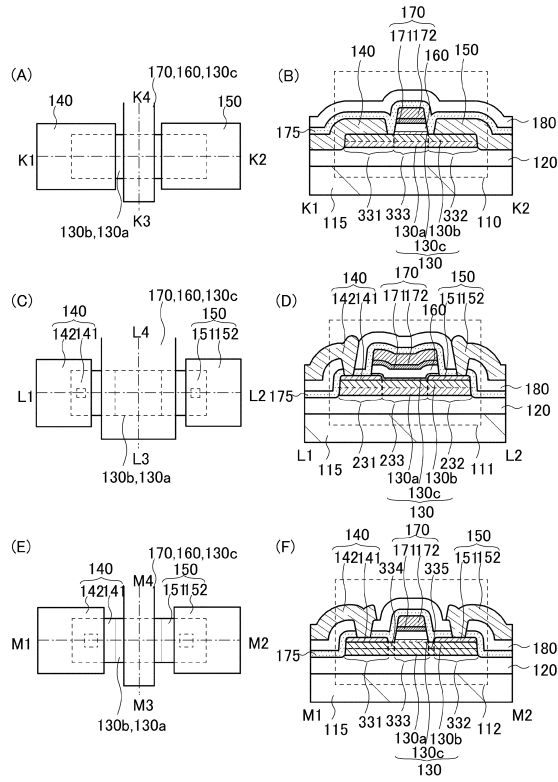
【図 45】



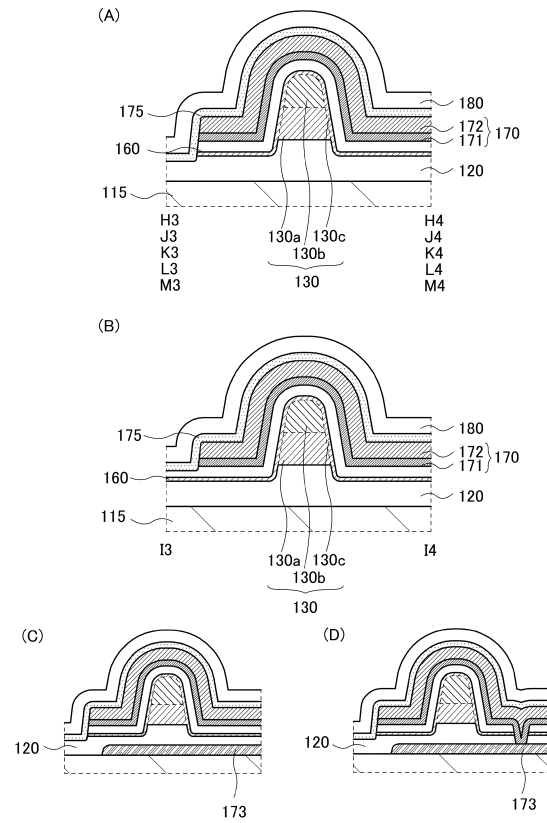
【図 46】



【図 5 1】



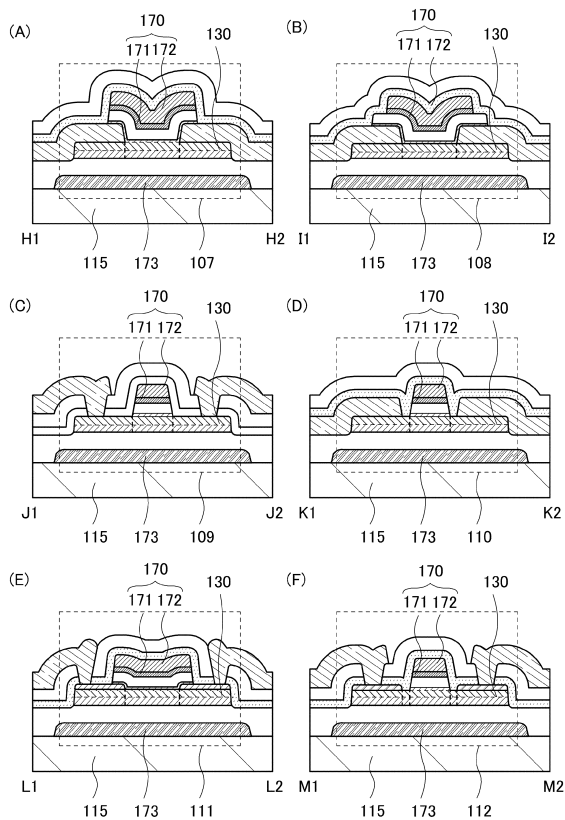
【図 5 2】



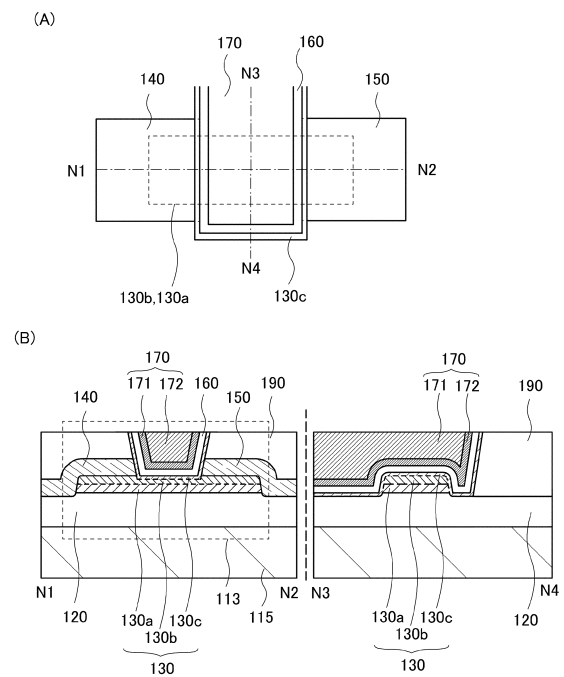
10

20

【図 5 3】



【図 5 4】

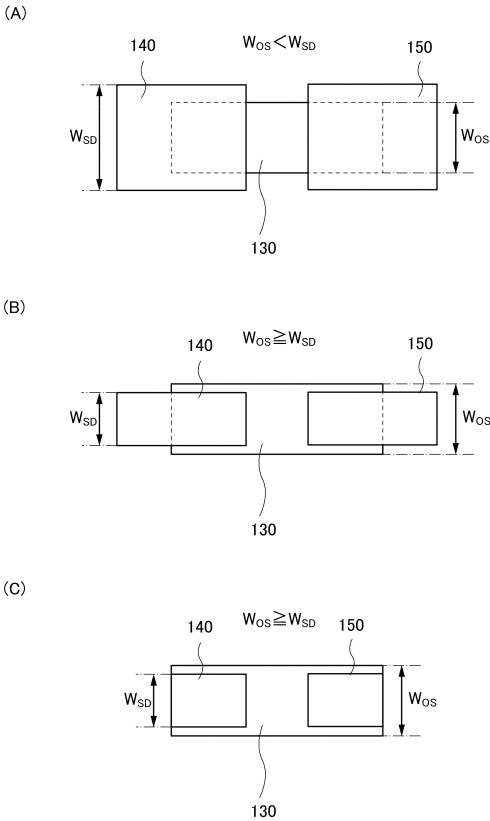


30

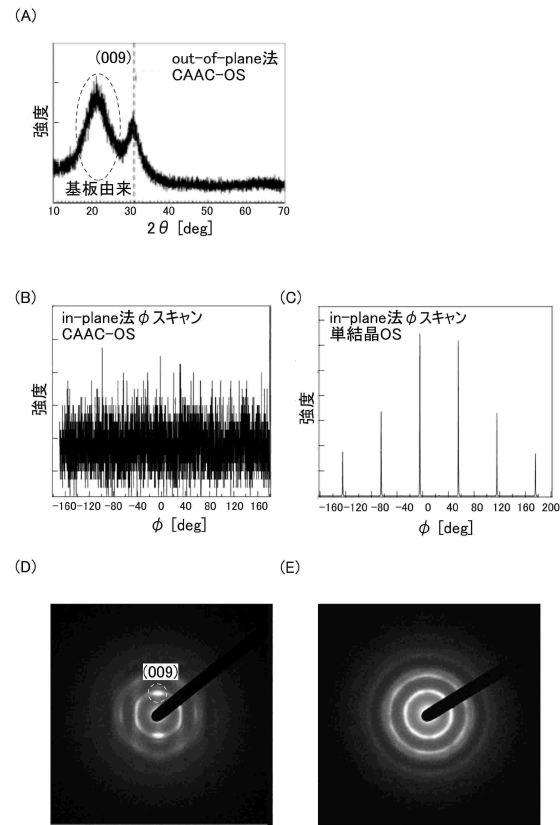
40

50

【図 5 5】



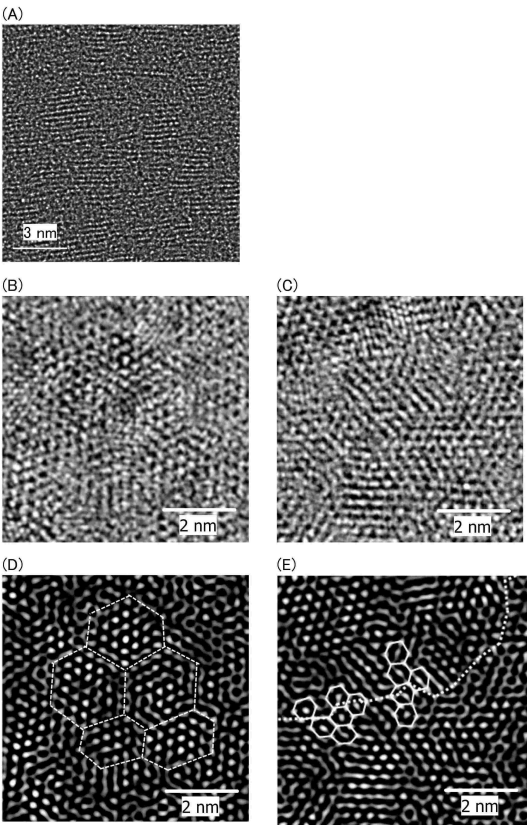
【図 5 6】



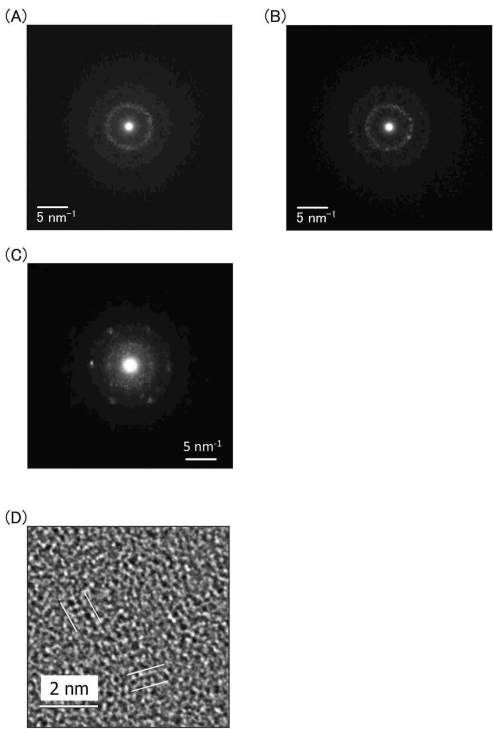
10

20

【図 5 7】



【図 5 8】

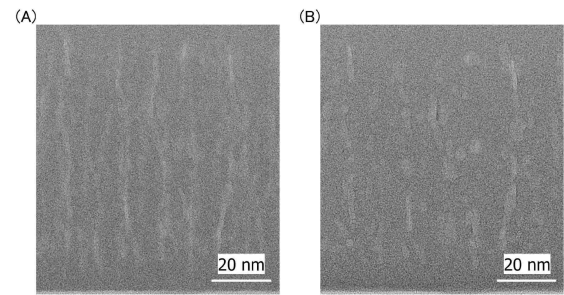


30

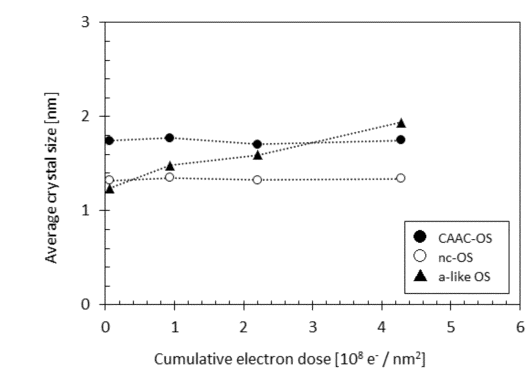
40

50

【図 59】

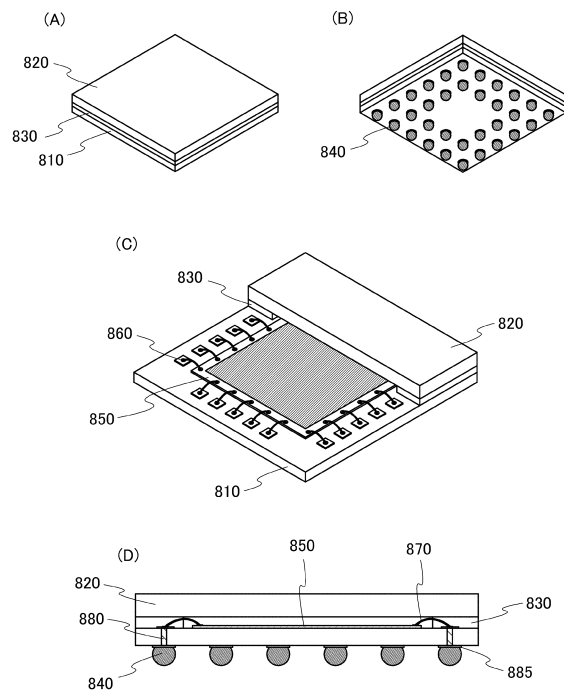


【図 60】

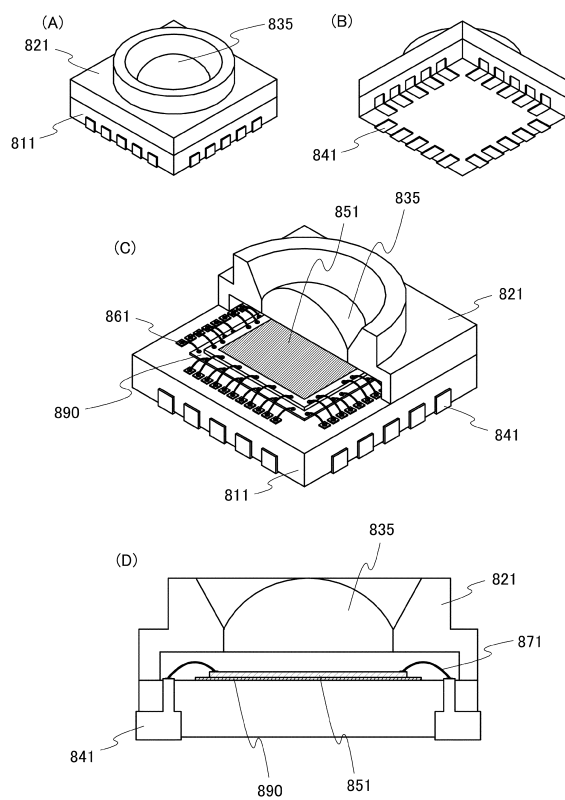


10

【図 61】



【図 62】



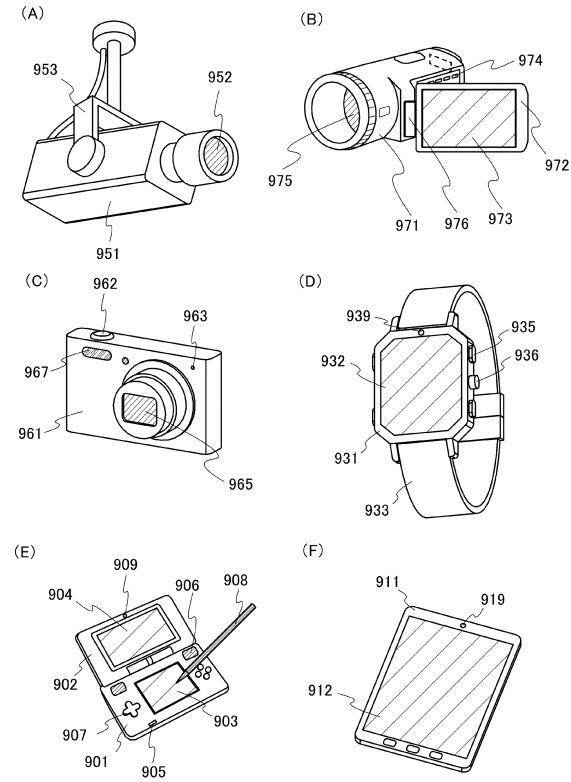
20

30

40

50

【図 63】



10

20

30

40

50

フロントページの続き

(33)優先権主張国・地域又は機関

日本国(JP)

(56)参考文献

特開 2015-046873 (JP, A)

特開 2011-119710 (JP, A)

特開 2013-243355 (JP, A)

国際公開第 2011/077580 (WO, A1)

特開 2011-119711 (JP, A)

特開 2013-033896 (JP, A)

特開 2005-150521 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

H10F 39/18

H04N 25/77