



(12) 发明专利

(10) 授权公告号 CN 109215552 B

(45) 授权公告日 2021.04.27

(21) 申请号 201811026509.8

(22) 申请日 2018.09.04

(65) 同一申请的已公布的文献号
申请公布号 CN 109215552 A

(43) 申请公布日 2019.01.15

(73) 专利权人 合肥鑫晟光电科技有限公司
地址 230012 安徽省合肥市新站区工业园
内

专利权人 京东方科技集团股份有限公司

(72) 发明人 谢勇贤 邹宜峰 王慧 郑敏栋
刘金良 张淼

(74) 专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 郭润湘

(51) Int.Cl.

G09G 3/20 (2006.01)

G11C 19/28 (2006.01)

(56) 对比文件

CN 108062938 A, 2018.05.22

CN 108389539 A, 2018.08.10

CN 105245089 A, 2016.01.13

CN 108305581 A, 2018.07.20

US 2010177068 A1, 2010.07.15

US 2011157112 A1, 2011.06.30

审查员 孟慧慧

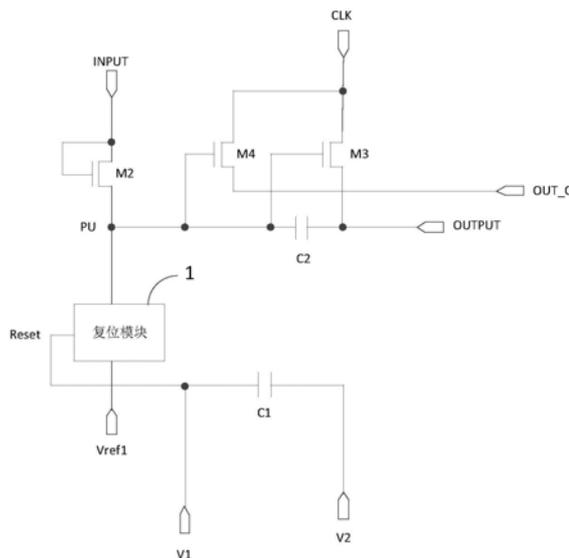
权利要求书2页 说明书7页 附图4页

(54) 发明名称

一种移位寄存器、栅极驱动电路、显示面板及显示装置

(57) 摘要

本发明实施例提供一种移位寄存器、栅极驱动电路、显示面板及显示装置,包括:复位模块和第一电容;其中,复位模块被构造为:在复位信号加载至所述复位控制端时,将所述上拉节点的电位复位至第一参考电压,并在复位模块的复位控制端设置有第一电容对复位控制端的电位进行保持,通过第一电压信号和第二电压信号的输入,使得复位控制端的电位提高,从而实现对上拉节点充分的放电,以缓解移位寄存器多次输出的问题,保证显示面板的正常显示。



1. 一种移位寄存器,其特征在于,包括:复位模块,所述复位模块具有第一端、第二端和复位控制端,所述复位模块的第一端连接至第一参考电压信号端,所述复位模块的第二端连接至所述移位寄存器的上拉节点,所述复位模块被构造成:在复位信号加载至所述复位控制端时,将所述上拉节点的电位复位至第一参考电压;和

第一电容,所述第一电容具有相对设置的第一电极和第二电极,所述第一电容的第一电极与所述复位控制端相连,并且所述第一电容被配置为:所述第一电容的第一电极能够被加载第一电压信号,所述第一电容的第二电极能够被加载第二电压信号;

其中,所述第一电压信号与所述第二电压信号的波形相同,且所述第一电压信号的起始沿早于所述第二电压信号的起始沿。

2. 如权利要求1所述的移位寄存器,其特征在于,所述复位模块包括:第一晶体管;

所述第一晶体管的栅极与第一电压信号端和所述第一电容的第一电极相连,所述第一晶体管的第一极与所述第一参考电压信号端相连,所述第一晶体管的第二极与所述上拉节点相连。

3. 如权利要求1所述的移位寄存器,其特征在于,还包括:第二晶体管;

所述第二晶体管的栅极和所述第二晶体管的第一极均与输入信号端相连,所述第二晶体管的第二极与所述上拉节点相连;

所述第二晶体管被构造成:在所述输入信号端的控制下将所述输入信号端的信号提供给所述上拉节点。

4. 如权利要求1所述的移位寄存器,其特征在于,还包括:第三晶体管;

所述第三晶体管的栅极与所述上拉节点相连,所述第三晶体管的第一极与时钟信号端相连,所述第三晶体管的第二极与第一信号输出端相连;

所述第三晶体管被构造成:在所述上拉节点的电位的控制下将所述时钟信号端的信号提供给所述第一信号输出端。

5. 如权利要求1所述的移位寄存器,其特征在于,还包括:第四晶体管;

所述第四晶体管的栅极与所述上拉节点相连,所述第四晶体管的第一极与时钟信号端相连,所述第四晶体管的第二极与第二信号输出端相连;

所述第四晶体管被构造成:在所述上拉节点的控制下将所述时钟信号端的信号提供给所述第二信号输出端。

6. 如权利要求1所述的移位寄存器,其特征在于,还包括:第二电容;

所述第二电容具有相对设置的第一电极和第二电极,所述第二电容的第一电极与所述上拉节点相连,所述第二电容的第二极与第一信号输出端相连,并且所述第二电容构造成:保持所述上拉节点与所述第一信号输出端之间的电压差稳定。

7. 如权利要求2-5任一项所述的移位寄存器,其特征在于,所有所述晶体管均为N型晶体管,或所有晶体管均为P型晶体管。

8. 一种栅极驱动电路,其特征在于,包括如权利要求1-7任一项所述的移位寄存器;

第n级移位寄存器的第一电压信号端与第n+1级移位寄存器的第二信号输出端相连;

所述第n级移位寄存器的第二电压信号端与第n+2级移位寄存器的第二信号输出端相连。

9. 一种显示面板,其特征在于,包括如权利要求8所述的栅极驱动电路。

10. 一种显示装置,其特征在于,包括如权利要求9所述的显示面板。

一种移位寄存器、栅极驱动电路、显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种移位寄存器、栅极驱动电路、显示面板及显示装置。

背景技术

[0002] 随着显示技术的飞速发展,显示器呈现出了高集成度和低成本的发展趋势。其中,GOA(Gate Driver on Array,阵列基板行驱动)技术将TFT(Thin Film Transistor,薄膜晶体管)栅极开关电路集成在显示面板的阵列基板上以形成对显示面板的扫描驱动,从而可以省去栅极集成电路(IC,Integrated Circuit)的绑定(Bonding)区域以及扇出(Fan-out)区域的布线空间,不仅可以在材料成本和制作工艺两方面降低产品成本,而且可以使显示面板做到两边对称和窄边框的美观设计;并且,这种集成工艺还可以省去栅极扫描线方向的Bonding工艺,从而提高了产能和良率。

[0003] 一般的栅极驱动电路均是由多个级联的移位寄存器组成,各级移位寄存器的驱动信号输出端分别对应连接一条栅线,通过各级移位寄存器实现依次向显示面板上的各行栅线输入扫描信号。但是,由于在低温下晶体管的沟道电流降低,会导致上拉节点的放电不充分,从而使得移位寄存器产生多次输出,该种多次输出不仅会影响该级移位寄存器对应行的显示,还会由于级联影响其他级移位寄存器对应行的显示,最终导致画面显示异常。

[0004] 因此,如何在低温下缓解上拉节点的放电不充分是本领域技术人员亟待解决的技术问题。

发明内容

[0005] 有鉴于此,本发明实施例提供一种移位寄存器、栅极驱动电路、显示面板及显示装置,用以解决现有的移位寄存器中的上拉节点放电不充分导致移位寄存器多次输出的问题。

[0006] 因此,本发明实施例提供了一种移位寄存器,包括:复位模块,所述复位模块具有第一端、第二端和复位控制端,所述复位模块的第一端连接至第一参考电压信号端,所述复位模块的第二端连接至所述移位寄存器的上拉节点,所述复位模块被构造成:在复位信号加载至所述复位控制端时,将所述上拉节点的电位复位至第一参考电压;和

[0007] 第一电容,所述第一电容具有相对设置的第一电极和第二电极,所述第一电容的第一电极与所述复位控制端相连,并且所述第一电容被配置为:所述第一电容的第一电极能够被加载第一电压信号,所述第一电容的第二电极能够被加载第二电压信号;

[0008] 其中,所述第一电压信号与所述第二电压信号的波形相同,且所述第一电压信号的起始沿早于所述第二电压信号的起始沿。

[0009] 在一种可能的实现方式中,本发明实施例提供的上述移位寄存器中,所述复位模块包括:第一晶体管;

[0010] 所述第一晶体管的栅极与所述第一电压信号端和所述第一电容的第一电极相连,

所述第一晶体管的第一极与所述第一参考电压信号端相连,所述第一晶体管的第二极与所述上拉节点相连。

[0011] 在一种可能的实现方式中,本发明实施例提供的上述移位寄存器中,还包括:第二晶体管;

[0012] 所述第二晶体管的栅极和所述第二晶体管的第一极均与输入信号端相连,所述第二晶体管的第二极与所述上拉节点相连;

[0013] 所述第二晶体管被构造造成:在所述输入信号端的控制下将所述输入信号端的信号提供给所述上拉节点。

[0014] 在一种可能的实现方式中,本发明实施例提供的上述移位寄存器中,还包括:第三晶体管;

[0015] 所述第三晶体管的栅极与所述上拉节点相连,所述第三晶体管的第一极与时钟信号端相连,所述第三晶体管的第二极与第一信号输出端相连;

[0016] 所述第三晶体管被构造造成:在所述上拉节点的电位的控制下将所述时钟信号端的信号提供给所述第一信号输出端。

[0017] 在一种可能的实现方式中,本发明实施例提供的上述移位寄存器中,还包括:第四晶体管;

[0018] 所述第四晶体管的栅极与所述上拉节点相连,所述第四晶体管的第一极与时钟信号端相连,所述第四晶体管的第二极与第二信号输出端相连;

[0019] 所述第四晶体管被构造造成:在所述上拉节点的控制下将所述时钟信号端的信号提供给所述第二信号输出端。

[0020] 在一种可能的实现方式中,本发明实施例提供的上述移位寄存器中,还包括:第二电容;

[0021] 所述第二电容具有相对设置的第一电极和第二电极,所述第二电容的第一电极与所述上拉节点相连,所述第二电容的第二极与第一信号输出端相连,并且所述第二电容构造造成:保持所述上拉节点与所述第一信号输出端之间的电压差稳定。

[0022] 在一种可能的实现方式中,本发明实施例提供的上述移位寄存器中,所有所述晶体管均为N型晶体管,或所有晶体管均为P型晶体管。

[0023] 相应地,本发明实施例还提供了一种栅极驱动电路,包括本发明实施例提供的上述任一种移位寄存器;

[0024] 第n级移位寄存器的第一电压信号端与第n+1级移位寄存器的第二信号输出端相连;

[0025] 所述第n级移位寄存器的第二电压信号端与第n+2级移位寄存器的第二信号输出端相连。

[0026] 相应地,本发明实施例还提供了一种显示面板,包括本发明实施例提供的上述栅极驱动电路。

[0027] 相应地,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述显示面板。

[0028] 本发明有益效果如下:

[0029] 本发明实施例提供一种移位寄存器、栅极驱动电路、显示面板及显示装置,包

括:复位模块和第一电容;其中,复位模块被构造成:在复位信号加载至所述复位控制端时,将所述上拉节点的电位复位至第一参考电压,并在复位模块的复位控制端设置有第一电容对复位控制端的电位进行保持,通过第一电压信号和第二电压信号的输入,使得复位控制端的电位提高,从而实现对上拉节点充分的放电,以缓解移位寄存器多次输出的问题,保证显示面板的正常显示。

附图说明

[0030] 图1为本发明实施例提供的移位寄存器的结构示意图之一;

[0031] 图2为图1所提供的移位寄存器的具体结构示意图;

[0032] 图3为本发明实施例提供的移位寄存器的结构示意图之二;

[0033] 图4为图2所提供的移位寄存器的时序图。

具体实施方式

[0034] 为了使本发明的目的,技术方案和优点更加清楚,下面结合附图,对本发明实施例提供的移位寄存器、栅极驱动电路及显示装置的具体实施方式进行详细地说明。应当理解,下面所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明。并且在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。

[0035] 本发明实施例提供了一种移位寄存器,如图1所示,包括:复位模块1,复位模块1具有第一端、第二端和复位控制端Reset,复位模块1的第一端连接至第一参考电压信号端Vref1,复位模块1的第二端连接至移位寄存器的上拉节点PU,复位模块1被构造成:在复位信号加载至复位控制端Reset时,将上拉节点PU的电位复位至第一参考电压;和

[0036] 第一电容C1,第一电容C1具有相对设置的第一电极和第二电极,第一电容C1的第一电极与复位控制端Reset相连,并且第一电容C1被配置为:第一电容C1的第一电极能够被加载第一电压信号V1,第一电容C1的第二电极能够被加载第二电压信号V2;

[0037] 其中,第一电压信号V1与第二电压信号V2的波形相同,且第一电压信号V1的起始沿早于第二电压信号V2的起始沿。

[0038] 需要说明的是,在本发明实施例提供的上述移位寄存器中,第一参考电压信号端用于提供第一参考电压,第一电压信号端用于提供第一电压信号,第二电压信号端用于提供第二电压信号;上拉节点与用于控制移位寄存器各信号输出端输出的模块或晶体管的控制端相连。

[0039] 在现有技术中,移位寄存器的复位控制端直接与下一级移位寄存器的输出端相连,当下一级移位寄存器有信号输出时对本级移位寄存器的上拉节点进行放电,但是由于在低温情况下沟道电流较低,导致复位模块无法对上拉节点进行彻底的放电,上拉节点会有残留电压,使移位寄存器出现多次输出的现象。

[0040] 本发明实施例提供的一种移位寄存器,包括:复位模块和第一电容;其中,复位模块被构造成:在复位信号加载至复位控制端时,将上拉节点的电位复位至第一参考电压,并在复位模块的复位控制端设置有第一电容对复位控制端的电位进行保持,通过第一电压信号和第二电压信号的输入,使得复位控制端的电位提高,从而实现对上拉节点充分的放电,以缓解移位寄存器多次输出的问题,保证显示面板的正常显示。

[0041] 值得注意的是,在本发明实施例提供的上述移位寄存器中,第一电压信号端提供的第一电压信号与第二电压信号端提供的第二电压信号相位相同,且第一电压信号的起始沿早于第二电压信号的起始沿(即第一电压信号端提供信号的时间早于第二电压信号端提供信号的时间),通过这样时序和电容的设置可以提高复位控制端的电压,以便于对上拉节点更好的进行复位。在具体实施时,第一电压信号端提供信号的时间早于第二电压信号端提供信号的时间,有两种情况,一种情况为第一电压信号端先提供信号,在第一电压信号端的信号提供完毕时第二电压信号端再提供信号,以提高复位控制端的电压;另一种情况为第一电压信号端先提供信号,在第一电压信号端还未结束信号的提供时第二电压信号端就开始提供信号,即第一电压信号端和第二电压信号端在预设的时间内同时提供信号,从而提高复位控制端的电压。通过上述两种情况的设置均可以使复位控制端的电压较现有技术中的复位控制端的信号的时间长且电压高,从而更好的对上拉节点进行放电。其中,上述两种情况根据实际需求进行选择,在此不作具体限定。

[0042] 在具体实施时,在本发明实施例提供的上述移位寄存器中,本级移位寄存器(n)的第一电压信号端是与下一级移位寄存器(n+1)的输出端相连的,第二电压信号端是与下下一级移位寄存器(n+2)的输出端相连的,因此,第一电压信号端所提供的信号要早于第二电压信号端提供的信号。当第一电压信号端向复位控制端提供信号的时间与第二电压信号端向复位控制端提供信号的时间存在重合时,可以对下一级移位寄存器和下下级移位寄存器进行充电,有利于高像素显示面板实现更好的显示。

[0043] 具体地,在本发明实施例提供的上述移位寄存器中,当第一电压信号端输入第一电压信号时,将第一电压信号提供给复位控制端以对上拉节点进行放电,同时第一电压信号端的第一电压信号还对第一电容进行充电,此时复位控制端具有第一电压;接着第二电压信号端输入第二电压信号,由于第一电容的自举作用,复位控制端的电压增大,即此时复位控制端具有第二电压,通过使复位控制端的电压增大,时间延长的方式来使上拉节点的放电充分,从而解决由于温度较低,沟道电流小所带来的上拉节点放电不充分导致移位寄存器多次输出的问题。

[0044] 上述实施例中的移位寄存器可以用于改善低温情况下上拉节点降噪不充分的问题,也可以用于解决其他原因导致的上拉节点降噪不充分的问题。如车载产品上的栅极驱动电路使用温度较为广泛(-40℃~90℃),其中在-40℃时容易出现上拉节点降噪不充分的问题,采用本发明上述实施例提供的移位寄存器可以使上拉节点放噪充分,保证正常显示。

[0045] 下面结合具体实施例,对本发明进行详细说明。需要说明的是,本实施例是为了更好的解释本发明,但不限制本发明。

[0046] 可选地,在本发明实施例提供的上述移位寄存器中,如图2所示,复位模块1包括:第一晶体管M1;

[0047] 第一晶体管M1的栅极与第一电压信号端V1和第一电容C1的第一电极相连,第一晶体管M1的第一极与第一参考电压信号端Vref1相连,第一晶体管的第二极与上拉节点PU相连。

[0048] 具体地,在本发明实施例提供的上述移位寄存器中,第一晶体管的沟道电流与第一晶体管的栅极电压和阈值电压相关,由于一个晶体管的阈值电压属于该晶体管的属性,

因此通过提高第一晶体管的栅极电压即可提高第一晶体管的沟道电流,从而使上拉节点放电更加的充分。

[0049] 以上仅是举例说明移位寄存器中复位模块的具体结构,在具体实施时,复位模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不做限定。

[0050] 可选地,在本发明实施例提供的上述移位寄存器中,如图2所示,还包括:第二晶体管M2;

[0051] 第二晶体管M2的栅极和第二晶体管M2的第一极均与输入信号端相连INPUT,第二晶体管M2的第二极与上拉节点PU相连;

[0052] 第二晶体管M2被构造造成:在输入信号端INPUT的控制下将输入信号端INPUT的信号提供给上拉节点PU。

[0053] 具体地,在本发明实施例提供的上述移位寄存器中,第二晶体管在输入信号端的控制下将输入信号端的信号提供给上拉节点,即对上拉节点进行充电,以控制第三晶体管和第四晶体管的输出。

[0054] 可选地,在本发明实施例提供的上述移位寄存器中,如图2所示,还包括:第三晶体管M3;

[0055] 第三晶体管M3的栅极与上拉节点PU相连,第三晶体管M3的第一极与时钟信号端CLK相连,第三晶体管M3的第二极与第一信号输出端OUTPUT相连;

[0056] 第三晶体管M3被构造造成:在上拉节点PU的电位的控制下将时钟信号端CLK的信号提供给第一信号输出端OUTPUT。

[0057] 具体地,在本发明实施例提供的上述移位寄存器中,第三晶体管在上拉节点的电位的控制下将时钟信号端的时钟信号提供给第一信号输出端,以对显示面板中对应的栅线输入驱动扫描信号,使显示面板对应的像素进行显示。

[0058] 可选地,在本发明实施例提供的上述移位寄存器中,如图2所示,还包括:第四晶体管M4;

[0059] 第四晶体管M4的栅极与上拉节点PU相连,第四晶体管M4的第一极与时钟信号端CLK相连,第四晶体管M4的第二极与第二信号输出端OUT_C相连;

[0060] 第四晶体管M4被构造造成:在上拉节点PU的控制下将时钟信号端CLK的信号提供给第二信号输出端OUT_C。

[0061] 具体地,在本发明实施例提供的上述移位寄存器中,第四晶体管在上拉节点的电位的控制下将时钟信号端的时钟信号提供给第二信号输出端,通过第二信号输出端与其他级移位寄存器进行级联,保证整个栅极驱动电路的正常级联信号传输。

[0062] 需要说明的是,在本发明实施例提供的上述移位寄存器中,第一信号输出端用于向显示面板内对应的栅线提供驱动扫描信号,第二信号输出端用于与其他移位寄存器进行级联,该种设置可以防止在某级移位寄存器的第一信号输出端输出异常时影响对其他移位寄存器的复位。

[0063] 可选地,在本发明实施例提供的上述移位寄存器中,如图2所示,还包括:第二电容C2;

[0064] 第二电容C2具有相对设置的第一电极和第二电极,第二电容C2的第一电极与上拉

节点PU相连,第二电容C2的第二极与第一信号输出端OUTPUT相连,并且第二电容C2构造成:保持上拉节点PU与第一信号输出端OUTPUT之间的电压差稳定。

[0065] 可选地,在本发明实施例提供的上述移位寄存器中,所有晶体管均为N型晶体管,或所有晶体管均为P型晶体管。其中,N型的开关晶体管在高电位信号作用下导通,在低电位信号作用下截止;P型的开关晶体管在高电位信号作用下截止,在低电位信号作用下导通。

[0066] 需要说明的是本发明上述实施例中提到的晶体管除特别说明的以外可以是薄膜晶体管(TFT,Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS,Metal Oxide Semiconductor),在此不做限定。在具体实施中,上述各晶体管的控制极作为其栅极,并且根据晶体管类型以及输入信号的不同,可以将第一极作为源极,第二极作为漏极;或者将第一极作为漏极,第二极作为源极,在此不做具体区分。

[0067] 在具体实施时,在本发明提供的上述移位寄存器中,如图3所示,不仅包括第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第一电容C1和第二电容C2,还包括用于控制下拉节点PD的第一下拉节点控制模块(M5、M6、M8和M9)和第二下拉节点控制模块(M5-1、M6-1、M8-1和M9-1)、上拉节点降噪模块(M10和M10-1)、第一信号输出端降噪模块(M11和M11-1)和第二输出端降噪模块(M12和M12-1),其中,第一下拉节点控制模块、第二下拉节点控制模块、上拉节点降噪模块、第一信号输出端降噪模块和第二输出端降噪模块的工作过程均是现有技术中的工作过程,在此不再详述。

[0068] 基于同一发明构思,本发明实施例还提供了一种栅极驱动电路,包括上述任一实施例提供的移位寄存器;

[0069] 第n级移位寄存器的第一电压信号端与第n+1级移位寄存器的第二信号输出端相连;

[0070] 第n级移位寄存器的第二电压信号端与第n+2级移位寄存器的第二信号输出端相连。

[0071] 实施例

[0072] 下面结合图2所示的移位寄存器和图4所示的时序图,对上拉节点PU进行充放电的过程进行详细描述,其中所有的晶体管均为N型晶体管,第一参考电压信号端Vref1为低电平信号。

[0073] 首先,第n级移位寄存器的输入信号端INPUT为高电平信号,将第二晶体管M2打开,为上拉节点PU预充电,上拉节点PU预充电完成后,时钟信号端CLK发出的时钟信号提供给第一信号输出端OUTPUT,通过第二电容C2的自举作用,将上拉节点PU的电位进一步拉高,进而将时钟信号端CLK的时钟信号输入至第一信号输出端OUTPUT和第二信号输出端OUT_C(n)。

[0074] 接下来,第n+1级移位寄存器的第二信号输出端OUT_C(n+1)的信号提供给第n级移位寄存器的第一电压信号端V1,从而使第n级移位寄存器的第一晶体管M1的栅极(即第n级移位寄存器的复位控制端Reset)的电位升高为上拉节点PU放电,同时为第一电容C1充电;在第n+2级移位寄存器的第二信号输出端OUT_C(n+2)将信号提供给第n级移位寄存器的第二电压信号端V2时,由于第一电容C1的自举作用,将第一晶体管M1的栅极(即第n级移位寄存器的复位控制端Reset)的电压进一步升高,以增大第一晶体管M1的沟道电流,为上拉节点PU充分放电,以防止第n级移位寄存器出现多次输出的现象。

[0075] 其中,CLK(n)、CLK(n+1)和CLK(n+2)分别是与第n级移位寄存器、第n+1级移位寄存

器和第n+2级移位寄存器的时钟信号端相连的时钟信号线提供的时钟信号。

[0076] 基于同一发明构思,本发明实施例还提供了一种显示面板,包括本发明实施例提供的上述任一种栅极驱动电路。

[0077] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的显示面板。该显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品的显示面板。该显示装置的实施可以参见上述栅极驱动电路的实施例,重复之处不再赘述。

[0078] 本发明实施例提供的一种移位寄存器、栅极驱动电路、显示面板及显示装置,包括:复位模块和第一电容;其中,复位模块被构造成:在复位信号加载至所述复位控制端时,将所述上拉节点的电位复位至第一参考电压,并在复位模块的复位控制端设置有第一电容对复位控制端的电位进行保持,通过第一电压信号和第二电压信号的输入,使得复位控制端的电位提高,从而实现对上拉节点充分的放电,以缓解移位寄存器多次输出的问题,保证显示面板的正常显示。

[0079] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

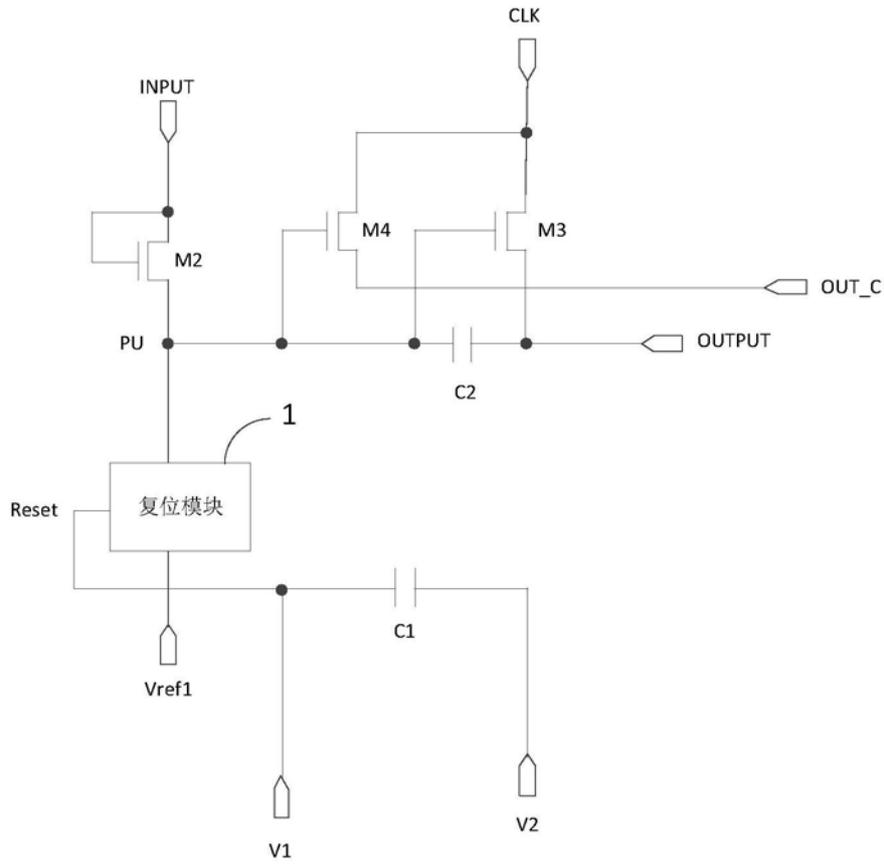


图1

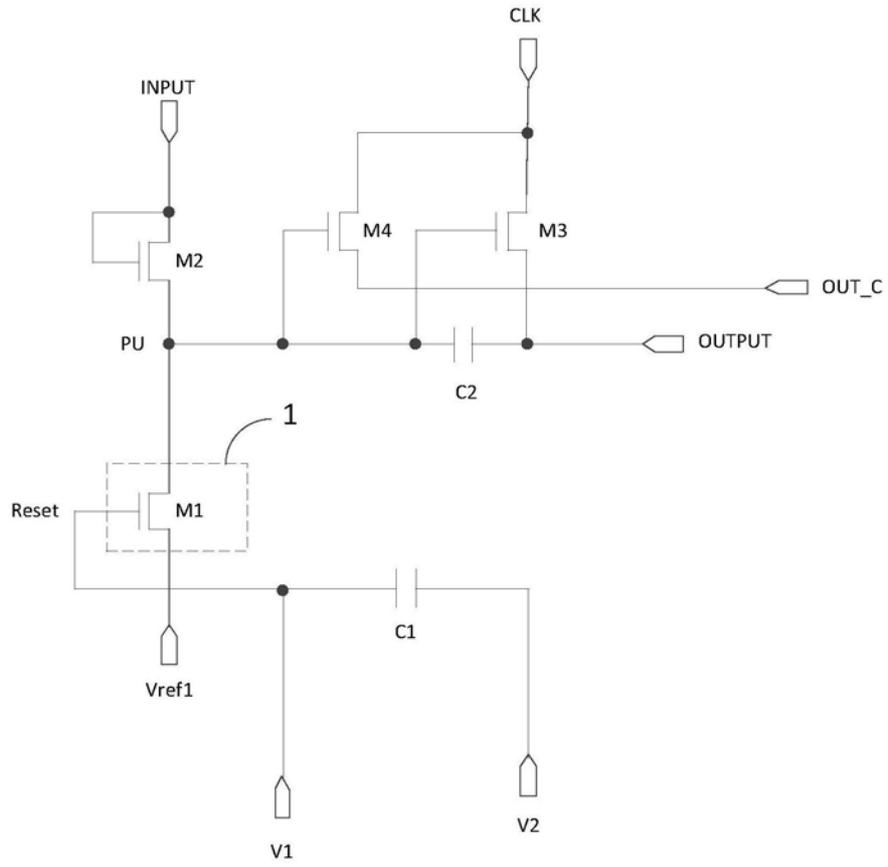


图2

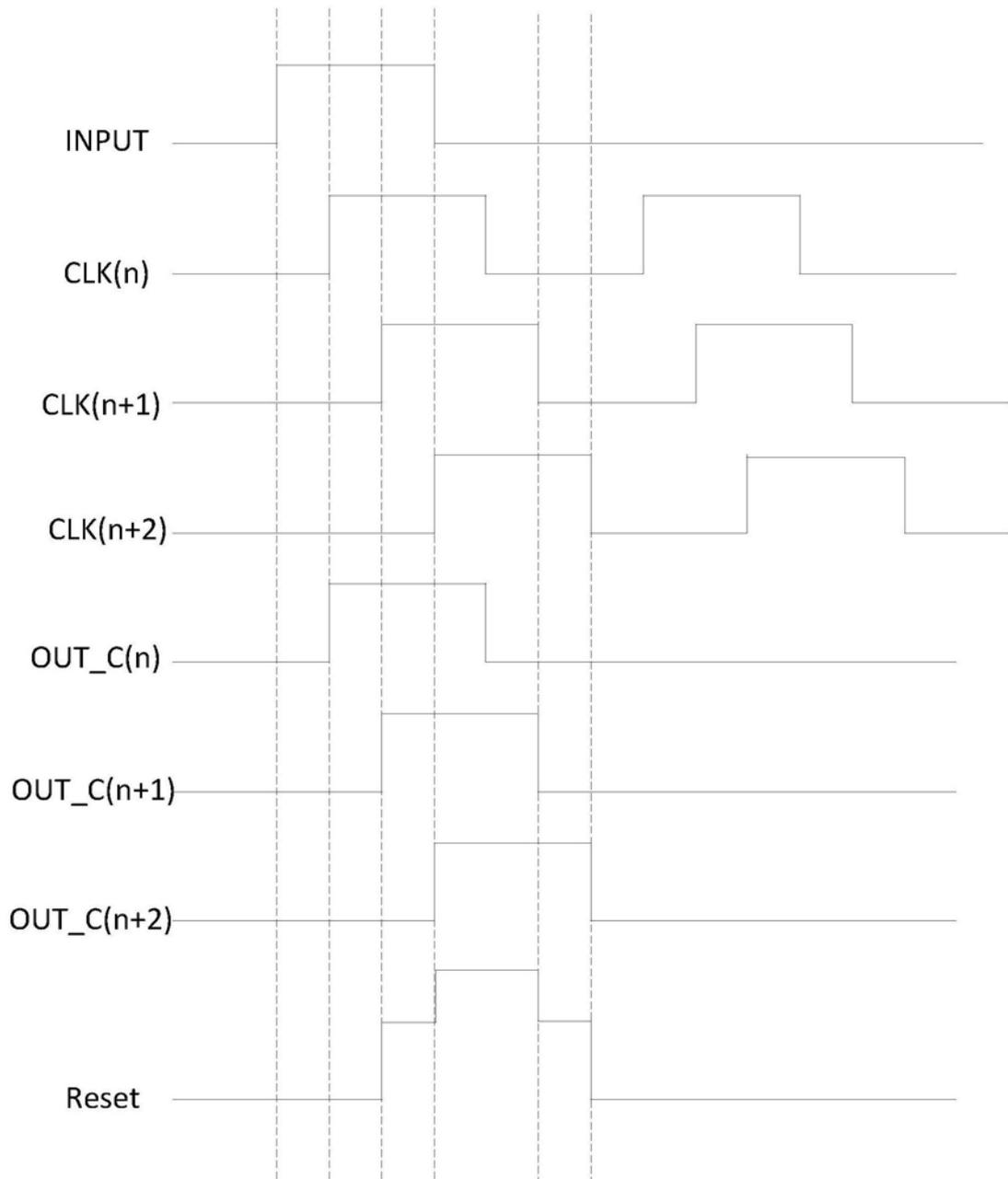


图4