

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-123736

(P2014-123736A)

(43) 公開日 平成26年7月3日(2014.7.3)

(51) Int.Cl.

F I

テーマコード (参考)

H O 1 L 25/065 (2006.01)

H O 1 L 25/08

B

H O 1 L 25/07 (2006.01)

H O 1 L 25/08

Y

H O 1 L 25/18 (2006.01)

審査請求 未請求 請求項の数 34 O L (全 34 頁)

(21) 出願番号 特願2013-263323 (P2013-263323)
 (22) 出願日 平成25年12月20日 (2013.12.20)
 (31) 優先権主張番号 10-2012-0149602
 (32) 優先日 平成24年12月20日 (2012.12.20)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区三星路129
 129, Samsung-ro, Yeon
 g t o n g - g u , S u w o n - s i , G
 y e o n g g i - d o , R e p u b l i c
 o f K o r e a
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 金 吉 洙
 大韓民国京畿道華城市東灘面梧山里ブンソ
 ンシンミジュアパート107棟1506号

最終頁に続く

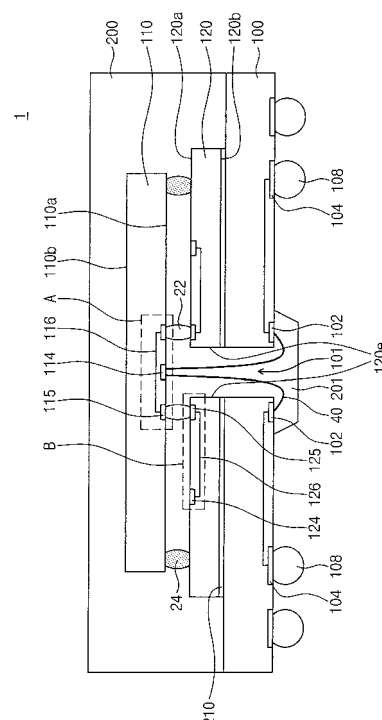
(54) 【発明の名称】 半導体パッケージ

(57) 【要約】

【課題】電気的な特性が向上された半導体パッケージを提供する。

【解決手段】本発明による半導体パッケージは、その中央に開口部を有し、開口部に隣接して回路パターンを有するパッケージ基板と、前記パッケージ基板上に第1ボンディングパッドを有する第1半導体チップと、前記パッケージ基板と前記第1半導体チップとの間に実装され第2ボンディングパッドを有して互いに離隔された一対の第2半導体チップと、前記第1ボンディングパッドと前記第2ボンディングパッドとを電氣的に接続する接続部材とを有する。

【選択図】 図2A



【特許請求の範囲】

【請求項 1】

半導体パッケージであって、
パッケージ基板と、
前記パッケージ基板上に配置される第 1 半導体チップと、
前記パッケージ基板と前記第 1 半導体チップとの間に搭載される一対の第 2 半導体チップと、

接続部材とを有し、
前記パッケージ基板は、その中央領域に配置された開口部と、前記開口部に隣接して配置された回路パターンとを含み、

前記第 1 半導体チップは、第 1 集積回路と、
その中央領域に前記開口部と整列配置され第 1 ワイヤを通じて前記回路パターンと電氣的に接続される第 1 センターパッドと、

前記第 1 半導体チップの中央領域に配置され前記第 1 センターパッドと離隔して前記第 1 集積回路と電氣的に接続される複数の第 1 ボンディングパッドとを含み、

前記第 2 半導体チップは、前記開口部の対向する両側に離隔して配置され、
第 2 集積回路と、

前記第 2 集積回路の対向する縁部に隣接し前記第 1 ボンディングパッドと対応するように配置され、前記第 2 集積回路と電氣的に接続される複数の第 2 ボンディングパッドとを含み、

前記接続部材は、前記第 1 ボンディングパッドと前記第 2 ボンディングパッドとを電氣的に接続し、

前記第 1 半導体チップは、前記各々の第 2 半導体チップの 2 倍のメモリ容量を有し、前記半導体パッケージの総メモリ容量は、前記第 1 半導体チップのメモリ容量の 2^n 倍 (n は整数)であることを特徴とする半導体パッケージ。

【請求項 2】

前記第 1 センターパッドは、前記第 1 集積回路を通じて前記第 1 ボンディングパッドと電氣的に接続されることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 3】

前記第 1 半導体チップは、前記パッケージ基板と対向する第 1 面及び前記第 1 面と対向する第 2 面を有し、前記第 1 センターパッド及び前記第 1 ボンディングパッドは前記第 1 面に配置され、

前記第 2 半導体チップの各々は、前記第 1 半導体チップの前記第 1 面と対向する第 3 面及び前記第 3 面と対向する第 4 面を有し、前記第 2 ボンディングパッドは、前記第 3 面に配置されることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 4】

前記第 2 半導体チップの各々は、それらの中央領域に配置され、前記第 2 集積回路と電氣的に接続された第 2 センターパッドをさらに含み、前記第 2 センターパッドは、第 2 再配線層を通じて前記第 2 ボンディングパッドと電氣的に接続されることを特徴とする請求項 3 に記載の半導体パッケージ。

【請求項 5】

前記第 2 集積回路は、それらの中央領域の配置された第 2 センターパッド無しで、前記第 2 ボンディングパッドと電氣的に接続されることを特徴とする請求項 3 に記載の半導体パッケージ。

【請求項 6】

前記パッケージ基板と前記第 2 半導体チップとの間に、前記開口部の対向する両側に離隔して配置される一対の第 3 半導体チップと、

前記パッケージ基板と前記第 3 半導体チップとの間に、前記開口部の対向する両側に離隔して配置される一対の第 4 半導体チップとを更に有し、

前記第 3 半導体チップは、第 3 集積回路と、

10

20

30

40

50

前記開口部と隣接して前記第 3 半導体チップの互いに対向する縁部に配置され、前記第 3 集積回路と電氣的に接続される第 3 ボンディングパッドとを含み、

前記第 4 半導体チップは、第 4 集積回路と、

前記開口部と隣接して前記第 4 半導体チップの互いに対向する縁部に配置され、前記第 4 集積回路と電氣的に接続される第 4 ボンディングパッドとを含み、

前記第 2 ボンディングパッド、前記第 3 ボンディングパッド、及び前記第 4 ボンディングパッドは、サイド接続方式又はワイヤ接続方式で接続されることを特徴とする請求項 3 に記載の半導体パッケージ。

【請求項 7】

前記第 3 半導体チップの各々は、前記第 2 半導体チップと対向する第 5 面及び前記第 5 面と対向する第 6 面を有し、前記第 3 ボンディングパッドは、前記第 5 面に配置され、

10

前記第 4 半導体チップの各々は、前記第 3 半導体チップの前記第 6 面と対向する第 7 面及び前記第 7 面と対向する第 8 面を有し、前記第 4 ボンディングパッドは、前記第 7 面に配置されることを特徴とする請求項 6 に記載の半導体パッケージ。

【請求項 8】

前記接続部材は、前記第 1 半導体チップと前記第 2 半導体チップとの間に配置される複数の第 1 パンパーを含むことを特徴とする請求項 3 に記載の半導体パッケージ。

【請求項 9】

前記第 1 半導体チップは、前記パッケージ基板と対向する第 1 面及び前記第 1 面と対向する第 2 面を有し、前記第 1 センターパッド及び前記第 1 ボンディングパッドは、前記第 1 面に配置され、

20

前記第 2 半導体チップの各々は、前記第 1 半導体チップの前記第 1 面と対向する第 3 面及び前記第 3 面と対向する第 4 面を有し、前記第 2 ボンディングパッドは、前記第 4 面に配置されることを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 10】

前記接続部材は、第 2 ワイヤーを含み、

前記第 2 半導体チップは、前記第 2 半導体チップの前記第 2 ボンディングパッドを露出するように前記パッケージ基板の前記開口部に向かってシフトされ、前記第 1 ボンディングパッドは前記開口部を露出させることを特徴とする請求項 9 に記載の半導体パッケージ。

30

【請求項 11】

前記パッケージ基板と前記第 2 半導体チップとの間に互いに離隔して配置される一対の第 3 半導体チップと、

前記パッケージ基板と前記第 3 半導体チップとの間に互いに離隔して配置される一対の第 4 半導体チップとを更に有し、

前記第 3 半導体チップは、第 3 集積回路と、

前記開口部と隣接して前記第 3 半導体チップの互いに対向する縁部に配置され、前記第 3 集積回路と電氣的に接続される第 3 ボンディングパッドとを含み、

前記第 4 半導体チップは、第 4 集積回路と、

前記開口部と隣接して前記第 4 半導体チップの互いに対向する縁部に配置され、前記第 4 集積回路と電氣的に接続される第 4 ボンディングパッドとを含むことを特徴とする請求項 9 に記載の半導体パッケージ。

40

【請求項 12】

前記第 3 半導体チップの各々は、前記第 2 半導体チップと対向する第 5 面及び前記第 5 面と対向する第 6 面を有し、前記第 3 ボンディングパッド及び前記第 3 集積回路は前記第 6 面に配置され、

前記第 4 半導体チップの各々は、前記第 3 半導体チップの前記第 6 面と対向する第 7 面及び前記第 7 面と対向する第 8 面を有し、前記第 4 ボンディングパッド及び前記第 4 集積回路は前記第 8 面に配置されることを特徴とする請求項 11 に記載の半導体パッケージ。

【請求項 13】

50

前記第 3 半導体チップは、前記第 3 半導体チップの前記第 3 ボンディングパッドを露出するように前記パッケージ基板の前記開口部に向かってシフトされ、

前記第 4 半導体チップは、前記第 4 半導体チップの前記第 4 ボンディングパッドを露出するように前記パッケージ基板の前記開口部に向かってシフトされ、

前記第 2 ボンディングパッドと前記第 3 ボンディングパッドは、第 3 ワイヤを通じて互いに接続され、前記第 3 ボンディングパッドと前記第 4 ボンディングパッドは、第 4 ワイヤを通じて互いに接続されることを特徴とする請求項 1 2 に記載の半導体パッケージ。

【請求項 1 4】

半導体パッケージであって、

回路パターンを有するパッケージ基板と、

前記パッケージ基板上に配置され、前記パッケージ基板と対向する第 1 面及び前記第 1 面と対向する第 2 面を有し、第 1 集積回路と、その中央領域に配置され前記回路パターンと電氣的に接続される貫通電極とを含む第 1 半導体チップと、

前記第 1 半導体チップ上に互いに離隔して配置され、前記第 1 半導体チップと対向する第 3 面及び前記第 3 面と対向する第 4 面を有し、第 2 集積回路を含む一対の第 2 半導体チップとを有することを特徴とする半導体パッケージ。

【請求項 1 5】

前記第 2 半導体チップは、前記第 1 半導体チップの 2 倍のメモリ容量を有し、前記半導体パッケージの総メモリ容量は、前記第 1 半導体チップのメモリ容量の 2^n 倍 (n は整数)であることを特徴とする請求項 1 4 に記載の半導体パッケージ。

【請求項 1 6】

前記第 1 半導体チップと前記パッケージ基板との間に配置され、前記貫通電極を通じて前記回路パターンとを電氣的に接続する第 1 バンパーをさらに有することを特徴とする請求項 1 4 に記載の半導体パッケージ。

【請求項 1 7】

前記第 1 半導体チップは、前記第 2 面に配置され前記貫通電極に接続される複数の第 1 ボンディングパッドをさらに含み、

前記第 2 半導体チップの各々は、前記第 4 面に配置されて前記第 2 集積回路に電氣的に接続される第 2 ボンディングパッドをさらに含むことを特徴とする請求項 1 4 に記載の半導体パッケージ。

【請求項 1 8】

前記第 1 ボンディングパッドは、前記第 1 面に配置されることを特徴とする請求項 1 7 に記載の半導体パッケージ。

【請求項 1 9】

前記第 1 半導体チップは、前記第 1 面に配置され、前記貫通電極に接続される第 1 ボンディングパッドをさらに含み、

前記第 2 半導体チップの各々は、前記第 3 面に配置されて前記第 2 集積回路と電氣的に接続される第 2 ボンディングパッドをさらに含むことを特徴とする請求項 1 4 に記載の半導体パッケージ。

【請求項 2 0】

前記第 2 半導体チップ上に互いに離隔して配置され、第 3 集積回路と、自身の縁部近くに位置し前記第 3 集積回路と電氣的に接続される第 3 ボンディングパッドとを含む一対の第 3 半導体チップと、

前記第 3 半導体チップ上に互いに離隔して配置され、第 4 集積回路と、自身の縁部近くに位置し前記第 4 集積回路と電氣的に接続される第 4 ボンディングパッドとを含む一対の第 4 半導体チップとをさらに有することを特徴とする請求項 1 7 又は 1 9 に記載の半導体パッケージ。

【請求項 2 1】

前記第 3 半導体チップの各々は、前記第 2 半導体チップと対向する第 5 面及び前記第 5 面と対向する第 6 面を有し、前記第 3 ボンディングパッドは、前記第 6 面に配置され、

10

20

30

40

50

前記第 4 半導体チップの各々は、前記第 3 半導体チップの前記第 6 面と対向する第 7 面及び前記第 7 面と対向する第 8 面を有し、前記第 4 ボンディングパッドは、前記第 8 面に配置されることを特徴とする請求項 20 に記載の半導体パッケージ。

【請求項 22】

前記第 2 半導体チップの各々は、前記第 3 面に配置された接続パッドをさらに含み、
前記半導体パッケージは、前記第 1 半導体チップと前記第 2 半導体チップとの間に配置され、前記接続パッドと前記第 1 ボンディングパッドとを電氣的に接続する第 2 バンパーをさらに有することを特徴とする請求項 21 に記載の半導体パッケージ。

【請求項 23】

前記接続パッド、前記第 2 ボンディングパッド、前記第 3 ボンディングパッド、及び前記第 4 ボンディングパッドは、互いにサイド接続方式で接続されることを特徴とする請求項 22 に記載の半導体パッケージ。

10

【請求項 24】

前記第 3 半導体チップは、前記第 2 半導体チップの前記第 2 ボンディングパッドを露出するように前記パッケージ基板の縁部に向かってシフトされ、

前記第 4 半導体チップは、前記第 3 半導体チップの前記第 3 ボンディングパッドを露出するように前記パッケージ基板の縁部に向かってシフトされることを特徴とする請求項 21 に記載の半導体パッケージ。

【請求項 25】

前記第 2 半導体チップの各々は、前記第 3 面に配置される接続パッドをさらに含み、
前記半導体パッケージは、前記第 1 半導体チップと前記第 2 半導体チップとの間に配置され、前記接続パッドと前記第 1 ボンディングパッドを接続する第 2 バンパーをさらに有し、

20

前記接続パッド、前記第 2 ボンディングパッド、前記第 3 ボンディングパッド、及び前記第 4 ボンディングパッドはサイド接続方式で接続されることを特徴とする請求項 24 に記載の半導体パッケージ。

【請求項 26】

前記第 1 ボンディングパッド、前記第 2 ボンディングパッド、前記第 3 ボンディングパッド、及び前記第 4 ボンディングパッドは、ワイヤボンディング方式で接続されることを特徴とする請求項 25 に記載の半導体パッケージ。

30

【請求項 27】

前記第 3 半導体チップの各々は、前記第 2 半導体チップと対向する第 5 面及び前記第 5 面と対向する第 6 面を有し、前記第 3 ボンディングパッドは、前記第 5 面に配置され、

前記第 4 半導体チップの各々は、前記第 3 半導体チップの前記第 6 面と対向する第 7 面及び前記第 7 面と対向する第 8 面を有し、前記第 4 ボンディングパッドは、前記第 7 面に配置されることを特徴とする請求項 20 に記載の半導体パッケージ。

【請求項 28】

前記第 2 ボンディングパッド、前記第 3 ボンディングパッド、及び前記第 4 ボンディングパッドは、互いにサイド接続方式で接続されることを特徴とする請求項 27 に記載の半導体パッケージ。

40

【請求項 29】

前記第 3 半導体チップは、前記第 3 ボンディングパッドを露出するように前記パッケージ基板の中央方向に向かってシフトされ、

前記第 4 半導体チップは、前記第 4 ボンディングパッドを露出するように前記パッケージ基板の中央方向に向かってシフトされることを特徴とする請求項 27 に記載の半導体パッケージ。

【請求項 30】

前記第 2 ボンディングパッド、前記第 3 ボンディングパッド、及び前記第 4 ボンディングパッドは、互いにワイヤボンディング方式で接続されることを特徴とする請求項 29 に記載の半導体パッケージ。

50

【請求項 3 1】

前記第 1 半導体チップと前記第 2 半導体チップとの間に配置され、前記第 2 ボンディングパッドと前記貫通電極とを接続する第 2 バンパーをさらに有することを特徴とする請求項 2 0 に記載の半導体パッケージ。

【請求項 3 2】

開口部を有するパッケージ基板と、

前記パッケージ基板上に前記開口部を覆う配置される第 1 半導体チップと、

前記パッケージ基板と前記第 1 半導体チップとの間に配置され、前記開口部の両側に配置される一対の第 2 半導体チップとを有し、

前記第 1 半導体チップは、第 1 集積回路と、前記第 1 半導体チップの中央領域に配置されたセンターパッドと複数の第 1 ボンディングパッドとを含み、前記センターパッド及び前記複数の第 1 ボンディングパッドは、前記第 1 集積回路と電氣的に接続され、

前記第 2 半導体チップの各々は、第 2 集積回路と、前記開口部に隣接して前記第 2 半導体チップの縁部に配置される第 2 ボンディングパッドとを含み、前記第 2 ボンディングパッドは、前記第 2 集積回路と電氣的に接続され、

前記第 2 ボンディングパッドは、前記第 1 ボンディングパッドと接続されることを特徴とする半導体パッケージ。

10

【請求項 3 3】

前記第 2 ボンディングパッドの 1 つと前記第 1 ボンディングパッドとを電氣的に接続するバンパーをさらに有することを特徴とする請求項 3 2 に記載の半導体パッケージ。

20

【請求項 3 4】

前記第 2 半導体チップは、前記第 2 ボンディングパッドが前記開口部内に配列されるように前記開口部に向かってオフセットされ、前記第 2 ボンディングパッドは、ワイヤボンディングを通じて前記第 1 ボンディングパッドと電氣的に接続されることを特徴とする請求項 3 2 に記載の半導体パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に、電氣的な特性が向上された半導体パッケージに関する。

30

【背景技術】

【0002】

近年、電子産業の趨勢は軽量化、小型化、高速化、多機能化、及び高性能化された製品を低廉な価額に製造することである。

このような目標を達成するためにマルチチップ積層パッケージ (multi-chip stacked package) 技術又はシステムインパッケージ (system in package) 技術が使用される。

【0003】

マルチチップ積層パッケージ又はシステムインパッケージは、複数個の単位の半導体装置の機能を 1 つの半導体パッケージで遂行することができる。

40

マルチチップ積層パッケージ又はシステムインパッケージは、通常的な単一チップパッケージに比べて若干厚いことがあり得るが、平面的には単一チップパッケージと大きさと概ね近似するので、携帯電話機、ノートブック型コンピューターコンピューター、メモリカード、携帯用カムコーダー等のような高機能でありながら、同時に小型化ないし移動性が要求される製品に主に使用される。

【0004】

そのような趨勢に伴い、マルチチップ積層パッケージ又はシステムインパッケージにおいては、その電氣的特性の向上を行わなければならないという問題がある。

【先行技術文献】

50

【特許文献】

【0005】

【特許文献1】米国特許第8,084,867号明細書

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は上記従来のマルチチップ積層パッケージ又はシステムインパッケージにおける問題点に鑑みてなされたものであって、本発明の目的は、電気的な特性が向上された半導体パッケージを提供することにある。

又、本発明の他の目的は、製作費用が低減された半導体パッケージを提供することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するためになされた本発明による半導体パッケージは、半導体パッケージであって、パッケージ基板と、前記パッケージ基板上に配置される第1半導体チップと、前記パッケージ基板と前記第1半導体チップとの間に搭載される一対の第2半導体チップと、接続部材とを有し、前記パッケージ基板は、その中央領域に配置された開口部と、前記開口部に隣接して配置された回路パターンとを含み、前記第1半導体チップは、第1集積回路と、その中央領域に前記開口部と整列配置され第1ワイヤを通じて前記回路パターンと電氣的に接続される第1センターパッドと、前記第1半導体チップの中央領域に配置され前記第1センターパッドと離隔して前記第1集積回路と電氣的に接続される複数の第1ボンディングパッドとを含み、前記第2半導体チップは、前記開口部の対向する両側に離隔して配置され、第2集積回路と、前記第2集積回路の対向する縁部に隣接し前記第1ボンディングパッドと対応するように配置され、前記第2集積回路と電氣的に接続される複数の第2ボンディングパッドとを含み、前記接続部材は、前記第1ボンディングパッドと前記第2ボンディングパッドとを電氣的に接続し、前記第1半導体チップは、前記各々の第2半導体チップの2倍のメモリ容量を有し、前記半導体パッケージの総メモリ容量は、前記第1半導体チップのメモリ容量の 2^n 倍（ n は整数）であることを特徴とする。

【0008】

前記第1センターパッドは、前記第1集積回路を通じて前記第1ボンディングパッドと電氣的に接続されることが好ましい。

前記第1半導体チップは、前記パッケージ基板と対向する第1面及び前記第1面と対向する第2面を有し、前記第1センターパッド及び前記第1ボンディングパッドは前記第1面に配置され、前記第2半導体チップの各々は、前記第1半導体チップの前記第1面と対向する第3面及び前記第3面と対向する第4面を有し、前記第2ボンディングパッドは、前記第3面に配置されることが好ましい。

前記第2半導体チップの各々は、それらの中央領域に配置され、前記第2集積回路と電氣的に接続された第2センターパッドをさらに含み、前記第2センターパッドは、第2再配線層を通じて前記第2ボンディングパッドと電氣的に接続されることが好ましい。

前記第2集積回路は、それらの中央領域の配置された第2センターパッド無しで、前記第2ボンディングパッドと電氣的に接続されることが好ましい。

【0009】

前記パッケージ基板と前記第2半導体チップとの間に、前記開口部の対向する両側に離隔して配置される一対の第3半導体チップと、前記パッケージ基板と前記第3半導体チップとの間に、前記開口部の対向する両側に離隔して配置される一対の第4半導体チップとを更に有し、前記第3半導体チップは、第3集積回路と、前記開口部と隣接して前記第3半導体チップの互いに対向する縁部に配置され、前記第3集積回路と電氣的に接続される第3ボンディングパッドとを含み、前記第4半導体チップは、第4集積回路と、前記開口部と隣接して前記第4半導体チップの互いに対向する縁部に配置され、前記第4集積回路と電氣的に接続される第4ボンディングパッドとを含み、前記第2ボンディングパッド、

前記第 3 ボンディングパッド、及び前記第 4 ボンディングパッドは、サイド接続方式又はワイヤ接続方式で接続されることが好ましい。

前記第 3 半導体チップの各々は、前記第 2 半導体チップと対向する第 5 面及び前記第 5 面と対向する第 6 面を有し、前記第 3 ボンディングパッドは、前記第 5 面に配置され、前記第 4 半導体チップの各々は、前記第 3 半導体チップの前記第 6 面と対向する第 7 面及び前記第 7 面と対向する第 8 面を有し、前記第 4 ボンディングパッドは、前記第 7 面に配置されることが好ましい。

前記接続部材は、前記第 1 半導体チップと前記第 2 半導体チップとの間に配置される複数の第 1 パンパーを含むことが好ましい。

前記第 1 半導体チップは、前記パッケージ基板と対向する第 1 面及び前記第 1 面と対向する第 2 面を有し、前記第 1 センターパッド及び前記第 1 ボンディングパッドは、前記第 1 面に配置され、前記第 2 半導体チップの各々は、前記第 1 半導体チップの前記第 1 面と対向する第 3 面及び前記第 3 面と対向する第 4 面を有し、前記第 2 ボンディングパッドは、前記第 4 面に配置されることが好ましい。

【0010】

前記接続部材は、第 2 ワイヤーを含み、前記第 2 半導体チップは、前記第 2 半導体チップの前記第 2 ボンディングパッドを露出するように前記パッケージ基板の前記開口部に向かってシフトされ、前記第 1 ボンディングパッドは前記開口部を露出させることが好ましい。

前記パッケージ基板と前記第 2 半導体チップとの間に互いに離隔して配置される一対の第 3 半導体チップと、前記パッケージ基板と前記第 3 半導体チップとの間に互いに離隔して配置される一対の第 4 半導体チップとを更に有し、前記第 3 半導体チップは、第 3 集積回路と、前記開口部と隣接して前記第 3 半導体チップの互いに対向する縁部に配置され、前記第 3 集積回路と電氣的に接続される第 3 ボンディングパッドとを含み、前記第 4 半導体チップは、第 4 集積回路と、前記開口部と隣接して前記第 4 半導体チップの互いに対向する縁部に配置され、前記第 4 集積回路と電氣的に接続される第 4 ボンディングパッドとを含むことが好ましい。

前記第 3 半導体チップの各々は、前記第 2 半導体チップと対向する第 5 面及び前記第 5 面と対向する第 6 面を有し、前記第 3 ボンディングパッド及び前記第 3 集積回路は前記第 6 面に配置され、前記第 4 半導体チップの各々は、前記第 3 半導体チップの前記第 6 面と対向する第 7 面及び前記第 7 面と対向する第 8 面を有し、前記第 4 ボンディングパッド及び前記第 4 集積回路は前記第 8 面に配置されることが好ましい。

前記第 3 半導体チップは、前記第 3 半導体チップの前記第 3 ボンディングパッドを露出するように前記パッケージ基板の前記開口部に向かってシフトされ、前記第 4 半導体チップは、前記第 4 半導体チップの前記第 4 ボンディングパッドを露出するように前記パッケージ基板の前記開口部に向かってシフトされ、前記第 2 ボンディングパッドと前記第 3 ボンディングパッドは、第 3 ワイヤを通じて互いに接続され、前記第 3 ボンディングパッドと前記第 4 ボンディングパッドは、第 4 ワイヤを通じて互いに接続されることが好ましい。

【0011】

又、上記目的を達成するためになされた本発明による半導体パッケージは、半導体パッケージであって、回路パターンを有するパッケージ基板と、前記パッケージ基板上に配置され、前記パッケージ基板と対向する第 1 面及び前記第 1 面と対向する第 2 面を有し、第 1 集積回路と、その中央領域に配置され前記回路パターンと電氣的に接続される貫通電極とを含む第 1 半導体チップと、前記第 1 半導体チップ上に互いに離隔して配置され、前記第 1 半導体チップと対向する第 3 面及び前記第 3 面と対向する第 4 面を有し、第 2 集積回路を含む一対の第 2 半導体チップとを有することを特徴とする。

【0012】

前記第 2 半導体チップは、前記第 1 半導体チップの 2 倍のメモリ容量を有し、前記半導体パッケージの総メモリ容量は、前記第 1 半導体チップのメモリ容量の 2^n 倍 (n は整数

10

20

30

40

50

)であることが好ましい。

前記第1半導体チップと前記パッケージ基板との間に配置され、前記貫通電極を通じて前記回路パターンとを電氣的に接続する第1バンパーをさらに有することが好ましい。

前記第1半導体チップは、前記第2面に配置され前記貫通電極に接続される複数の第1ボンディングパッドをさらに含み、前記第2半導体チップの各々は、前記第4面に配置されて前記第2集積回路に電氣的に接続される第2ボンディングパッドをさらに含むことが好ましい。

前記第1ボンディングパッドは、前記第1面に配置されることが好ましい。

前記第1半導体チップは、前記第1面に配置され、前記貫通電極に接続される第1ボンディングパッドをさらに含み、前記第2半導体チップの各々は、前記第3面に配置されて前記第2集積回路と電氣的に接続される第2ボンディングパッドをさらに含むことが好ましい。

10

【0013】

前記第2半導体チップ上に互いに離隔して配置され、第3集積回路と、自身の縁部近くに位置し前記第3集積回路と電氣的に接続される第3ボンディングパッドとを含む一対の第3半導体チップと、前記第3半導体チップ上に互いに離隔して配置され、第4集積回路と、自身の縁部近くに位置し前記第4集積回路と電氣的に接続される第4ボンディングパッドとを含む一対の第4半導体チップとをさらに有することが好ましい。

前記第3半導体チップの各々は、前記第2半導体チップと対向する第5面及び前記第5面と対向する第6面を有し、前記第3ボンディングパッドは、前記第6面に配置され、前記第4半導体チップの各々は、前記第3半導体チップの前記第6面と対向する第7面及び前記第7面と対向する第8面を有し、前記第4ボンディングパッドは、前記第8面に配置されることが好ましい。

20

前記第2半導体チップの各々は、前記第3面に配置された接続パッドをさらに含み、前記半導体パッケージは、前記第1半導体チップと前記第2半導体チップとの間に配置され、前記接続パッドと前記第1ボンディングパッドとを電氣的に接続する第2バンパーをさらに有することが好ましい。

【0014】

前記接続パッド、前記第2ボンディングパッド、前記第3ボンディングパッド、及び前記第4ボンディングパッドは、互いにサイド接続方式で接続されることが好ましい。

30

前記第3半導体チップは、前記第2半導体チップの前記第2ボンディングパッドを露出するように前記パッケージ基板の縁部に向かってシフトされ、前記第4半導体チップは、前記第3半導体チップの前記第3ボンディングパッドを露出するように前記パッケージ基板の縁部に向かってシフトされることが好ましい。

前記第2半導体チップの各々は、前記第3面に配置される接続パッドをさらに含み、前記半導体パッケージは、前記第1半導体チップと前記第2半導体チップとの間に配置され、前記接続パッドと前記第1ボンディングパッドを接続する第2バンパーをさらに有し、前記接続パッド、前記第2ボンディングパッド、前記第3ボンディングパッド、及び前記第4ボンディングパッドはサイド接続方式で接続されることが好ましい。

前記第1ボンディングパッド、前記第2ボンディングパッド、前記第3ボンディングパッド、及び前記第4ボンディングパッドは、ワイヤボンディング方式で接続されることが好ましい。

40

【0015】

前記第3半導体チップの各々は、前記第2半導体チップと対向する第5面及び前記第5面と対向する第6面を有し、前記第3ボンディングパッドは、前記第5面に配置され、前記第4半導体チップの各々は、前記第3半導体チップの前記第6面と対向する第7面及び前記第7面と対向する第8面を有し、前記第4ボンディングパッドは、前記第7面に配置されることが好ましい。

前記第2ボンディングパッド、前記第3ボンディングパッド、及び前記第4ボンディングパッドは、互いにサイド接続方式で接続されることが好ましい。

50

前記第 3 半導体チップは、前記第 3 ボンディングパッドを露出するように前記パッケージ基板の中央方向に向かってシフトされ、前記第 4 半導体チップは、前記第 4 ボンディングパッドを露出するように前記パッケージ基板の中央方向に向かってシフトされることが好ましい。

前記第 2 ボンディングパッド、前記第 3 ボンディングパッド、及び前記第 4 ボンディングパッドは、互いにワイヤボンディング方式で接続されることが好ましい。

前記第 1 半導体チップと前記第 2 半導体チップとの間に配置され、前記第 2 ボンディングパッドと前記貫通電極とを接続する第 2 バンパーをさらに有することが好ましい。

【0016】

又、上記目的を達成するためになされた本発明による半導体パッケージは、開口部を有するパッケージ基板と、前記パッケージ基板上に前記開口部を覆う配置される第 1 半導体チップと、前記パッケージ基板と前記第 1 半導体チップとの間に配置され、前記開口部の両側に配置される一対の第 2 半導体チップとを有し、前記第 1 半導体チップは、第 1 集積回路と、前記第 1 半導体チップの中央領域に配置されたセンターパッドと複数の第 1 ボンディングパッドとを含み、前記センターパッド及び前記複数の第 1 ボンディングパッドは、前記第 1 集積回路と電氣的に接続され、前記第 2 半導体チップの各々は、第 2 集積回路と、前記開口部に隣接して前記第 2 半導体チップの縁部に配置される第 2 ボンディングパッドとを含み、前記第 2 ボンディングパッドは、前記第 2 集積回路と電氣的に接続され、前記第 2 ボンディングパッドは、前記第 1 ボンディングパッドと接続されることを特徴とする。

【0017】

前記第 2 ボンディングパッドの 1 つと前記第 1 ボンディングパッドとを電氣的に接続するバンパーをさらに有することが好ましい。

前記第 2 半導体チップは、前記第 2 ボンディングパッドが前記開口部内に配列されるように前記開口部に向かってオフセットされ、前記第 2 ボンディングパッドは、ワイヤボンディングを通じて前記第 1 ボンディングパッドと電氣的に接続されることが好ましい。

【発明の効果】

【0018】

本発明に係る半導体パッケージによれば、半導体チップが互いに対向するそれらの中央の空間に形成されたボンディングワイヤを通じて接続されるので、半導体パッケージの製作費用が低減されることができ、又、スレーブチップがマスターチップを通じて外部へ接続されるので、電氣的特性が向上され得るという効果がある。

【図面の簡単な説明】

【0019】

【図 1】本発明の実施形態による半導体パッケージの概念を説明する図である。

【図 2 A】本発明の第 1 の実施形態による半導体パッケージの断面図である。

【図 2 B】図 2 A の符号 A 部の拡大図である。

【図 2 C】図 2 A の符号 B 部の拡大図である。

【図 2 D】第 1 半導体チップの下部面を概略的に示す平面図である。

【図 2 E】第 2 半導体チップ 120 の上部面を概略的に示す平面図である。

【図 3 A】本発明の第 2 の実施形態による半導体パッケージの断面図である。

【図 3 B】図 3 A の符号 A 部の拡大図である。

【図 3 C】図 3 A の符号 B 部の拡大図である。

【図 3 D】第 1 半導体チップ 110 の下部面を概略的に示す平面図である。

【図 3 E】第 2 半導体チップ 120 の上部面を概略的に示す平面図である。

【図 4 A】本発明の第 3 の実施形態による半導体パッケージの断面図である。

【図 4 B】図 4 A の符号 A 部の拡大図である

【図 5】本発明の第 4 の実施形態による半導体パッケージの断面図である。

【図 6 A】本発明の第 5 の実施形態による半導体パッケージの断面図である。

【図 6 B】図 6 A の符号 A 部の拡大図である。

【図 6 C】図 6 A の符号 B 部の拡大図である。

【図 7】本発明の第 6 の実施形態による半導体パッケージの断面図である。

【図 8 A】本発明の第 7 の実施形態による半導体パッケージの断面図である。

【図 8 B】図 8 A の符号 A 部の拡大図である。

【図 9】本発明の第 7 の実施形態の変形にしたがう半導体パッケージの断面図である。

【図 10】本発明の第 8 の実施形態による半導体パッケージの断面図である。

【図 11】本発明の第 9 の実施形態による半導体パッケージの断面図である。

【図 12】本発明の第 10 の実施形態による半導体パッケージの断面図である。

【図 13 A】本発明の第 11 の実施形態による半導体パッケージの断面図である。

【図 13 B】図 13 A の符号 A 部の拡大図である。

【図 13 C】図 13 A の符号 B 部の拡大図である。

【図 14】本発明の第 12 の実施形態による半導体パッケージの断面図である。

【図 15】本発明の第 13 の実施形態による半導体パッケージの断面図である。

【図 16】本発明の実施形態による電子システムを示すブロック図である。

【発明を実施するための形態】

【0020】

次に、本発明に係る半導体パッケージを実施するための形態の具体例を図面を参照しながら説明する。

【0021】

しかし、本発明は以下で開示する実施形態に限定されることなく様々な形態に具現され、多様な変更を加えることができる。単なる、本実施形態の説明を通じて本発明の開示が完全になるようにし、通常の知識を有する者に発明の範疇を完全に知らせるために提供する。

添付した図面で構成要素は説明を簡単にするためにその大きさが実際より拡大して示すことがあり得、各構成要素の比率は誇張されるか、或いは縮小され得る。

ある構成要素が他の構成要素に“上に”あるか、“接続されて”いると記載された場合、他の構成要素に上に直接接しているか、又は接続されているが、中間にその他の構成要素が存在することができると理解されなければならない。反面、ある構成要素が他の構成要素の“直ちに上に”あるか、又は“直接接続されて”いると記載された場合には、中間にその他の構成要素が存在しないこととして理解されることができる。構成要素の間の関係を説明する他の表現、例えば、“～間に”と“直接～間に”等も同様に解釈されることができる。

【0022】

第 1、第 2 等の用語は多様な構成要素を説明するために使用されるが、構成要素は用語によって限定されない。用語は 1 つの構成要素を他の構成要素から区別する目的のみに使用する。例えば、本発明の権利範囲を逸脱しなくて第 1 構成要素は第 2 構成要素と称され得り、類似に第 2 構成要素も第 1 構成要素と称され得る。

単数の表現は文脈の上に明確に異なりに表現しない限り、複数の表現を含む。“含む”又は“有する”等の用語は明細書上に記載された特徴、数字、段階、動作、構成要素、部分品又はこれらを組合したことが存在することを指定するためのことで、1 つ又はその以上の他の特徴や数字、段階、動作、構成要素、部分品又はこれらを組み合わせることが付加されていることと解釈することができる。

本発明の実施形態で使用される用語は異なりに定義されない限り、該当技術分野で通常の知識を有する者に通常的に公知された意味に解釈できる。また、“少なくとも 1 つ”は最小限 1 つと同一な意味に使用され 1 つ又はその以上を選択的に指称することができる。

【0023】

図 1 は、本発明の実施形態による半導体パッケージ P の概念を説明する図である。

外部コントローラ C が追加的に提供され得る。本発明の実施形態による半導体パッケージ P はマスターチップ 10 及びスレーブチップ 20 を包含する。

マスターチップ 10 は外部コントローラ C からアドレス及びコマンド等を含む制御信号

10

20

30

40

50

、電圧信号、及び記録データ等を受信して、スレーブチップ20へ提供しスレーブチップ20を制御する。

【0024】

本発明の第1の実施形態による半導体パッケージ1を説明する。

図2Aは本発明の第1の実施形態による半導体パッケージの断面図であり、図2B及び図2Cは各々図2Aの符号A及びB部の拡大図であり、図2Dは第1半導体チップ110の下部面を概略的に示す平面図であり、図2Eは第2半導体チップ120の上部面を概略的に示す平面図である。

【0025】

図2A～図2Eを参照すると、本発明の第1の実施形態による半導体パッケージ1は、パッケージ基板100、パッケージ基板100上の第1半導体チップ110、及びパッケージ基板100と第1半導体チップ110との間に実装され、互いに離隔された一対の第2半導体チップ120を含む。

【0026】

パッケージ基板100は、印刷回路基板であり得る。

パッケージ基板100は、その中央に開口部101を有する。パッケージ基板100は開口部101に隣接する回路パターン102を含む。回路パターン102はパッケージ基板100の下面に配置され、外部パッド104に電氣的に接続される。半導体パッケージ1を外部装置と電氣的に接続するソルダバンプ或いはソルダボールのような外部端子108が外部パッド104に付着される。

【0027】

第1半導体チップ110は、パッケージ基板100と対向する第1面110a及び第1面に対向する第2面110bを有する。

第1半導体チップ110は、中央領域111及び中央領域両側の一対のセル領域112を包含する。

第1半導体チップ110は、第1集積回路IC1、第1センターパッド114及び第1ボンディングパッド115を包含する。

【0028】

図2B及び図2Dに示すように、第1集積回路IC1は第1面110aに隣接する第1半導体チップ110の内部に形成される。

第1センターパッド114及び第1ボンディングパッド115は、中央領域111の第1面110aに配置される。

第1センターパッド114は、開口部101に露出される。第1ボンディングパッド115は第1センターパッド114と離隔されて配置される。第1ボンディングパッド115は第1コンタクト117及び第1内部パッド118を通じて第1集積回路IC1と電氣的に接続される。

【0029】

一例として、第1ボンディングパッド115は、第1センターパッド114の両側に一対に配置される。

一対の第1ボンディングパッド115は、第1再配線116を通じて互いに接続される。

第1センターパッド114は、第1ボンディングパッド115及び第1再配線116とは分離される。

第1センターパッド114と第1ボンディングパッド115は第1集積回路IC1を通じて電氣的に接続される。第1半導体チップ110の第1面110a上に第1センターパッド114及び第1ボンディングパッド115を露出する第1絶縁膜119が提供され得る。

【0030】

再び図2Aを参照すると、第2半導体チップ120は接着層210を通じてパッケージ基板100に付着される。

10

20

30

40

50

接着層 210 は、エポキシ或いはシリコン材質の絶縁性膜或いはテープであり得る。

第 2 半導体チップ 120 の互いに対向する縁端 120 e はパッケージ基板 100 の開口部 101 に隣接する。

第 2 半導体チップ 120 は、第 1 半導体チップ 110 の第 1 面 110 a と対向する第 3 面 120 a 及び第 3 面に対向する第 4 面 120 b を有する。

【0031】

図 2 C 及び図 2 E に示すように、第 2 半導体チップ 120 は、第 2 集積回路 IC 2、第 2 センターパッド 124 及び第 2 ボンディングパッド 125 を包含する。

第 2 集積回路 IC 1 は、第 3 面 120 a に隣接する第 2 半導体チップ 120 の内部に形成される。

第 2 センターパッド 124 及び第 2 ボンディングパッド 125 は、第 2 半導体チップ 120 の第 3 面 120 a に配置される。

第 2 センターパッド 124 は、第 2 半導体チップ 120 の中央領域 121 に配置される。第 2 センターパッド 124 の両側に一对のセル領域 122 が配置される。

【0032】

第 2 ボンディングパッド 125 は、第 2 半導体チップ 120 の互いに対向する縁部 120 e に隣接して配置される。

第 2 ボンディングパッド 125 は、第 1 ボンディングパッド 115 に対応するように配置され、第 2 再配線 126 を通じて第 2 センターパッド 124 と電氣的に接続される。

第 2 ボンディングパッド 125 は、第 2 再配線 126、第 2 内部パッド 128、及び第 2 コンタクト 127 を通じて第 2 集積回路 IC 2 と電氣的に接続される。

第 2 半導体チップ 120 の第 3 面 120 a 上に第 2 ボンディングパッド 125 を露出する第 2 絶縁膜 129 が提供され得る。

【0033】

再び図 2 A を参照すると、半導体パッケージ 1 は、第 1 ボンディングパッド 115 と第 2 ボンディングパッド 125 とを電氣的に接続する第 1 バンパー 22、及び第 1 バンパー 22 と離隔して第 1 半導体チップ 110 と第 2 半導体チップ 120 とを支持するダミーバンパー 24 をさらに包含する。

第 1 バンパー 22 は、開口部 101 に隣接して第 1 半導体チップ 110 の下に配置され得る。ダミーバンパー 24 は、開口部 101 から離隔して第 1 半導体チップ 110 の下に配置される。

【0034】

メインボンディングワイヤ 40 が開口部 101 内に提供され、第 1 半導体チップ 110 の第 1 センターパッド 114 とパッケージ基板 100 の回路パターン 102 とを電氣的に接続する。

モルディング層 200 が、第 1 半導体チップ 110 及び第 2 半導体チップ 120 を覆うように形成される。モルディング膜 200 は開口部 101 からパッケージ基板 100 の下に突出された突出部 201 を包含する。

【0035】

第 1 半導体チップ 110 及び第 2 半導体チップ 120 は、DRAM やフラッシュのようなメモリチップであり得る。

第 1 半導体チップ 110 はマスターチップであって、第 1 集積回路 IC 1 はデータを格納するためのメモリセル、メモリセルの動作を制御するための制御回路、及び / 又は電源回路を包含することができる。

第 2 半導体チップ 120 はスレーブチップであって、第 2 集積回路 IC 2 はデータを格納するためのメモリセルを包含することができる。第 2 半導体チップ 120 は制御回路及び / 又は電源回路を包含しないことがあり得る。

【0036】

第 1 半導体チップ 110 は、メインボンディングワイヤ 40 を通じて外部コントローラ C (図 1 参照) と通信し、第 1 バンパー 22 を通じて第 2 半導体チップ 120 を制御する

10

20

30

40

50

ことができる。

外部コントローラ C からのアドレス及びコマンド信号等を含む制御信号、電圧信号、及び記録データ等はメインボンディングワイヤ 40 を通じて第 1 半導体チップ 110 に提供され、第 1 半導体チップ 110 又は第 2 半導体チップ 120 のメモリセルから読み出されたデータはメインボンディングワイヤ 40 を通じて外部コントローラ C へ提供される。

【0037】

第 2 半導体チップ 120 がメインボンディングワイヤ 40 及び第 1 半導体チップ 110 を通じて外部コントローラ C (図 1 参照) と通信するので、通信での寄生キャパシタンスを減少させることができる。

これと共に、第 1 半導体チップ 110 及び第 2 半導体チップ 120 が貫通電極ではないボンディングワイヤを通じて、外部と接続されるので、半導体パッケージの製作費用が低減させることができる。

第 1 半導体チップ 110 及び第 2 半導体チップ 120 がメモリチップである場合、第 1 半導体チップ 110 は第 2 半導体チップ 120 各々の 2 倍のメモリ容量を有することができる。半導体パッケージ 1 の総メモリ容量は、第 1 半導体チップ 110 のメモリ容量の 2^n 倍 (n は整数) であり得る。

【0038】

次に、本発明の第 2 の実施形態による半導体パッケージ 2 を説明する。

図 3 A は、本発明の第 2 の実施形態による半導体パッケージの断面図であり、図 3 B 及び図 3 C は各々図 3 A の符号 A 及び B 部の拡大図であり、図 3 D は第 1 半導体チップ 110 の下部面を概略的に示す平面図であり、図 3 E は第 2 半導体チップ 120 の上部面を概略的に示す平面図である。

図 2 A ~ 図 2 E を参照して説明したことと重複する技術的な特徴に対する詳細な説明は省略し、相違点に対して詳細に説明する。

【0039】

図 3 A ~ 図 3 E を参照すると、本発明の第 2 の実施形態による半導体パッケージ 2 で、第 2 半導体チップ 120 の第 2 集積回路 IC 2 は、第 2 半導体チップ 120 の第 1 の実施形態の第 2 センターパッド 124 無しで、第 2 ボンディングパッド 125 に電氣的に接続される。

言い換えれば、本発明の第 1 の実施形態による半導体パッケージ 1 と異なり、本発明の第 2 の実施形態による第 2 半導体チップ 120 の第 2 集積回路 IC 2 は、第 2 半導体チップ 120 の縁部に隣接して配置されたエッジパッド、即ち第 2 ボンディングパッド 125 に直接電氣的に接続される。

【0040】

次に、本発明の第 3 の実施形態による半導体パッケージ 3 を説明する。

図 4 A は本発明の第 3 の実施形態による半導体パッケージの断面図であり、図 4 B は図 4 A の符号 A 部分の拡大図である。

図 2 A ~ 図 2 E を参照して説明したことと重複する技術的な特徴に対する詳細な説明は省略し、相違点に対して詳細に説明する。

【0041】

図 4 A 及び図 4 B を参照すると、本発明の第 3 の実施形態による半導体パッケージ 3 はパッケージ基板 100、パッケージ基板 100 上の第 1 半導体チップ 110、パッケージ基板 100 と第 1 半導体チップ 110 との間に実装され、互いに離隔された一対の第 2 半導体チップ 120、パッケージ基板 100 と第 2 半導体チップ 120 との間に提供され、互いに離隔された一対の第 3 半導体チップ 130、及びパッケージ基板 100 と第 3 半導体チップ 130 との間に提供され、互いに離隔された一対の第 4 半導体チップ 140 を包含する。

【0042】

第 3 半導体チップ 130 は、第 2 半導体チップ 120 と対向する第 5 面 130 a 及び第 5 面に対向する第 6 面 130 b を有する。

10

20

30

40

50

第3半導体チップ130は、第3集積回路、第3センターパッド134、及び第3ボンディングパッド135を有する。第3半導体チップ130の第6面130b上に第3絶縁膜139が形成される。

第3集積回路は、図2Cに示した第2集積回路IC2のように、第5面130aに隣接する第3半導体チップ130の内部に配置される。第3センターパッド134及び第3ボンディングパッド135は第3半導体チップ120の第5面130aに配置される。

【0043】

第3センターパッド134は、第3半導体チップ130の中央領域に配置される。

第3ボンディングパッド135は、第3半導体チップ130の互いに対向する縁端130eに隣接して配置される。第3ボンディングパッド135は第2ボンディングパッド125に対応するように配置され、第3再配線136を通じて第3センターパッド134と電氣的に接続される。

これによって、第3ボンディングパッド135は第3センターパッド134を通じて第3集積回路と電氣的に接続される(図2C参照)。

【0044】

第4半導体チップ140の各々は、第3半導体チップ130と対向する第7面140a及び第7面に対向する第8面140bを有する。

第4半導体チップ140は、第4集積回路、第4センターパッド144、及び第4ボンディングパッド145を包含する。

第4集積回路は、図2Cに示した第2集積回路IC2のように、第7面140aに隣接する第4半導体チップ140の内部に配置される。

【0045】

第4センターパッド144及び第4ボンディングパッド145は、第4半導体チップ140の第7面140aに配置される。

第4センターパッド144は、第4半導体チップ140の中央領域に配置される。第4ボンディングパッド145は第4半導体チップ140の互いに対向する縁端140eに隣接して配置される。

第4ボンディングパッド145は、第3ボンディングパッド135に対応するように配置され、第4再配線146を通じて第4センターパッド144と電氣的に接続される。

これによって、第4ボンディングパッド145は第4センターパッド144を通じて第4集積回路と電氣的に接続される(図2C参照)。

【0046】

第2半導体チップ120、第3半導体チップ130、第4半導体チップ140、及びパッケージ基板100は接着層210を通じて互いに付着される。

第2ボンディングパッド125、第3ボンディングパッド135、及び第4ボンディングパッド145はサイド接続方式で接続される。

例えば、図4Bに示すように、第2半導体チップ120、第3半導体チップ130、第4半導体チップ140の側壁に側壁絶縁膜32が形成され、側壁絶縁膜32上に金属配線30が形成される。

金属配線30は、第2半導体チップ120、第3半導体チップ130、及び第4半導体チップ140間を延長して第2ボンディングパッド125、第3ボンディングパッド135、及び第4ボンディングパッド145と接続される。金属配線30は、例えば銅(Cu)を包含することができる。

【0047】

次に、本発明の第4の実施形態による半導体パッケージ4を説明する。

図5は本発明の第4の実施形態による半導体パッケージの断面図である。

図4Aを参照して説明したことと重複する技術的な特徴に対する詳細な説明は省略し、相違点に対して詳細に説明する。

【0048】

図5を参照すると、第3半導体チップ130は、第4半導体チップ140の第4ボンデ

10

20

30

40

50

イングパッド 145 を露出するようにパッケージ基板 100 の縁端方向にシフトされる。
第 2 半導体チップ 120 は第 3 半導体チップの第 3 ボンディングパッド 135 を露出するようにパッケージ基板 100 の縁端方向にシフトされる。

第 1 サブワイヤ 42 が開口部 101 内に提供されて、第 2 ボンディングパッド 125 と第 3 ボンディングパッド 135 とを電氣的に接続する。

第 2 サブワイヤ 44 が開口部 101 内に提供されて、第 3 ボンディングパッド 135 と第 4 ボンディングパッド 145 とを電氣的に接続する。

【0049】

次に、本発明の第 5 の実施形態による半導体パッケージ 5 を説明する。

図 6 A は本発明の第 5 の実施形態による半導体パッケージの断面図であり、図 6 B 及び図 6 C は各々図 6 A の符号 A 及び B 部の拡大図である。

図 2 A ~ 図 2 E を参照して説明したものと重複する技術的な特徴に対する詳細な説明は省略し、相違点に対して詳細に説明する。

【0050】

図 6 A ~ 図 6 C を参照すると、第 2 半導体チップ 120 の第 2 集積回路 IC 2 は第 4 面 120 b に隣接する第 2 半導体チップ 120 の内部に形成される。

第 2 センターパッド 124 及び第 2 ボンディングパッド 125 は第 2 半導体チップ 120 の第 4 面 120 b に配置される。

第 2 センターパッド 124 は、第 2 半導体チップ 120 の中央領域に配置される。

第 2 ボンディングパッド 125 は、第 2 半導体チップ 120 の互いに対向する縁部に隣接して配置される。

【0051】

第 2 ボンディングパッド 125 は、第 1 ボンディングパッド 115 に対応するように配置され、第 2 再配線 126 を通じて第 2 センターパッド 124 に電氣的に接続される。

第 2 センターパッド 124 は、第 2 内部パッド 128 と第 2 コンタクト 127 を通じて第 2 集積回路 IC 2 に電氣的に接続される。

第 2 半導体チップ 120 の第 4 面 120 b 上に第 2 ボンディングパッド 125 を露出する第 2 絶縁膜 129 が提供され得る。

【0052】

パッケージ基板 100、第 1 半導体チップ 110、及び第 2 半導体チップ 120 は、接着層 210 を通じて互いに付着される。接着層 210 は、エポキシ或いはシリコン材質の絶縁性膜或いはテープであり得る。

第 2 半導体チップ 120 は、第 2 半導体チップの第 2 ボンディングパッド 125 を露出するように開口部 101 に向かってシフトされる。

第 2 半導体チップ 120 は第 1 ボンディングパッド 115 を露出させる。

第 1 サブワイヤ 42 が開口部 101 内に提供されて、第 1 ボンディングパッド 115 と第 2 ボンディングパッド 125 とを電氣的に接続する。

【0053】

次に、本発明の第 6 の実施形態による半導体パッケージ 6 を説明する。

図 7 は本発明の第 6 の実施形態による半導体パッケージの断面図である。

図 6 A ~ 図 6 C を参照して説明したものと重複する技術的な特徴に対する詳細な説明は省略し、相違点に対して詳細に説明する。

【0054】

図 7 を参照すると、本発明の第 6 の実施形態による半導体パッケージ 6 は、パッケージ基板 100 と第 2 半導体チップ 120 との間に提供され、互いに離隔された一对の第 3 半導体チップ 130、及びパッケージ基板 100 と第 3 半導体チップ 130 との間に提供され、互いに離隔された一对の第 4 半導体チップ 140 を包含する。

第 3 半導体チップ 130 は第 3 集積回路、第 3 センターパッド 134、及び第 3 ボンディングパッド 135 を包含する。第 3 半導体チップ 130 は第 2 半導体チップ 120 と対向する第 5 面 130 a 及び第 5 面に対向する第 6 面 130 b を有する。

【 0 0 5 5 】

第 3 集積回路は、図 6 C に示した第 2 集積回路 I C 2 のように、第 6 面 1 3 0 b に隣接する第 3 半導体チップ 1 3 0 の内部に形成される。

第 3 センターパッド 1 3 4 及び第 3 ボンディングパッド 1 3 5 は第 3 半導体チップ 1 3 0 の第 6 面 1 3 0 b に配置される。

第 3 センターパッド 1 3 4 は、第 3 半導体チップ 1 3 0 の中央領域に配置され得る。第 3 ボンディングパッド 1 3 5 は第 3 半導体チップ 1 3 0 の互いに対向する縁端 1 3 0 e に隣接して配置される。第 3 ボンディングパッド 1 3 5 は第 2 ボンディングパッド 1 2 5 に対応するように配置され、第 3 再配線 1 3 6 を通じて第 3 センターパッド 1 3 4 と電氣的に接続される。

10

これによって、第 3 ボンディングパッド 1 3 5 は第 3 センターパッド 1 3 4 を通じて第 3 集積回路と電氣的に接続される。

【 0 0 5 6 】

第 4 半導体チップ 1 4 0 は、第 4 集積回路、第 3 センターパッド 1 4 4、及び第 4 ボンディングパッド 1 4 5 を含む。

第 4 半導体チップ 1 4 0 は、第 3 半導体チップ 1 3 0 と対向する第 7 面 1 4 0 a 及び第 7 面に対向する第 8 面 1 4 0 b を有する。

第 4 集積回路は、図 6 C に示した第 2 集積回路 I C 2 のように、第 8 面 1 4 0 b に隣接する第 4 半導体チップ 1 4 0 の内部に形成される。

第 4 センターパッド 1 4 4 及び第 4 ボンディングパッド 1 4 5 は第 4 半導体チップ 1 4 0 の第 8 面 1 4 0 b に配置される。

20

【 0 0 5 7 】

第 4 センターパッド 1 4 4 は、第 4 半導体チップ 1 4 0 の中央領域に配置される。

第 4 ボンディングパッド 1 4 5 は、第 4 半導体チップ 1 4 0 の互いに対向する縁部に隣接して配置される。

第 4 ボンディングパッド 1 4 5 は第 3 ボンディングパッド 1 3 5 に対応するように配置され、第 4 再配線 1 4 6 を通じて第 4 センターパッド 1 4 4 に電氣的に接続される。

これによって、第 4 ボンディングパッド 1 4 5 は第 4 センターパッド 1 4 4 を通じて第 4 集積回路と電氣的に接続される。

【 0 0 5 8 】

30

第 3 半導体チップ 1 3 0 は、第 3 半導体チップの第 3 ボンディングパッド 1 3 5 を露出するように開口部 1 0 1 に向かってシフトされる。

第 4 半導体チップ 1 4 0 は、第 4 半導体チップの第 4 ボンディングパッド 1 4 5 を露出するように開口部 1 0 1 に向かってシフトされる。

第 2 サブワイヤ 4 4 が開口部 1 0 1 内に提供されて、第 2 ボンディングパッド 1 2 5 と第 3 ボンディングパッド 1 3 5 とを電氣的に接続する。

第 3 サブワイヤ 4 6 が開口部 1 0 1 内に提供されて、第 3 ボンディングパッド 1 3 5 と第 4 ボンディングパッド 1 4 5 とを電氣的に接続する。

【 0 0 5 9 】

本発明の第 7 の実施形態による半導体パッケージ 7 A を説明する。

40

図 8 A は本発明の第 7 の実施形態による半導体パッケージの断面図であり、図 8 B は図 8 A の符号 A 部の拡大図である。

図 8 A 及び図 8 B を参照すると、半導体パッケージ 7 A は、回路パターンを有するパッケージ基板 1 0 0、パッケージ基板上の第 1 半導体チップ 1 1 0、及び第 1 半導体チップ上に互いに離隔した一対の第 2 半導体チップ 1 2 0 を含む。

【 0 0 6 0 】

パッケージ基板 1 0 0 は印刷回路基板であり得る。

パッケージ基板 1 0 0 は回路パターン 1 0 2 を含む。回路パターン 1 0 2 はパッケージ基板 1 0 0 の下面に配置された外部パッド 1 0 4 と電氣的に接続される。

半導体パッケージ 6 と外部装置とを電氣的に接続できるソルダバンプ或いはソルダボー

50

ルのような外部端子 108 が外部パッド 104 に付着される。

【0061】

第1半導体チップ 110 は、パッケージ基板 100 と対向する第1面 110a 及び第1面に対向する第2面 110b を有する。

第1半導体チップ 110 は、第1集積回路 IC1、貫通電極 (through-silicon via) TSV、及び第1ボンディングパッド 115 を包含する。

第1集積回路 IC1 は、第2面 110b に隣接する第1半導体チップ 110 の内部に形成される。

貫通電極 TSV は、第1半導体チップ 110 の中央領域に配置される。

貫通電極 TSV は、第1半導体チップ 110 の基板を貫通して形成され、第1半導体チップ 110 の第1面 110a の下部パッド 111a と第2面 110b の上部パッド 111b とを接続する。

【0062】

第1ボンディングパッド 115 は、貫通電極 TSV と離隔して、第1半導体チップ 110 の中央領域に配置される。

第1ボンディングパッド 115 は、第1半導体チップ 110 の第2面 110b に配置される。第1ボンディングパッド 115 は第1コンタクト 117 及び第1内部パッド 118 を通じて第1集積回路 IC1 に電氣的に接続される。

第1ボンディングパッド 115 は、貫通電極 TSV の両側に一対に配置される。第1ボンディングパッド 115 は、第1再配線 116 を通じて貫通電極 TSV と電氣的に接続される。第1半導体チップ 110 の第2面 110b 上に第1ボンディングパッド 115 を露出する第1絶縁膜 119 が提供され得る。

【0063】

第1半導体チップ 110 とパッケージ基板 100 との間に第1バンパー 22 が提供されて、貫通電極 TSV と回路パターン 102 とを電氣的に接続する。

半導体パッケージ 6 は、第1バンパー 22 と離隔して、第1半導体チップ 110 とパッケージ基板 100 を支持する第1ダミーバンパー 24 をさらに包含することができる。

【0064】

一対の第2半導体チップ 120 は、第1半導体チップ 110 の中央領域を露出するように互いに離隔される。

第2半導体チップ 120 の互いに対向する縁端 120e は第1半導体チップ 110 の中央領域に隣接する。

第2半導体チップ 120 は、第1半導体チップ 110 と対向する第3面 120a 及び第3面に対向する第4面 120b を有する。

第2半導体チップ 120 の各々は、第2集積回路、第2センターパッド 124、及び第2ボンディングパッド 125 を包含する。

【0065】

第2集積回路は、図2Cに示したように、第4面 120b に隣接する第2半導体チップ 120 の内部に形成される。

第2センターパッド 124 は、第2半導体チップ 120 の中央領域に配置される。

第2ボンディングパッド 125 は、第2半導体チップ 120 の互いに対向する縁端 120e に隣接して配置される。

第2センターパッド 124 及び第2ボンディングパッド 125 は第2半導体チップ 120 の第4面 120b に配置される。

第2ボンディングパッド 125 は第2再配線 126 を通じて第2センターパッド 124 と電氣的に接続される。第2センターパッド 124 は第2集積回路 IC2 と電氣的に接続される。

これによって、第2ボンディングパッド 125 は第2センターパッド 124 を通じて第2集積回路 IC2 と電氣的に接続される。

【0066】

10

20

30

40

50

第2半導体チップ120の第3面120aに接続パッド127が提供される。

接続パッド127は、第2ボンディングパッド125と対応するように提供される。第2半導体チップ120の第3面120a上に接続パッド127を露出する第2絶縁膜129が提供され得る。

第2ボンディングパッド125と連結パッド127とはサイド接続方式で接続される。

例えば、図8Bに示すように、第2半導体チップ120の側壁に側壁絶縁膜32が形成され、側壁絶縁膜32上に金属配線30が形成される。

金属配線30は、第2半導体チップ120の第3面120a及び第4面120bに延長して第2ボンディングパッド125と接続パッド127とを接続する。金属配線30は、例えば銅(Cu)を包含することができる。

10

【0067】

第1半導体チップ110と第2半導体チップ120との間に第2バンパー26が提供されて、接続パッド127と第1ボンディングパッド115とを接続することができる。

半導体パッケージ6は、第2バンパー26と離隔して第1半導体チップ110と第2半導体チップ120とを支持する第2ダミーバンパー28をさらに包含することができる。

【0068】

次に、本発明の第7の実施形態の変形にしたがう半導体パッケージ7Bを説明する。

図9は、本発明の第7の実施形態の変形にしたがう半導体パッケージの断面図である。

図8A及び図8Bを参照して説明したものと重複する技術的な特徴に対する詳細な説明は省略し、相違点に対して詳細に説明する。

20

【0069】

図9を参照すると、本発明の第7の実施形態による半導体パッケージ7Aとは異なり、本発明の第7の実施形態の変形にしたがう半導体パッケージ7Bの第1ボンディングパッド115は、第1再配線116ではないボンディングワイヤ40を通じて貫通電極TSVと電氣的に接続される。

【0070】

次に、本発明の第8の実施形態による半導体パッケージ8を説明する。

図10は、本発明の第8の実施形態による半導体パッケージの断面図である。

図8A及び図8Bを参照して説明したものと重複する技術的な特徴に対する詳細な説明は省略し、相違点に対して詳細に説明する。

30

【0071】

図10を参照すると、本発明の第8の実施形態による半導体パッケージ8は、パッケージ基板100、パッケージ基板100上の第1半導体チップ110、第1半導体チップ110上に実装され互いに離隔された一対の第2半導体チップ120、第2半導体チップ120上に提供され互いに離隔された一対の第3半導体チップ130、及び第3半導体チップ130上に提供され互いに離隔された一対の第4半導体チップ140を包含する。

第3半導体チップ130の各々は、第3集積回路、第3センターパッド134、及び第3ボンディングパッド135を包含する。第3半導体チップ130の各々は第2半導体チップ120と対向する第5面130a及び第5面に対向する第6面130bを有する。

【0072】

第3集積回路は、図2Cに示した第2集積回路IC2のように、第6面130bに隣接する第3半導体チップ130の内部に配置される。

第3センターパッド134及び第3ボンディングパッド135は第3半導体チップ120の第6面130bに配置される。

第3センターパッド134は、第3半導体チップ130の中央領域に配置される。

第3ボンディングパッド135は、第3半導体チップ130の互いに対向する縁端130eに隣接して配置される。

第3ボンディングパッド135は第2ボンディングパッド125に対応するように配置され、第3再配線136を通じて第3センターパッド134と電氣的に接続される。

これによって、第3ボンディングパッド135は第3センターパッド134を通じて第

40

50

3 集積回路と電氣的に接続される。

【0073】

第4半導体チップ140の各々は第4集積回路、第4センターパッド144及び第4ボンディングパッド145を包含する。

第4半導体チップ140の各々は、第3半導体チップ130と対向する第7面140a及び第7面に対向する第8面140bを有する。

第4集積回路は、図2Cに示した第2集積回路IC2のように、第8面140bに隣接する第4半導体チップ140の内部に配置される。

第4センターパッド144及び第4ボンディングパッド145は第4半導体チップ140の第8面140bに配置される。

10

【0074】

第4センターパッド144は、第4半導体チップ140の中央領域に配置される。

第4ボンディングパッド145は、第4半導体チップ140の互いに対向する縁端140eに隣接して配置される。

第4ボンディングパッド145は、第3ボンディングパッド135に対応するように配置され、第4再配線146を通じて第4センターパッド144と電氣的に接続される。

これによって、第4ボンディングパッド145は第4センターパッド144を通じて第4集積回路と電氣的に接続される(図2C参照)。

第2半導体チップ120、第3半導体チップ130、及び第4半導体チップ140は接着層210を通じて互いに付着される。

20

【0075】

接続パッド127、第2ボンディングパッド125、第3ボンディングパッド135、及び第4ボンディングパッド145はサイド接続方式で接続される。

例えば、図8Bのように、第2半導体チップ120、第3半導体チップ130、第4半導体チップ140の側壁に側壁絶縁膜32が形成され、側壁絶縁膜32上に金属配線30が形成される。

金属配線30は、接続パッド127、第2ボンディングパッド125、第3ボンディングパッド135、及び第4ボンディングパッド145と接続される。

金属配線30は、例えば銅(Cu)を包含することができる。

【0076】

30

次に、本発明の第9の実施形態による半導体パッケージ9を説明する。

図11は、本発明の第9の実施形態による半導体パッケージの断面図である。

図10を参照して説明したことと重複する技術的な特徴に対する詳細な説明は省略し、相違点に対して詳細に説明する。

【0077】

図11を参照すると、第3半導体チップ130は、第2半導体チップ120の第2ボンディングパッド125を露出するように、第2半導体チップ120に比べてパッケージ基板100の外側の縁部方向にシフトされる。

第4半導体チップ140は、第3半導体チップ130の第3ボンディングパッド135を露出するように、第3半導体チップ130に比べてパッケージ基板100の外側の縁部方向にシフトされる。

40

接続パッド127、第2ボンディングパッド125、第3ボンディングパッド135、及び第4ボンディングパッド145は、サイド接続方式で接続される。

第2半導体チップ120は、バンパー26を通じて第1半導体パッケージ110に接続される。

【0078】

次に、本発明の第10の実施形態による半導体パッケージ10を説明する。

図12は、本発明の第10の実施形態による半導体パッケージの断面図である。

図11を参照して説明したことと重複する技術的な特徴に対する詳細な説明は省略し、相違点に対して詳細に説明する。

50

【 0 0 7 9 】

図 1 2 を参照すると、第 2 半導体チップ 1 2 0 は接着層 2 1 0 を通じて第 1 半導体パッケージ 1 1 0 に付着される。

第 3 半導体チップ 1 3 0 は、第 2 半導体チップ 1 2 0 の第 2 ボンディングパッド 1 2 5 を露出するようにパッケージ基板 1 0 0 の外側の縁部方向にシフトされ、第 4 半導体チップ 1 4 0 は第 3 半導体チップ 1 3 0 の第 3 ボンディングパッド 1 3 5 を露出するようにパッケージ基板 1 0 0 の外側の縁部方向にシフトされる。

【 0 0 8 0 】

第 1 ボンディングパッド 1 1 5 と第 2 ボンディングパッド 1 2 5 とは第 1 サブワイヤ 4 2 を通じて、第 2 ボンディングパッド 1 2 5 と第 3 ボンディングパッド 1 3 5 とは第 2 サブワイヤ 4 4 を通じて、第 3 ボンディングパッド 1 3 5 と第 4 ボンディングパッド 1 4 5 は第 3 サブワイヤ 4 6 を通じて電氣的に接続される。

又、上述した第 7 ~ 第 1 0 の実施形態の第 1 ボンディングパッド 1 1 5 は、変形例として、第 1 再配線ではない図 9 を参照して説明したようにメインボンディングワイヤ 4 0 を通じて貫通電極 T S V と電氣的に接続させることもできる。

【 0 0 8 1 】

次に、本発明の第 1 1 の実施形態による半導体パッケージ 1 1 を説明する。

図 1 3 A は本発明の第 1 1 の実施形態による半導体パッケージの断面図であり、図 1 3 B 及び図 1 3 C は各々図 1 3 A の符号 A 及び B 部の拡大図である。

図 1 3 A ~ 図 1 3 C を参照すると、半導体パッケージ 1 0 は、回路パターン 1 0 2 を有するパッケージ基板 1 0 0、パッケージ基板上の第 1 半導体チップ 1 1 0、及び第 1 半導体チップ上に互いに離隔された一対の第 2 半導体チップ 1 2 0 を含む。

【 0 0 8 2 】

パッケージ基板 1 0 0 は印刷回路基板であり得る。

パッケージ基板 1 0 0 は回路パターン 1 0 2 を含む。回路パターン 1 0 2 はパッケージ基板 1 0 0 の下面に配置された外部パッド 1 0 4 と電氣的に接続される。

半導体パッケージ 1 1 を外部装置に電氣的に接続させるソルダバンプ或いはソルダボールのような 1 つ或いはそれ以上の外部端子 1 0 8 が外部パッド 1 0 4 に付着される。

【 0 0 8 3 】

第 1 半導体チップ 1 1 0 は、パッケージ基板 1 0 0 と対向する第 1 面 1 1 0 a 及び第 1 面に対向する第 2 面 1 1 0 b を有する。

第 1 半導体チップ 1 1 0 は、第 1 集積回路 I C 1、貫通電極 T S V、及び第 1 ボンディングパッド 1 1 5 を包含する。

第 1 集積回路 I C 1 は、第 1 面 1 1 0 a に隣接する第 1 半導体チップ 1 1 0 の内部に形成される。

貫通電極 T S V は、第 1 半導体チップ 1 1 0 の中央領域に配置される。

貫通電極 T S V は、第 1 半導体チップ 1 1 0 の基板を貫通して形成され、第 1 半導体チップ 1 1 0 の第 1 面 1 1 0 a の下部パッド 1 1 1 a と第 2 面 1 1 0 b の上部パッド 1 1 1 b とを接続させる。

【 0 0 8 4 】

第 1 ボンディングパッド 1 1 5 は、貫通電極 T S V と離隔されて第 1 半導体チップ 1 1 0 の中央領域に配置される。

第 1 ボンディングパッド 1 1 5 は、第 1 半導体チップ 1 1 0 の第 1 面 1 1 0 a に配置される。

第 1 ボンディングパッド 1 1 5 は貫通電極 T S V に隣接して配置される。第 1 ボンディングパッド 1 1 5 は第 1 再配線 1 1 6 を通じて貫通電極 T S V に電氣的に接続される。第 1 ボンディングパッド 1 1 5 は、下部パッド 1 1 1 a、第 1 コンタクト 1 1 7 及び第 1 内部パッド 1 1 8 を通じて第 1 集積回路 I C 1 と電氣的に接続される。

【 0 0 8 5 】

第 1 半導体チップ 1 1 0 とパッケージ基板 1 0 0 との間に第 1 バンパー 2 2 が提供され

10

20

30

40

50

て、第 1 ボンディングパッド 1 1 5 と回路パターン 1 0 2 とを電氣的に接続する。

第 1 半導体チップ 1 1 0 とパッケージ基板 1 0 0 との間に第 1 バンパー 2 2 と離隔した第 1 ダミーバンパー 2 4 が追加的に提供され得る。

第 1 半導体チップ 1 1 0 の第 1 面 1 1 0 a に第 1 絶縁膜 1 1 9 が提供されて、第 1 ボンディングパッド 1 1 5 を露出する。

【0086】

一対の第 2 半導体チップ 1 2 0 は、第 1 半導体チップ 1 1 0 の中央領域を露出するように互いに離隔される。

第 2 半導体チップ 1 2 0 の互いに対向する縁端は、第 1 半導体チップ 1 1 0 の中央領域に隣接することができる。

第 2 半導体チップ 1 2 0 の各々は、第 1 半導体チップ 1 1 0 と対向する第 3 面 1 2 0 a 及び第 3 面に対向する第 4 面 1 2 0 b を有する。

第 2 半導体チップ 1 2 0 の各々は、第 2 集積回路 IC 2、第 2 センターパッド 1 2 4 及び第 2 ボンディングパッド 1 2 5 を包含する。

【0087】

第 2 集積回路 IC 2 は、第 3 面 1 2 0 a に隣接する第 2 半導体チップ 1 2 0 の内部に形成される。

第 2 センターパッド 1 1 4 は、第 2 半導体チップ 1 2 0 の中央領域に配置される。

第 2 ボンディングパッド 1 2 5 は、第 2 半導体チップ 1 2 0 の互いに対向する縁端 1 2 0 e に隣接して配置される。

第 2 センターパッド 1 2 4 及び第 2 ボンディングパッド 1 2 5 は第 2 半導体チップ 1 2 0 の第 3 面 1 2 0 a に配置される。

第 2 ボンディングパッド 1 2 5 は、第 2 再配線 1 2 6 を通じて第 2 センターパッド 1 2 4 に電氣的に接続される。

第 2 センターパッド 1 2 4 は、第 2 コンタクト 1 2 7 及び第 2 内部パッド 1 2 8 を通じて第 2 集積回路 IC 2 に電氣的に接続される。

第 2 半導体チップ 1 2 0 の第 3 面 1 2 0 a 上に第 2 ボンディングパッド 1 2 5 を露出する第 2 絶縁膜 1 2 9 が提供され得る。

【0088】

第 1 半導体チップ 1 1 0 と第 2 半導体チップ 1 2 0 との間に第 2 バンパー 2 6 が提供されて、第 2 ボンディングパッド 1 2 5 と上部パッド 1 1 1 b を接続する。

第 1 半導体チップ 1 1 0 と第 2 半導体チップ 1 2 0 との間に第 2 バンパー 2 6 と離隔した第 2 ダミーバンパー 2 8 が追加的に提供され得る。

【0089】

次に、本発明の第 1 2 の実施形態による半導体パッケージ 1 2 を説明する。

図 1 4 は本発明の第 1 2 の実施形態による半導体パッケージの断面図である。

図 1 3 A ~ 図 1 3 C を参照して説明したと重複する技術的な特徴に対する詳細な説明は省略し、相違点に対して詳細に説明する。

【0090】

図 1 4 を参照して、本発明の第 1 2 の実施形態による半導体パッケージ 1 2 は、パッケージ基板 1 0 0、パッケージ基板 1 0 0 上の第 1 半導体チップ 1 1 0、第 1 半導体チップ 1 1 0 上に実装され互いに離隔された一対の第 2 半導体チップ 1 2 0、第 2 半導体チップ 1 2 0 上に提供され互いに離隔された一対の第 3 半導体チップ 1 3 0、及び第 3 半導体チップ 1 3 0 上に提供され互いに離隔された一対の第 4 半導体チップ 1 4 0 を包含する。

【0091】

第 3 半導体チップ 1 3 0 の各々は、第 3 集積回路、第 3 センターパッド 1 3 4、及び第 3 ボンディングパッド 1 3 5 を有する。

第 3 ボンディングパッド 1 3 5 は、第 3 集積回路と電氣的に接続される。

第 3 半導体チップ 1 3 0 の各々は、第 2 半導体チップ 1 2 0 と対向する第 5 面 1 3 0 a 及び第 5 面に対向する第 6 面 1 3 0 b を有する。

10

20

30

40

50

第3集積回路は、図13Cに示した第2集積回路IC2のように、第5面130aに隣接する第3半導体チップ130の内部に配置される。

【0092】

第3センターパッド134及び第3ボンディングパッド135は、第3半導体チップ120の第5面130aに配置される。

第3センターパッド134は、第3半導体チップ130の中央領域に配置される。

第3ボンディングパッド135は、第3半導体チップ130の互いに対向する縁端130eに隣接して配置される。

第3ボンディングパッド135は第2ボンディングパッド125に対応するように配置され、第3再配線136を通じて第3センターパッド134と電氣的に接続される。

10

これによって、第3ボンディングパッド135は、第3センターパッド134を通じて第3集積回路と電氣的に接続される。

【0093】

第4半導体チップ140の各々は、第4集積回路、第4センターパッド144及び互いに対向するそれらの縁部に配置される第4ボンディングパッド145を包含する。

第4半導体チップ140の各々は、第3半導体チップ130と対向する第7面140a及び第7面に対向する第8面140bを有する。

第4集積回路は、図13Cに示した第2集積回路IC2のように、第7面140aに隣接する第4半導体チップ140の内部に配置される。

【0094】

20

第4センターパッド144及び第4ボンディングパッド145は、第4半導体チップ140の第7面140aに配置される。

第4センターパッド144は、第4半導体チップ140の中央領域に配置される。

第4ボンディングパッド145は、第4半導体チップ140の互いに対向する縁端140eに隣接して配置される。

第4ボンディングパッド145は、第3ボンディングパッド135に対応するように配置され、第4再配線146を通じて第4センターパッド144と電氣的に接続される。

これによって、第4ボンディングパッド145は、第4センターパッド144を通じて第4集積回路と電氣的に接続される。

【0095】

30

第2半導体チップ120、第3半導体チップ130、及び第4半導体チップ140は接着層210を通じて互いに付着される。

第2ボンディングパッド125、第3ボンディングパッド135、及び第4ボンディングパッド145は、図10で示したように、サイド接続方式で接続される。

【0096】

次に、本発明の第13の実施形態による半導体パッケージ13を説明する。

図15は、本発明の第13の実施形態による半導体パッケージの断面図である。

図14を参照して説明したことと重複する技術的な特徴に対する詳細な説明は省略し、相違点に対して詳細に説明する。

【0097】

40

図15を参照すると、第3半導体チップ130は、第3半導体チップ130の第3ボンディングパッド135を露出するようにパッケージ基板100の中央方向にシフトされ、第4半導体チップ140は、第4半導体チップ140の第4ボンディングパッド145を露出するようにパッケージ基板100の中央方向にシフトされる。

第2ボンディングパッド125と第3ボンディングパッド135とは第1サブワイヤ42を通じて、第3ボンディングパッド135と第4ボンディングパッド145とは第2サブワイヤ44を通じて接続される。

【0098】

上述した第11～第13の実施形態では、第1半導体チップ110の第1集積回路IC1は第1面110aに隣接する第1半導体チップ110の内部に形成され、第1ボンディ

50

ングパッド 115 は第 1 半導体チップ 110 の第 1 面 110a に配置されることとして説明した。

しかし、これに限定されない。図 8A 及び図 8B を参照して説明したように、第 1 半導体チップ 110 の第 1 集積回路 IC1 は第 2 面 110b に隣接する第 1 半導体チップ 110 の内部に形成し、第 1 ボンディングパッド 115 は第 1 半導体チップ 110 の第 2 面 110b に配置することも可能である。

【0099】

上述した第 3 ~ 第 13 の実施形態では、ボンディングパッドがセンターパッドと接続されたものを説明したが、これに限定されない。

例えば、図 3A ~ 図 3E を参照して説明した第 2 の実施形態のように、集積回路をセンターパッド無しで半導体チップの縁部に隣接して配置されたエッジパッド、即ちボンディングパッドに直接接続させることもできる。

【0100】

上述した第 4、第 5、第 6、第 10 及び第 13 の実施形態は、サブワイヤを使用するワイヤボンディングでボンディングパッドを接続することを説明したが、これに限定されない。

例えば、図 11 を参照して説明したサイド接続方式で接続することも可能である。

【0101】

図 16 は、本発明の実施形態による電子システム 1000 を示すブロック図である。

図 16 を参照すると、電子システム 1000 は、本発明の実施形態による半導体パッケージを少なくとも 1 つ包含する。

電子システム 1000 は、モバイル機器やコンピューター等を包含することができる。

【0102】

例えば、電子システム 1000 は、メモリシステム 1120、プロセッサ 1130、RAM 1140、及びユーザーインターフェイス 1150 を包含でき、これらはバス (Bus) 1110 を利用して互いにデータ通信を行う。

プロセッサ 1130 は、プログラムを実行し、電子システム 700 を制御する役割を果たす。

RAM 1140 は、プロセッサ 1130 の動作メモリとして使用される。

例えば、メモリシステム 1120、プロセッサ 1130、及び RAM 1140 は、本発明の実施形態による半導体パッケージを包含することができる。

【0103】

又は、プロセッサ 1130 と RAM 1140 とを 1 つのパッケージに包含することもできる。

ユーザーインターフェイス 1150 は、電子システム 1000 にデータを入力又は出力するのに利用される。

メモリシステム 1120 は、プロセッサ 1130 の動作のためのコード、プロセッサ 1130 によって処理されたデータ、又は外部から入力されたデータを格納することができる。

【0104】

図 16 の電子システムは、多様な電子機器の電子制御装置に適用され得る。

図 16 の電子システムは、例えばスマートフォンのようなモバイル機器、コンピューター、MP3 プレーヤー、ナビゲーション (Navigation)、ソリッドステートドライブ (Solid State Drive; SSD)、サーバー、自動車又は家電製品 (Household appliances) に適用され得る。

【0105】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【符号の説明】

【0106】

10

20

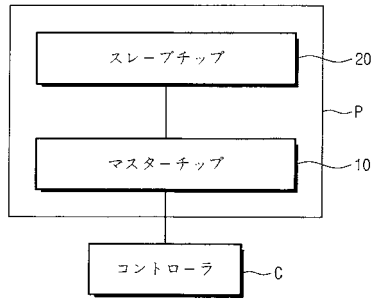
30

40

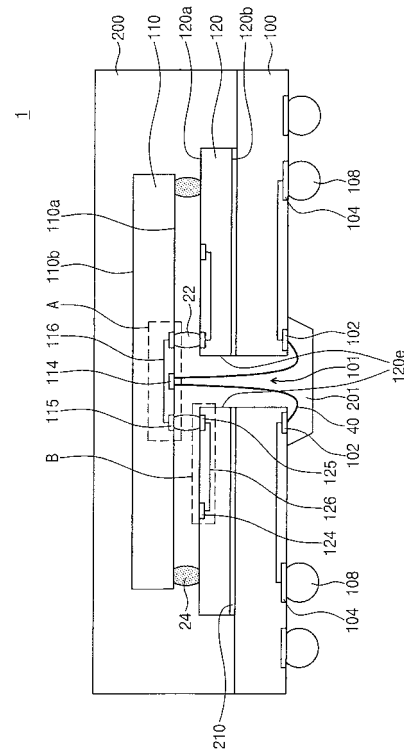
50

1、P	半導体パッケージ	
1 0	マスターチップ	
2 0	スレーブチップ	
2 2	第 1 バンパー	
2 4	ダミーバンパー	
1 0 0	パッケージ基板	
1 0 1	開口部	
1 0 2	回路パターン	
1 0 4	外部パッド	
1 0 8	外部端子	10
1 1 0	第 1 半導体チップ	
1 1 1、1 2 1	中央領域	
1 1 2、1 2 2	セル領域	
1 1 4	第 1 センターパッド	
1 1 5	第 1 ボンディングパッド	
1 1 6	第 1 再配線	
1 1 7、1 2 7	(第 1、第 2) コンタクト	
1 1 8、1 2 8	(第 1、第 2) 内部パッド	
1 1 9、1 2 9	(第 1、第 2) 絶縁膜	
1 2 0	第 2 半導体チップ	20
1 2 0 e	縁端	
1 2 4	第 2 センターパッド	
1 2 5	第 2 ボンディングパッド	
1 2 6	第 2 再配線	
2 0 0	モルディング層	
2 0 1	突出部	
2 1 0	接着層	
C	コントローラ	

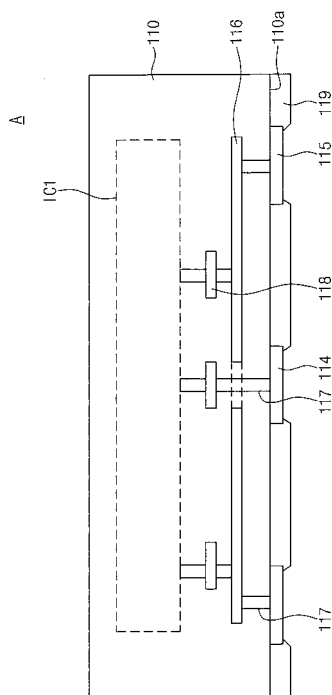
【図 1】



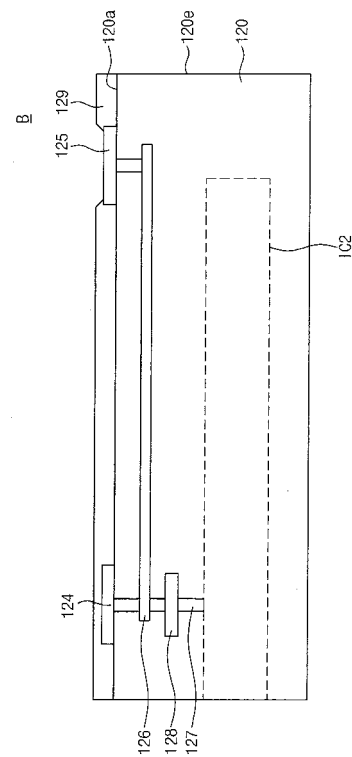
【図 2 A】



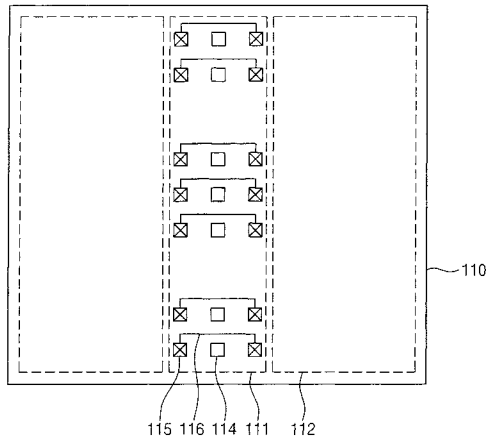
【図 2 B】



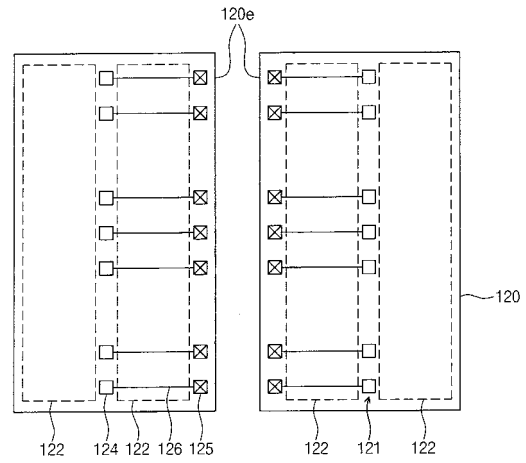
【図 2 C】



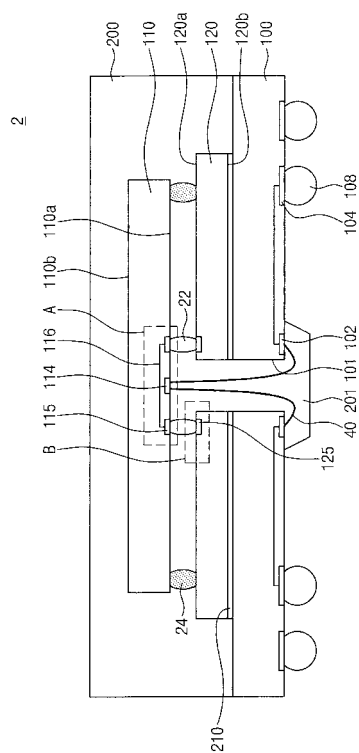
【図 2 D】



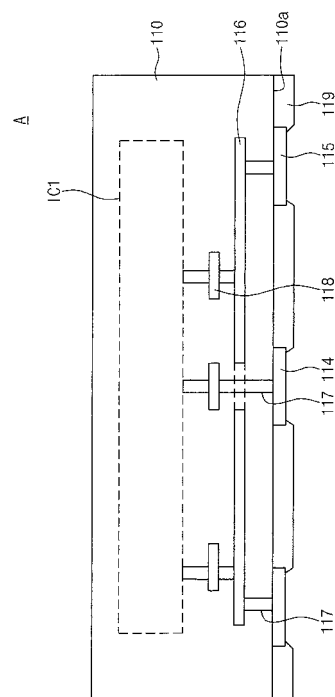
【図 2 E】



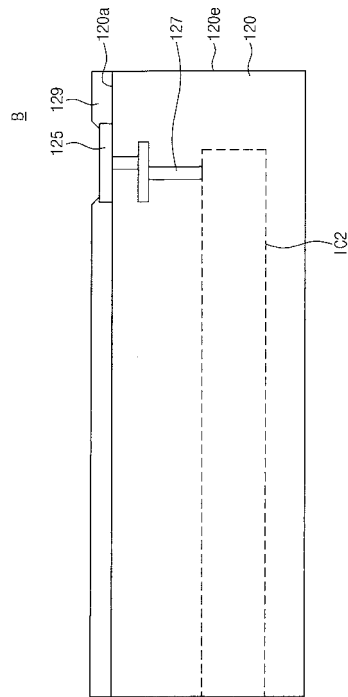
【図 3 A】



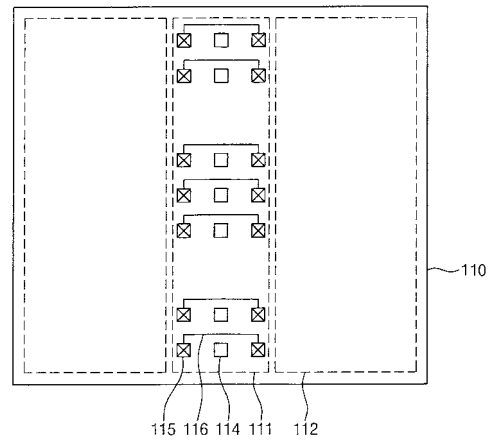
【図 3 B】



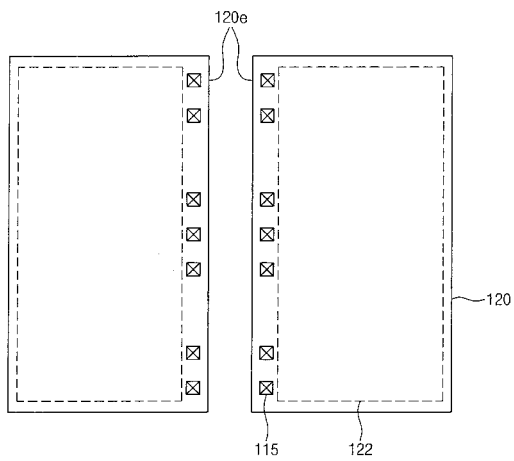
【図 3 C】



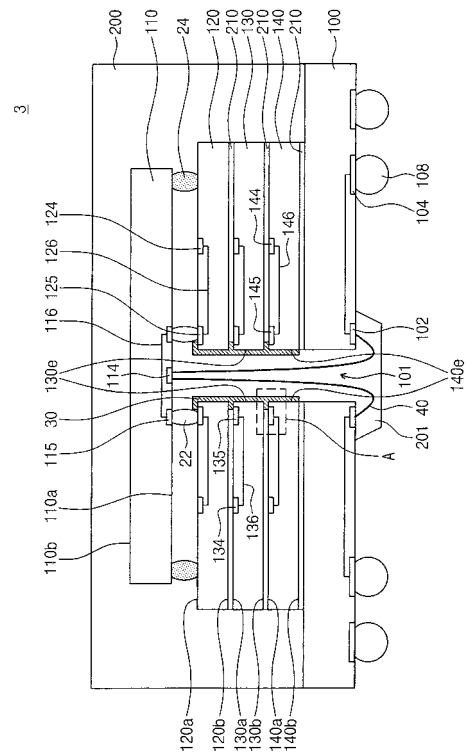
【図 3 D】



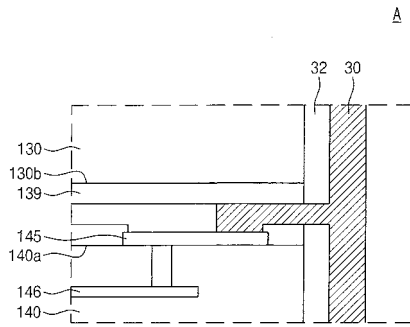
【図 3 E】



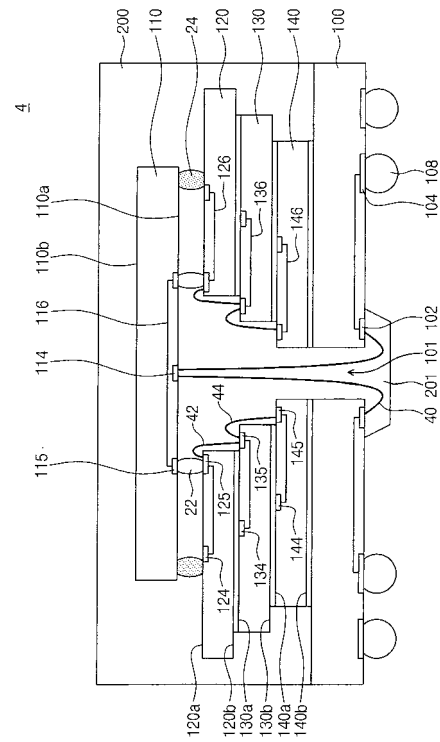
【図 4 A】



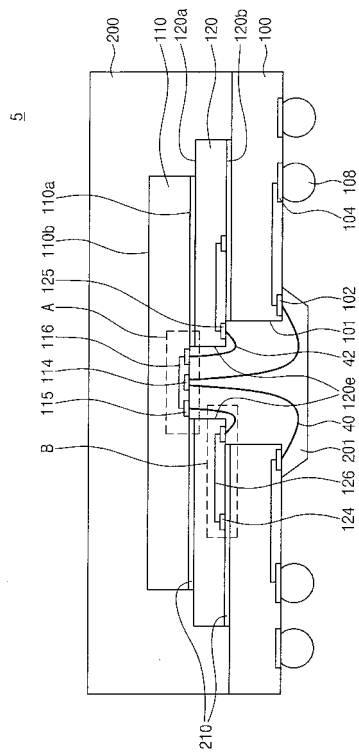
【図 4 B】



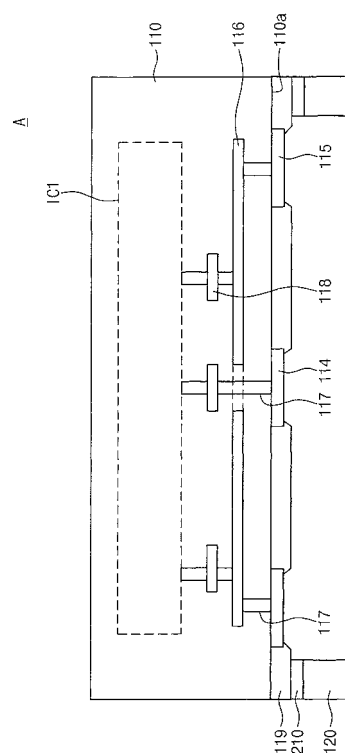
【図 5】



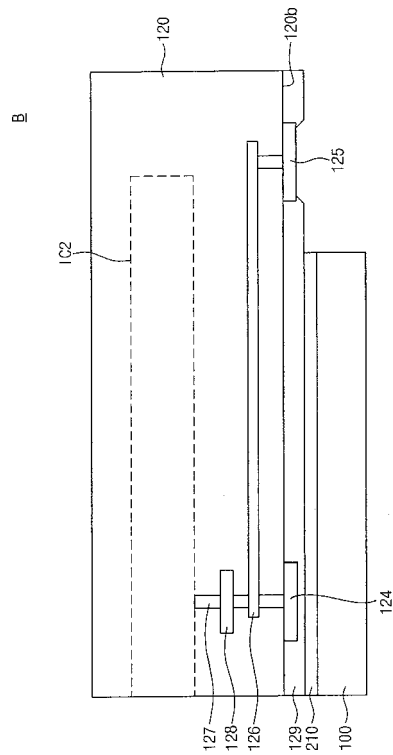
【図 6 A】



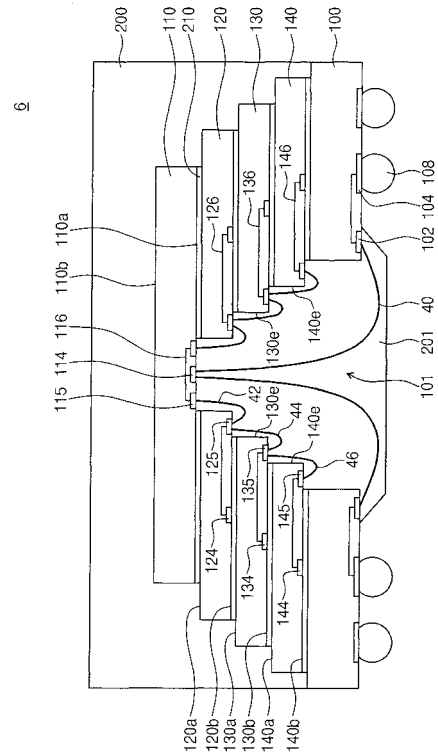
【図 6 B】



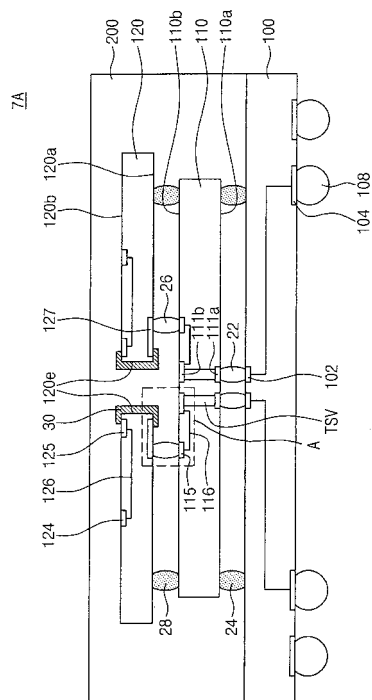
【図 6 C】



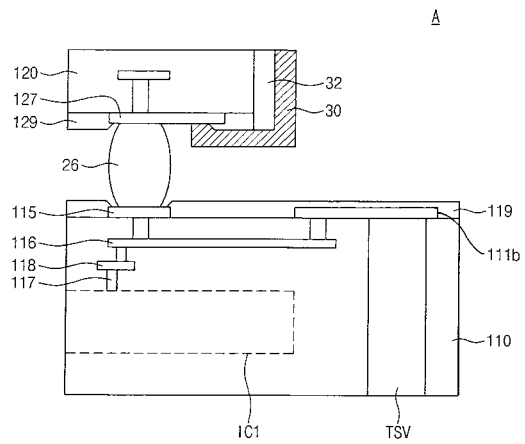
【図 7】



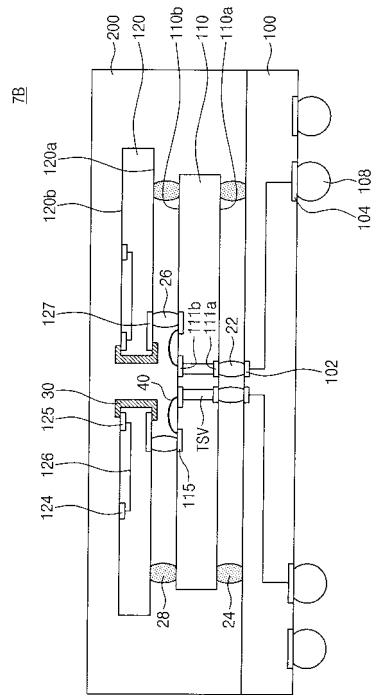
【図 8 A】



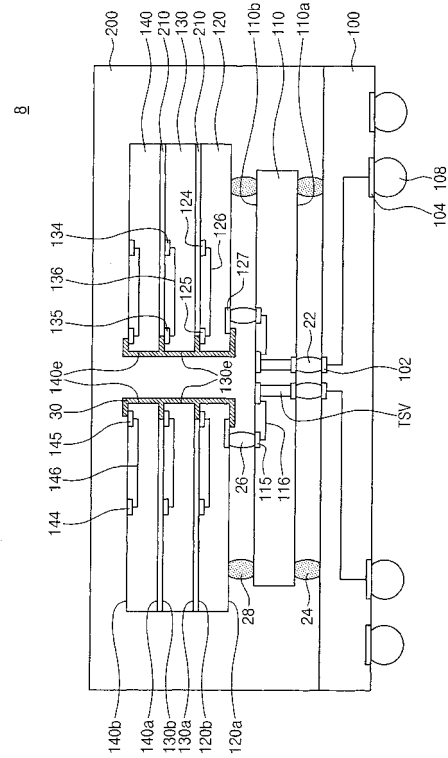
【図 8 B】



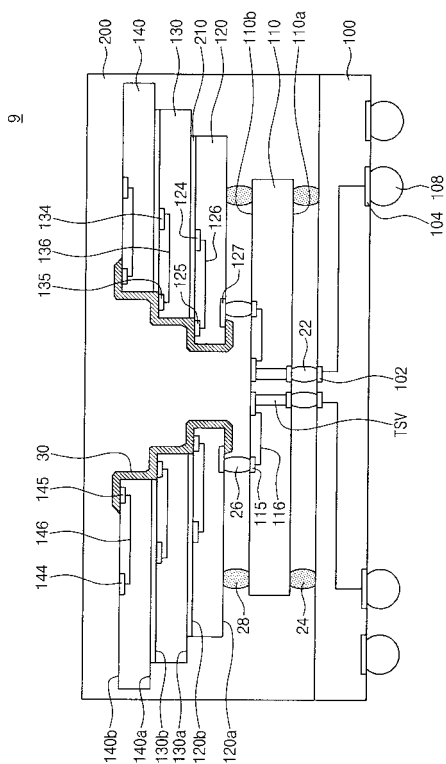
【 図 9 】



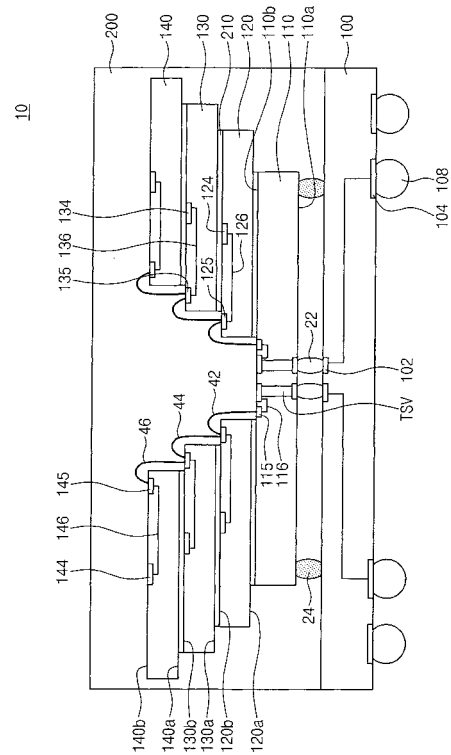
【 図 1 0 】



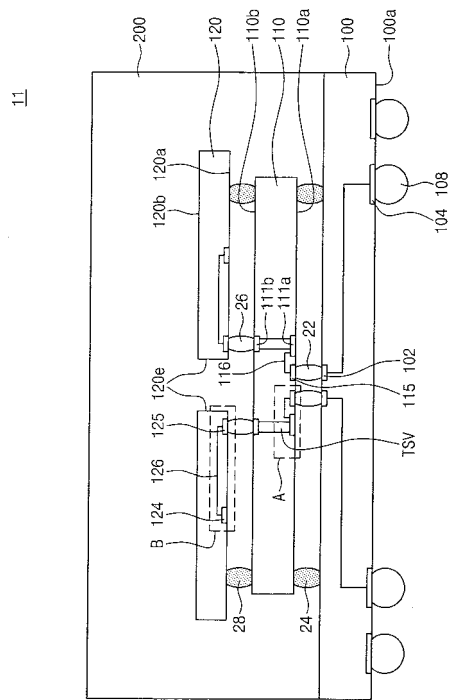
【 図 1 1 】



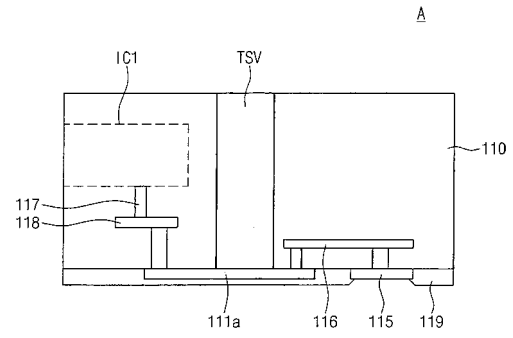
【 図 1 2 】



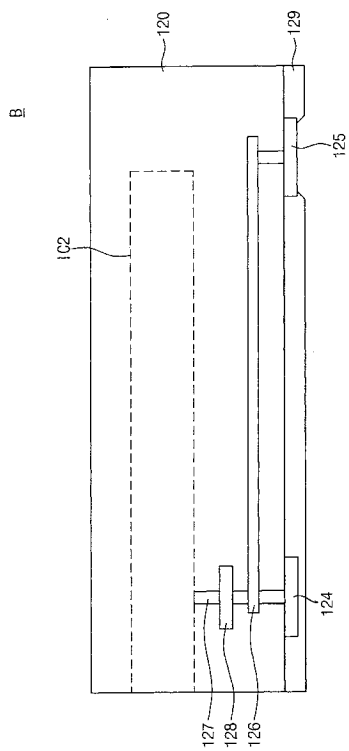
【図 13 A】



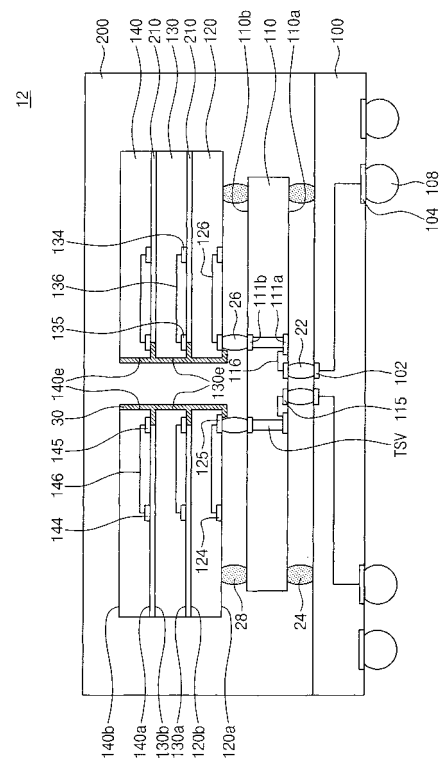
【図 13 B】



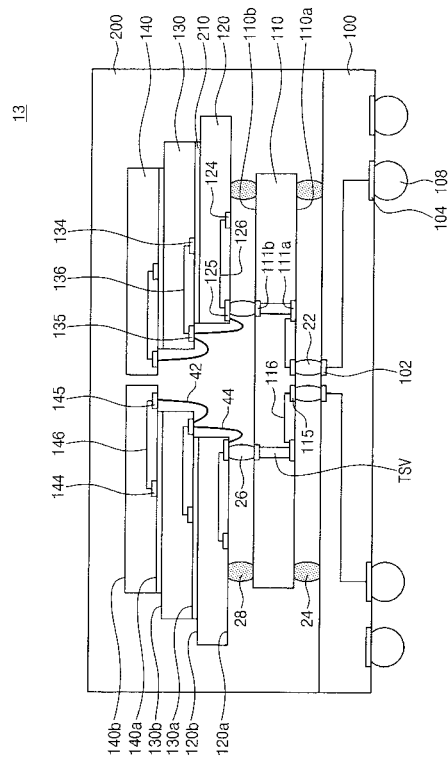
【図 13 C】



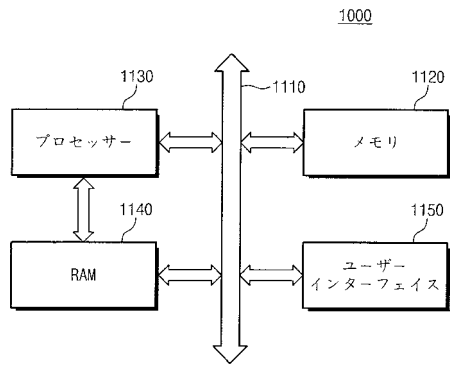
【図 14】



【図 15】



【図 16】



フロントページの続き

(72)発明者 姜 善 遠

大韓民国京畿道城南市盆唐区薊内二洞パークタウンロッテアパート 1 3 6 棟 1 3 0 2 号