



(12) 发明专利

(10) 授权公告号 CN 102983171 B

(45) 授权公告日 2015. 10. 28

(21) 申请号 201210532877. 6

(22) 申请日 2012. 12. 11

(73) 专利权人 哈尔滨工程大学

地址 150001 黑龙江省哈尔滨市南岗区南通大街 145 号哈尔滨工程大学科技处知识产权办公室

(72) 发明人 王颖 单婵 曹菲 胡海帆

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/423(2006. 01)

H01L 29/10(2006. 01)

H01L 21/336(2006. 01)

H01L 21/28(2006. 01)

(56) 对比文件

CN 102610642 A, 2012. 07. 25, 全文 .

CN 102623505 A, 2012. 08. 01, 全文 .

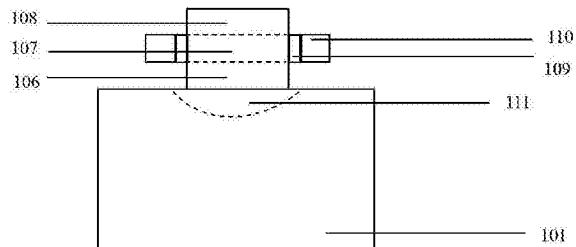
权利要求书1页 说明书3页 附图3页

(54) 发明名称

垂直无结环栅 MOSFET 器件的结构及其制造方法

(57) 摘要

本发明提供的是ー种垂直无结环栅 MOSFET 器件的结构及其制造方法。包括底层 n 型硅晶圆衬底 101, 漏区 111 位于器件的最低端; 在衬底 101 上外延生长漏扩展区 106, 沟道区 107, 和源区 108, 栅氧化层 109 包围整个沟道区 107, 在栅氧化层 109 上淀积多晶硅栅 110。所述漏扩展区 106、沟道区 107、源区 108 和漏区 111 的掺杂类型与浓度相同, 均为 n+ 掺杂, 掺杂浓度为  $1 \times 10^{19} \sim 8 \times 10^{19} \text{ cm}^{-3}$ ; 所述多晶硅栅 110 为 p+ 掺杂, 掺杂浓度为  $5 \times 10^{19} \text{ cm}^{-3}$ 。本发明提供一种有效抑制短沟道效应的作用的垂直无结环栅 MOSFET 结构, 还提供一种可以简化工艺流程, 灵活控制栅长和硅体区厚度的垂直无结环栅 MOSFET 的制造方法。



1. 垂直无结环栅 MOSFET 器件的结构为 : 包括底层 n 型硅晶圆衬底 (101), 漏区 (111) 位于器件的最低端 ; 其特征是 : 在 n 型硅晶圆衬底 (101) 上外延生长漏扩展区 (106), 沟道区 (107), 和源区 (108), 栅氧化层 (109) 包围整个沟道区 (107), 在栅氧化层 (109) 上淀积多晶硅栅 (110), 所述漏扩展区 (106)、沟道区 (107)、源区 (108) 和漏区 (111) 的掺杂类型与浓度相同, 均为 n+ 掺杂, 掺杂浓度为  $1 \times 10^{19} \sim 8 \times 10^{19} \text{ cm}^{-3}$ ; 所述多晶硅栅 (110) 为 p+ 掺杂, 掺杂浓度为  $5 \times 10^{19} \text{ cm}^{-3}$ ;

所述沟道区 (107) 沟道长度为  $10 \sim 20 \text{ nm}$  ;

所述沟道区 (107) 成圆柱体, 所述多晶硅栅 (110) 和栅氧化层 (109) 成圆环状。

## 垂直无结环栅 MOSFET 器件的结构及其制造方法

### 技术领域

[0001] 本发明涉及的是一种半导体器件，本发明也涉及一种半导体器件的形成方法。具体的说是一种垂直无结环栅 MOSFET 器件的结构及其制造方法。

### 背景技术

[0002] 近年来，随着半导体行业的飞速发展，集成电路已发展到甚大规模集成电路(ULSI)阶段。器件的尺寸也随之减小到纳米级，这为开发新器件结构和制作工艺提出了很大的挑战。过去几十年中，MOSFET 器件的尺寸一直在不断的减小，而如今 MOSFET 器件的有效沟道长度已经小于 10 纳米。因此，在短沟道器件内形成源 / 漏结和极高的掺杂浓度梯度十分困难。基于制造短沟道器件的成本和复杂度大大提高，无结(Junctionless, JL) 器件成为了很好的选择。由于沟道区和源区、漏区的掺杂类型和浓度相同，这种器件不含任何的源漏 PN 结，可以有效的抑制短沟道效应。

[0003] 为了不断提高电流的驱动能力和更好的抑制短沟道效应，MOSFET 器件已经从传统的单栅平面器件发展到多栅三维器件。其中，环栅(Gate-All-Around, GAA) 结构最适合制造无结器件，因为栅可以从各个方向产生 / 移除耗尽区，用以关断 / 开启器件。

[0004] 纳米级电子器件的发展为集成电路的设计带来了很高的复杂度，和复杂的光刻系统与昂贵的成本。随着器件的特征尺寸不断减小，传统 MOSFET 器件的制作工艺也受到限制，因此研究出了垂直结构的 MOSFET 器件来替代传统器件。此器件中电流方向从漏极垂直地流向源极。它不仅简化了定义沟道区的光刻技术，同时也保持了与标准工艺的兼容性。更重要的是，由于有源区位于硅体的侧面，它比平面器件更容易形成双栅或环栅结构。因此可以抑制短沟道效应，增强电流驱动力。

[0005] 在纳米级领域中，如何能在器件尺寸减小的同时很好的抑制短沟道效应，并尽可能的简化制作工艺成为研究纳米级 MOSFET 器件的热点。现如今已提出的纳米级器件结构有很多，与本发明类似的器件有垂直非无结双栅 MOSFET 器件和传统有结垂直环栅 MOSFET 器件。与本发明提出的器件结构相比，以上两种器件分别具有栅控能力不足和漏电流过大，工艺实现困难的缺点。

### 发明内容

[0006] 本发明的目的在于提供一种有效抑制短沟道效应的作用的垂直无结环栅 MOSFET 结构。本发明的目的还在于提供一种可以简化工艺流程，灵活控制栅长和沟道区厚度的垂直无结环栅 MOSFET 的制造方法。

[0007] 本发明的目的是这样实现的：

[0008] 垂直无结环栅 MOSFET 器件的结构为：包括底层 n 型硅晶圆衬底 101，漏区 111 位于器件的最低端；在 n 型硅晶圆衬底 101 上外延生长漏扩展区 106，沟道区 107，和源区 108，栅氧化层 109 包围整个沟道区 107，在栅氧化层 109 上淀积多晶硅栅 110。所述漏扩展区 106、沟道区 107、源区 108 和漏区 111 的掺杂类型与浓度相同，均为 n+ 掺杂，掺杂浓度为

$1 \times 10^{19} \sim 8 \times 10^{19} \text{ cm}^{-3}$ ; 所述多晶硅栅 110 为 p+ 掺杂, 掺杂浓度为  $5 \times 10^{19} \text{ cm}^{-3}$ 。

[0009] 所述沟道区 107 沟道长度为 10~20nm。

[0010] 所述沟道区 107 成圆柱体, 所述多晶硅栅 110 和栅氧化层 109 成圆环状。

[0011] 本发明的方法的主要特点如下:

[0012] 1) 采用环栅结构, 栅极包围整个沟道区; 2) 采用垂直沟道结构, 通过改变 SiGe 层的厚度灵活控制栅长; 3) 采用无结结构, 制作工艺简单且抗短沟道效应能力强; 4) 采用后栅工艺, 先进行自对准掺杂形成源区、沟道区和漏区, 然后制作栅电极。由于形成源区、沟道区和漏区需要一系列的高温处理步骤, 诸如离子注入及退火, 因此后栅工艺中栅氧避免了受到温度等外界因素的影响, 使器件性能更稳定; 5) 通过易于控制的腐蚀工艺, 灵活控制沟道区厚度, 使之易达到全耗尽, 增强栅控能力。

## 附图说明

[0013] 图 1 本发明公开的一种无结环栅 MOSFET 器件的剖面示意图;

[0014] 图 2 制备硅晶圆的示意图;

[0015] 图 3 是图 2 结构依次淀积一层  $\text{SiO}_2$ , SiGe, 和  $\text{SiO}_2$  后的截面图;

[0016] 图 4 是图 3 结构经过刻蚀和离子注入的示意图;

[0017] 图 5 是图 4 结构经过外延硅材料后的截面图;

[0018] 图 6 是图 5 结构经过化学机械抛光(CMP) 后的截面图;

[0019] 图 7 是图 6 结构进行离子注入的示意图;

[0020] 图 8 是图 7 结构中  $\text{SiO}_2$  和 SiGe 层经过选择性腐蚀和热生长  $\text{SiO}_2$  后的截面图;

[0021] 图 9 是图 8 结构刻蚀未被腐蚀的  $\text{SiO}_2$  和多晶硅淀积热生长的  $\text{SiO}_2$  后的截面图, 即最终的器件结构的简略图。

## 具体实施方式

[0022] 下面结合附图举例对本发明做详细的描述:

[0023] 结合图 2。所示制备晶向为 <100> 的 n 型硅晶圆衬底 101, 厚度为 100nm。

[0024] 结合图 3。在 n 型硅晶圆 101 上, 顺次淀积  $\text{SiO}_2$  层 102, SiGe 层 103 和  $\text{SiO}_2$  层 104。其中  $\text{SiO}_2$  层 102, SiGe 层 103 和  $\text{SiO}_2$  层 104 的厚度均为 20~50nm。

[0025] 结合图 4。对图 3 结构进行光刻, 使中间部分的  $\text{SiO}_2$  层 102, SiGe 层 103 和  $\text{SiO}_2$  层 104 全部被刻蚀掉, 形成窗口。然后以光刻胶作为掺杂掩蔽层, 对硅材料进行 n 型掺杂注入, 快速热退火(RTA) 激活杂质, 形成漏区 111。

[0026] 结合图 5。在硅材料上外延硅层 105, 外延硅层 105 的厚度为 200~300nm。

[0027] 结合图 6。以  $\text{SiO}_2$  层 104 为停止层, 对外延硅层 105 进行化学机械抛光(CMP)。

[0028] 结合图 7。以  $\text{SiO}_2$  层 104 为掩蔽层, 进行高能砷离子注入, 形成 n+ 源区、体区和漏扩展区, 然后进行快速热退火激活杂质。

[0029] 结合图 8。离子注入后在硅外延层区域从上到下依次形成源区 108, 沟道区 107 和漏扩展区 106。其中, 源区 108、沟道区 107 和漏区 111 的掺杂类型与浓度相同, 均为 n+ 掺杂, 浓度为  $1 \times 10^{18} \sim 8 \times 10^{19} \text{ cm}^{-3}$ 。首先器件采用无结结构, 不含有任何源漏 PN 结, 不仅制作工艺简单, 且具有很好的抑制短沟道效应的作用, 与有结器件相比具有更小的亚阈值斜率。

和DIBL值。其次，器件采用垂直沟道结构，即载流子是沿垂直方向运动的，它的优点是无需借助复杂的光刻手段来定义沟道长度，即器件尺寸不受光刻精度的限制，且工作原理及特性和平面器件几乎相同。使器件特征尺寸减小的同时简化了工艺制作步骤。由于在某种腐蚀剂中，SiGe的腐蚀速率远高于SiO<sub>2</sub>的腐蚀速率，因此利用SiO<sub>2</sub>和SiGe在这种腐蚀剂中的选择比不同，对SiO<sub>2</sub>层102，SiGe层103和SiO<sub>2</sub>层104进行选择性腐蚀。通过易于控制的腐蚀工艺，灵活控制沟道区107厚度，可以增强栅控能力。实际制作过程中应尽量使牺牲氧化层达到过腐蚀状态，即完全腐蚀掉SiGe层103后，热氧化生成SiO<sub>2</sub>牺牲氧化层，然后过腐蚀牺牲氧化层，使沟道区107厚度不断减小，直到其减小到使沟道区107达到全耗尽后，停止过腐蚀牺牲氧化层，在其上再热生长薄SiO<sub>2</sub>层109，作为栅氧化层。

[0030] 结合图9。刻蚀掉SiO<sub>2</sub>层102和SiO<sub>2</sub>层104，在栅氧化层109外侧淀积一层多晶硅材料110，作为多晶硅栅。对多晶硅栅110进行p+型掺杂注入，快速退火激活杂质。最终形成环栅结构，栅极包围整个沟道区，栅极的有效数量最多，因此栅极对沟道的电学控制力最强，可以最大程度的降低短沟道效应。同时采用后栅工艺，先进行自对准掺杂形成源区、沟道区和漏区，然后制作栅电极。由于形成源区、沟道区和漏区需要一系列的高温处理步骤，诸如离子注入及退火，因此后栅工艺中栅氧化层避免了受到温度等外界因素的影响，使器件性能更稳定。

[0031] 以上所述的具体实施例，对本发明的目的、技术方案和有益效果经行了进一步详细说明，应注意到的是，以上所述仅为本发明的具体实施例，并不限制本发明，凡在本发明的精神和原则之内，所做的调制和优化，均应包含在本发明的保护范围之内。

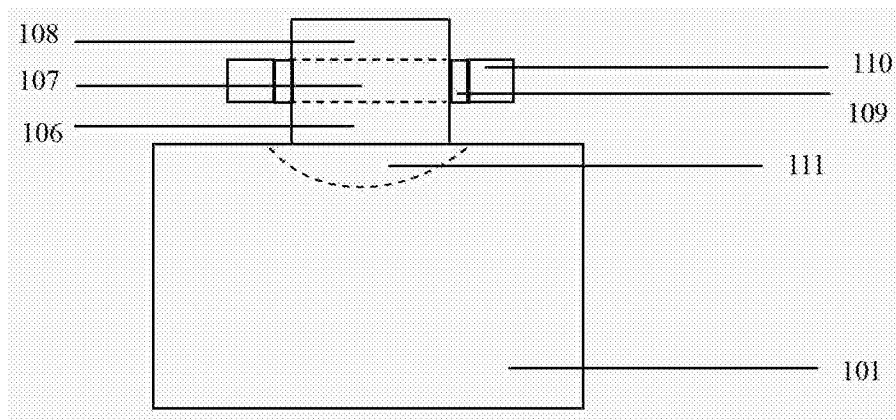


图 1

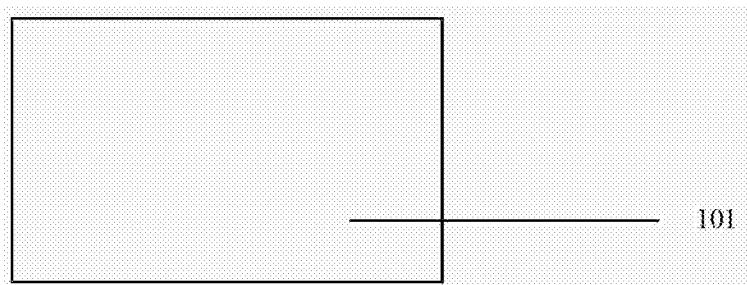


图 2

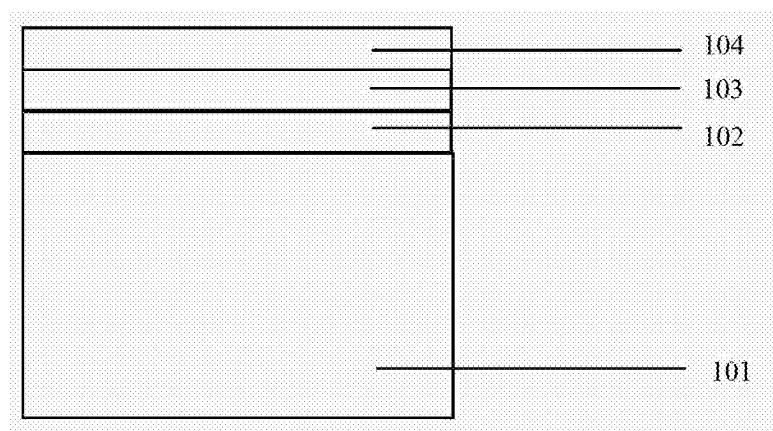


图 3

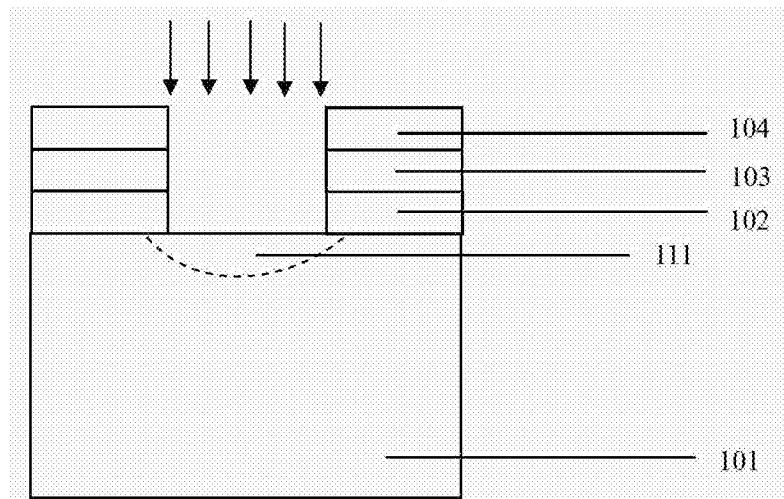


图 4

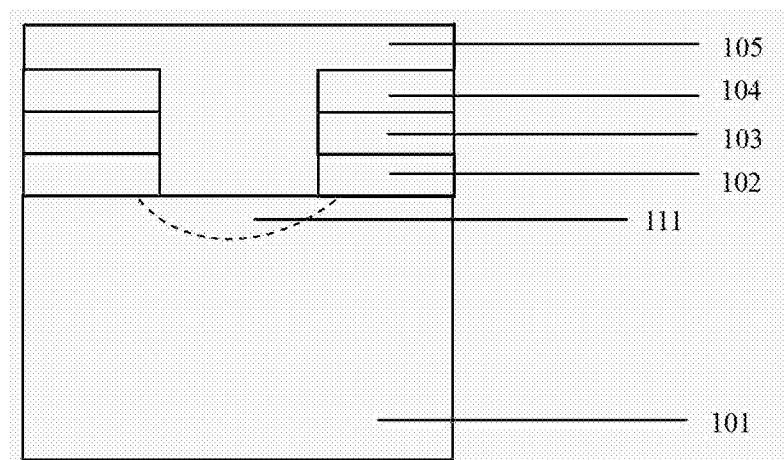


图 5

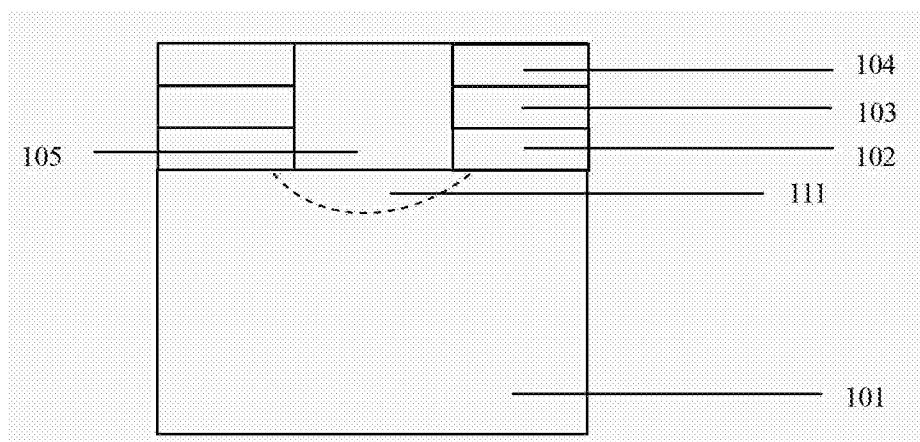


图 6

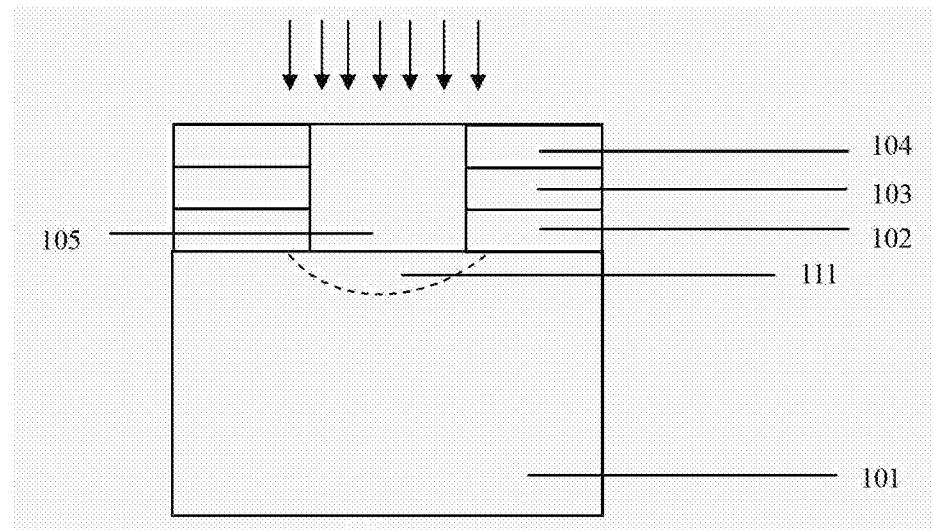


图 7

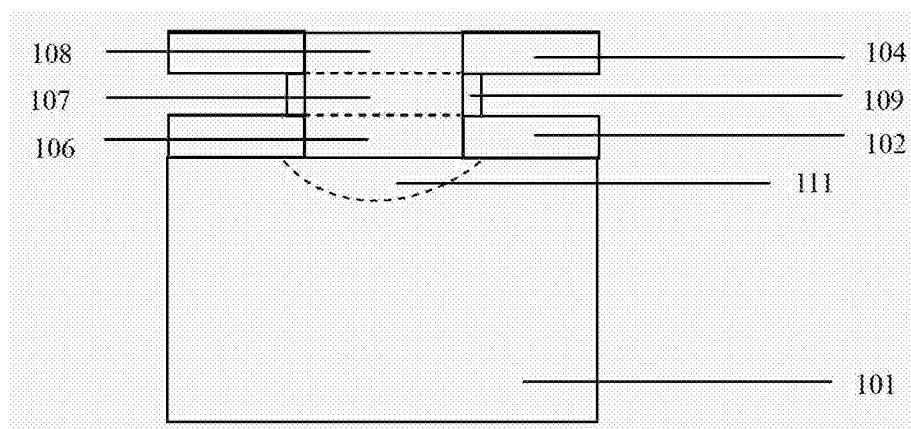


图 8

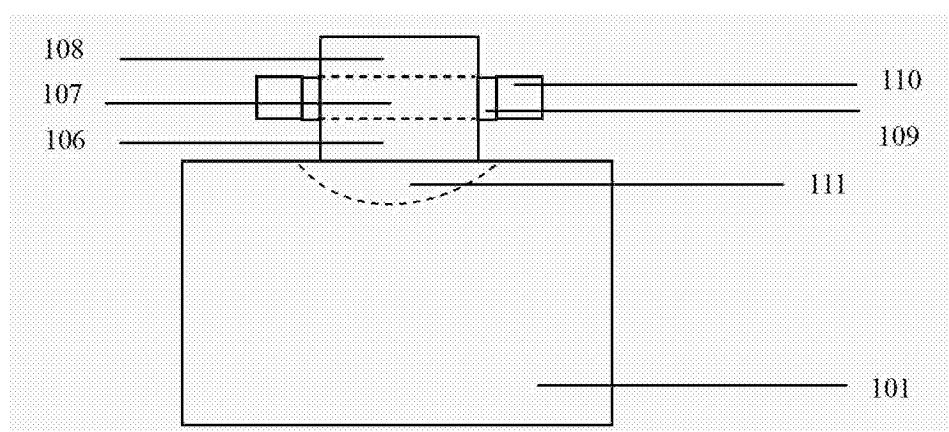


图 9