



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년11월23일

(11) 등록번호 10-1921772

(24) 등록일자 2018년11월19일

- (51) 국제특허분류(Int. Cl.)  
*H03F 3/50* (2006.01) *H01L 21/822* (2006.01)  
*H03F 3/45* (2006.01)
- (21) 출원번호 10-2013-7030521
- (22) 출원일자(국제) 2012년04월26일  
심사청구일자 2017년02월13일
- (85) 번역문제출일자 2013년11월18일
- (65) 공개번호 10-2014-0040128
- (43) 공개일자 2014년04월02일
- (86) 국제출원번호 PCT/JP2012/061701
- (87) 국제공개번호 WO 2012/157463  
국제공개일자 2012년11월22일
- (30) 우선권주장  
JP-P-2011-108736 2011년05월13일 일본(JP)
- (56) 선행기술조사문헌  
US20040051587 A1  
US20050264347 A1

- (73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자  
오누키 다츠야  
일본 2430036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인  
장수길, 박충범, 이중희

전체 청구항 수 : 총 7 항

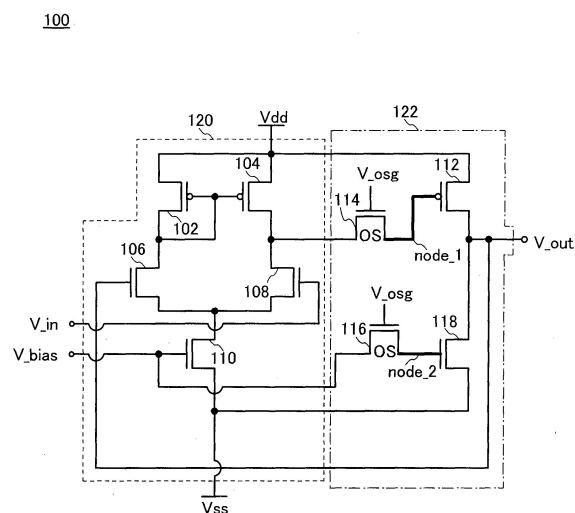
심사관 : 신우열

(54) 발명의 명칭 반도체 장치

(57) 요약

소비 전력이 낮은 반도체 장치를 제공하기 위해서, 입력 전위 및 기준 전위가 입력되는 차동 증폭기, 이득 단, 및 출력 전위가 출력되는 출력단을 포함하는 반도체 장치에 있어서는, 상기 출력단에 오프 상태에서의 리크 전류가 낮은 트랜지스터를 제공함으로써, 상기 이득 단으로부터 공급된 전위가 일정하게 유지될 수 있다. 오프 상태에서의 리크 전류가 낮은 트랜지스터로서는, 산화물 반도체층을 포함하고, 상기 산화물 반도체층 내에 채널 형성 영역을 포함하는 트랜지스터가 사용된다.

대표도 - 도1



## 명세서

### 청구범위

#### 청구항 1

반도체 장치로서,

입력 전위가 입력되는 제1 입력 단자;

기준 전위가 입력되는 제2 입력 단자;

출력 전위가 출력되는 출력 단자;

상기 제1 입력 단자와 상기 제2 입력 단자에 전기적으로 접속된 차동 증폭기; 및

제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 및 제4 트랜지스터를 포함하고, 상기 반도체 장치의 상기 출력 단자에 전기적으로 접속된 이득 단(gain stage)을 포함하고,

상기 차동 증폭기는, 제1 전원 전위선과 제2 전원 전위선에 전기적으로 접속되어 있고,

상기 제1 전원 전위선의 전위는, 상기 제2 전원 전위선의 전위보다 높고,

상기 제1 트랜지스터의 제1 단자는, 상기 차동 증폭기의 출력 단자에 전기적으로 접속되어 있고,

상기 제1 트랜지스터의 제2 단자는, 상기 제3 트랜지스터의 게이트에 전기적으로 접속되어 있고,

상기 제2 트랜지스터의 제1 단자는, 상기 제2 입력 단자에 전기적으로 접속되어 있고,

상기 제2 트랜지스터의 제2 단자는, 상기 제4 트랜지스터의 게이트에 전기적으로 접속되어 있고,

상기 제3 트랜지스터의 제1 단자는, 상기 제1 전원 전위선에 전기적으로 접속되어 있고,

상기 제3 트랜지스터의 제2 단자와 상기 제4 트랜지스터의 제1 단자는, 상기 반도체 장치의 상기 출력 단자에 전기적으로 접속되어 있고,

상기 제4 트랜지스터의 제2 단자는, 상기 제2 전원 전위선에 전기적으로 접속되어 있고,

동일한 전위가 상기 제1 트랜지스터의 게이트와 상기 제2 트랜지스터의 게이트에 공급되도록 상기 제1 트랜지스터의 상기 게이트와 상기 제2 트랜지스터의 상기 게이트는 서로 전기적으로 접속되어 있고,

상기 제1 트랜지스터와 상기 제2 트랜지스터 각각은, 오프 상태에 있어서의 채널 폭  $1\ \mu\text{m}$ 당 리크 전류가  $1 \times 10^{-17}\text{A}$  이하인 트랜지스터인, 반도체 장치.

#### 청구항 2

반도체 장치로서,

입력 전위가 입력되는 제1 입력 단자;

기준 전위가 입력되는 제2 입력 단자;

출력 전위가 출력되는 출력 단자;

상기 제1 입력 단자와 상기 제2 입력 단자에 전기적으로 접속된 차동 증폭기;

제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 및 제4 트랜지스터를 포함하고, 상기 반도체 장치의 상기 출력 단자에 전기적으로 접속된 출력단; 및

상기 차동 증폭기와 상기 출력단 사이에서, 상기 차동 증폭기와 상기 출력단에 전기적으로 접속된 이득 단을 포함하고,

상기 차동 증폭기와 상기 이득 단은, 제1 전원 전위선과 제2 전원 전위선에 전기적으로 접속되어 있고,

상기 제1 전원 전위선의 전위는, 상기 제2 전원 전위선의 전위보다 높고,  
 상기 제1 트랜지스터의 제1 단자는, 상기 이득 단의 제1 출력 단자에 전기적으로 접속되어 있고,  
 상기 제1 트랜지스터의 제2 단자는, 상기 제3 트랜지스터의 게이트에 전기적으로 접속되어 있고,  
 상기 제2 트랜지스터의 제1 단자는, 상기 이득 단의 제2 출력 단자에 전기적으로 접속되어 있고,  
 상기 제2 트랜지스터의 제2 단자는, 상기 제4 트랜지스터의 게이트에 전기적으로 접속되어 있고,  
 상기 제3 트랜지스터의 제1 단자는, 상기 제1 전원 전위선에 전기적으로 접속되어 있고,  
 상기 제3 트랜지스터의 제2 단자와 상기 제4 트랜지스터의 제1 단자는, 상기 반도체 장치의 상기 출력 단자에 전기적으로 접속되어 있고,  
 상기 제4 트랜지스터의 제2 단자는, 상기 제2 전원 전위선에 전기적으로 접속되어 있고,  
 동일한 전위가 상기 제1 트랜지스터의 게이트와 상기 제2 트랜지스터의 게이트에 공급되도록 상기 제1 트랜지스터의 상기 게이트와 상기 제2 트랜지스터의 상기 게이트는 서로 전기적으로 접속되어 있고,  
 상기 제1 트랜지스터와 상기 제2 트랜지스터 각각은, 오프 상태에 있어서의 채널 폭  $1\ \mu\text{m}$ 당 리크 전류가  $1 \times 10^{-17}\ \text{A}$  이하인 트랜지스터인, 반도체 장치.

### 청구항 3

제1항 또는 제2항에 있어서,

상기 제1 트랜지스터와 상기 제2 트랜지스터 각각은, 산화물 반도체층 및 상기 산화물 반도체층 내에 포함된 채널 형성 영역을 포함하는, 반도체 장치.

### 청구항 4

반도체 장치로서,

제1 트랜지스터;

제2 트랜지스터;

제3 트랜지스터;

제4 트랜지스터;

제5 트랜지스터;

제6 트랜지스터;

제7 트랜지스터;

제8 트랜지스터; 및

제9 트랜지스터를 포함하고,

상기 제1 트랜지스터의 제1 단자와 상기 제2 트랜지스터의 제1 단자는, 제1 전원 전위선에 전기적으로 접속되어 있고,

상기 제1 트랜지스터의 제2 단자는, 상기 제1 트랜지스터의 게이트, 상기 제2 트랜지스터의 게이트, 및 상기 제3 트랜지스터의 제1 단자에 전기적으로 접속되어 있고,

상기 제2 트랜지스터의 제2 단자는, 상기 제4 트랜지스터의 제1 단자에 전기적으로 접속되어 있고,

상기 제3 트랜지스터의 제2 단자와 상기 제4 트랜지스터의 제2 단자는, 상기 제5 트랜지스터의 제1 단자에 전기적으로 접속되어 있고,

상기 제5 트랜지스터의 제2 단자는, 제2 전원 전위선에 전기적으로 접속되어 있고,

상기 제1 전원 전위선의 전위는, 상기 제2 전원 전위선의 전위보다 높고,

상기 제6 트랜지스터의 제1 단자는, 상기 제1 전원 전위선에 전기적으로 접속되어 있고,  
 상기 제7 트랜지스터의 제1 단자는, 상기 제2 트랜지스터의 상기 제2 단자와 상기 제4 트랜지스터의 상기 제1 단자에 전기적으로 접속되어 있고,  
 상기 제7 트랜지스터의 제2 단자는, 상기 제6 트랜지스터의 게이트에 전기적으로 접속되어 있고,  
 상기 제8 트랜지스터의 제1 단자는, 상기 제5 트랜지스터의 게이트에 전기적으로 접속되어 있고,  
 상기 제8 트랜지스터의 제2 단자는, 상기 제9 트랜지스터의 게이트에 전기적으로 접속되어 있고,  
 상기 제9 트랜지스터의 제1 단자는, 상기 제5 트랜지스터의 상기 제2 단자와 상기 제2 전원 전위선에 전기적으로 접속되어 있고,  
 상기 제4 트랜지스터의 게이트는, 입력 전위가 입력되는 제1 입력 단자에 전기적으로 접속되어 있고,  
 상기 제3 트랜지스터의 게이트, 상기 제6 트랜지스터의 제2 단자, 및 상기 제9 트랜지스터의 제2 단자는, 출력 단자에 전기적으로 접속되어 있고,  
 상기 제5 트랜지스터의 상기 게이트는, 기준 전위가 입력되는 제2 입력 단자에 전기적으로 접속되어 있고,  
 상기 제1 트랜지스터, 상기 제2 트랜지스터, 및 상기 제6 트랜지스터는, p 채널형 트랜지스터이고,  
 상기 제3 트랜지스터, 상기 제4 트랜지스터, 상기 제5 트랜지스터 및 상기 제9 트랜지스터는, n 채널형 트랜지스터이고,  
 동일한 전위가 상기 제7 트랜지스터의 게이트와 상기 제8 트랜지스터의 게이트에 공급되도록 상기 제7 트랜지스터의 상기 게이트와 상기 제8 트랜지스터의 상기 게이트는 서로 전기적으로 접속되어 있고,  
 상기 제7 트랜지스터와 상기 제8 트랜지스터 각각은, 오프 상태에 있어서의 채널 폭  $1\ \mu\text{m}$ 당 리크 전류가  $1 \times 10^{-17}\ \text{A}$  이하인 트랜지스터인, 반도체 장치.

#### 청구항 5

제4항에 있어서,  
 상기 제7 트랜지스터와 상기 제8 트랜지스터 각각은, 산화물 반도체층 및 상기 산화물 반도체층 내에 포함된 채널 형성 영역을 포함하는, 반도체 장치.

#### 청구항 6

반도체 장치로서,  
 제1 트랜지스터;  
 제2 트랜지스터;  
 제3 트랜지스터;  
 제4 트랜지스터;  
 제5 트랜지스터;  
 제6 트랜지스터;  
 제7 트랜지스터;  
 제8 트랜지스터;  
 제9 트랜지스터;  
 제10 트랜지스터;  
 제11 트랜지스터;  
 제12 트랜지스터;

제13 트랜지스터; 및

용량 소자를 포함하고,

상기 제1 트랜지스터의 제1 단자와 상기 제2 트랜지스터의 제1 단자는, 제1 전원 전위선에 전기적으로 접속되어 있고,

상기 제1 트랜지스터의 제2 단자는, 상기 제1 트랜지스터의 게이트, 상기 제2 트랜지스터의 게이트, 및 상기 제3 트랜지스터의 제1 단자에 전기적으로 접속되어 있고,

상기 제2 트랜지스터의 제2 단자는, 상기 제4 트랜지스터의 제1 단자에 전기적으로 접속되어 있고,

상기 제3 트랜지스터의 제2 단자와 상기 제4 트랜지스터의 제2 단자는, 상기 제5 트랜지스터의 제1 단자에 전기적으로 접속되어 있고,

상기 제5 트랜지스터의 제2 단자는, 제2 전원 전위선에 전기적으로 접속되어 있고,

상기 제1 전원 전위선의 전위는, 상기 제2 전원 전위선의 전위보다 높고,

상기 제6 트랜지스터의 제1 단자는, 상기 제1 전원 전위선에 전기적으로 접속되어 있고,

상기 제2 트랜지스터의 상기 제2 단자와 상기 제4 트랜지스터의 상기 제1 단자는, 상기 제6 트랜지스터의 게이트와 상기 용량 소자의 한쪽 전극에 전기적으로 접속되어 있고,

상기 제6 트랜지스터의 제2 단자와 상기 용량 소자의 다른 쪽 전극은, 상기 제7 트랜지스터의 제1 단자와 상기 제7 트랜지스터의 게이트에 전기적으로 접속되어 있고,

상기 제7 트랜지스터의 제2 단자는, 상기 제8 트랜지스터의 제1 단자에 전기적으로 접속되어 있고,

상기 제8 트랜지스터의 제2 단자는, 상기 제8 트랜지스터의 게이트와 상기 제9 트랜지스터의 제1 단자에 전기적으로 접속되어 있고,

상기 제9 트랜지스터의 제2 단자는, 상기 제2 전원 전위선에 전기적으로 접속되어 있고,

상기 제10 트랜지스터의 제1 단자는, 상기 제1 전원 전위선에 전기적으로 접속되어 있고,

상기 제11 트랜지스터의 제1 단자는, 상기 제7 트랜지스터의 상기 게이트에 전기적으로 접속되어 있고,

상기 제10 트랜지스터의 게이트는, 상기 제11 트랜지스터의 제2 단자에 전기적으로 접속되어 있고,

상기 제12 트랜지스터의 제1 단자는, 상기 제8 트랜지스터의 상기 게이트에 전기적으로 접속되어 있고,

상기 제12 트랜지스터의 제2 단자는, 상기 제13 트랜지스터의 게이트에 전기적으로 접속되어 있고,

상기 제10 트랜지스터의 제2 단자는, 상기 제13 트랜지스터의 제1 단자에 전기적으로 접속되어 있고,

상기 제13 트랜지스터의 제2 단자는, 상기 제2 전원 전위선에 전기적으로 접속되어 있고,

상기 제4 트랜지스터의 게이트는, 입력 전위가 입력되는 제1 입력 단자에 전기적으로 접속되어 있고,

상기 제3 트랜지스터의 게이트, 상기 제10 트랜지스터의 상기 제2 단자, 및 상기 제13 트랜지스터의 상기 제1 단자는, 출력 전위가 출력되는 출력 단자에 전기적으로 접속되어 있고,

상기 제5 트랜지스터의 게이트와 상기 제9 트랜지스터의 게이트는, 기준 전위가 입력되는 제2 입력 단자에 전기적으로 접속되어 있고,

상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 제6 트랜지스터, 상기 제8 트랜지스터, 및 상기 제13 트랜지스터는 p 채널형 트랜지스터이고,

상기 제3 트랜지스터, 상기 제4 트랜지스터, 상기 제5 트랜지스터, 상기 제7 트랜지스터, 상기 제9 트랜지스터, 및 상기 제10 트랜지스터는 n 채널형 트랜지스터이고,

동일한 전위가 상기 제11 트랜지스터의 게이트와 상기 제12 트랜지스터의 게이트에 공급되도록 상기 제11 트랜지스터의 상기 게이트와 상기 제12 트랜지스터의 상기 게이트는 서로 전기적으로 접속되어 있고,

상기 제11 트랜지스터와 상기 제12 트랜지스터 각각은, 오프 상태에 있어서의 채널 폭  $1\ \mu\text{m}$ 당 리크 전류가  $1\times$

$10^{-17}$  A 이하인 트랜지스터인, 반도체 장치.

## 청구항 7

제6항에 있어서,

상기 제11 트랜지스터와 상기 제12 트랜지스터 각각은, 산화물 반도체층 및 상기 산화물 반도체층 내에 포함된 채널 형성 영역을 포함하는, 반도체 장치.

## 청구항 8

삭제

## 발명의 설명

### 기술 분야

[0001] 본 발명은 반도체 장치에 관한 것이다. 본 명세서에 있어서, 반도체 장치는, 반도체 소자 또는 반도체 소자를 포함하는 장치 전반을 말한다. 이러한 반도체 소자로서, 예를 들어 게이트 절연형 전계 효과 트랜지스터를 들 수 있다. 또한, 반도체 장치는 반도체 소자를 포함하는 반도체 회로, 표시 장치 등의 전기 광학 장치 및 전자 기기를 포함한다.

### 배경 기술

[0002] 전압 폴로워는, 입력 전위와 동등한 전위를 출력하는 반도체 장치이다. 또한, 반도체 장치의 일례인 반도체 집적 회로에 있어서, 전압 폴로워는, 전위 생성 회로의 버퍼로서 사용될 수 있다.

[0003] 또한, 2개의 전압 폴로워를 사용함으로써, 입력된 전위 신호의 유지를 실현할 수 있다(특허 문헌 1).

[0004] 한편, 최근에는, 반도체 특성을 포함하는 금속 산화물(이하, 산화물 반도체로 칭함)이 주목받고 있다. 산화물 반도체는 트랜지스터에 적용할 수 있다(특허 문헌 2 및 특허 문헌 3).

[0005] [선행기술문헌]

[0006] [특허 문헌 1] 일본 특허 공개 제 2007-096594호 공보

[0007] [특허 문헌 2] 일본 특허 공개 제 2007-123861호 공보

[0008] [특허 문헌 3] 일본 특허 공개 제 2007-096055호 공보

## 발명의 내용

### 해결하려는 과제

[0009] 전압 폴로워를 전위 생성 회로의 버퍼로서 사용하는 경우, 상기 전위 생성 회로는 항상 구동된다. 즉, 이는 상기 전위 생성 회로로부터 항상 전위 신호가 입력된다는 것을 의미하는데, 이는 반도체 장치의 소비 전력을 증대시킨다.

[0010] 따라서, 상기를 감안하여, 본 발명의 한 실시 형태의 목적은, 소비 전력이 낮은 반도체 장치를 제공하는 것이다.

### 과제의 해결 수단

[0011] 본 발명의 한 실시 형태에 따르면, 입력 전위(이하,  $V_{in}$ 으로 표기) 및 기준 전위(이하,  $V_{bias}$ 로 표기)가 입력되는 차동 증폭기, 및 출력 전위(이하,  $V_{out}$ 로 표기)를 출력하는 이득 단을 포함하는 반도체 장치에 있어서, 상기 이득 단에 오프 상태에서의 리크 전류가 낮은 트랜지스터를 제공함으로써, 출력 전위  $V_{out}$ 가 출력되는 출력 단자에 전기적으로 접속된 트랜지스터의 게이트의 전위가 일정하게 유지될 수 있다.

[0012] 본 발명의 다른 실시 형태에 따르면, 입력 전위  $V_{in}$  및 기준 전위  $V_{bias}$ 가 입력되는 차동 증폭기, 입력 전위  $V_{in}$ 와 동등한 출력 전위  $V_{out}$ 를 출력하는 출력단, 상기 차동 증폭기 및 상기 출력단 사이에 제공되어, 상기 차동 증폭기 및 상기 출력단에 전기적으로 접속되는 이득 단을 포함하는 반도체 장치에 있어서, 상기 출력단에

오프 상태에서의 리크 전류가 낮은 트랜지스터를 제공함으로써, 출력 전위  $V_{out}$ 가 출력되는 출력 단자에 전기적으로 접속된 트랜지스터의 게이트의 전위가 일정하게 유지될 수 있다.

[0013] 오프 상태에서의 리크 전류가 낮은 트랜지스터로서는, 예를 들어 산화물 반도체층을 포함하고, 산화물 반도체층 내에 채널 형성 영역을 포함하는 트랜지스터가 사용된다.

[0014] 본 명세서에 있어서, 오프 상태에서의 리크 전류는, 트랜지스터의 소스를 기초로 해서 게이트에 인가된 전압 ( $V_{gs}$  또는 간단히  $V_g$ 라고도 칭함)이 상기 트랜지스터의 임계 전압보다 낮은 경우에 소스와 드레인 간을 흐르는 전류를 말한다. 따라서, "트랜지스터가 턴 오프됨"은, 전압  $V_{gs}$ 를 상기 트랜지스터의 임계 전압 이하로 설정하는 것을 의미한다. 또한, 오프 상태에서의 리크 전류는 간단히 오프 전류라고 말할 수 있다.

[0015] 본 명세서에 있어서, "전원이 턴 오프됨"은, 고전위측 전원 전위선(이하, 전원 전위선  $V_{dd}$ 로 표기)과 저전위측 전원 전위선(이하, 전원 전위선  $V_{ss}$ 로 표기) 사이에 전위차를 발생하지 않는 상태로 설정하는 것을 의미한다. 또한, "전원이 턴 온됨"은, 고전위측 전원 전위선과 저전위측 전원 전위선 사이에 전위차가 발생하는 상태로 설정하는 것을 의미한다.

### 발명의 효과

[0016] 본 발명의 한 실시 형태에 의하면, 오프 상태에서의 리크 전류가 낮은 트랜지스터를 턴 오프한 후에는 반도체 장치의 차동 증폭기로부터 공급되는 전위가 유지되므로; 입력 전위를 공급하지 않고, 상기 입력 전위와 동등한 전위를 출력할 수 있다. 따라서, 상기 입력 전위를 생성하는 회로 등의 주변 회로를 정지할 수 있고, 소비 전력이 낮은 반도체 장치를 제공할 수 있다.

[0017] 또한, 본 발명의 한 실시 형태에 의하면, 오프 상태에서의 리크 전류가 낮은 트랜지스터를 턴 오프한 후에는 기준 전위가 유지되므로; 기준 전위를 공급하지 않더라도 반도체 장치를 동작시킬 수 있다. 따라서, 상기 기준 전위를 생성하는 회로 등의 주변 회로를 정지할 수 있고, 소비 전력이 낮은 반도체 장치를 제공할 수 있다.

### 도면의 간단한 설명

[0018] 도 1은 본 발명의 한 실시 형태에 관한 전압 폴로워의 일례를 설명하는 회로도.

도 2는 종래의 전압 폴로워의 일례를 설명하는 회로도.

도 3은 본 발명의 한 실시 형태에 관한 전압 폴로워의 일례를 설명하는 회로도.

도 4는 본 발명의 한 실시 형태에 관한 트랜지스터를 설명하는 단면도.

도 5의 (a) 내지 (d)는 본 발명의 한 실시 형태에 관한 트랜지스터의 제조 방법을 설명하는 단면도.

도 6의 (a) 내지 (e)는 본 발명의 한 실시 형태에 관한 산화물 재료의 구조를 설명하는 도면.

도 7의 (a) 내지 (c)는 본 발명의 한 실시 형태에 관한 산화물 재료의 구조를 설명하는 도면.

도 8의 (a) 내지 (c)는 본 발명의 한 실시 형태에 관한 산화물 재료의 구조를 설명하는 도면.

도 9는 산화물 반도체를 포함하는 트랜지스터에 있어서의 전계 효과 이동도의 게이트 전압 의존성의 계산 결과를 도시하는 도면.

도 10의 (a) 내지 (c)는 산화물 반도체를 포함하는 트랜지스터에 있어서의 드레인 전류와 전계 효과 이동도의 게이트 전압 의존성의 계산 결과를 도시하는 도면.

도 11의 (a) 내지 (c)는 산화물 반도체를 포함하는 트랜지스터에 있어서의 드레인 전류와 전계 효과 이동도의 게이트 전압 의존성의 계산 결과를 도시하는 도면.

도 12의 (a) 내지 (c)는 산화물 반도체를 포함하는 트랜지스터에 있어서의 드레인 전류와 전계 효과 이동도의 게이트 전압 의존성의 계산 결과를 도시하는 도면.

도 13의 (a) 및 (b)는 계산에 사용한 트랜지스터의 단면 구조를 설명하는 도면.

도 14의 (a) 내지 (c)는 산화물 반도체를 포함하는 트랜지스터의 전기 특성을 도시하는 도면.

도 15의 (a) 및 (b)는 샘플 1의 트랜지스터의 BT 시험 후의  $V_g$ - $I_d$  특성을 도시하는 도면.

도 16의 (a) 및 (b)는 샘플 2의 트랜지스터의 BT 시험 후의  $V_g$ -Id 특성을 도시하는 도면.

도 17은 산화물 반도체를 포함하는 트랜지스터의 드레인 전류와 전계 효과 이동도의 게이트 전압 의존성을 설명하는 도면.

도 18의 (a) 및 (b)는 산화물 반도체를 포함하는 트랜지스터의 전기 특성과 기판 온도 의존성을 도시하는 그래프.

도 19는 샘플 A 및 샘플 B의 XRD 스펙트럼을 도시하는 도면.

도 20의 (a) 및 (b)는 본 발명의 한 실시 형태에 관한 트랜지스터를 설명하는 상면도 및 단면도.

도 21의 (a) 및 (b)는 본 발명의 한 실시 형태에 관한 트랜지스터를 설명하는 상면도 및 단면도.

도 22는 산화물 반도체를 포함하는 트랜지스터의 오프 전류와 측정시 기판 온도 의존성을 도시하는 도면.

도 23의 (a) 및 (b)는 본 발명의 한 실시 형태에 따른 반도체 장치를 설명하는 개략도.

도 24는 본 발명의 한 실시 형태에 관한 연산 증폭기의 설명하는 회로도.

### 발명을 실시하기 위한 구체적인 내용

- [0019] 본 발명의 실시 형태에 대해서, 도면을 사용해서 상세하게 설명한다. 그러나, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 벗어나지 않는 한도에서 그 형태 및 상세를 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 알 수 있다. 따라서, 본 발명은 이하에 나타내는 실시 형태의 기재 내용에 한정해서 해석되는 것이 아니다. 이하에 설명하는 본 발명의 구성에 있어서, 동일 부분 또는 동일한 기능을 포함하는 부분에는, 동일한 부호를 다른 도면 간에서 공통되게 사용하고, 그 반복 설명은 생략한다는 점에 유의해야 한다.
- [0020] 본 명세서에서 설명하는 각 도면에 있어서, 각 구성의 크기, 막의 두께 또는 영역은, 명료화를 위해서 과장되어 있는 경우가 있다는 점에 유의해야 한다. 따라서, 도면 등에 도시된 것이 반드시 그 스케일에 한정되지는 않는다.
- [0021] 본 명세서에서 사용하는 "제1", "제2", 및 "제3"이란 용어는, 구성 요소 간의 혼동을 피하기 위해서 사용하는 것이며, 구성 요소를 수적으로 한정하는 것이 아니라는 점에 유의해야 한다. 따라서, 예를 들어, 용어 "제1"은 용어 "제2" 또는 "제3" 등으로 적절히 치환될 수 있다.
- [0022] 본 명세서에 있어서, "A는 B에 전기적으로 접속된다" 또는 "A와 B는 전기적으로 접속된다"라고 하는 표현은, A와 B가 직접 서로 접속되어 있는 경우와, A와 B와 사이에 대상을 개재해서 서로 접속되어 있는 경우를 포함한다.
- [0023] 본 명세서에 있어서, "소스"는, 소스 전극 및 이 소스 전극에 전기적으로 접속되어 있는 영역 또는 대상물(예를 들어, 소스 영역 또는 소스 단자) 등을 포함한다. 또한, "드레인"은, 드레인 전극 및 이 드레인 전극에 전기적으로 접속되어 있는 영역 또는 대상물(예를 들어, 드레인 영역 또는 드레인 단자) 등을 포함한다. 트랜지스터의 소스 및 드레인은, 트랜지스터의 극성, 동작 조건 등에 의해 바뀌기 때문에, 어느 것이 소스 또는 드레인인지를 특정하는 것이 곤란하다. 따라서, 구별을 위해, 소스 단자와 드레인 단자 중 한쪽을 제1 단자라고 하고, 다른 쪽을 제2 단자라고 한다. "게이트"는, 게이트 전극 및 이 게이트 전극에 전기적으로 접속되어 있는 영역 또는 대상물(예를 들어, 게이트 단자) 등을 포함한다는 점에 유의해야 한다.
- [0024] [실시 형태 1]
- [0025] 본 실시 형태에서는, 본 발명의 한 실시 형태에 따른 반도체 장치에 대해서 설명한다. 도 23의 (a) 및 (b)는, 본 발명의 한 실시 형태에 따른 반도체 장치를 설명하는 개략도이다.
- [0026] 도 23의 (a)에 나타난 반도체 장치는, 입력 전위  $V_{in}$ 가 입력되는 제1 입력 단자와 기준 전위  $V_{bias}$ 가 입력되는 제2 입력 단자가 서로 전기적으로 접속된 차동 증폭기(12)와, 적어도 제1 트랜지스터(16), 제2 트랜지스터(18), 제3 트랜지스터(20) 및 제4 트랜지스터(22)를 포함하고, 출력 전위  $V_{out}$ 가 출력되는 출력 단자에 전기적으로 접속된 이득 단(14)을 포함하고 있다. 차동 증폭기(12)는, 전원 전위선  $V_{dd}$  및 전원 전위선  $V_{ss}$ 에 전기적으로 접속되어 있다. 제1 트랜지스터(16)의 제1 단자는, 차동 증폭기(12)를 통해서 상기 제1 입력 단자에 전기적으로 접속되어 있고, 제1 트랜지스터(16)의 제2 단자는, 제3 트랜지스터(20)의 게이트에 전기적으로 접속되어



있다. 제2 트랜지스터(18)의 제1 단자는, 차동 증폭기(12)를 통해서 상기 제2 입력 단자에 전기적으로 접속되어 있다. 제2 트랜지스터(18)의 제2 단자는, 제4 트랜지스터(22)의 게이트에 전기적으로 접속되어 있다. 제3 트랜지스터(20)의 제1 단자는, 전원 전위선 Vdd에 전기적으로 접속되어 있다. 제3 트랜지스터(20)의 제2 단자 및 제4 트랜지스터(22)의 제1 단자는, 출력 단자에 전기적으로 접속되어 있다. 제4 트랜지스터(22)의 제2 단자는, 전원 전위선 Vss에 전기적으로 접속되어 있다. 제1 트랜지스터(16) 및 제2 트랜지스터(18) 각각은, 오프 상태에 있어서의 채널 폭 1  $\mu\text{m}$ 당 리크 전류가  $1 \times 10^{-17} \text{A}$  이하인 트랜지스터이다.

[0027] 또한, 도 23의 (a)의 반도체 장치에서, 제3 트랜지스터(20)는 p 채널형 트랜지스터이고, 제4 트랜지스터(22)는 n 채널형 트랜지스터이지만, 차동 증폭기(12)의 회로 구성에 따라, 적절히 트랜지스터의 도전 형태를 변경할 수 있다.

[0028] 도 23의 (b)에 나타난 반도체 장치는, 입력 전위 V<sub>in</sub>가 입력되는 제1 입력 단자 및 기준 전위 V<sub>bias</sub>가 입력되는 제2 입력 단자가 서로 전기적으로 접속된 차동 증폭기(12); 적어도 제1 트랜지스터(16), 제2 트랜지스터(18), 제3 트랜지스터(20) 및 제4 트랜지스터(22)를 포함하고, 출력 전위 V<sub>out</sub>가 출력되는 출력 단자에 전기적으로 접속된 출력단(15); 및 차동 증폭기(12)와 출력단(15) 사이에 제공되고, 차동 증폭기(12) 및 출력단(15)에 전기적으로 접속된 이득 단(13)을 포함하고 있다. 차동 증폭기(12) 및 이득 단(13)은, 전원 전위선 Vdd 및 Vss에 전기적으로 접속되어 있다. 제1 트랜지스터(16)의 제1 단자는, 차동 증폭기(12) 및 이득 단(13)을 통해서 상기 제1 입력 단자에 전기적으로 접속되어 있고, 제1 트랜지스터(16)의 제2 단자는, 제3 트랜지스터(20)의 게이트에 전기적으로 접속되어 있다. 제2 트랜지스터(18)의 제1 단자는, 차동 증폭기(12) 및 이득 단(13)을 통해서 상기 제2 입력 단자에 전기적으로 접속되어 있다. 제2 트랜지스터(18)의 제2 단자는, 제4 트랜지스터(22)의 게이트에 전기적으로 접속되어 있다. 제3 트랜지스터(20)의 제1 단자는, 전원 전위선 Vdd에 전기적으로 접속되어 있다. 제3 트랜지스터(20)의 제2 단자 및 제4 트랜지스터(22)의 제1 단자는, 출력 단자에 전기적으로 접속되어 있다. 제4 트랜지스터(22)의 제2 단자는, 전원 전위선 Vss에 전기적으로 접속되어 있다. 제1 트랜지스터(16) 및 제2 트랜지스터(18) 각각은, 오프 상태에 있어서의 채널 폭 1  $\mu\text{m}$ 당 리크 전류가  $1 \times 10^{-17} \text{A}$  이하인 트랜지스터이다.

[0029] 또한, 도 23의 (b)에 나타난 반도체 장치에서는, 제3 트랜지스터(20)는 p 채널형 트랜지스터이며, 제4 트랜지스터(22)는 n 채널형 트랜지스터이지만, 차동 증폭기(12) 및 이득 단(13)의 회로 구성에 따라, 적절히 트랜지스터의 도전 형태를 변경할 수 있다.

[0030] 도 23의 (a) 및 도 23의 (b)에 나타난 각각의 반도체 장치에서는, 제1 트랜지스터(16) 및 제2 트랜지스터(18)의 게이트 전위를, 제1 트랜지스터(16) 및 제2 트랜지스터(18)를 턴 온시키는 전위(이하, V<sub>osg</sub>라고도 함)로 설정한 상태에서, 입력 전위 V<sub>in</sub> 및 기준 전위 V<sub>bias</sub>를 입력한 후에, 제1 트랜지스터(16) 및 제2 트랜지스터(18)을 턴 오프시키는 방식으로, 제3 트랜지스터(20) 및 제4 트랜지스터(22)의 게이트 전위를 일정하게 유지할 수 있다. 이것은, 제1 트랜지스터(16) 및 제2 트랜지스터(18)의 오프 상태에 있어서의 리크 전류가 낮기 때문에, 도 23의 (a) 및 도 23의 (b)에 나타난 굵은 선으로 표시된 노드를 플로팅 상태로 할 수 있기 때문이다.

[0031] 이어서, 본 발명의 한 실시 형태에 따른 반도체 장치의 일례로서, 전압 폴로워에 대해서 설명한다.

[0032] 도 1은, 본 발명의 한 실시 형태에 따른 전압 폴로워의 한 예를 나타낸다. 도 1에 도시하는 전압 폴로워(100)는, 제1 내지 제9 트랜지스터를 포함하고 있다. 이하에, 상기 제1 내지 제9 트랜지스터의 접속 관계를 기재한다.

[0033] 제1 트랜지스터(102)의 제1 단자 및 제2 트랜지스터(104)의 제1 단자는, 전원 전위선 Vdd에 전기적으로 접속되어 있고; 제1 트랜지스터(102)의 제2 단자는, 제1 트랜지스터(102)의 게이트, 제2 트랜지스터(104)의 게이트 및 제3 트랜지스터(106)의 제1 단자에 전기적으로 접속되어 있고; 제2 트랜지스터(104)의 제2 단자는, 제4 트랜지스터(108)의 제1 단자에 전기적으로 접속되어 있고; 제3 트랜지스터(106)의 제2 단자 및 제4 트랜지스터(108)의 제2 단자는, 제5 트랜지스터(110)의 제1 단자에 전기적으로 접속되어 있고; 제5 트랜지스터(110)의 제2 단자는, 전원 전위선 Vss에 전기적으로 접속되어 있다.

[0034] 제6 트랜지스터(112)의 제1 단자는, 전원 전위선 Vdd에 전기적으로 접속되어 있고; 제7 트랜지스터(114)의 제1 단자는, 제2 트랜지스터(104)의 제2 단자 및 제4 트랜지스터(108)의 제1 단자에 전기적으로 접속되어 있고; 제7 트랜지스터(114)의 제2 단자는, 제6 트랜지스터(112)의 게이트에 전기적으로 접속되어 있고; 제8 트랜지스터(116)의 제1 단자는, 제5 트랜지스터(110)의 게이트에 전기적으로 접속되어 있고; 제8 트랜지스터(116)의 제2 단자는, 제9 트랜지스터(118)의 게이트에 전기적으로 접속되어 있고; 제9 트랜지스터(118)의 제1 단자는, 제5

트랜지스터(110)의 제2 단자 및 전원 전위선 Vss에 전기적으로 접속되어 있다.

- [0035] 제4 트랜지스터(108)의 게이트는, 입력 전위 V<sub>in</sub>가 입력되는 제1 입력 단자에 전기적으로 접속되어 있고, 제6 트랜지스터(112)의 제2 단자 및 제9 트랜지스터(118)의 제2 단자는, 출력 전위 V<sub>out</sub>가 출력되는 출력 단자에 전기적으로 접속되어 있고, 제5 트랜지스터(110)의 게이트는, 기준 전위 V<sub>bias</sub>가 입력되는 제2 입력 단자에 전기적으로 접속되어 있다.
- [0036] 제1 트랜지스터(102), 제2 트랜지스터(104) 및 제6 트랜지스터(112)는, p 채널형 트랜지스터이며; 제3 트랜지스터(106), 제4 트랜지스터(108), 제5 트랜지스터(110) 및 제9 트랜지스터(118)는, n 채널형 트랜지스터이다.
- [0037] 제7 트랜지스터(114) 및 제8 트랜지스터(116)는, 오프 상태에 있어서의 리크 전류(오프 전류)가, 채널 폭 1 μm 당  $1 \times 10^{-17}$  A 이하인 트랜지스터이다. 상기 오프 전류는  $1 \times 10^{-18}$  A 이하인 것이 바람직하고,  $1 \times 10^{-21}$  A 이하인 것이 더 바람직하고,  $1 \times 10^{-24}$  A 이하인 것이 더 바람직하다.
- [0038] 도면에 있어서, 고전위측 전원 전위선은 Vdd로 표기하고, 저전위측 전원 전위선은 Vss로 표기한다(이는 이하 설명에도 적용된다).
- [0039] 전압 폴로워(100)에 있어서, 제1 트랜지스터(102), 제2 트랜지스터(104), 제3 트랜지스터(106), 제4 트랜지스터(108) 및 제5 트랜지스터(110)를 포함하는 회로 군을 차동 증폭기(120)라고 한다.
- [0040] 전압 폴로워(100)에 있어서, 제6 트랜지스터(112), 제7 트랜지스터(114), 제8 트랜지스터(116) 및 제9 트랜지스터(118)를 포함하는 회로 군을 이득 단(122)이라고 한다. 전압 폴로워(100)에 있어서, 이득 단(122)은 출력단으로서도 기능한다는 점에 유의해야 한다.
- [0041] 여기서, 종래의 전압 폴로워의 동작에 대해서 간략하게 설명한다. 도 2는 상기 동작을 설명하기 위해서 종래의 전압 폴로워의 한 예를 도시한다. 도 2에 도시하는 종래의 전압 폴로워를 구성하는 트랜지스터 및 상기 트랜지스터의 접속 관계는, 전압 폴로워(100)에 있어서, 제7 트랜지스터(114) 및 제8 트랜지스터(116)를 제외한 회로 구성에 상당한다. 종래의 전압 폴로워의 동작에 관한 설명은, 전압 폴로워(100)의 부호를 사용해서 설명한다는 점에 유의해야 한다.
- [0042] 우선, 전원이 턴 온된 상태이고, 기준 전위 V<sub>bias</sub> 및 입력 전위 V<sub>in</sub>가 충분히 공급된 상태의 종래의 전압 폴로워로부터, 이득 단(122)을 구성하는 제6 트랜지스터(112) 및 제9 트랜지스터(118)의 게이트에 공급되는 전위에 의해, 입력 전위 V<sub>in</sub>와 동등한 출력 전위 V<sub>out</sub>가 출력된다. 입력 전위 V<sub>in</sub>가 충분히 공급된 상태는, 입력 전위 V<sub>in</sub>에 의해 제4 트랜지스터(108)의 제1 단자와 제2 단자 간에 전류가 일정하게(constantly) 흐르고 있는 상태를 말한다는 점에 유의해야 한다. 기준 전위 V<sub>bias</sub>가 충분히 공급된 상태는, 제5 트랜지스터(110)의 제1 단자와 제2 단자 사이 및 제9 트랜지스터(118)의 제1 단자와 제2 단자 사이에 전류가 일정하게 흐르고 있는 상태를 말한다.
- [0043] 즉, 전원이 턴 온된 상태이고, 기준 전위 V<sub>bias</sub> 및 입력 전위 V<sub>in</sub>가 충분히 공급된 상태의 종래의 전압 폴로워로부터, 차동 증폭기(120)로부터 공급된 전위에 의해, 입력 전위 V<sub>in</sub>와 동등한 출력 전위 V<sub>out</sub>가 출력된다.
- [0044] 따라서, 출력 전위 V<sub>out</sub>를 얻기 위해서, 종래의 전압 폴로워에서는, 입력 전위 V<sub>in</sub> 및 기준 전위 V<sub>bias</sub>가 항상 공급된다.
- [0045] 이어서, 본 발명의 한 실시 형태에 관한 전압 폴로워(100)의 동작에 대해서 설명한다. 제7 트랜지스터(114) 및 제8 트랜지스터(116)를 턴 온시키는 전위 V<sub>osg</sub>가, 제7 트랜지스터(114) 및 제8 트랜지스터(116)의 게이트에 충분히 공급된 상태의 전압 폴로워(100)로부터, 이득 단(122)을 구성하는 제6 트랜지스터(112) 및 제9 트랜지스터(118)의 게이트에 공급되는 전위에 의해, 입력 전위 V<sub>in</sub>와 동등한 출력 전위 V<sub>out</sub>가 출력된다. V<sub>osg</sub>가 충분히 공급된 상태는, 제7 트랜지스터(114) 및 제8 트랜지스터(116)가 턴 온된 상태를 말한다는 점에 유의해야 한다.
- [0046] 즉, 제7 트랜지스터(114) 및 제8 트랜지스터(116)가 턴 온된 상태의 전압 폴로워(100)는, 종래의 전압 폴로워와 마찬가지로의 동작을 한다.
- [0047] 입력 전위 V<sub>in</sub>와 동등한 출력 전위 V<sub>out</sub>가 일정하게 출력된 상태에서, 제7 트랜지스터(114) 및 제8 트랜지스터(116)가 턴 오프된 경우(V<sub>osg</sub>의 공급 정지), 제7 트랜지스터(114) 및 제8 트랜지스터(116) 각각이, 오프 전류가 낮은 트랜지스터이기 때문에, 제7 트랜지스터(114)의 제2 단자와 제6 트랜지스터(112)의 게이트 간의 node\_1(도 1의 굵은 선부에 상당함), 및 제8 트랜지스터(116)의 제2 단자와 제9 트랜지스터(118)의 게이트 간의

node\_2(도 1의 굵은 선부에 상당함)는, 플로팅 상태가 된다.

- [0048] node\_1의 전위는, 차동 증폭기(120)로부터 공급되는 전위가 되고, 제7 트랜지스터(114)를 통해서 변동하지 않으므로, node\_1의 전위는 일정하게 유지된다. node\_2의 전위는, 기준 전위  $V_{bias}$ 와 동일한 전위가 되고, 제8 트랜지스터(116)를 통해서 변동하지 않으므로, node\_2의 전위는 일정하게 유지된다.
- [0049] 따라서, 입력 전위  $V_{in}$ 와 동등한 출력 전위  $V_{out}$ 를 출력하기 위해서 필요한, 제6 트랜지스터(112)의 게이트에 공급되는 전위 및 제9 트랜지스터(118)의 게이트에 공급되는 전위는 node\_1 및 node\_2에서 일정하게 유지될 수 있다.
- [0050] 따라서, 전압 폴로워(100)는, 입력 전위  $V_{in}$  및 기준 전위  $V_{bias}$ 를 항상 공급할 필요가 없고, 입력 전위  $V_{in}$  및 기준 전위  $V_{bias}$ 의 공급을 멈추어도, 전원이 턴 온되고 있는 한, 유지된 node\_1의 전위 및 유지된 node\_2의 전위를 기초로 하여, 전위  $V_{osg}$ 의 공급을 멈추기 직전의 입력 전위  $V_{in}$ 와 동등한 출력 전위  $V_{out}$ 가 출력될 수 있다. 즉, 입력 전위  $V_{in}$  및 기준 전위  $V_{bias}$ 를 생성하는 회로 등의 주변 회로가 정지되어도, 전압 폴로워(100)가 동작될 수 있으므로; 전압 폴로워(100)의 소비 전력을 감소시킬 수 있다.
- [0051] 본 명세서에서는, 본 발명의 한 실시 형태에 따른 전압 폴로워에 있어서, 입력 전위  $V_{in}$ , 기준 전위  $V_{bias}$  및 전위  $V_{osg}$ 가 충분히 공급되고, 오프 전류가 낮은 트랜지스터를 턴 오프시켜, 입력 전위  $V_{in}$  및 기준 전위  $V_{bias}$ 의 공급을 멈춤으로써 입력 전위  $V_{in}$ 와 동등한 출력 전위  $V_{out}$ 가 출력되는 동작을, 저 전력 동작이라고 칭한다는 점에 유의해야 한다.
- [0052] 저 전력 동작 중에 출력되는, 전압 폴로워(100)의 출력 전위  $V_{out}$ 를 변경하기 위해서, 단지, 제7 트랜지스터(114) 및 제8 트랜지스터(116)를 다시 턴 온시켜서, 원하는 출력 전위  $V_{out}$ 와 동등한 입력 전위  $V_{in}$ 가 충분히 공급된 후, 제7 트랜지스터(114) 및 제8 트랜지스터(116)를 턴 오프시키는 것이 바람직하다.
- [0053] 또한, 저 전력 동작 중에 전압 폴로워(100)의 전원을 턴 오프한 경우에도, node\_1의 전위 및 node\_2의 전위는 일정하게 유지되어 있으므로; 다시 전원을 턴 온했을 때, 입력 전위  $V_{in}$ , 기준 전위  $V_{bias}$  및 전위  $V_{osg}$ 를 공급하지 않고, 전원을 턴 오프하기 직전에 출력되는 출력 전위  $V_{out}$ 를 다시 출력할 수 있다. 따라서, 다시 전원을 턴 온했을 때, 전압 폴로워(100)의 회로가 종래의 회로 구성에 비해서 더 빨리 기동한다.
- [0054] 전압 폴로워(100)에 있어서, 제5 트랜지스터(110) 및 제9 트랜지스터(118) 각각은, 정전류원으로서 기능한다. 따라서, 제5 트랜지스터(110) 및 제9 트랜지스터(118)는 저항 소자 등으로 치환될 수 있다.
- [0055] 또한, 전압 폴로워(100)에 있어서, 이득 단(122)에 오프 상태에서의 리크 전류가 낮은 트랜지스터를 제공할 수 있고, 차동 증폭기로부터 공급되는 전위를 유지할 수 있는 한, 정전류원으로서 각각 기능하는 트랜지스터(제5 트랜지스터(110) 및 제9 트랜지스터(118))의 전원 전위선  $V_{ss}$ 에 대한 전기적 접속에 대한 제한은 없다. 즉, 정전류원으로서 각각 기능하는 트랜지스터가 전원 전위선  $V_{dd}$ 에 전기적으로 접속되어 있는 전압 폴로워 또한 본 발명의 한 실시 형태에 포함된다. 정전류원으로서 각각 기능하는 트랜지스터를 전원 전위선  $V_{dd}$ 에 전기적으로 접속시키면, 차동 증폭기(120) 및 이득 단(122)을 구성하는 다른 트랜지스터의 접속 관계는 적절히 변경된다는 점에 유의해야 한다.
- [0056] 제7 트랜지스터(114) 및 제8 트랜지스터(116)로서 사용될 수 있는 상기 오프 전류의 값을 갖는 트랜지스터의 예로서는, 산화물 반도체층 등의 와이드 갭 반도체층에 채널 형성 영역이 형성되는 트랜지스터를 들 수 있다. 또한, 상기 산화물 반도체에서는, 캐리어의 공여체 역할을 하는 수소가 매우 낮은 농도까지 감소하는 것이 바람직하다. 따라서, 산화물 반도체층의 채널 형성 영역에서, 수소 농도는,  $5 \times 10^{19}/\text{cm}^3$  이하가 바람직하고, 더 바람직하게는  $5 \times 10^{18}/\text{cm}^3$  이하이고, 산소의 조성비는 화학양론적 조성비를 초과하는 것이 바람직하다. 채널 형성 영역을 형성하는 산화물 반도체 내의 수소 농도는, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의해 측정된다.
- [0057] 산화물 반도체층은, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 금속 산화물을 사용하여 형성되는 것이 바람직하다. 특히, In과 Zn이 포함되는 것이 바람직하다. 상기 산화물 반도체를 포함하는 트랜지스터의 전기 특성에서의 변동을 감소시키기 위한 안정기로서, In과 Zn 외에 갈륨(Ga)이 포함되는 것이 바람직하다. 안정기로서 주석(Sn)이 포함되는 것이 바람직하다. 안정기로서 하프늄(Hf)이 포함되는 것이 바람직하다. 안정기로서 알루미늄(Al)이 포함되는 것이 바람직하다.
- [0058] 다른 안정기로서, 란탄(La) 등의 란타노이드, 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸

(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 하나 또는 복수의 종이 포함될 수 있다.

- [0059] 산화물 반도체층의 캐리어 농도는  $1.0 \times 10^{14} / \text{cm}^3$  미만이 바람직하다. 캐리어 농도를 작게 함으로써, 트랜지스터의 오프 전류를 작게 할 수 있다.
- [0060] 전압 폴로워(100)에 있어서, 제1 트랜지스터(102), 제2 트랜지스터(104), 제3 트랜지스터(106), 제4 트랜지스터(108), 제5 트랜지스터(110), 제6 트랜지스터(112) 및 제9 트랜지스터(118)에 사용하는 반도체 재료에 대한 제한은 없다. 예를 들어, 실리콘 반도체 재료가 사용된다.
- [0061] 제3 트랜지스터(106), 제4 트랜지스터(108), 제5 트랜지스터(110) 및 제9 트랜지스터(118)로서, 상기 산화물 반도체 등의 와이드 밴드 반도체를 사용하여 채널 형성 영역이 형성되는 트랜지스터가 제공될 수 있다는 점에 유의해야 한다.
- [0062] 상기를 통해서, 본 발명의 한 실시 형태에 따른 반도체 장치인 전압 폴로워는, 종래의 전압 폴로워가 소비하는 것보다 적게 전력을 소비한다. 또한, 상기 전압 폴로워를 포함하는 반도체 장치에 있어서도, 소비 전력이 감소한다.
- [0063] 본 발명의 한 실시 형태에 따른 반도체 장치인 전압 폴로워는, 이득 단에 오프 상태에서의 리크 전류가 낮은 트랜지스터를 제공함으로써, 차동 증폭기로부터 공급되는 전위가 일정하게 유지될 수 있는 한, 본 실시 형태에 기재한 회로 구성에 한정되지 않는다는 점에 유의해야 한다. 예를 들어, 차동 증폭기 및 이득 단 각각에는, 다른 트랜지스터가 제공될 수 있다.
- [0064] 본 실시 형태의 내용 또는 상기 내용의 일부는, 다른 실시 형태의 내용 또는 그 내용의 일부와 자유롭게 조합될 수 있다는 점에 유의해야 한다.
- [0065] [실시 형태 2]
- [0066] 본 실시 형태에서는, 실시 형태 1에 도시된 것과는 일부 구성이 다른 반도체 장치의 구성예에 대해서 설명한다.
- [0067] 실시 형태 1에 기재된 전압 폴로워(100)는, 차동 증폭기(120) 및 이득 단(122)의 2단으로 구성되어 있지만, 본 발명의 한 실시 형태에 따른 전압 폴로워는 상기 구성에 한정되는 것은 아니다. 예를 들어, 차동 증폭기와 출력단 사이에 이득 단이 제공될 수 있다.
- [0068] 예를 들어, 도 3은 차동 증폭기(230), 이득 단(232) 및 출력단(234)의 3단을 포함하는 전압 폴로워의 구성예인 전압 폴로워(200)를 도시한다. 전압 폴로워(200)는 전압 폴로워(100)의 변형예이므로; 도 3에서는 전압 폴로워(100)의 부호가 적절히 사용된다는 점에 유의해야 한다.
- [0069] 도 3에 도시하는 전압 폴로워(200)는, 제1 내지 제13 트랜지스터 및 하나의 용량 소자를 포함하고 있다. 이하에, 상기 트랜지스터 및 상기 용량 소자의 접속 관계를 기재한다.
- [0070] 제1 트랜지스터(202)의 제1 단자 및 제2 트랜지스터(204)의 제1 단자는, 전원 전위선 Vdd에 전기적으로 접속되어 있고; 제1 트랜지스터(202)의 제2 단자는, 제1 트랜지스터(202)의 게이트, 제2 트랜지스터(204)의 게이트 및 제3 트랜지스터(206)의 제1 단자에 전기적으로 접속되어 있고; 제2 트랜지스터(204)의 제2 단자는, 제4 트랜지스터(208)의 제1 단자에 전기적으로 접속되어 있고; 제3 트랜지스터(206)의 제2 단자 및 제4 트랜지스터(208)의 제2 단자는, 제5 트랜지스터(210)의 제1 단자에 전기적으로 접속되어 있고; 제5 트랜지스터(210)의 제2 단자는, 전원 전위선 Vss에 전기적으로 접속되어 있다.
- [0071] 제6 트랜지스터(212)의 제1 단자는, 전원 전위선 Vdd에 전기적으로 접속되어 있고; 제2 트랜지스터(204)의 제2 단자 및 제4 트랜지스터(208)의 제1 단자는, 제6 트랜지스터(212)의 게이트 및 용량 소자(214)의 한쪽 전극에 전기적으로 접속되어 있고; 제6 트랜지스터(212)의 제2 단자 및 용량 소자(214)의 다른 쪽 전극은, 제7 트랜지스터(216)의 제1 단자 및 제7 트랜지스터(216)의 게이트에 전기적으로 접속되어 있고; 제7 트랜지스터(216)의 제2 단자는, 제8 트랜지스터(218)의 제1 단자에 전기적으로 접속되어 있고; 제8 트랜지스터(218)의 제2 단자는, 제8 트랜지스터(218)의 게이트 및 제9 트랜지스터(220)의 제1 단자에 전기적으로 접속되어 있고; 제9 트랜지스터(220)의 제2 단자는, 전원 전위선 Vss에 전기적으로 접속되어 있다.
- [0072] 제10 트랜지스터(222)의 제1 단자는, 전원 전위선 Vdd에 전기적으로 접속되어 있고; 제11 트랜지스터(224)의 제1 단자는, 제7 트랜지스터(216)의 게이트에 전기적으로 접속되어 있고; 제10 트랜지스터(222)의 게이트는, 제11 트랜지스터(224)의 제2 단자에 전기적으로 접속되어 있고; 제12 트랜지스터(226)의 제1 단자는 제8 트랜지스터



(218)의 게이트에 전기적으로 접속되어 있고; 제12 트랜지스터(226)의 제2 단자는, 제13 트랜지스터(228)의 게이트에 전기적으로 접속되어 있고; 제10 트랜지스터(222)의 제2 단자는, 제13 트랜지스터(228)의 제1 단자에 전기적으로 접속되어 있고; 제13 트랜지스터(228)의 제2 단자는, 전원 전위선  $V_{ss}$ 에 전기적으로 접속되어 있다.

[0073] 제4 트랜지스터(208)의 게이트는, 입력 전위  $V_{in}$ 가 입력되는 제1 입력 단자에 전기적으로 접속되어 있고; 제3 트랜지스터(206)의 게이트, 제10 트랜지스터(222)의 제2 단자 및 제13 트랜지스터(228)의 제1 단자는, 출력 전위  $V_{out}$ 가 출력되는 출력 단자에 전기적으로 접속되어 있고; 제5 트랜지스터(210)의 게이트 및 제9 트랜지스터(220)의 게이트는, 기준 전위  $V_{bias}$ 가 입력되는 제2 입력 단자에 전기적으로 접속되어 있다.

[0074] 제1 트랜지스터(202), 제2 트랜지스터(204), 제6 트랜지스터(212), 제8 트랜지스터(218) 및 제13 트랜지스터(228)는, p 채널형 트랜지스터이며; 제3 트랜지스터(206), 제4 트랜지스터(208), 제5 트랜지스터(210), 제7 트랜지스터(216) 및 제9 트랜지스터(220), 제10 트랜지스터(222), 제11 트랜지스터(224) 및 제12 트랜지스터(226)는, n 채널형 트랜지스터이다.

[0075] 제11 트랜지스터(224) 및 제12 트랜지스터(226) 각각은, 오프 상태에 있어서의 리크 전류(오프 전류)가 채널 폭  $1\ \mu\text{m}$ 당  $1 \times 10^{-17}\text{A}$  이하인 트랜지스터이다. 상기 오프 전류는  $1 \times 10^{-18}\text{A}$  이하인 것이 바람직하고, 더 바람직하게는  $1 \times 10^{-21}\text{A}$  이하이고, 나아가  $1 \times 10^{-24}\text{A}$  이하인 것이 더 바람직하다.

[0076] 전압 폴로워(200)에 있어서, 제1 트랜지스터(202), 제2 트랜지스터(204), 제3 트랜지스터(206), 제4 트랜지스터(208) 및 제5 트랜지스터(210)를 포함하는 회로 군은 차동 증폭기(230)라고 칭하기로 한다.

[0077] 전압 폴로워(200)에 있어서, 제6 트랜지스터(212), 용량 소자(214) 및 제9 트랜지스터(220)를 포함하는 회로 군은 이득 단(232)이라고 칭하기로 한다.

[0078] 전압 폴로워(200)에 있어서, 제7 트랜지스터(216), 제8 트랜지스터(218), 제10 트랜지스터(222), 제11 트랜지스터(224), 제12 트랜지스터(226) 및 제13 트랜지스터(228)를 포함하는 회로 군은 출력단(234)이라고 칭하기로 한다.

[0079] 제11 트랜지스터(224) 및 제12 트랜지스터(226)가 턴 온된 상태의 전압 폴로워(200)로부터는, 종래의 전압 폴로워와 마찬가지로 입력 전위  $V_{in}$ 와 동등한 출력 전위  $V_{out}$ 가 출력된다.

[0080] 입력 전위  $V_{in}$ 와 동등한 출력 전위  $V_{out}$ 가 일정하게 출력된 상태에서, 제11 트랜지스터(224) 및 제12 트랜지스터(226)가 턴 오프된( $V_{osg}$ 의 공급 정지) 경우, 제11 트랜지스터(224) 및 제12 트랜지스터(226) 각각이, 오프 전류가 낮은 트랜지스터이기 때문에, 제11 트랜지스터(224)의 제2 단자와 제10 트랜지스터(222)의 게이트 간 node\_3(도 3의 굵은 선부에 상당함), 및 제12 트랜지스터(226)의 제2 단자와 제13 트랜지스터(228)의 게이트 간 node\_4(도 3의 굵은 선부에 상당함)는 플로팅 상태가 된다.

[0081] node\_3의 전위는, 이득 단(232)으로부터 공급된 전위가 되고, 제11 트랜지스터(224)를 통해서 변동되지 않으므로, node\_3의 전위는 일정하게 유지된다. node\_4의 전위는, 기준 전위  $V_{bias}$ 를 기초로 하여 이득 단(232)으로부터 공급되는 전위가 되고, 제12 트랜지스터(226)를 통해서 변동되지 않으므로, node\_4의 전위는 일정하게 유지된다.

[0082] 따라서, 전압 폴로워(200)는 저 전력 동작을 행할 수 있고, 전압 폴로워(200)의 소비 전력을 감소할 수 있다.

[0083] 예를 들어, 전압 폴로워(200)에 있어서, 출력단(234)에 포함된 트랜지스터의 채널 폭(간단히, 트랜지스터의 크기라고도 함)이, 차동 증폭기(230)에 포함된 트랜지스터의 채널 폭(크기)보다 매우 긴(큰) 경우, 제10 트랜지스터(222)의 게이트 및 제13 트랜지스터(228)의 게이트에, 입력 전위  $V_{in}$ 와 동등한 출력 전위  $V_{out}$ 를 출력하기 위한 전위를 공급할 때 지연이 발생한다.

[0084] 이때, 차동 증폭기(230)에 포함된 트랜지스터의 것보다 채널 폭(크기)이 길고(크고), 출력단(234)에 포함된 트랜지스터의 것보다 채널 폭(크기)이 짧은(작은) 트랜지스터를 이득 단(232)에 제공함으로써, 상기 지연의 발생을 억제할 수 있다. 즉, 전압 폴로워(200)에서와 같이, 이득 단을 제공함으로써 지연을 억제할 수 있으므로; 입력 전위  $V_{in}$ 와 동등한 출력 전위  $V_{out}$ 가 안정되게 출력될 수 있다.

[0085] 저 전력 동작 중에 출력되는 전압 폴로워(200)의 출력 전위  $V_{out}$ 를 변경하기 위해서, 단지, 제11 트랜지스터(224) 및 제12 트랜지스터(226)를 다시 턴 온시키고, 원하는 출력 전위  $V_{out}$ 와 동등한 입력 전위  $V_{in}$ 가 충분히 공급된 상태로 한 후, 제11 트랜지스터(224) 및 제12 트랜지스터(226)를 턴 오프시킬 필요가 있다. 입력 전위  $V_{in}$ 가 충분히 공급된 상태는, 입력 전위  $V_{in}$ 에 의해 제4 트랜지스터(208)의 제1 단자와 제2 단자 간에 전

류가 일정하게 흐르고 있는 상태를 말한다는 점에 유의해야 한다.

- [0086] 또한, 저 전력 동작 중에 전압 폴로워(200)의 전원을 턴 오프했을 경우에 있어서도, 전압 폴로워(100)와 마찬가지로, 다시 전원을 턴 온했을 때, 전원을 턴 오프하기 직전에 출력되는 출력 전위  $V_{out}$ 를 출력할 수 있다. 따라서, 다시 전원을 턴 온했을 때, 전압 폴로워(200)의 회로는 종래의 회로 구성에 비해서 더 빠르게 기동한다.
- [0087] 전압 폴로워(200)에 있어서, 제5 트랜지스터(210), 제9 트랜지스터(220) 및 제13 트랜지스터(228) 각각은, 정전류원으로서 기능한다. 따라서, 제5 트랜지스터(210), 제9 트랜지스터(220) 및 제13 트랜지스터(228)는 저항 소자 등으로 치환될 수 있다. 이득 단(232)에 제공된 정전류원이 저항 소자로 치환되는 경우에도, 출력단(234)에 제12 트랜지스터(226)를 제공함으로써, node\_4는 전위를 유지할 수 있다. 따라서, 전압 폴로워(200)는 저 전력 동작을 행할 수 있다.
- [0088] 또한, 전압 폴로워(200)에 있어서도, 출력단(234)에 오프 상태에서의 리크 전류가 낮은 트랜지스터를 제공하고, 이득 단(232)으로부터 공급되는 전위를 유지할 수 있는 한, 정전류원으로서 각각 기능하는 트랜지스터(제5 트랜지스터(210) 및 제9 트랜지스터(220))의 전원 전위선  $V_{ss}$ 에 대한 전기적 접속에 대한 제한은 없다. 즉, 정전류원으로서 각각 기능하는 트랜지스터가 전원 전위선  $V_{dd}$ 에 전기적으로 접속되는 전압 폴로워도, 본 발명의 한 실시 형태에 포함된다. 정전류원으로서 각각 기능하는 트랜지스터를 전원 전위선  $V_{dd}$ 에 전기적으로 접속시키면, 차동 증폭기(230) 및 출력단(234)을 형성하는 다른 트랜지스터의 접속 관계는 적절히 변경된다는 점에 유의해야 한다.
- [0089] 제11 트랜지스터(224) 및 제12 트랜지스터(226)로서 사용될 수 있는 상기 오프 전류의 값을 갖는 트랜지스터로서는, 실시 형태 1에서 설명한 바와 같이, 산화물 반도체층 등의 와이드 갭 반도체층에 채널 형성 영역이 형성되는 트랜지스터가 주어질 수 있다. 따라서, 제11 트랜지스터(224) 및 제12 트랜지스터(226) 각각에 있어서, 산화물 반도체층의 채널 형성 영역에서, 수소 농도는  $5 \times 10^{19}/\text{cm}^3$  이하가 바람직하고, 좀 더 바람직하게는 수소 농도가  $5 \times 10^{18}/\text{cm}^3$  이하이며, 산소의 조성비는 화학양론적 조성비에서의 것보다 초과한다. 산화물 반도체층의 캐리어 농도는  $1.0 \times 10^{14}/\text{cm}^3$  미만인 것이 바람직하다. 캐리어 농도를 감소시킴으로써, 트랜지스터의 오프 전류를 감소시킬 수 있다. 상기 산화물 반도체층은, 실시 형태 1에서 설명한 금속 산화물을 사용해서 형성될 수 있다.
- [0090] 전압 폴로워(200)에 있어서, 제1 트랜지스터(202), 제2 트랜지스터(204), 제3 트랜지스터(206), 제4 트랜지스터(208), 제5 트랜지스터(210), 제6 트랜지스터(212), 제7 트랜지스터(216), 제8 트랜지스터(218), 제9 트랜지스터(220), 제10 트랜지스터(222) 및 제13 트랜지스터(228)에 사용하는 반도체 재료에는 제한이 없다. 예를 들어, 실리콘 반도체 재료가 사용될 수 있다.
- [0091] 제3 트랜지스터(206), 제4 트랜지스터(208), 제5 트랜지스터(210), 제7 트랜지스터(216), 제9 트랜지스터(220) 및 제10 트랜지스터(222)로서, 산화물 반도체 등의 와이드 갭 반도체를 사용하여 채널 형성 영역이 형성되는 트랜지스터가 제공될 수 있다는 점에 유의해야 한다.
- [0092] 용량 소자(214)는, 도전막을 사용하여 형성된 한 쌍의 전극과, 상기 한 쌍의 전극 사이에 제공된 절연막을 포함한다. 용량 소자(214)는, 전압 폴로워(200)에 포함된 소정의 트랜지스터를 형성하는 공정을 사용해서 형성될 수 있다.
- [0093] 상기를 통해서, 본 발명의 한 실시 형태에 따른 반도체 장치인 전압 폴로워는, 종래의 전압 폴로워가 소비하는 전력보다 적게 전력을 소비한다. 또한, 상기 전압 폴로워를 포함하는 반도체 장치에 있어서도, 소비 전력이 감소한다.
- [0094] 본 발명의 한 실시 형태에 따른 반도체 장치인 전압 폴로워의 회로 구성은, 출력단에 오프 상태에서의 리크 전류가 낮은 트랜지스터를 제공함으로써, 이득 단으로부터 공급되는 전위가 일정하게 유지될 수 있는 한, 본 실시 형태에 기재한 회로 구성에 한정되지 않는다는 점에 유의해야 한다. 예를 들어, 차동 증폭기, 이득 단 및 출력단 각각에는, 다른 트랜지스터가 제공될 수 있다.
- [0095] 또한, 본 발명의 한 실시 형태에 따른 반도체 장치는 연산 증폭기, 증폭 회로, 비교기 회로 등을 포함하는 여러 가지 용도에 응용될 수 있다.
- [0096] 예를 들어, 본 발명의 한 실시 형태에 따른 반도체 장치는, 2개의 입력 간의 전위차에 기초하여 출력 전위를 출

력하는 연산 증폭기로서 사용될 수 있다.

- [0097] 연산 증폭기는 다음과 같이 구성될 수 있다: 도 3에 도시하는 전압 폴로워(200)의 회로 구성에 있어서, 제3 트랜지스터(206)의 게이트에 공급되는 전위로서, 출력 전위  $V_{out}$  대신에 다른 입력 전위  $V_{in1}$ 가 공급된다. 예를 들어, 전압 폴로워(200)의 제3 트랜지스터(206)의 게이트는, 제10 트랜지스터(222)의 제2 단자, 제13 트랜지스터(228)의 제1 단자 및 출력 단자 대신에, 입력 전위  $V_{in1}$ 가 입력되는 제3 입력 단자에 접속될 수 있다(도 24 참조).
- [0098] 연산 증폭기의 동작은 하기와 같다: 제3 트랜지스터(206)의 게이트에 공급되는 전위(입력 전위  $V_{in1}$ )와, 제4 트랜지스터(208)의 게이트에 공급되는 전위(입력 전위  $V_{in}$ ) 간의 전위차에 의해, 제6 트랜지스터(212)의 게이트에 공급되는 전위는 저하된다. 제6 트랜지스터(212)의 게이트에 공급되는 전위가 저하되면, 제6 트랜지스터(212)는 대량의 온 전류(온 상태)를 갖는 경향이 있고, 제10 트랜지스터(222)의 게이트에 공급되는 전위는 상승한다. 따라서, 제10 트랜지스터(222)의 제2 단자의 전위(출력 단자의 전위 또는 소스 전위), 즉 출력 전위  $V_{out}$ 도 상승하게 된다.
- [0099] 전압 폴로워와 마찬가지로, 연산 증폭기는 입력 전위  $V_{in}$ , 입력 전위  $V_{in1}$  및 기준 전위  $V_{bias}$ 를 항상 공급해 둘 필요가 없다. 입력 전위  $V_{in}$ , 입력 전위  $V_{in1}$  및 기준 전위  $V_{bias}$ 의 공급이 멈추어도, 전원이 턴 온되고 있는 한, 상기 유지된 node\_3의 전위 및 상기 유지된 node\_4의 전위를 기초로, 공급을 멈추기 직전의 전위를 출력할 수 있다. 즉, 입력 전위  $V_{in}$ , 입력 전위  $V_{in1}$  및 기준 전위  $V_{bias}$ 를 생성하는 회로 등의 주변 회로를 정지해도, 연산 증폭기를 동작시킬 수 있으므로; 연산 증폭기의 소비 전력을 감소할 수 있다. 즉, 본 발명의 한 실시 형태에 따른 연산 증폭기는 저 전력 동작을 행할 수 있다.
- [0100] 저 전력 동작 중에 출력되는, 본 발명의 한 실시 형태에 따른 연산 증폭기의 출력 전위  $V_{out}$ 를 변경하기 위해서, 제11 트랜지스터(224) 및 제12 트랜지스터(226)를 다시 턴 온시키고, 원하는 전위로 변경된 입력 전위  $V_{in}$  및 입력 전위  $V_{in1}$ 가 충분히 공급된 후, 제11 트랜지스터(224) 및 제12 트랜지스터(226)를 턴 오프시킬 필요가 있다.
- [0101] 또한, 저 전력 동작 중에 본 발명의 한 실시 형태에 따른 연산 증폭기의 전원을 턴 오프했을 경우에 있어서도, 전압 폴로워(100) 및 전압 폴로워(200)와 마찬가지로의 방식으로, 다시 전원을 턴 온했을 때, 전원을 턴 오프하기 직전에 출력되는 출력 전위  $V_{out}$ 를 다시 출력할 수 있다. 따라서, 다시, 전원을 턴 온했을 때, 본 발명의 한 실시 형태에 따른 연산 증폭기의 회로는 종래의 회로 구성에서보다 빠르게 기동한다.
- [0102] 본 발명의 한 실시 형태에 따른 반도체 장치인 연산 증폭기의 회로 구성은, 이득 단에 오프 상태에서의 리크 전류가 낮은 트랜지스터를 제공함으로써, 차동 증폭기로부터 공급되는 전위가 일정하게 유지될 수 있는 한, 본 실시 형태에 기재한 회로 구성에 한정되지 않는다는 점에 유의해야 한다. 예를 들어, 복수 개의 이득 단이 제공될 수 있고, 또는 차동 증폭기, 이득 단 및 출력단 각각에는, 다른 트랜지스터가 제공될 수 있다.
- [0103] 상기를 통해서, 본 발명의 한 실시 형태에 따른 반도체 장치인 연산 증폭기는, 종래의 전압 폴로워가 소비하는 것보다 적은 전력을 소비한다. 또한, 상기 연산 증폭기를 포함하는 반도체 장치에 있어서도, 소비 전력이 감소한다.
- [0104] 여기서는, 본 발명의 한 실시 형태에 따른 반도체 장치에 있어서, 오프 전류가 매우 낮은 트랜지스터를 사용하는 이점에 대해서 설명한다.
- [0105] 본 발명의 한 실시 형태에 따른 반도체 장치는, 오프 전류가 매우 낮은 트랜지스터를 포함하므로; 전원을 다시 턴 온했을 때에, 전원을 턴 오프하기 직전에 출력되는 출력 전위  $V_{out}$ 를 다시 출력할 수 있다. 이것은, 산화물 반도체를 포함하는 트랜지스터에 의해, 불휘발성을 달성할 수 있기 때문이다.
- [0106] 또한, 스핀트로닉스(spintronics)을 이용한 자기 터널 접합 소자(MTJ 소자)를 사용함으로써 불휘발성의 반도체 장치를 실현할 수 있다. MTJ 소자는, 절연막의 상하에 제공된 강자성체막의 자화 방향이 평행이면 저저항 상태로 설정하고, 그 방향이 역평행이면 고저항 상태로 설정함으로써 데이터를 저장한다. 따라서, 불휘발성의 달성에 있어서, MTJ 소자의 원리는, 본 발명의 한 실시 형태에 따른 반도체 장치에서와 같이 산화물 반도체의 것과는 완전히 상이하다.
- [0107] 이제, 표 1를 참조하여, MTJ 소자를 포함하는 불휘발성 반도체 장치와, 산화물 반도체를 포함하는 트랜지스터를 포함하는 불휘발성 반도체 장치 간에 비교를 한다.

표 1

|           | 스핀트로닉스(MTJ 소자)  | 산화물 반도체/Si                                 |
|-----------|---|--|
| 열 저항      | 퀴리 온도   | 공정 온도 약 500℃(150℃에서의 신뢰성)                  |
| 구동 방법     | 전류 구동   | 전압 구동                                      |
| 기입 원리     | 강자성체의 자화 방향 변경  | FET의 온/오프                                  |
| SiLSI     | 바이폴라 LSI에 적합(바이폴라 디바이스가 고집적화에는 적합하지 않기 때문에, MOS 디바이스가 고집적화에 적합. W가 커지고 있음에 주목.) | MOS LSI에 적합                                |
| 오버헤드      | 크다(높은 주울 열 때문)  | MTJ 소자보다 크기가 2 내지 3 자리 이상 작음(기생 용량의 충전 때문) |
| 불휘발성      | 스핀 이용   | 낮은 오프 전류 이용                                |
| 기입 사이클 횟수 | 무제한   | 무제한  |
| 3D 변환     | 어려움(최대 2층)  | 용이함(층의 수 제한 없음)                            |
| 재료        | 자성 회도류  | 산화물 반도체 재료                                 |
| 소자 비용     | 높음  | 낮음(산화물 반도체 재료(In 등)에 따라 약간 높을 수 있음)        |

[0109] 표 1에 도시된 바와 같이, MTJ 소자는 전류 구동이므로, 강자성체막의 자화의 방향을 변경시킴으로써 전위가 입력 또는 유지된다. 한편, 산화물 반도체를 포함하는 트랜지스터는 전압 구동이므로, 트랜지스터의 온 상태와 오프 상태의 전환에 의해 전위가 입력 또는 유지된다.

[0110] 이론적으로는, MTJ 소자, 및 산화물 반도체를 포함하는 트랜지스터 둘 다는 전하가 유지될 수 있는 횟수에 제한 없이, 불휘발성을 달성할 수 있다.

[0111] MTJ 소자는 자성 재료를 사용하기 때문에, 온도가 퀴리 온도 이상이면 자성이 상실되어 버리는 결점이 있다. 또한, MTJ 소자는 전류 구동이 채택되기 때문에, 실리콘 바이폴라 디바이스와 호환되지만; 바이폴라 디바이스는 고집적화에 부적합하다. 또한, MTJ 소자가 낮은 기입 전류를 요구하더라도, 메모리 용량이 증가하기 때문에 전력 소비가 증대해버린다고 하는 문제가 있다.

[0112] 반도체 장치의 고집적화를 달성하기 위해서는, 여러가지 소자를 적층해서 입체적 집적화를 얻는다. 그러나, MTJ 소자를 포함하는 반도체 장치에는 그러한 입체적 집적화를 하는 것이 어렵다. 한편, 산화물 반도체를 포함하는 트랜지스터를 포함하는 반도체 장치는, 적층형 입체적 집적화에 적합하다.

[0113] 원리적으로, MTJ 소자는 자계 내성이 약하므로, MTJ 소자가 강 자계에 노출되면 자화의 방향이 변하기 쉽다. 또한, MTJ 소자에 사용하는 자성체의 나노 스케일화에 의해 발생하는 자화 요동을 제어할 필요가 있다.

[0114] 또한, 회도류 원소는 MTJ 소자에 사용하므로; MTJ 소자를 형성하는 프로세스를, 금속 오염에 민감한 실리콘 반도체를 형성하는 프로세스에 편입시키기 위해서는 상당한 주의를 필요로 한다. MTJ 소자의 1 소자당 재료 비용은 고가이다.

[0115] 한편, 산화물 반도체를 포함하는 트랜지스터는, 금속 산화물 등의 반도체 재료를 사용하여 채널 형성 영역을 형성하는 것 이외는, 소자 구조나 동작 원리가 실리콘 MOSFET과 유사하다. 또한, 산화물 반도체층을 포함하는 트랜지스터는 자계의 영향을 받지 않는다. 따라서, 본 발명의 한 실시 형태에 따른 반도체 장치는, MTJ 소자를 포함하는 불휘발성 반도체 장치에 비해 자계에 대한 안정성이 높다. 또한, 본 발명의 한 실시 형태에 따른 반도체 장치는 실리콘 집적 회로와 매우 호환성이 좋을 수 있다.

[0116] 상기를 통해서, 불휘발성의 반도체 장치를 달성하기 위해서는, 오프 전류가 매우 낮은 트랜지스터, 특히 산화물 반도체를 포함하는 트랜지스터를 사용하는 것이 바람직하다.

[0117] 본 실시 형태의 내용 또는 상기 내용의 일부는, 다른 실시 형태의 내용 또는 상기 내용의 일부와 자유롭게 조합하는 것이 가능하다는 점에 유의해야 한다.

[0118] [실시 형태 3]

[0119] 본 실시 형태에서는, 상술한 실시 형태에서 설명한 반도체 장치에 포함된 트랜지스터의 제조 방법에 대해서 설



명한다.

- [0120] 상술한 실시 형태에서 설명한 전압 폴로워에 있어서, p 채널형 트랜지스터 및 n 채널형 트랜지스터는, 반도체 재료를 포함하는 기판을 사용하는 일반적인 방법에 의해 형성된다. 본 실시 형태에서는, 도면의 명료화 때문에, 반도체 기판에는 p 채널형 트랜지스터와 n 채널형 트랜지스터 중 어느 한쪽이 형성되어 있다는 점에 유의해야 한다.
- [0121] 오프 전류가 매우 낮은 트랜지스터는, 다음 방식으로 형성된다: 반도체 재료를 포함하는 기판 위에 p 채널형 트랜지스터 및 n 채널형 트랜지스터를 형성한 다음, p 채널형 트랜지스터 및 n 채널형 트랜지스터 위에 산화물 반도체를 포함하는 트랜지스터를 형성한다. 또한, p 채널형 트랜지스터 및 n 채널형 트랜지스터가 제공된 반도체 기판(700)을 형성 기판으로서 사용하고, 상기 기판 위에, 산화물 반도체를 포함하는 트랜지스터를 제공함으로써, 전압 폴로워에 있어서의 트랜지스터의 점유 면적을 축소하는 것이 가능하므로; 전압 폴로워의 미세화가 달성될 수 있다.
- [0122] p 채널형 트랜지스터 또는 n 채널형 트랜지스터가 형성된 반도체 기판(700)은, 소스 및 드레인으로서 기능하는 고농도 불순물 영역(701), 저농도 불순물 영역(702), 게이트 절연막(703), 게이트 전극(704), 및 층간 절연막(705)을 포함한다(도 4 참조).
- [0123] 산화물 반도체층에 채널 형성 영역이 형성되는 트랜지스터(710)는, p 채널형 트랜지스터 또는 n 채널형 트랜지스터가 제공된 반도체 기판(700) 위에 형성된 산화물 반도체층(711), 산화물 반도체층(711)에 접하고 서로 이격해서 형성된 소스 전극(712a)과 드레인 전극(712b), 적어도 산화물 반도체층(711)의 채널 형성 영역 위에 형성된 게이트 절연막(713), 및 산화물 반도체층(711)에 중첩해서 게이트 절연막(713) 위에 형성된 게이트 전극(714)을 포함한다(도 4 참조).
- [0124] 층간 절연막(705)은, 산화물 반도체층(711)의 베이스 절연막으로서도 기능한다.
- [0125] 층간 절연막(705)은, 적어도 그 표면에 산소를 포함하고, 산소의 일부가 열 처리에 의해 탈리되는 절연성 산화물을 사용하여 형성된다. 산소의 일부가 열 처리에 의해 탈리되는 절연성 산화물로서는, 화학양론적 조성비보다도 산소의 조성비가 높은 재료가 사용되는 것이 바람직하다. 이것은, 상기 열 처리에 의해, 층간 절연막(705)에 접하는 산화물 반도체층(711)에 산소를 공급할 수 있기 때문이다.
- [0126] 화학양론적 조성비보다도 산소의 조성비가 높은 절연성 산화물로서, 예를 들어,  $\text{SiO}_x$  (여기서,  $x > 2$ )로 표시된 산화 실리콘을 들 수 있다. 그러나, 이것에 한정되지 않고, 층간 절연막(705)은, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 산화갈륨, 산화 하프늄, 산화 이트륨 등을 사용하여 형성될 수 있다.
- [0127] 층간 절연막(705)은, 복수의 적층막에 의해 형성될 수 있다는 점에 유의해야 한다. 층간 절연막(705)은, 예를 들어 질화 실리콘막 위에 산화 실리콘막이 형성되어 있는 적층 구조를 가질 수 있다.
- [0128] 화학양론적 조성비보다도 산소의 조성비가 높은 절연성 산화물로부터, 산소의 일부가 열 처리에 의해 탈리하기 쉽다. 산소의 일부가 열 처리에 의해 탈리하기 쉬운 때의 TDS 분석에 의해 얻어진 산소의 탈리량(산소 원자로 환산한 값)은,  $1.0 \times 10^{18}$  atoms/cm<sup>3</sup> 이상, 바람직하게는  $1.0 \times 10^{20}$  atoms/cm<sup>3</sup> 이상, 보다 바람직하게는  $3.0 \times 10^{20}$  atoms/cm<sup>3</sup> 이상이다.
- [0129] 여기서, TDS 분석의 방법에 대해서 설명한다. TDS 분석에 있어서의 기체의 탈리량은, TDS 스펙트럼의 적분값에 비례한다. 따라서, 산화물의 TDS 스펙트럼의 적분값과 표준 샘플의 기준값으로부터, 기체의 탈리량을 산출할 수 있다. 표준 샘플의 기준값은, 선정된 원자를 포함하는 샘플(표준 샘플)에 있어서, 스펙트럼의 적분값에 대한 선정된 원자의 밀도의 비율을 말한다.
- [0130] 예를 들어, 선정된 밀도의 수소를 포함하는 실리콘 웨이퍼(표준 샘플)의 TDS 스펙트럼과 산화물의 TDS 스펙트럼으로부터, 산화물의 산소 분자( $\text{O}_2$ )의 탈리량 ( $N_{\text{O}_2}$ )은, 다음 식에서 구할 수 있다.

[0131] [식 1]

$$N_{\text{O}_2} = \frac{N_{\text{H}_2}}{S_{\text{H}_2}} \times S_{\text{O}_2} \times \alpha$$

[0132]

- [0133]  $N_{H_2}$ 은, 표준 샘플로부터 탈리한 수소 분자( $H_2$ )를 밀도로 환산하여 얻은 값이다.  $S_{H_2}$ 은, 표준 샘플의 수소 분자( $H_2$ )의 TDS 스펙트럼의 적분값이다. 즉, 표준 샘플의 기준값은  $N_{H_2}/S_{H_2}$ 이다.  $S_{O_2}$ 은, 절연성 산화물의 산소 분자( $O_2$ )의 TDS 스펙트럼의 적분값이다.  $\alpha$ 는, TDS 스펙트럼의 강도에 영향을 미치는 계수이다. 상기 식의 상세에 관해서는, 일본 특허 공개 평 06-275697호 공보를 참조한다.
- [0134] TDS 분석에 의해 얻어진 산소의 탈리량(산소 원자로 환산한 값)은, 전자 과학 가부시키가이샤(ESCO, Ltd.)제의 열 탈리 분석 장치 EMD-WA1000S/W를 사용함으로써, 표준 샘플로서  $1 \times 10^{16}$  atoms/cm<sup>3</sup>의 수소 원자를 포함하는 실리콘 웨이퍼를 사용하여 측정한다는 점에 유의해야 한다.
- [0135] TDS 분석에 있어서, 산소는 부분적으로 산소 원자로서 검출된다. 산소 분자와 산소 원자 간의 비율은, 산소 분자의 이온화율로부터 산출할 수 있다. 계수  $\alpha$ 는 산소 분자의 이온화율을 포함하고 있기 때문에, 산소 분자의 방출량을 평가함으로써, 산소 원자의 방출량에 대해서도 산출할 수 있다.
- [0136] 또한,  $N_{O_2}$ 은 산소 분자( $O_2$ )의 탈리량이다. 따라서, 산소 원자로 환산한 산소의 탈리량은, 산소 분자( $O_2$ )의 탈리량의 2배이다.
- [0137] 층간 절연막(705)은, 스퍼터링법, CVD법 등에 의해 형성되고, 바람직하게는 스퍼터링법에 의해 형성된다. 층간 절연막(705)으로서, 산화 실리콘막이 형성되면, 타겟으로서 석영(바람직하게는 합성 석영) 타겟이 사용되고, 스퍼터링 가스로서 아르곤 가스가 사용된다. 대안적으로, 타겟으로서 실리콘 타겟이 사용되고, 스퍼터링 가스로서 산소를 포함하는 가스가 사용될 수 있다. 산소를 포함하는 가스로서는, 아르곤 가스와 산소 가스의 혼합 가스가 사용될 수 있거나, 산소 가스만이 사용될 수 있다.
- [0138] 층간 절연막(705)을 형성한 후, 산화물 반도체층(711)으로 가공될 산화물 반도체막을 형성하기 전에, 제1 열 처리를 행한다. 제1 열 처리는, 층간 절연막(705) 내에 포함된 물 및 수소를 제거하기 위한 공정이다. 따라서, 제1 열 처리의 온도는, 층간 절연막(705) 내에 포함된 물 및 수소가 탈리하는 온도(물 및 수소의 탈리량이 피크가 되는 온도) 이상, 그리고 p 채널형 트랜지스터 또는 n 채널형 트랜지스터가 형성된 반도체 기판(700)이 변질 또는 변형되는 온도 미만, 예를 들어 후에 행하는 제2 열 처리보다도 낮은 온도가 바람직하다.
- [0139] 그 다음, 산화물 반도체막을 형성한 후, 제2 열 처리를 행한다. 제2 열 처리는, 상기 산화물 반도체막을 형성했을 때에 혼입되는 물 및 수소를 상기 산화물 반도체막으로부터 제거하기 위한 공정이며, 또한 층간 절연막(705)을 산소의 공급원으로서 사용함으로써 상기 산화물 반도체막에 산소를 공급하는 공정이다. 제2 열 처리는, 예를 들어 200℃ 이상, 반도체 기판(700)의 왜곡점 미만에서 행하는 것이 바람직하다. 그러나, 제2 열 처리를 행하는 타이밍은 이것에 한정되지 않고, 상기 산화물 반도체막을 산화물 반도체층(711)으로 가공한 후에 행할 수 있다. 이러한 방식으로 산화물 반도체막의 수소 농도를 낮게 하는 것으로, 트랜지스터의 임계 전압이 네가티브로 시프트되는 것을 방지할 수 있다.
- [0140] 산화물 반도체막에 산소를 공급하는 공정으로서, 산소 플라즈마의 사용에 의한 산소 도핑 처리 또는 이온 주입법의 사용에 의한 산소 도핑 처리를 행할 수 있다. 이온 주입법에 의한 산소 도핑 처리에 의해, 산화물 반도체막에 산소를 초과하여 포함시킬 수 있다. 제2 열 처리 또는 제2 열 처리 후의 산소 도핑 처리에 의해, 형성될 트랜지스터(710)의 전기 특성의 변동을 감소할 수 있다.
- [0141] 제2 열 처리에 있어서는, 질소 가스 또는 헬륨 가스, 네온 가스 또는 아르곤 가스 등의 회가스 내에, 수소, 물, 수산기 또는 수소화물 등이 포함되지 않는 것이 바람직하다는 점에 유의해야 한다. 대안적으로, 열 처리 장치에 도입하는 질소 가스 또는 헬륨 가스, 네온 가스, 아르곤 가스 등의 회가스의 순도를, 6N (99.9999%) 이상, 바람직하게는 7N (99.99999%) 이상, (즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm이하)로 하는 것이 바람직하다.
- [0142] 또한, 제2 열 처리의 조건 또는 산화물 반도체막 또는 산화물 반도체층(711)의 재료에 따라서, 산화물 반도체막 또는 산화물 반도체층(711)의 결정성은, 단결정 구조 또는 비단결정 구조로 될 수가 있다. 비단결정 구조는, 미결정 구조 및 다결정 구조를 포함한다. 예를 들어, 산화물 반도체막 또는 산화물 반도체층(711)은 결정화율이 90% 이상 또는 80% 이상의 미결정 구조의 산화물 반도체층이다. 또한, 비단결정 구조는, 결정 영역을 포함하지 않는 비정질 구조 및 결정 영역을 포함하는 비정질 구조도 포함한다. 결정 영역을 포함하는 비정질 구조의 일례로서는, 비정질 구조 내에 미결정의 일부(입경 1 nm 이상 20 nm 이하, 대표적으로는 2 nm 이상 4 nm 이하)가 혼재하는 산화물 반도체층이다.

- [0143] 산화물 반도체막 또는 산화물 반도체층(711)이 위에 형성될 피형성면인 층간 절연막(705)의 평균면 거칠기(Ra)는, 산화물 반도체막이 결정성일 경우에 결정 방위를 정렬시키기 위해서 1 nm 이하, 바람직하게는 0.3 nm 이하인 것이 바람직하다. 산화물 반도체막 또는 산화물 반도체층(711)의 피형성면인 층간 절연막(705)의 평탄성을 향상시킴으로써, 산화물 반도체막 또는 산화물 반도체층(711)은 표면의 평탄성이 높을 수 있으므로; 전계 효과 이동도가 높은 트랜지스터를 얻을 수 있다.
- [0144] 비정질 구조의 산화물 반도체막 또는 산화물 반도체층(711)의 경우에는, 비교적 용이하게 평탄한 표면을 얻을 수 있으므로, 이러한 산화물 반도체막을 사용해서 트랜지스터를 형성했을 때 계면 산란을 감소할 수 있고, 비교적 용이하게, 비교적 높은 전계 효과 이동도를 얻을 수 있다.
- [0145] 결정 구조(단결정 구조, 결정성을 갖는 영역을 포함하는 비정질 구조, 다결정 구조 및 미결정 구조)를 갖는 산화물 반도체막 또는 산화물 반도체층(711)의 경우에는, 벌크 내 결함을 더 감소할 수 있다. 그 경우, 상기 산화물 반도체막 또는 산화물 반도체층(711)의 표면의 평탄성이 향상되면, 비정질 구조의 산화물 반도체막의 경우에서보다 더 높은 전계 효과 이동도를 얻을 수 있다. 표면의 평탄성을 향상시키기 위해서는, 평탄한 표면 위(본 실시 형태에서는, 층간 절연막(705))에 산화물 반도체막 또는 산화물 반도체층(711)을 형성하는 것이 바람직하고; 상기한 바와 같이, 평균면 거칠기(Ra)가 1 nm 이하, 바람직하게는 0.3 nm 이하의 표면 위에 산화물 반도체막 또는 산화물 반도체층(711)이 형성된다.
- [0146] 여기서, 평균면 거칠기(Ra)는, JIS B 0601:2001(ISO 4287:1997)에 의해 정의되어 있는 중심선 평균 거칠기(Ra)를, 측정면에 대하여 Ra를 적용할 수 있도록 삼차원으로 확장함으로써 얻어진다. 평균면 거칠기(Ra)는, 기준면으로부터 지정면까지의 편차의 절대값의 평균값으로서 표시된다.
- [0147] 여기서, 중심선 평균 거칠기(Ra)는, 거칠기 곡선의 중심선의 방향으로 거칠기 곡선으로부터 측정 길이 L의 부분이 발취되고, 이 발취부의 거칠기 곡선의 중심선의 방향이 X축으로 표시되며, 세로 배율의 방향(X축에 수직인 방향)이 Y축으로 표시되고, 거칠기 곡선을  $Y=F(X)$ 로 나타낼 때, 다음 식 (1)에 의해 도시된다.
- [0148] [식 2]
- $$Ra = \frac{1}{L} \int_0^L |F(X)| dX \quad (1)$$
- [0149]
- [0150] 평균면 거칠기(Ra)는, 측정 데이터가 나타내는 표면인 측정면을  $Z=F(X, Y)$ 에서 나타낼 때, 기준면으로부터 지정면까지의 편차의 절대값의 평균값이고, 다음 식 (2)으로 도시된다.
- [0151] [식 3]
- $$Ra = \frac{1}{S_0} \int_{X_1}^{X_2} \int_{Y_1}^{Y_2} |F(X, Y) - Z_0| dXdY \quad (2)$$
- [0152]
- [0153] 여기서, 지정면은, 거칠기 측정의 대상이 되는 면이며, 좌표  $(X_1, Y_1)$   $(X_1, Y_2)$   $(X_2, Y_1)$   $(X_2, Y_2)$ 로 표현되는 4점에 의해 둘러싸이는 직사각형의 영역이다. 지정면이 이상적으로 편평했을 때의 지정면의 영역은,  $S_0$ 으로 표시된다.
- [0154] 또한, 기준면은, 지정면의 평균의 높이에 있어서의, X-Y 면과 평행한 면이다. 즉, 지정면의 높이의 평균값을  $Z_0$ 로 표시될 때, 기준면의 높이도  $Z_0$ 로 표시된다.
- [0155] 평균면 거칠기(Ra)는, 원자간력 현미경(AFM:Atomic Force Microscope)을 사용하여 측정될 수 있다.
- [0156] 이와 같이, 층간 절연막(705)의 평균면 거칠기를 1 nm 이하, 바람직하게는 0.3 nm 이하로 만들기 위해서는, 화학적 기계적 연마(Chemical Mechanical Polishing: CMP) 처리를 행한다. CMP 처리는, 산화물 반도체막의 형성 전에, 바람직하게는 제1 열 처리 이전에 행한다.
- [0157] 여기서, CMP 처리는, 1회 이상 행한다. 복수회로 CMP 처리를 행하는 경우에는, 높은 연마율의 1차 연마를 행한 후, 낮은 연마율의 마무리 연마를 행하는 것이 바람직하다.
- [0158] 층간 절연막(705)을 평탄화시키기 위해서는, CMP 처리 대신에 플라즈마 처리 등을 행할 수 있다. 플라즈마 처리에는 회가스를 사용할 수 있다. 이 플라즈마 처리에 의해, 피처리면에 불활성 가스의 이온이 조사되어, 스퍼터링 효과에 의해 피처리면의 미세한 요철이 평탄화된다. 이러한 플라즈마 처리는 역스퍼터라고도 불린다.

- [0159] 층간 절연막(705)을 평탄화하기 위해서는, 상기 처리 중 하나 이상의 처리를 행할 수 있다. 예를 들어, 역스퍼터만을 행할 수 있거나, CMP 처리를 행한 후에 건식 에칭을 행할 수 있다. 산화물 반도체막이 위에 형성될 층간 절연막(705) 내에 물이 혼입되는 것을 방지하기 위해서는, 건식 에칭 또는 역스퍼터를 사용하는 것이 바람직하다는 점에 유의해야 한다. 특히, 제1 열 처리를 행한 후에 평탄화 처리를 행하는 경우에는, 건식 에칭 또는 역스퍼터를 사용하는 것이 바람직하다.
- [0160] 산화물 반도체층(711)은, 예를 들어 산화물 반도체막을 형성하고, 상기 산화물 반도체막 위에 에칭 마스크를 형성한 다음, 에칭을 행하는 방식으로, 선택적으로 형성될 수 있다. 대안적으로는, 잉크젯법 등이 사용될 수 있다.
- [0161] 산화물 반도체막에 있어서, 4원계 금속 산화물인 In-Sn-Ga-Zn계 금속 산화물, In-Hf-Ga-Zn계 금속 산화물, In-Al-Ga-Zn계 금속 산화물, In-Sn-Al-Zn계 금속 산화물, In-Sn-Hf-Zn계 금속 산화물 또는 In-Hf-Al-Zn계 금속 산화물을 사용할 수 있다. 대안적으로, 3원계 금속 산화물인 In-Ga-Zn계 금속 산화물(IGZO라고도 표기), In-Al-Zn계 금속 산화물, In-Sn-Zn계 금속 산화물, Al-Ga-Zn계 금속 산화물, Sn-Al-Zn계 금속 산화물, In-Hf-Zn계 금속 산화물, In-La-Zn계 금속 산화물, In-Ce-Zn계 금속 산화물, In-Pr-Zn계 금속 산화물, In-Nd-Zn계 금속 산화물, In-Sm-Zn계 금속 산화물, In-Eu-Zn계 금속 산화물, In-Gd-Zn계 금속 산화물, In-Tb-Zn계 금속 산화물, In-Dy-Zn계 금속 산화물, In-Ho-Zn계 금속 산화물, In-Er-Zn계 금속 산화물, In-Tm-Zn계 금속 산화물, In-Yb-Zn계 금속 산화물, In-Lu-Zn계 금속 산화물 또는 Sn-Ga-Zn계 금속 산화물; 2원계 금속 산화물인 In-Zn계 금속 산화물, Sn-Zn계 금속 산화물, Al-Zn계 금속 산화물, Zn-Mg계 금속 산화물, Sn-Mg계 금속 산화물, In-Mg계 금속 산화물 또는 In-Ga계 금속 산화물; 산화인듐, 산화주석, 산화아연 등을 사용할 수 있다. n원계 금속 산화물은 n 종류의 금속 산화물을 포함한다는 점에 유의해야 한다. 예를 들어, In-Ga-Zn계 금속 산화물은, 인듐(In), 갈륨(Ga) 및 아연(Zn)을 포함하는 산화물을 의미하며, 이들의 조성비에 대해서는 특별한 제한은 없다. In-Ga-Zn계 금속 산화물은, In 원자와 Ga 원자와 Zn 이외의 원소를 포함할 수 있다.
- [0162] 대안적으로,  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ 이 충족되고, 또한, m은 정수가 아님)로 표기된 금속 산화물 재료는 산화물 반도체막에 사용될 수 있다. M은, Ga, Fe, Mn 및 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다는 점에 유의해야 한다. 또한, 대안적으로는,  $\text{In}_3\text{SnO}_5(\text{ZnO})_n$  ( $n > 0$ 이 충족되고, 또한, n은 정수)로 표기된 금속 산화물 재료는 산화물 반도체막에 사용될 수 있다.
- [0163] 예를 들어, 원자수비가 In:Ga:Zn=1:1:1( $=1/3:1/3:1/3$ ) 또는 In:Ga:Zn=2:2:1( $=2/5:2/5:1/5$ )인 In-Ga-Zn계 금속 산화물, 또는 그 조성이 상기 조성 근방인 소정의 금속 산화물을 사용할 수 있다. 대안적으로, 원자수비가 In:Sn:Zn=1:1:1( $=1/3:1/3:1/3$ ), In:Sn:Zn=2:1:3( $=1/3:1/6:1/2$ ), 또는 In:Sn:Zn=2:1:5( $=1/4:1/8:5/8$ )인 In-Sn-Zn계 금속 산화물, 또는 그 조성이 상기 조성의 근방인 금속 산화물을 사용할 수 있다.
- [0164] 그러나, 상기 재료는 이들에 한정되지 않고, 필요로 하는 반도체 특성(예를 들면, 전계 효과 이동도, 임계 전압, 및 변동)에 따라서 적절한 조성의 재료가 사용될 수 있다. 또한, 필요로 하는 반도체 특성을 얻기 위해서, 캐리어 밀도, 불순물 농도, 결함 밀도, 금속 원소와 산소 간의 원자수비, 원자간 결함 거리, 밀도 등을 적절한 값으로 설정하는 것이 바람직하다.
- [0165] 예를 들어, In-Sn-Zn계 금속 산화물이 사용되는 경우에는 비교적 용이하게 높은 전계 효과 이동도가 얻어진다. 그러나, In-Ga-Zn계 금속 산화물이 사용되는 경우에서도, 벌크내 결함 밀도를 감소시킴으로써 전계 효과 이동도를 증가시킬 수 있다.
- [0166] 예를 들어, "원자수비가 In:Ga:Zn=A:B:C( $A+B+C=1$ )인 In-Ga-Zn계 금속 산화물의 r-근방인, 원자 조성이 In:Ga:Zn=a:b:c( $a+b+c=1$ )인 In-Ga-Zn계 금속 산화물"이라고 하는 것은, a, b 및 c가, 다음 식  $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 을 만족하는 것을 말하고, 예를 들어 r은, 0.05일 수 있다. 다른 금속 산화물에 있어서도, 이러한 관계가 충족된다.
- [0167] 상기 각 금속 산화물에서의 산소의 조성비가, 이들 화학양론적 조성비를 초과하는 것이 바람직하다는 점에 유의해야 한다. 산소의 과잉은, 형성될 산화물 반도체막에서의 산소 결손에 의한 캐리어의 생성을 억제할 수 있다.
- [0168] 산화물 반도체막에 적용할 수 있는 금속 산화물의 에너지 갭이 2 eV 이상, 바람직하게는 2.5 eV 이상, 더욱 바람직하게는 3 eV 이상인 것이 바람직하다는 점에 유의해야 한다. 이와 같이, 밴드 갭이 넓은 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 감소할 수 있다.



- [0169] 산화물 반도체막은, 수소를 포함한다는 점에 유의해야 한다. 이 수소는, 수소 원자 외에, 수소 분자, 물, 수산기 또는 수소화물의 형태로 산화물 반도체막 내에 포함될 수 있는 경우도 있다는 점에 유의해야 한다. 산화물 반도체막에 포함된 수소는, 최대한 적은 것이 바람직하다.
- [0170] 또한, 산화물 반도체막의 알칼리 금속 및 알칼리 토금속의 농도가 낮은 것이 바람직하고, 이들의 농도는, 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 더욱 바람직하게는  $2 \times 10^{16}$  atoms/cm<sup>3</sup> 이하로 한다. 알칼리 금속 및 알칼리 토금속이, 산화물 반도체와 결합하면, 캐리어가 생성될 수 있는데, 이는 트랜지스터의 오프 전류를 증대시키는 원인이 된다.
- [0171] 산화물 반도체막의 형성 방법 및 두께는 특별히 한정되지 않고, 이들은 제조될 트랜지스터의 크기 등을 고려하여 정해질 수 있다는 점에 유의해야 한다. 산화물 반도체막의 형성 방법은, 예를 들어, 스퍼터링법, 도포법, 인쇄법, 분자선 에피택시법, 펄스 레이저 증착법 등일 수 있다. 산화물 반도체막의 두께는, 3 nm 이상 50 nm 이하이다. 이것은, 두께가 50 nm 이상의 산화물 반도체막은, 형성될 트랜지스터의 노멀리 온 전기 특성을 야기할 수 있기 때문이다. 또한, 트랜지스터의 채널 길이가 30  $\mu$ m이면, 산화물 반도체막의 두께는 5 nm 이하로 설정되어, 단채널 효과를 억제할 수 있다.
- [0172] 예를 들어, 스퍼터링법에 의해, 산화물 반도체막을 In-Zn계 금속 산화물을 사용하여 형성할 경우에는, 타겟의 조성비는 원자수비로, In/Zn은 1 내지 100, 바람직하게는 1 내지 20, 더욱 바람직하게는 1 내지 10으로 된다. Zn의 원자수비를 상기 바람직한 상기 범위로 함으로써, 전계 효과 이동도를 향상시킬 수 있다. 여기서, 화합물의 원자수비가 In:Zn:O=X:Y:Z이면, 산소가 과잉으로 포함되도록,  $Z > 1.5X+Y$ 의 관계를 만족시키는 것이 바람직하다.
- [0173] 또한, 스퍼터링법에 의해, 산화물 반도체막을 In-Sn-Zn계 금속 산화물을 사용하여 형성할 경우에는, 타겟의 조성비를, 원자수비로, In:Sn:Zn=1:2:2, 2:1:3, 1:1:1, 20:45:35 등으로 한다. In-Sn-Zn계 금속 산화물도 산소를 과잉으로 포함하는 것이 바람직하다.
- [0174] 본 실시 형태에서는, 바람직한 일례로서, In-Ga-Zn계 금속 산화물 타겟을 사용한 스퍼터링법에 의해 산화물 반도체막을 형성한다. 스퍼터링 가스로서는, 회가스(예를 들어, 아르곤), 산소 가스, 또는 회가스와 산소 가스의 혼합 가스를 사용한다.
- [0175] In-Ga-Zn계 금속 산화물 타겟의 예는, In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1 [mol수비]의 조성비를 포함하는 타겟, In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:2 [mol수비]의 조성비를 포함하는 타겟, In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:4 [mol수비]의 조성비를 포함하는 타겟, 및 In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=2:1:8 [mol수비]의 조성비를 포함하는 타겟을 포함한다.
- [0176] 산화물 반도체막을 형성할 때에 사용하는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물 등이 제거된 고순도 가스를 사용하는 것이 바람직하다. 스퍼터링 가스를 고순도 가스로 만들기 위해서는, 처리실의 내벽 등에 부착된 가스를 제거하고, 산화물 반도체막을 형성하기 전에, p 채널형 트랜지스터 또는 n 채널형 트랜지스터가 위에 형성된 반도체 기판(700)을 열 처리하게 된다. 대안적으로, 처리실에 도입된 스퍼터링 가스는 고순도 가스이다. 이 경우, 아르곤 가스의 순도는 9N (99.9999999%) 이상으로 하고, 노점을 -121℃ 이하로 하며, 물과 수소의 농도를 각각 0.1 ppb와 0.5 ppb로 한다. 산소 가스의 순도는 8N (99.9999999%) 이상으로 하고, 노점을 -112℃ 이하로 하며, 물과 수소의 농도를 각각 1 ppb로 한다. p 채널형 트랜지스터 또는 n 채널형 트랜지스터가 위에 형성된 반도체 기판(700)을 고온으로 유지한 상태에서 산화물 반도체막을 형성함으로써, 산화물 반도체막 내의 불순물 농도를 감소할 수 있다. 여기서, p 채널형 트랜지스터 또는 n 채널형 트랜지스터가 위에 형성된 반도체 기판(700)의 온도는, 150℃ 이상, 바람직하게는 200℃ 이상, 보다 바람직하게는 400℃ 이상이다. 스퍼터링법에 의해, 산화물 반도체막 내에 혼입되는 수소, 물, 수산기 또는 수소화물 등에 의한 손상을 적게 할 수 있다는 점에 유의해야 한다.
- [0177] 산화물 반도체막이 결정 구조를 포함하는 경우에는, c축 방향으로 배향된 결정성의 산화물 반도체(c-axis aligned crystalline oxide semiconductor:CAAC-OS)막을 사용하는 것이 바람직하다. 상기 산화물 반도체막이 CAAC-OS 막이면, 트랜지스터의 신뢰성을 높일 수 있다.
- [0178] CAAC-OS 막은, 결정이 c축 배향되고, a-b면, 표면 또는 계면의 방향으로부터 볼 때 삼각 형상 또는 육각 형상의 원자 배열을 포함하는 산화물 반도체막을 의미한다. 결정에 있어서는, 금속 원자가 층상으로 배열되고, 또는 금속 원자와 산소 원자가 c축을 따라 층상으로 배열되며, a-b면(또는 표면, 또는 계면)에 있어서는, a축 또는 b

축의 방향이 변한다(결정이 c축을 중심으로 회전한다).

- [0179] 광의로는, CAAC-OS 막은, a-b면에 수직인 방향으로부터 볼 때는, 삼각형, 육각형, 정삼각형, 또는 정육각형의 원자 배열을 포함하며, c축에 수직인 방향으로부터 볼 때는, 금속 원자가 층상으로 배열되고, 또는 금속 원자와 산소 원자가 층상으로 배열되어 있는 상(phase)을 포함하는 비단결정 산화물 반도체막을 의미한다.
- [0180] CAAC-OS 막은 단결정이 아니지만, CAAC-OS 막이 비정질 성분으로만 형성되어 있다는 것을 의미하지는 않는다. CAAC-OS 막은 결정화한 영역(결정 영역)을 포함하더라도, 하나의 결정 영역과 다른 결정 영역 간의 경계가 명확하지 않은 경우도 있다.
- [0181] CAAC-OS 막에 포함된 산소의 일부가 질소로 치환될 수 있다. CAAC-OS 막에 포함된 개개의 결정 영역의 c축은 한 방향(예를 들어, CAAC-OS 막이 형성되어 있는 기판 표면, 또는 CAAC-OS 막의 표면, 막면 또는 계면에 수직인 방향)으로 정렬될 수 있다. 대안적으로, CAAC-OS 막에 포함된 개개의 결정 영역의 a-b면의 법선은 한 방향(예를 들어, 기판 표면, 또는 CAAC-OS 막의 표면, 막면 또는 계면에 수직인 방향)으로 정렬될 수 있다.
- [0182] CAAC-OS 막은, 그 조성 등에 따라 도체, 반도체, 또는 절연체일 수 있다. 또한, CAAC-OS 막은, 그 조성 등에 따라 가시광을 투과시키거나 투과시키지 않을 수 있다.
- [0183] 이러한 CAAC-OS 막의 예로서, 막 형상으로 형성되어, 막 표면, 기판 표면 또는 계면에 수직인 방향으로부터 관측될 때 삼각형 또는 육각형의 원자 배열이 되며, 그 막의 단면이 관측될 때에 금속 원자가 층상으로 배열되고 또는 금속 원자와 산소 원자(또는 질소 원자)가 층상으로 배열되는 재료가 있다.
- [0184] 이러한 CAAC-OS 막에 포함되는 결정 구조의 일례에 대해서 상세하게 설명한다. 이하의 설명에서는, 원칙적으로, 도 6의 (a) 내지 (e), 도 7의 (a) 내지 (c) 및 도 8의 (a) 내지 (c)에서는, 상측 방향은 c축 방향에 상당하고, c축 방향에 수직인 면은 a-b면에 상당한다. 간단히 "상반부" 및 "하반부"로 표기할 경우, 이들은 a-b면 위는 상반부, a-b면 아래는 하반부로 한다. 또한, 도 6의 (a) 내지 (e)에 있어서, 원으로 둘러싸인 0는 4 배위의 0 원자를 나타내고, 2중 원으로 둘러싸인 0는 3 배위의 0 원자를 나타낸다.
- [0185] 도 6의 (a)는, 1개의 6 배위의 인듐(이하, In라고 함) 원자와, In 원자에 근접하는 6개의 4 배위의 산소(이하, 4 배위의 0라고 함) 원자를 포함하는 구조를 나타낸다. 여기에서는, 하나의 금속 원자와, 이에 근접하는 산소 원자를 포함하는 구조는 소 그룹으로 칭한다. 도 6의 (a)의 구조는, 실제로는 팔면체 구조이지만, 간략화를 위하여 평면 구조로 나타내고 있다. 도 6의 (a)의 상반부 및 하반부에는 각각 3개씩 4 배위의 0 원자가 있다는 점에 유의해야 한다. 도 6의 (a)에 나타내는 소 그룹에서는, 전하가 0(제로)이다.
- [0186] 도 6의 (b)는, 1개의 5 배위의 갈륨(이하, Ga라고 함) 원자와, Ga 원자에 근접하는 3개의 3 배위의 산소(이하, 3 배위의 0라고 함) 원자와, Ga 원자에 근접하는(또는 Ga 원자에 이웃하는) 2개의 4 배위의 0 원자를 포함하는 구조를 나타낸다. 3 배위의 0 원자는, 모두 a-b면에 존재한다. 도 6의 (b)의 상반부 및 하반부에는 각각 1개의 4 배위의 0 원자가 있다. 또한, In 원자가 5개의 리간드(ligand)를 가질 수 있기 때문에, In 원자 또한 도 6의 (b)에 나타내는 구조를 가질 수 있다. 도 6의 (b)에 나타낸 소 그룹에서는, 전하가 0이다.
- [0187] 도 6의 (c)는, 1개의 4 배위의 아연(이하, Zn라고 함) 원자와, Zn 원자에 근접하는 4개의 4 배위의 0 원자를 포함하는 구조를 나타낸다. 도 6의 (c)에서, 상반부에는 1개의 4 배위의 0 원자가 있고, 하반부에는 3개의 4 배위의 0 원자가 있다. 대안적으로, 도 6의 (c)의 상반부에는 3개의 4 배위의 0 원자가 있을 수 있고, 하반부에는 1개의 4 배위의 0 원자가 있을 수 있다. 도 6의 (c)에 나타내는 소 그룹에서는, 전하가 0이다.
- [0188] 도 6의 (d)는, 1개의 6 배위의 주석(이하, Sn라고 함) 원자와, Sn 원자에 근접하는 6개의 4 배위의 0 원자를 포함하는 구조를 나타낸다. 도 6의 (d)에서, 상반부와 하반부 각각에는 3개의 4 배위의 0 원자가 있다. 도 6의 (d)에 나타내는 소 그룹에서는, 전하가 +1이다.
- [0189] 도 6의 (e)는, 2개의 Zn 원자를 포함하는 소 그룹을 나타낸다. 도 6의 (e)에서, 상반부와 하반부 각각에는 1개의 4 배위의 0 원자가 있다. 도 6의 (e)에 나타내는 소 그룹에서는, 전하가 -1이다.
- [0190] 여기에서는, 복수의 소 그룹은 중간 그룹을 형성하고, 복수의 중간 그룹은 대 그룹(유닛 셀이라고도 함)을 형성한다.
- [0191] 이제, 이들 소 그룹 간의 결합 규칙에 대해서 설명한다. 도 6의 (a)에 나타내는 6 배위의 In 원자에 대해 상반부의 3개의 0 원자는, 하측 방향에 각각 3개의 근접 In 원자를 포함하고, 하반부의 3개의 0 원자는 상측 방향에 각각 3개의 근접 In 원자를 포함한다. 도 6의 (b)에 나타내는 5 배위의 Ga 원자에 대해 상반부의 1개의 0 원자

는 하측 방향에 1개의 근접 Ga 원자를 포함하고, 하반부의 1개의 0 원자는 상측 방향에 1개의 근접 Ga 원자를 포함한다. 도 6의 (c)에 나타내는 4 배위의 Zn 원자에 대해 상반부의 1개의 0 원자는 하측 방향에 1개의 근접 Zn 원자를 포함하고, 하반부의 3개의 0 원자는 상측 방향에 각각 3개의 근접 Zn 원자를 포함한다. 이와 같이, 금속 원자의 상측 방향의 4 배위의 0 원자의 수는, 4 배위의 0 원자 각각의 하측 방향에 있는 근접 금속 원자의 수와 동등하다. 마찬가지로, 금속 원자의 하측 방향의 4 배위의 0 원자의 수는, 4 배위의 0 원자 각각의 상측 방향에 있는 근접 금속 원자의 수와 동등하다. 4 배위의 0 원자의 배위 수는 4이므로, 0 원자의 하측 방향에 있는 근접 금속 원자의 수와, 상측 방향에 있는 근접 금속 원자의 수의 합은 4가 된다. 따라서, 금속 원자의 상측 방향에 있는 4 배위의 0 원자의 수와, 다른 금속 원자의 하측 방향에 있는 4 배위의 0 원자의 수와의 합이 4이면, 금속 원자를 포함하는 2 종류의 소 그룹은 서로 결합할 수 있다. 예를 들어, 6 배위의 금속(In 또는 Sn) 원자가 하반부의 4 배위의 0 원자를 개재해서 결합하는 경우, 5 배위의 금속(Ga 또는 In) 원자 또는 4 배위의 금속(Zn) 원자에 결합하게 된다.

[0192] 이들의 배위 수가 4, 5, 또는 6인 금속 원자는, c축 방향에 있어서, 4 배위의 0 원자를 개재해서 다른 금속 원자에 결합한다. 상기 외에도, 층 구조의 합계의 전하가 0이 되도록, 복수의 소 그룹을 결합해서 중간 그룹을 다른 방식으로 형성할 수 있다.

[0193] 도 7의 (a)는, In-Sn-Zn-0계 재료의 층 구조에 포함된 중간 그룹의 모델을 나타낸다. 도 7의 (b)는, 3개의 중간 그룹을 포함하는 대 그룹을 나타낸다. 도 7의 (c)는, 도 7의 (b)의 층 구조를 c축 방향으로부터 관측한 경우의 원자 배열을 나타낸다.

[0194] 도 7의 (a)에 있어서는, 간략화를 위하여, 3 배위의 0 원자는 생략하고, 4 배위의 0 원자는 원으로 나타내며, 원의 수는 4 배위의 0 원자의 수를 나타낸다. 예를 들어, Sn 원자에 대해 상반부 및 하반부에는 각각 존재하는 3개의 4 배위의 0 원자는 3개의 원으로 나타내고 있다. 마찬가지로, 도 7의 (a)에 있어서, In 원자에 대해 상반부 및 하반부에는 각각 존재하는 1개의 4 배위의 0 원자는 1개의 원으로 나타내고 있다. 또한, 도 7의 (a)는, 하반부의 1개의 4 배위의 0 원자와 상반부의 3개의 4 배위의 0 원자에 근접하는 Zn 원자와, 상반부의 1개의 4 배위의 0 원자와 하반부의 3개의 4 배위의 0 원자에 근접하는 Zn 원자를 나타내고 있다.

[0195] 도 7의 (a)에 있어서, In-Sn-Zn-0계 재료의 층 구조에 포함된 중간 그룹에서는, 위에서부터 시작해서 순차적으로, 상반부 및 하반부 각각에 있는 3개의 4 배위의 0 원자에 근접하는 Sn 원자가, 상반부 및 하반부 각각에 있는 1개의 4 배위의 0 원자에 근접하는 In 원자에 결합하고, In 원자가, 상반부에 있는 3개의 4 배위의 0 원자에 근접하는 Zn 원자에 결합하고, Zn 원자가, Zn 원자에 대해 하반부의 1개의 4 배위의 0 원자를 개재해서 상반부 및 하반부 각각에 있는 3개의 4 배위의 0 원자에 근접하는 In 원자에 결합하고, In 원자가, 2개의 Zn 원자를 포함하며 상반부의 1개의 4 배위의 0 원자에 근접하는 소 그룹에 결합하고, 소 그룹이, 소 그룹에 대해 하반부의 1개의 4 배위의 0 원자를 개재해서 상반부 및 하반부 각각에 있는 3개의 4 배위의 0 원자에 근접하는 Sn 원자에 결합하고 있다. 복수의 이러한 중간 그룹이 결합해서, 대 그룹을 형성한다.

[0196] 여기서, 3 배위의 0 원자의 결합 1개당의 전하 및 4 배위의 0 원자의 결합 1개당의 전하는 각각 -0.667 및 -0.5 이라고 가정할 수 있다. 예를 들어, (6 배위 또는 5 배위) In 원자의 전하, (4 배위) Zn 원자의 전하, 및 (5 배위 또는 6 배위) Sn 원자의 전하는, 각각 +3, +2, 및 +4이다. 따라서, Sn 원자를 포함하는 소 그룹에서의 전하가 +1이다. 그로 인해, Sn 원자를 포함하는 층 구조를 형성하기 위해서는, 전하 +1을 상쇄하는 전하 -1이 필요하다. 전하 -1을 갖는 구조로서는, 도 6의 (e)에 도시한 바와 같이, 2개의 Zn 원자를 포함하는 소 그룹을 들 수 있다. 예를 들어, 2개의 Zn 원자를 포함하는 1개의 소 그룹으로 인해, Sn 원자를 포함하는 1개의 소 그룹의 전하가 상쇄될 수 있어, 층 구조의 전하의 합계는 0이 될 수 있다.

[0197] 구체적으로는, 도 7의 (b)에 나타낸 대 그룹이 반복되면, In-Sn-Zn-0계의 결정( $\text{In}_2\text{SnZn}_3\text{O}_8$ )을 얻을 수 있다. 얻어진 In-Sn-Zn-0계의 결정의 층 구조는,  $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$  (m은 0 또는 자연수)의 조성식으로 나타낼 수 있다는 점에 유의해야 한다.

[0198] 또한, 상기 규칙은 다음의 산화물에도 적용한다: 상기 4원계 금속 산화물, 3원계 금속 산화물 또는 2원계 금속 산화물.

[0199] 도 8의 (a)는, In-Ga-Zn계 금속 산화물 재료의 층 구조에 포함된 중간 그룹의 모델을 나타낸다.

[0200] 도 8의 (a)에 있어서, In-Ga-Zn계 금속 산화물 재료의 층 구조에 포함된 중간 그룹에서는, 위에서부터 순차적으로, 상반부 및 하반부 각각에 있는 3개의 4 배위의 0 원자에 근접하는 In 원자가, 상반부에 있는 1개의 4 배위

의 0 원자에 근접하는 Zn 원자에 결합하고, Zn 원자에 대해 하반부의 3개의 4 배위의 0 원자를 개재해서, 상반부 및 하반부 각각에 있는 1개의 4 배위의 0 원자에 근접하는 Ga 원자에 결합하고, Ga 원자에 대해 하반부의 1개의 4 배위의 0 원자를 개재해서, 상반부 및 하반부 각각에 있는 3개의 4 배위의 0 원자에 근접하는 In 원자에 결합하고 있다. 이러한 복수의 중간 그룹을 결합해서, 대 그룹을 형성한다.

- [0201] 도 8의 (b)는 3개의 중간 그룹을 포함하는 대 그룹을 나타낸다. 도 8의 (c)는, 도 8의 (b)의 층 구조가 c축 방향으로부터 관측되는 경우의 원자 배열을 나타내고 있다는 점에 유의해야 한다.
- [0202] 여기서, (6 배위 또는 5 배위) In 원자의 전하, (4 배위) Zn 원자의 전하, 및 (5 배위) Ga 원자의 전하는, 각각 +3, +2, 및 +3이기 때문에, In 원자, Zn 원자 및 Ga 원자 중 어느 하나를 포함하는 소 그룹의 전하가 0이 된다. 그로 인해, 이들의 소 그룹의 조합을 갖는 중간 그룹의 전하의 합계는 항상 0이 된다.
- [0203] In-Ga-Zn계 금속 산화물 재료의 층 구조를 형성하기 위해서는, 도 8의 (a)에 나타낸 중간 그룹뿐만 아니라, In 원자, Ga 원자 및 Zn 원자의 배열이 도 8의 (a)의 것과는 다른 중간 그룹을 사용하여 대 그룹을 형성할 수 있다.
- [0204] 여기서, CAAC-OS 막의 형성 방법에 대해서 설명한다.
- [0205] 우선, 산화물 반도체막을, 스퍼터링법, 분자선 에피택시법, 원자층 퇴적법, 펄스 레이저 증착법 등에 의해 형성한다. 반도체 기판(700)을 고온으로 유지하면서 산화물 반도체막을 형성함으로써, 비정질 영역에 대한 결정 영역의 비율을 크게 할 수 있다는 점에 유의해야 한다. 이때, 반도체 기판(700)의 온도는, 예를 들어 150℃ 이상 700℃ 이하, 바람직하게는 150℃ 이상 450℃ 이하, 보다 바람직하게는 200℃ 이상 350℃ 이하이다.
- [0206] 여기서, 형성된 산화물 반도체막에 대하여 열 처리를 행할 수 있다. 이 열 처리에 의해, 비정질 영역에 대한 결정 영역의 비율을 크게 할 수 있다. 이 열 처리 시에 있어서, p 채널형 트랜지스터 및 n 채널형 트랜지스터가 제공된 반도체 기판(700)에 가해진 온도는, 예를 들어 200℃ 이상이고, p 채널형 트랜지스터 또는 n 채널형 트랜지스터가 형성된 반도체 기판(700)이 변질 또는 변형되는 온도 미만이면, 예를 들어, 150℃ 이상, 바람직하게는 200℃ 이상, 보다 바람직하게는 400℃ 이상이다. 이 열 처리는 3분 이상 행해지고, 3분 이상 24시간 이하로 하는 것이 바람직하다. 이 열 처리의 시간을 길게 하면, 비정질 영역에 대한 결정 영역의 비율을 크게 할 수 있지만, 생산성은 저하된다. 이 열 처리는, 산화성 분위기 또는 불활성 분위기에서, 이것들에 한정되지 않고, 행해질 수 있다는 점에 유의해야 한다. 이 열 처리는 감압 하에서도 행할 수 있다.
- [0207] 산화성 분위기는, 산화성 가스를 포함하는 분위기이다. 산화성 가스의 예는, 산소, 오존, 아산화질소 등을 포함한다. 산화성 분위기로부터는, 산화물 반도체막에 포함되지 않는 것이 바람직한 성분(예를 들어, 물 및 수소)이 최대한 제거되는 것이 바람직하다. 예를 들어, 산소, 오존 또는 아산화질소의 순도는, 8N (99.999999%) 이상, 바람직하게는 9N (99.9999999%) 이상이다.
- [0208] 산화성 분위기는, 회가스 등의 불활성 가스를 포함할 수 있다. 산화성 분위기는, 10 ppm 이상의 농도로 산화성 가스를 포함한다는 점에 유의해야 한다.
- [0209] 불활성 분위기는, 불활성 가스(예를 들어, 질소 가스 또는 회가스)를 포함하고, 산화성 가스 등의 반응성 가스를 10 ppm 미만의 농도로 포함한다는 점에 유의해야 한다.
- [0210] 모든 열 처리에 대해서는, 급속 열 처리(RTA) 장치를 사용할 수 있다는 점에 유의해야 한다. RTA 장치를 사용함으로써, 단시간 동안만, 높은 온도에서 열 처리를 행할 수 있다. 그로 인해, 산화물 반도체막은 비정질 영역에 대한 결정 영역의 비율이 클 수 있고, 생산성의 저하를 억제할 수 있다.
- [0211] 그러나, 모든 열 처리에 사용되는 장치는 RTA 장치에 한정되지 않는데; 예를 들어 저항 발열체 등으로부터의 열 전도 또는 열복사에 의해, 피처리물을 가열하는 유닛이 구비된 장치가 사용된다. 모든 열 처리에 사용되는 열 처리 장치의 예는, 전기로, 및 가스 급속 열 처리(GRTA) 장치 또는 램프 급속 열 처리(LRTA) 장치 등의 급속 열 처리(RTA) 장치를 포함한다. LRTA 장치는, 할로젠 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프 또는 고압 수은 램프 등의 램프로부터 발해지는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 열 매체로서 사용해서 피처리물을 가열하는 장치이다. 여기서, 고온의 가스의 온도는, 피처리물의 가열 온도보다도 높은 것이 바람직하다.
- [0212] 또한, 질소의 농도가  $1 \times 10^{17}$  atoms/cm<sup>3</sup> 이상  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 이하인 In-Ga-Zn계 금속 산화물을 사용하면, c축 배향된 육방정의 결정 구조를 갖는 금속 산화물막이 형성되고, Ga 및 Zn 원자를 포함하는 하나 이상의 층이,



In-0의 결정면(인듐과 산소를 포함하는 결정면)의 2개 층 사이에 제공된다.

- [0213] 이상의 방식으로, CAAC-OS 막이 형성될 수 있다.
- [0214] CAAC-OS 막은, 비정질 구조의 산화물 반도체막에 비해, 금속과 산소 간의 결합의 질서성이 높다. 즉, 산화물 반도체막이 비정질 구조를 갖는 경우에는, 인접하는 금속의 종류에 따라 금속 원자에 배위하고 있는 산소 원자의 수가 상이하지만, CAAC-OS 막에서는, 금속 원자에 배위하고 있는 산소 원자의 수는 거의 동일하다. 그로 인해, 미시적인 레벨에 있어서도 산소 결손이 거의 보이지 않고, 수소 원자(수소 이온을 포함), 알칼리 금속 원자 등에 의한 전하의 이동이나 전기 전도성의 불안정함을 억제할 수 있다.
- [0215] 따라서, 채널 형성 영역에 CAAC-OS 막을 사용하여 트랜지스터를 제조함으로써, 트랜지스터에의 광조사 또는 바이어스-열 스트레스(BT)를 행한 전후 간에, 트랜지스터의 임계 전압의 변화량을 억제할 수 있고, 트랜지스터는 안정된 전기적 특성을 가질 수 있다.
- [0216] 이어서, 산화물 반도체막 위에 에칭 마스크를 형성해서 에칭을 행함으로써, 산화물 반도체층(711)을 형성한다(도 5의 (a) 참조).
- [0217] 그 다음, 산화물 반도체층(711)에 접하고 서로 이격해서 소스 전극(712a) 및 드레인 전극(712b)을 형성한다(도 5의 (b) 참조).
- [0218] 소스 전극(712a) 및 드레인 전극(712b)은, 예를 들어 스퍼터링법을 사용해서 도전막(예를 들어, 금속막 또는 하나의 도전형을 부여하는 불순물 원소가 첨가된 실리콘막)을 형성하고, 상기 도전막 위에 에칭 마스크를 형성해서 에칭을 행하는 방식으로 선택적으로 형성된다. 대안적으로, 잉크젯법이 사용될 수 있다. 소스 전극(712a) 및 드레인 전극(712b)이 될 도전막은, 단층 또는 복수의 적층으로 형성될 수 있다는 점에 유의해야 한다. 예를 들어, 도전막은, Ti층들 사이에 Al층을 끼운 3층 구조를 가질 수 있다. 소스 전극(712a) 및 드레인 전극(712b)은 또한, 신호선으로서의 역할도 한다는 점에 유의해야 한다.
- [0219] 이어서, 적어도 산화물 반도체층(711)의 채널 형성 영역 위에 게이트 절연막(713)을 형성한다(도 5의 (c) 참조).
- [0220] 게이트 절연막(713)은, 예를 들어 스퍼터링법에 의해, 절연성 재료(예를 들어, 질화 실리콘, 질화산화 실리콘, 산화질화 실리콘 또는 산화 실리콘)를 사용해서 형성된다. 게이트 절연막(713)은, 단층 또는 복수의 적층으로 형성될 수 있다는 점에 유의해야 한다. 여기에서는, 예를 들어 질화 실리콘층 위에 산화질화 실리콘층이 적층된 2층의 적층 구조가 채택된다. 게이트 절연막(713)을 스퍼터링법에 의해 형성하는 경우에, 산화물 반도체층(711) 내에 수소 및 물이 혼입되는 것을 방지할 수 있다는 점에 유의해야 한다. 또한, 게이트 절연막(713)은 절연성 산화물막이 바람직하는데, 그 이유는 산소를 공급해서 산소 결손을 보상할 수 있기 때문이다.
- [0221] "질화산화 실리콘"은, 산소보다도 질소를 더 많이 함유한다는 점에 유의해야 한다. 또한, "산화질화 실리콘"은, 질소보다도 산소를 더 많이 함유한다.
- [0222] 산화물 반도체막은, 건식 에칭에 의해 가공될 수 있다. 건식 에칭에 사용하는 에칭 가스로서는, 예를 들어 염소 가스, 또는 삼염화 붕소 가스와 염소 가스의 혼합 가스를 사용할 수 있다. 그러나, 이것에 한정되지 않고, 습식 에칭을 사용할 수 있거나, 산화물 반도체막을 가공할 수 있는 다른 방법이 사용될 수 있다.
- [0223] 게이트 절연막(713)은, 적어도 산화물 반도체층(711)에 접하는 부분에 산소를 포함하고, 산소의 일부가 열 처리에 의해 탈리되는 절연성 산화물을 사용하여 형성하는 것이 바람직하다. 즉, 층간 절연막(705)의 재료로서 주어진 소정의 재료를 사용하는 것이 바람직하다. 게이트 절연막(713)의, 산화물 반도체층(711)과 접하는 부분을 산화 실리콘을 사용하여 형성하면, 산화물 반도체층(711)에 산소를 공급할 수 있고, 트랜지스터의 저항의 감소를 방지할 수 있다.
- [0224] 게이트 절연막(713)이, 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y$  ( $x>0$ )), 질소가 첨가된 하프늄 실리케이트( $\text{HfSi}_x\text{O}_y\text{N}_z$  ( $x>0$ ,  $y>0$ ,  $z>0$ )), 질소가 첨가된 하프늄 알루미늄네이트( $\text{HfAl}_x\text{O}_y\text{N}_z$  ( $x>0$ ,  $y>0$ ,  $z>0$ )), 산화하프늄, 산화이트륨 또는 산화란탄 등의 하이-k 재료를 사용하여 형성되면, 게이트 리크 전류를 감소할 수 있다는 점에 유의해야 한다. 여기서, 게이트 리크 전류는, 게이트 전극과 소스 전극 또는 드레인 전극 사이에 흐르는 리크 전류를 말한다. 또한, 상기 하이-k 재료를 사용하여 형성되는 층과, 산화 실리콘, 산화질화 실리콘, 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 산화질화 알루미늄 및 산화갈륨 중 소정의 것을 사용하여 형성되는 층이 적층될 수 있다. 게이트 절연막(713)이 적층 구조를 갖는 경우라도, 산화물 반도체층(711)에 접하는 부분은, 상기 절연성 산화물

을 사용하여 형성하는 것이 바람직하다는 점에 유의해야 한다. 또한, 산화물 반도체층(711)으로부터 산소를 방출되지 않도록 하기 위해서, 상기 절연성 산화물 위에는, 산소를 투과시키기 어려운 산화 알루미늄 등을 형성하는 것이 바람직하다. 예를 들어, 게이트 절연막(713)으로서, 스퍼터링법에 의해 증착된 산화 실리콘, 스퍼터링법에 의해 증착된 산화 알루미늄, 및 산화질화 실리콘은 이 순서대로 적층된다.

- [0225] 게이트 절연막(713)의 두께는, 1 nm 이상 300 nm 이하, 바람직하게는 5 nm 이상 50 nm 이하이다. 게이트 절연막(713)의 두께가 5 nm 이상이면, 게이트 리크 전류는 특히 작게 할 수 있다.
- [0226] 여기서, 불활성 가스 분위기 또는 산소 가스 분위기 하에서, 제3 열 처리 (바람직하게는, 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)가 더 행해질 수 있다. 제3 열 처리는, 제2 열 처리와 동일 조건에서 행할 수 있고, 예를 들어 200℃ 이상 반도체 기판(700)의 왜곡점 미만, 바람직하게는 200℃ 이상 400℃ 이하, 더욱 바람직하게는 250℃ 이상 350℃ 이하에서 행해질 수 있다는 점에 유의해야 한다. 제3 열 처리에 의해, 산화물 반도체층(711) 내에 잔류하는 수소 및 물을 게이트 절연막(713) 내에 확산시킬 수 있다. 또한, 제3 열 처리에 의해, 산화물 반도체층(711)에 산소를 공급할 수 있는데, 여기서 게이트 절연막(713)은 공급원으로서의 역할을 한다.
- [0227] 제3 열 처리는, 산화물 반도체층(711) 위에 게이트 절연막(713)을 형성한 후뿐만 아니라, 게이트 전극(714)이 될 도전막을 형성한 후에도 행할 수 있다.
- [0228] 여기에서, 산화물 반도체층(711) 내의 수소 농도는  $5.0 \times 10^{19}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $5.0 \times 10^{18}$  atoms/cm<sup>3</sup> 이하이다.
- [0229] 이어서, 게이트 절연막(713) 위에 도전막을 형성하고, 상기 도전막 위에 에칭 마스크를 형성해서 에칭을 행함으로써, 게이트 전극(714)을 형성한다(도 5의 (d) 참조). 게이트 전극(714)은 적어도 주사선으로서의 역할을 한다는 점에 유의해야 한다.
- [0230] 게이트 전극(714)은, 소스 전극(712a) 및 드레인 전극(712b)과 마찬가지로의 재료 및 방법을 사용하여 형성한다.
- [0231] 도시하고 있지 않으나, 게이트 전극(714)을 마스크로서 사용함으로써 산화물 반도체층(711)에 도펀트를 첨가하여, 산화물 반도체층(711) 내에 소스 영역 및 드레인 영역을 형성하는 것이 바람직하다. 여기에서, 도펀트는, 이온 주입법 또는 이온 도핑법에 의해 첨가될 수 있다는 점에 유의해야 한다. 대안적으로, 도펀트를 포함하는 가스 분위기에서 플라즈마 처리를 행함으로써 도펀트가 첨가될 수 있다. 첨가된 도펀트로서는, 질소, 인, 붕소 등이 사용된다.
- [0232] 도 5의 (d)에 나타낸 트랜지스터(710)를 형성하는데 있어서, 에칭 마스크가 레지스트 재료를 사용하여 형성되는 경우에는, 에칭 마스크를 애싱에 의해 제거할 수 있다.
- [0233] 도시하고 있지 않으나, 트랜지스터(710)를 덮기 위해 보호 절연막이 형성될 수 있다. 상기 보호 절연막이 단층이면, 산화 알루미늄막과 같이, 산소, 수소 및 물을 거의 투과시키지 않는 절연막이 형성된다. 상기 보호 절연막이 적층이면, 화학양론적 조성비보다도 산소 비율이 높고, 가열에 의해 상기 산소의 일부를 방출하는 절연성 산화물막과, 산소, 수소 및 물을 거의 투과시키지 않는 절연막이 형성되는 것이 바람직하다. 예를 들어, 층간 절연막(705)에 대한 예로서 예시된 절연성 산화물막과 산화 알루미늄막의 적층이 형성된다. 상기 보호 절연막으로서 산화 알루미늄막을 사용함으로써, 산화물 반도체층(711) 내의 산소가 외부에 방출되는 것을 억제하고, 외부로부터 산화물 반도체층(711)에 수소 및 물이 들어가는 것을 억제할 수 있으므로; 트랜지스터(710)의 전기 특성을 양호하게 할 수 있다는 점에 유의해야 한다.
- [0234] 보호 절연막을 형성한 후에, 제2 열 처리 또는 제3 열 처리와 마찬가지로 열 처리를 행할 수 있다.
- [0235] 상기의 방식으로, 도 4에 도시하는, 반도체 기판 위에 제공된 트랜지스터 위에는, 산화물 반도체층 내에 채널 형성 영역이 형성되어 있는 트랜지스터가 제조될 수 있다.
- [0236] 상기 방식으로 형성된 트랜지스터는, 실온 하에서 10 aA( $1 \times 10^{-17}$  A) 이하, 1 aA( $1 \times 10^{-18}$  A) 이하, 1 zA( $1 \times 10^{-21}$  A) 이하, 또는 1 yA( $1 \times 10^{-24}$  A) 이하인, 채널 폭 1 μm당의 오프 전류값을 가질 수 있다.
- [0237] 주사선과 신호선 중 한쪽 또는 양쪽에 있어서, 주사선 및 신호선을 형성하기 위해서는 구리를 사용하는 것이 바람직한데, 그 이유는 배선이 낮은 저항을 가질 수 있기 때문이다.
- [0238] 또한, 산화물 반도체층 내에 채널 형성 영역이 형성되어 있는 트랜지스터로서 설명한 트랜지스터는 일레이프로;

산화물 반도체층 내에 채널 형성 영역이 형성되어 있는 트랜지스터는 이것에 한정되지 않고, 다양한 형태를 가질 수 있다.

- [0239] In-Sn-Zn계 금속 산화물막(이하, In-Sn-Zn-O막이라고 함)이 산화물 반도체막에 사용되는 트랜지스터의 일례에 대해서, 도 20의 (a) 및 (b) 등을 참고해서 설명한다.
- [0240] 도 20의 (a) 및 (b)는, 톱-게이트 톱-콘택트 구조의 코플래너형 트랜지스터의 상면도 및 단면도이다. 도 20의 (a)는 트랜지스터의 상면도이다. 도 20의 (b)는 도 20의 (a)의 일점쇄선 A-B를 따라 절취한 단면 A-B를 나타낸다.
- [0241] 도 20의 (b)에 나타난 트랜지스터는, 기판(500); 기판(500) 위에 제공된 베이스 절연막(502); 베이스 절연막(502)의 주변에 제공된 보호 절연막(504); 베이스 절연막(502) 및 보호 절연막(504) 위에 제공되며 고저항 영역(506a) 및 저저항 영역(506b)을 포함하는 산화물 반도체막(506); 산화물 반도체막(506) 위에 제공된 게이트 절연막(508); 게이트 절연막(508)을 사이에 개재한 채로 산화물 반도체막(506)과 중첩하도록 제공된 게이트 전극(510); 게이트 전극(510)의 측면과 접해서 제공된 측벽 절연막(512); 적어도 저저항 영역(506b)과 접해서 제공된 한 쌍의 전극(514); 적어도 산화물 반도체막(506), 게이트 전극(510) 및 한 쌍의 전극(514)을 피복하도록 제공된 층간 절연막(516); 및 층간 절연막(516) 내에 형성된 개구를 통해서 한 쌍의 전극(514) 중 적어도 하나에 접속되도록 제공된 배선(518)을 포함한다.
- [0242] 기판(500)은 반도체 기판(700)에 상당한다. 층간 절연막(705)에 상당하는 베이스 절연막(502)은 산화 실리콘막을 사용하여 형성된다. 산화물 반도체층(711)에 상당하는 산화물 반도체막(506)은 In-Sn-Zn-O막을 사용하여 형성된다. 소스 전극(712a) 및 드레인 전극(712b)에 상당하는 한 쌍의 전극(514)은, 텅스텐막을 사용하여 형성된다. 게이트 절연막(713)에 상당하는 게이트 절연막(508)은 산화 실리콘막을 사용하여 형성된다. 게이트 전극(714)에 상당하는 게이트 전극(510)은, 질화 탄탈막과 텅스텐막과의 적층 구조를 갖는다. 층간 절연막(516)은, 산화질화 실리콘막과 폴리이미드막과의 적층 구조를 갖는다. 배선(518)은, 티타늄막, 알루미늄막 및 티타늄막이 이 순서대로 형성된 적층 구조를 각각 갖는다. 상기 트랜지스터의 제조 방법에 있어서는, 본 실시 형태의 기재를 적절히 참작할 수 있다.
- [0243] 도시하지 않았지만, 층간 절연막(516) 및 배선(518)을 덮도록 보호막이 제공될 수 있다. 상기 보호막을 제공함으로써, 층간 절연막(516)의 표면 전도에 기인해서 발생하는 미소 리크 전류를 감소시킬 수 있으므로; 트랜지스터의 오프 전류를 감소할 수 있다.
- [0244] 또한, 상기와는 다른 In-Sn-Zn-O막을 산화물 반도체막으로서 사용한 트랜지스터의 다른 일례에 대해서 설명한다.
- [0245] 도 21의 (a) 및 (b)는, 본 실시 형태에서 형성된 트랜지스터의 구조를 도시하는 상면도 및 단면도이다. 도 21의 (a)는 트랜지스터의 상면도이다. 도 21의 (b)는 도 21의 (a)의 일점쇄선 C-D를 따라 절취한 단면 C-D를 도시한다.
- [0246] 도 21의 (b)에 도시된 트랜지스터는, 기판(600); 기판(600) 위에 제공된 베이스 절연막(602); 베이스 절연막(602) 위에 제공된 산화물 반도체막(606); 산화물 반도체막(606)과 접해 있는 한 쌍의 전극(614); 산화물 반도체막(606)과 한 쌍의 전극(614) 위에 제공된 게이트 절연막(608); 게이트 절연막(608)이 사이에 개재된 채로 산화물 반도체막(606)과 중첩하도록 제공된 게이트 전극(610); 게이트 절연막(608)과 게이트 전극(610)을 피복하도록 제공된 층간 절연막(616); 층간 절연막(616) 내에 형성된 개구를 통해서 한 쌍의 전극(614)에 접속된 배선(618); 및 층간 절연막(616)과 배선(618)을 피복하도록 제공된 보호막(620)을 포함한다. 상기 트랜지스터의 제조 방법에 있어서는, 본 실시 형태의 기재를 적절히 참조할 수 있다.
- [0247] 기판(600)은 반도체 기판(700)에 상당한다. 층간 절연막(705)에 상당하는 베이스 절연막(602)은, 산화 실리콘막을 사용하여 형성된다. 산화물 반도체층(711)에 상당하는 산화물 반도체막(606)은, In-Sn-Zn-O막을 사용하여 형성된다. 소스 전극(712a) 및 드레인 전극(712b)에 상당하는 한 쌍의 전극(614)은, 텅스텐막을 사용하여 형성된다. 게이트 절연막(713)에 상당하는 게이트 절연막(608)은, 산화 실리콘막을 사용하여 형성된다. 게이트 전극(714)에 상당하는 게이트 전극(610)은, 질화 탄탈막과 텅스텐막과의 적층 구조를 갖는다. 층간 절연막(616)은, 산화질화 실리콘막과 폴리이미드막과의 적층 구조를 갖는다. 배선(618)은, 티타늄막, 알루미늄막 및 티타늄막이 이 순서대로 형성된 적층 구조를 각각 갖는다. 보호막(620)은 폴리이미드막을 사용하여 형성된다.
- [0248] 도 21의 (a)에 나타난 구조를 갖는 트랜지스터에 있어서, 게이트 전극(610)이 한 쌍의 전극(614) 중 하나와 중첩되는 부분의 폭을  $L_{ov}$ 라고 칭한다. 마찬가지로, 한 쌍의 전극(614) 중에서 산화물 반도체막(606)과 중첩되지

않는 부분의 폭을  $dW$ 라고 칭한다.

[0249] 본 발명의 한 실시 형태에 따른 반도체 장치에 포함되는 트랜지스터에 사용될 수 있는 절연 게이트형 트랜지스터의 실제로 측정된 전계 효과 이동도는, 다양한 이유 때문에 본래의 전계 효과 이동도보다도 낮아질 수 있는데; 이러한 현상은 산화물 반도체를 사용하는 경우에서만 발생하는 것은 아니다. 전계 효과 이동도를 저하시키는 요인들 중 하나는, 반도체 내부의 결함이나, 반도체와 절연막과의 계면에서의 결함이다. 레빈슨 모델(Levinson model)을 사용하면, 반도체 내부에 결함이 없다고 가정한 경우의 전계 효과 이동도를 이론적으로 산출할 수 있다.

[0250] 반도체 본래의 이동도를  $\mu_0$ , 측정되는 전계 효과 이동도를  $\mu$ 로 하고, 반도체 내에 포텐셜 장벽(입계와 같은)이 존재한다고 가정하면, 전계 효과 이동도  $\mu$ 은 다음 식 (3)으로 표현할 수 있다. 여기서,  $E$ 는 포텐셜 장벽의 높이를 나타내고,  $k$ 는 볼츠만 상수를 나타내며,  $T$ 는 절대 온도를 나타낸다.

[0251] [식 4]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \quad (3)$$

[0252]

[0253] 포텐셜 장벽이 결함에 유래한다고 가정하면, 레빈슨 모델에 따라, 포텐셜 장벽의 높이  $E$ 는, 다음 식 (4)로 표현할 수 있다.

[0254] [식 5]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g} \quad (4)$$

[0255]

[0256] 여기서,  $e$ 는 기본 전하를 나타내고,  $N$ 은 채널 내의 단위 면적당의 평균 결함 밀도를 나타내며,  $\epsilon$ 은 반도체의 유전율을 나타내고,  $n$ 은 채널의 캐리어 표면 밀도를 나타내며,  $C_{ox}$ 는 단위 면적당의 용량을 나타내고,  $V_g$ (게이트와 소스 간의 전위차)는 게이트 전압을 나타내며,  $t$ 는 채널의 두께를 나타낸다.

[0257] 절연 게이트형 트랜지스터 내에 사용하는 반도체층의 두께가 30 nm 이하인 경우에, 채널 형성 영역의 두께는 반도체층의 두께와 동일하게 되는 것으로 간주될 수 있다. 선형 영역에서의 드레인 전류  $I_d$ 는, 다음 식 (5)로 표현할 수 있다.  $V_g$ 가 상기 트랜지스터의 임계 전압보다 높은 경우에 소스와 드레인 사이를 흐르는 전류를, 소위, 드레인 전류라고 칭한다는 점에 유의해야 한다.

[0258] [식 6]

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right) \quad (5)$$

[0259]

[0260] 여기서,  $L$ 은 채널 길이를 나타내고,  $W$ 는 채널 폭을 나타내며,  $L$  및  $W$ 는 각각 10  $\mu m$ 이다. 또한,  $V_d$ 는 드레인 전압을 나타낸다. 상기 식의 양변을  $V_g$ 로 나눈 다음, 양변의 대수를 취하면, 다음 식 (6)이 얻어질 수 있다.

[0261] [식 7]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g} \quad (6)$$

[0262]

[0263] 식 (6)의 우변은  $V_g$ 의 함수이다. 식 (6)으로부터는, 세로 좌표  $\ln(I_d/V_g)$ 와 가로 좌표  $1/V_g$ 의 직선의 기울기로부터 결함 밀도  $N$ 이 얻어질 수 있음을 알 수 있다. 즉, 트랜지스터의  $I_d$ - $V_g$  특성으로부터, 결함 밀도를 평가할 수 있다. 인듐(In), 주석(Sn) 및 아연(Zn)의 비율이 1:1:1인 산화물 반도체의 결함 밀도  $N$ 은  $1 \times 10^{12}/cm^2$  정도이다.

[0264] 이런 방식으로 구한 결함 밀도 등을 기초로 하여, 식 (3) 및 식 (4)으로부터  $\mu_0$ 는  $120 \text{ cm}^2/Vs$ 로 산출될 수 있다. 결함이 있는 In-Sn-Zn계 금속 산화물의 측정된 전계 효과 이동도는  $40 \text{ cm}^2/Vs$  정도이다. 그러나, 반도체 내부 및 반도체와 절연막 간의 계면에서 결함이 없다고 가정하면, 산화물 반도체의 전계 효과 이동도  $\mu_0$ 는



$120 \text{ cm}^2/\text{Vs}$ 가 된다고 예상된다.

[0265] 산화물 반도체막 내부에 결함이 없어도, 채널 형성 영역과 게이트 절연막 간의 계면에서의 산란은 트랜지스터의 수송 특성에 영향을 끼친다는 점에 유의해야 한다. 즉, 채널 형성 영역과 게이트 절연막 간의 계면으로부터 거리  $x$ 만큼 이격된 장소에 있어서의 전계 효과 이동도  $\mu_1$ 은, 식 (7)으로 표현될 수 있다.

[0266] [식 7]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right) \quad (7)$$

[0268] 여기서,  $D$ 는 게이트 방향의 전계를 나타내고,  $B$  및  $l$ 은 상수이다.  $B$  및  $l$ 은, 실제의 측정 결과로부터 구할 수 있고, 상기의 측정 결과에 따라,  $B$ 는  $4.75 \times 10^7 \text{ cm/s}$ 이며,  $l$ 은  $10 \text{ nm}$ (계면 산란이 영향이 도달하는 깊이)이다.  $D$ 가 증가하면(즉, 게이트 전압이 높아지면), 식 (7)의 제2항이 증가하므로, 전계 효과 이동도  $\mu_1$ 은 감소한다.

[0269] 내부에 결함이 없는 이상적인 산화물 반도체를 포함하는 채널 형성 영역을 갖는 트랜지스터에 있어서의 전계 효과 이동도  $\mu_2$ 의 계산 결과를 도 9에 나타낸다. 계산 결과에 있어서, 시놉시스사(Synopsys, Inc.)제의 Sentaurus Device라고 하는 장치 시뮬레이션 소프트웨어를 사용하고, 산화물 반도체의 밴드 갭, 전자 친화력, 비유전율 및 두께를 각각,  $3.1 \text{ eV}$ ,  $4.6 \text{ eV}$ ,  $15$  및  $30 \text{ nm}$ 라고 가정한다. 또한, 게이트 전극, 소스 전극 및 드레인 전극의 일 함수를 각각,  $5.5 \text{ eV}$ ,  $4.6 \text{ eV}$  및  $4.6 \text{ eV}$ 라고 가정하고 있다. 게이트 절연막의 두께는  $100 \text{ nm}$ 로 가정되고, 그의 비유전율은  $4.1$ 로 가정했다. 채널 길이 및 채널 폭은 각각  $10 \text{ }\mu\text{m}$ 로 가정했고, 드레인 전압  $V_d$ 는  $0.1 \text{ V}$ 로 가정했다.

[0270] 도 9에서 나타낸 바와 같이, 게이트 전압이  $1 \text{ V}$  약간 이상에서는 전계 효과 이동도가,  $100 \text{ cm}^2/\text{Vs}$  이상의 피크를 이루고, 게이트 전압이 더욱 높아지면, 계면 산란의 영향이 커지기 때문에, 전계 효과 이동도가 저하한다. 계면 산란을 감소하기 위해서는, 산화물 반도체층의 표면을 원자 레벨에서 평탄하게 하는 것(원자층 평탄화)이 바람직하다는 점에 유의해야 한다.

[0271] 이러한 전계 효과 이동도를 갖는 산화물 반도체를 사용해서 형성한 미세한 트랜지스터의 전기 특성을 계산한 결과를 도 10의 (a) 내지 (c), 도 11의 (a) 내지 (c), 및 도 12의 (a) 내지 (c)에 나타낸다. 도 13의 (a) 및 (b)는 상기 계산에 사용한 트랜지스터의 단면 구조를 나타낸다. 도 13의 (a) 및 (b)에 나타낸 트랜지스터는 산화물 반도체층 내에  $n^+$ 의 도전형질을 갖는 반도체 영역(1030a) 및 반도체 영역(1030c)을 각각 포함한다. 반도체 영역(1030a)의 저항률 및 반도체 영역(1030c)의 저항률은 각각  $2 \times 10^{-3} \text{ }\Omega\text{cm}$ 이다.

[0272] 도 13의 (a)에 나타내는 트랜지스터는, 베이스 절연체(1010)와, 베이스 절연체(1010) 내에 매립되어 산화알루미늄으로 형성된 매립 절연체(1020)의 위에 형성된다. 트랜지스터는 반도체 영역(1030a), 반도체 영역(1030c), 이들 반도체 영역(1030a)과 반도체 영역(1030c) 사이에 배치되어, 채널 형성 영역으로서의 역할을 하는 진성 반도체 영역(1030b), 및 게이트 전극(1050)을 포함한다. 게이트 전극(1050)의 폭은  $33 \text{ nm}$ 이다.

[0273] 게이트 전극(1050)과 반도체 영역(1030b) 사이에는, 게이트 절연체(1040)가 형성된다. 게이트 전극(1050)의 양 측면에는 측벽 절연체(1060a) 및 측벽 절연체(1060b)가 형성되고, 게이트 전극(1050)의 위에는, 게이트 전극(1050)과 다른 배선 간의 단락을 방지하기 위해서 절연체(1070)가 형성된다. 측벽 절연체의 폭은  $5 \text{ nm}$ 이다. 반도체 영역(1030a) 및 반도체 영역(1030c)에 접해서, 소스 전극(1080a) 및 드레인 전극(1080b)이 각각 제공된다. 이 트랜지스터의 채널 폭은  $40 \text{ nm}$ 라는 점에 유의해야 한다.

[0274] 도 13의 (b)에 나타내는 트랜지스터는, 베이스 절연체(1010)와, 산화알루미늄으로 형성된 매립 절연체(1020)의 위에 형성되고, 반도체 영역(1030a), 반도체 영역(1030c), 이들 사이에 제공된 진성 반도체 영역(1030b), 폭  $33 \text{ nm}$ 의 게이트 전극(1050), 게이트 절연체(1040), 측벽 절연체(1060a), 측벽 절연체(1060b), 절연체(1070), 소스 전극(1080a) 및 드레인 전극(1080b)을 포함한다는 점에서 도 13의 (a)에 나타내는 트랜지스터와 동일하다.

[0275] 측벽 절연체(1060a) 및 측벽 절연체(1060b) 아래의 반도체 영역의 도전형질에 있어서, 도 13의 (a)에 나타내는 트랜지스터는 도 13의 (b)에 나타내는 트랜지스터와는 다르다. 도 13의 (a)에 나타내는 트랜지스터에서, 측벽 절연체(1060a) 및 측벽 절연체(1060b) 아래의 반도체 영역은,  $n^+$ 의 도전형질을 갖는 반도체 영역(1030a)의 일부 및

$n^+$ 의 도전형질을 갖는 반도체 영역(1030c)의 일부이지만, 도 13의 (b)에 나타내는 트랜지스터에서는, 측벽 절연체(1060a) 및 측벽 절연체(1060b) 아래의 반도체 영역은, 진성 반도체 영역(1030b)의 일부이다. 즉, 도 13의 (b)의 반도체층에 있어서, 반도체 영역(1030a)(반도체 영역(1030c))과 게이트 전극(1050) 중 어느 하나와도 겹치지 않는 Loff의 폭을 갖는 영역이 제공된다. 이러한 영역은 오프셋 영역이라고 하고, 그 폭 Loff를 오프셋 길이라고 한다. 도면으로부터 명백해진 바와 같이, 오프셋 길이는, 측벽 절연체(1060a)(측벽 절연체(1060b))의 폭과 같다.

[0276] 그 밖의 계산에 사용하는 파라미터는 상술한 바와 같다. 계산에 있어서는, 상기와 마찬가지로의 시뮬레이션 장치 시뮬레이션 소프트웨어를 사용했다. 도 10의 (a) 내지 (c)는, 도 13의 (a)에 나타낸 구조의 트랜지스터의 드레인 전류  $I_d$ (실선) 및 전계 효과 이동도  $\mu$ (점선)의 게이트 전압  $V_g$ (게이트와 소스 간의 전위차) 의존성을 나타낸다. 드레인 전류  $I_d$ 는, 드레인 전압(드레인과 소스 간의 전위차)을 +1 V로 가정하고 계산해서 얻고, 전계 효과 이동도  $\mu$ 는 드레인 전압을 +0.1 V로 가정하고 계산해서 얻은 것이다.

[0277] 도 10의 (a)은 게이트 절연체의 두께가 15 nm인 경우에 트랜지스터의 게이트 전압  $V_g$  의존성을 나타내고, 도 10의 (b)은 게이트 절연체의 두께가 10 nm인 경우에 트랜지스터의 게이트 전압  $V_g$  의존성을 나타내며, 도 10의 (c)은 게이트 절연체의 두께가 5 nm인 경우에 트랜지스터의 게이트 전압  $V_g$  의존성을 나타낸다. 게이트 절연체가 얇아질수록, 특히 오프 상태에서의 드레인 전류  $I_d$ (오프 전류)가 현저하게 저하한다. 한편, 전계 효과 이동도  $\mu$ 의 피크값 및 온 상태에서의 드레인 전류  $I_d$ (온 전류)에서는 뚜렷한 변화가 없다. 그래프는 1 V 근방의 게이트 전압에서, 드레인 전류가 10  $\mu A$ 를 초과하는 것을 나타낸다.

[0278] 또한, 도 11의 (a) 내지 (c)은, 오프셋 길이 Loff가 5 nm인 경우에, 도 13의 (b)에 나타낸 구조를 갖는 트랜지스터의 드레인 전류  $I_d$ (실선) 및 전계 효과 이동도  $\mu$ (점선)의 게이트 전압  $V_g$  의존성을 나타낸다. 드레인 전류  $I_d$ 는, 드레인 전압을 +1 V로 가정하고 계산해서 얻고, 전계 효과 이동도  $\mu$ 는 드레인 전압을 +0.1 V로 가정하고 계산해서 얻은 것이다. 도 11의 (a)은 게이트 절연체의 두께가 15 nm인 경우에 트랜지스터의 게이트 전압 의존성  $V_g$ 을 나타내고, 도 11의 (b)은 게이트 절연체의 두께가 10 nm인 경우에 트랜지스터의 게이트 전압 의존성  $V_g$ 을 나타내며, 도 11의 (c)은 게이트 절연체의 두께가 5 nm인 경우에 트랜지스터의 게이트 전압 의존성  $V_g$ 을 나타낸다.

[0279] 또한, 도 12의 (a) 내지 (c)는, 오프셋 길이 Loff가 15 nm인 경우에, 도 13의 (b)에 나타낸 구조를 갖는 트랜지스터의 드레인 전류  $I_d$ (실선) 및 전계 효과 이동도  $\mu$ (점선)의 게이트 전압  $V_g$  의존성을 나타낸다. 드레인 전류  $I_d$ 는, 드레인 전압을 +1 V로 가정하고 계산해서 얻고, 전계 효과 이동도  $\mu$ 는 드레인 전압을 +0.1 V로 가정하고 계산해서 얻은 것이다. 도 12의 (a)은 게이트 절연체의 두께가 15 nm인 경우에 트랜지스터의 게이트 전압  $V_g$  의존성을 나타내고, 도 12의 (b)은 게이트 절연체의 두께가 10 nm인 경우에 트랜지스터의 게이트 전압  $V_g$  의존성을 나타내며, 도 12의 (c)은 게이트 절연체의 두께가 5 nm인 경우에 트랜지스터의 게이트 전압  $V_g$  의존성을 나타낸다.

[0280] 어느 구조에서든, 게이트 절연체가 얇아질수록, 오프 전류가 현저하게 저하하는 한편, 전계 효과 이동도  $\mu$ 의 피크값 및 온 전류에서는 뚜렷한 변화가 없다.

[0281] 전계 효과 이동도  $\mu$ 의 피크는, 도 10의 (a) 내지 (c)에서는 80  $cm^2/Vs$  정도이고, 도 11의 (a) 내지 (c)에서는 60  $cm^2/Vs$  정도이며, 도 12의 (a) 내지 (c)에서는 40  $cm^2/Vs$  정도이므로; 오프셋 길이 Loff가 증가할수록 전계 효과 이동도  $\mu$ 의 피크는 저하한다는 점에 유의해야 한다. 또한, 오프 전류에도 마찬가지로 적용된다. 온 전류 또한 오프셋 길이 Loff의 증가에 따라 감소하지만; 온 전류에서의 감소는 오프 전류에서의 감소보다는 훨씬 완만하다. 또한, 그래프는 어느 구조에서든, 1 V 근방의 게이트 전압에서, 드레인 전류가 10  $\mu A$ 를 초과하는 것을 나타낸다.

[0282] 이어서, 본 실시 형태에서 설명한 트랜지스터 중에서, In, Sn 및 Zn을 주성분으로 포함하는 산화물 반도체층 내에 채널 형성 영역을 형성하는 트랜지스터에 대해서 설명한다.

[0283] In, Sn 및 Zn을 주성분으로 포함하는 산화물 반도체층 내에 채널 형성 영역을 형성하는 트랜지스터는, 산화물 반도체층 내에 가공전인 산화물 반도체막을 형성할 때에 기판을 가열해서 형성함으로써, 또는 산화물 반도체막을 형성한 후에 열 처리를 행함으로써 양호한 특성을 얻을 수 있다. 주성분은 조성비로 5 원자% 이상 포함되는 원소를 말한다는 점에 유의해야 한다. 상기 기판은 반도체 기판(700)에 상당한다는 점에 유의해야 한다.

[0284] In, Sn 및 Zn을 주성분으로 포함하는 산화물 반도체막의 형성 후에 기판을 의도적으로 가열함으로써, 트랜지스

터의 전계 효과 이동도를 향상시키는 것이 가능하게 된다. 또한, 트랜지스터의 임계 전압은 포지티브쪽으로 시프트되어, 트랜지스터를 노멀리 오프화시키는 것이 가능하게 된다.

- [0285] 예를 들어, 도 14의 (a) 내지 (c)는, In, Sn 및 Zn을 주성분으로 포함하고, 채널 길이 L이 3  $\mu\text{m}$ 이고, 채널 폭 W가 10  $\mu\text{m}$ 인 산화물 반도체층과, 두께 100 nm의 게이트 절연막을 포함하는 트랜지스터의 특성을 각각 나타낸다.  $V_d$ 가 10 V로 설정된다는 점에 유의해야 한다.
- [0286] 도 14의 (a)는 기판을 의도적으로 가열하지 않고, 스퍼터링법에 의해, In, Sn 및 Zn을 주성분으로 포함하는 산화물 반도체막을 형성했을 때의 트랜지스터의 특성을 나타낸다. 트랜지스터의 전계 효과 이동도는  $18.8 \text{ cm}^2/\text{Vs}$ 이다. 한편, 기판을 의도적으로 가열하면서 In, Sn 및 Zn을 주성분으로 포함하는 산화물 반도체막을 형성하면, 전계 효과 이동도를 향상시키는 것이 가능하게 된다. 도 14의 (b)는 기판을 200℃로 가열하면서 In, Sn 및 Zn을 주성분으로 포함하는 산화물 반도체막을 형성했을 때의 트랜지스터의 특성을 나타낸다. 전계 효과 이동도는  $32.2 \text{ cm}^2/\text{Vs}$ 이다.
- [0287] 전계 효과 이동도는, In, Sn 및 Zn을 주성분으로 포함하는 산화물 반도체막을 형성한 후에 열 처리를 함으로써, 더 향상시킬 수 있다. 도 14의 (c)는, In, Sn 및 Zn을 주성분으로 포함하는 산화물 반도체막을 200℃로 스퍼터링 형성한 다음, 650℃로 열 처리를 했을 때의 트랜지스터의 특성을 나타낸다. 트랜지스터의 전계 효과 이동도는  $34.5 \text{ cm}^2/\text{Vs}$ 이다.
- [0288] 기판을 의도적으로 가열하는 것은, 스퍼터링법에 의해 형성 중에 수분이 산화물 반도체막 내에 도입되는 것을 감소시킬 수 있다. 또한, 형성 후의 열 처리는, 산화물 반도체막으로부터 수소, 수산기 또는 수분을 방출시켜 제거할 수 있게 한다. 이러한 방식으로, 전계 효과 이동도를 향상시킬 수 있다. 이러한 전계 효과 이동도의 향상은, 탈수화 또는 탈수소화에 의한 불순물의 제거뿐만 아니라, 밀도의 증가에 의해 원자간 거리가 짧아짐으로써 얻어지는 것으로 추정된다. 또한, 산화물 반도체로부터 불순물을 제거해서 고순도화함으로써 산화물 반도체를 결정화할 수 있다. 이렇게 고순도화된 비단결정 산화물 반도체의 경우에는, 이상적으로는,  $100 \text{ cm}^2/\text{Vs}$ 를 초과하는 전계 효과 이동도를 실현하는 것으로 추정된다.
- [0289] In, Sn 및 Zn을 주성분으로 포함하는 산화물 반도체막은 다음의 방식으로 결정화될 수 있다: 산소 이온을 산화물 반도체막 내에 주입하고; 상기 산화물 반도체막 내에 포함된 수소, 수산기 또는 수분을 열 처리에 의해 방출시키며; 그 열 처리를 통해 또는 그 후에 행해진 다른 열 처리에 의해 산화물 반도체막을 결정화시킨다. 이러한 결정화 처리 또는 재결정화 처리에 의해, 양호한 결정성을 갖는 비단결정 산화물 반도체를 얻을 수 있다.
- [0290] 형성 중에 기판의 의도적 가열 및/또는 형성 후의 열 처리는, 전계 효과 이동도의 향상뿐만 아니라, 트랜지스터의 노멀리 오프화에도 기여하고 있다. 기판을 의도적으로 가열하지 않고 형성되고 In, Sn 및 Zn을 주성분으로 포함하는 산화물 반도체막을 채널 형성 영역으로서 사용하는 트랜지스터에서는, 임계 전압이 네가티브쪽으로 시프트되는 경향이 있다. 반면에, 기판을 의도적으로 가열해서 형성된 산화물 반도체막을 사용하는 경우, 이 임계 전압의 네가티브 시프트화의 문제는 해소될 수 있다. 즉, 임계 전압은 트랜지스터가 노멀리 오프가 되도록 시프트되고; 이러한 경향은 도 14의 (a) 및 도 14의 (b) 간의 대비로부터도 확인할 수 있다.
- [0291] 임계 전압은 In, Sn 및 Zn의 비율을 변경함으로써 제어될 수도 있으며; In, Sn 및 Zn의 조성비가 2:1:3일 때, 노멀리 오프 트랜지스터가 형성될 수 있다는 점에 유의해야 한다. 또한, 타겟의 조성비를 다음과 같이, In:Sn:Zn=2:1:3으로 설정함으로써 결정성이 높은 산화물 반도체막을 얻을 수 있다.
- [0292] 의도적인 기판 가열 온도 또는 열 처리 온도는, 150℃ 이상, 바람직하게는 200℃ 이상, 보다 바람직하게는 400℃ 이상이다. 고온에서 형성 또는 열 처리를 행하면, 트랜지스터가 노멀리 오프화될 수 있다.
- [0293] 형성 중에 기판의 의도적 가열 및/또는 형성 후의 열 처리를 행함으로써, 게이트-바이어스 스트레스에 대한 안정성을 높일 수 있다. 예를 들어, 1시간 동안 150℃에서 2 MV/cm의 강도로 게이트 바이어스가 인가되면, 임계 전압의 드리프트가  $\pm 1.5 \text{ V}$  미만, 바람직하게는  $\pm 1.0 \text{ V}$  미만일 수 있다.
- [0294] 다음 2개의 트랜지스터에 대하여 BT 시험이 행해진다: 산화물 반도체막의 형성 후에 열 처리를 행하지 않고 있는 샘플 1; 및 산화물 반도체막의 증착 후에 650℃에서 열 처리를 행한 샘플 2.
- [0295] 우선, 25℃의 기판 온도 및 10 V의  $V_d$ (소스와 드레인 간의 전위차)에서, 트랜지스터의  $V_g$ - $I_d$  특성의 측정을 행한다. 그 다음, 기판 온도는 150℃로 설정되고,  $V_d$ 는 0.1 V로 설정된다. 그 후, 게이트 절연막(608)에 인가된 전계의 강도가 2 MV/cm로 되도록 20 V의  $V_g$ 가 인가되고, 그 조건이 1시간 동안 유지된다. 이어서,  $V_g$ 는 0 V로

설정된다. 그 다음, 25℃의 기판 온도 및 10 V의 Vd에서, 트랜지스터의 Vg-Id 특성의 측정을 행한다. 이러한 공정을 포지티브 BT 시험이라고 한다.

- [0296] 마찬가지로, 우선, 25℃의 기판 온도 및 10 V의 Vd에서, 트랜지스터의 Vg-Id 특성의 측정을 행한다. 그 다음, 기판 온도는 150℃로 설정되고, Vd는 0.1 V로 설정된다. 그 후, 게이트 절연막(608)에 인가된 전계의 강도가 -2 MV/cm로 되도록 -20 V의 Vg가 인가되고, 그 조건이 1시간 동안 유지된다. 다음에, Vg는 0 V로 설정된다. 그 다음, 25℃의 기판 온도 및 10 V의 Vd에서, 트랜지스터의 Vg-Id 특성의 측정을 행한다. 이러한 공정을 네가티브 BT 시험이라고 한다.
- [0297] 도 15의 (a) 및 (b)는, 샘플 1의 포지티브 BT 시험 및 네가티브 BT 시험의 결과를 각각 나타낸다. 도 16의 (a) 및 (b)는, 샘플 2의 포지티브 BT 시험 및 네가티브 BT 시험의 결과를 각각 나타낸다.
- [0298] 포지티브 BT 시험에 의한 샘플 1의 임계 전압에서의 시프트량 및 네가티브 BT 시험에 의한 샘플 1의 임계 전압에서의 시프트량은, 각각 1.80 V 및 -0.42 V이었다. 포지티브 BT 시험에 의한 샘플 2의 임계 전압에서의 시프트량 및 네가티브 BT 시험에 의한 샘플 2의 임계 전압에서의 시프트량은, 각각 0.79 V 및 0.76 V이었다. 샘플 1 및 샘플 2 각각에서, BT 시험 전후에 있어서의 임계 전압에서의 변동량이 작고, 신뢰성이 높은 것으로 알려졌다.
- [0299] 열 처리는 산소 분위기 중에서 행할 수 있고; 대안적으로, 질소 또는 불활성 가스 또는 감압 하에서 열 처리를 우선 행하고 난 다음, 산소를 포함하는 분위기 에서 열 처리를 행할 수 있다. 탈수화 또는 탈수소화 후에 산소를 산화물 반도체막에 공급함으로써, 열 처리의 유효한 효과를 보다 높일 수 있다. 탈수화 또는 탈수소화 후에 산소를 공급하는 방법으로서, 산소 이온을 전계에 의해 가속해서 산화물 반도체막에 주입하는 방법이 채택될 수 있다.
- [0300] 산화물 반도체막 내에 또는 산화물 반도체막과 이와 적층된 막 간의 계면에서 산소 결손에 의한 결함이 쉽게 발생하며; 이러한 열 처리에 의해 산화물 반도체막 내에 과잉 산소가 포함되면, 후에 발생한 산소 결손은 과잉 산소에 의해 보상될 수 있다. 과잉 산소는 주로 격자 간에 존재하는 산소이다. 그 산소 농도가  $1 \times 10^{16} / \text{cm}^3$  이상  $2 \times 10^{20} / \text{cm}^3$  이하로 설정되면, 과잉 산소는 결정 왜곡 등을 유발하지 않고 산화물 반도체막 내에 포함될 수 있다.
- [0301] 산화물 반도체의 적어도 일부가 결정을 포함하도록 열 처리가 행해지면, 보다 안정된 산화물 반도체막을 얻을 수 있다. 예를 들어, 조성비가 In:Sn:Zn=1:1:1인 타겟을 사용하여, 기판을 의도적으로 가열하지 않고도 스퍼터링에 의해 형성되는 산화물 반도체막이, X선 회절(XRD)에 의해 분석되면, 할로 패턴이 관측된다. 이렇게 형성된 산화물 반도체막은 열 처리함으로써 결정화될 수 있다. 열 처리의 온도가 적절히 설정될 수 있는데; 예를 들어, 650℃의 열 처리가 행해지면, X선 회절에 의해 명확한 회절 피크를 관측될 수 있다.
- [0302] In-Sn-Zn-O막의 XRD 분석이 행해진다. XRD 분석은, Bruker AXS사제 X선 회절 장치 D8 ADVANCE를 사용하여 행해지고, 면외 측정(out-of-plane) 방법에 의해 측정된다.
- [0303] 샘플 A 및 샘플 B이 준비되고 이에 대해 XRD 분석이 행해진다. 샘플 A 및 샘플 B의 형성 방법에 대해 설명한다.
- [0304] 탈수소화 처리가 완료된 석영 기판 위에는 In-Sn-Zn-O막을 100 nm의 두께로 형성한다.
- [0305] In-Sn-Zn-O막은, 스퍼터링 장치를 사용하여, 산소 분위기에서 100 W(DC)의 전력으로 형성된다. 타겟으로서는, In:Sn:Zn=1:1:1[원자수비]의 In-Sn-Zn-O 타겟이 사용된다. 증착 시의 기판 가열 온도는 200℃로 설정된다는 점에 유의해야 한다. 이런 방식으로 형성한 샘플은 샘플 A로서 사용된다.
- [0306] 다음에, 샘플 A와 마찬가지로의 방법으로 형성한 샘플은 650 ℃의 온도에서 열 처리된다. 열 처리로서는, 처음에는 질소 분위기에서 1시간 동안 열 처리를 행하고, 온도를 낮추지 않은 채로 산소 분위기에서 1시간 동안 더 열 처리를 행한다. 이와 같이 형성한 샘플은 샘플 B로서 사용된다.
- [0307] 도 19는 샘플 A 및 샘플 B의 XRD 스펙트럼을 나타낸다. 샘플 A에서는, 결정으로부터 유래한 피크가 관측되지 않았지만, 샘플 B에서는, 2θ가 35 deg. 근방 및 37 deg. 내지 38 deg.이면, 결정으로부터 유래한 피크가 관측된다.
- [0308] 상술한 바와 같이, In, Sn 및 Zn을 주성분으로 포함하는 산화물 반도체의 형성 시에 의도적으로 기판을 가열하



는 것 및/또는 형성 후의 열 처리하는 것에 의해, 트랜지스터의 특성을 향상시킬 수 있다.

- [0309] 이들 기판 가열 및 열 처리는, 산화물 반도체에 대해 불리한 불순물인 수소 및 수산기가 막 내에 포함되는 것을 방지하는 유리한 효과, 또는 막으로부터 수소 및 수산기를 제거하는 유리한 효과를 갖는다. 즉, 산화물 반도체로부터 도너 불순물로서의 역할을 하는 수소를 제거함으로써 산화물 반도체는 고순도화될 수 있고, 그것에 의해서 노멀리 오프 트랜지스터가 얻어질 수 있다. 산화물 반도체의 고순도화는 트랜지스터의 오프 전류가 1 aA 이하로 되게 한다. 여기서, 오프 전류의 단위는, 채널 폭 1  $\mu\text{m}$ 당의 전류를 나타낸다.
- [0310] 도 22는, 트랜지스터의 오프 전류와 측정 시의 기판 온도(절대 온도)의 역수 간의 관계를 나타낸다. 여기에서는, 간략화를 위하여, 횡축은 측정 시의 기판 온도의 역수에 1000을 곱하여 구한 값( $1000/T$ )을 나타낸다.
- [0311] 구체적으로는, 도 22에 도시한 바와 같이, 오프 전류는, 기판 온도가 125℃의 경우에는  $1 \text{ aA}/\mu\text{m}(1 \times 10^{-18} \text{ A}/\mu\text{m})$  이하, 85℃의 경우에는  $100 \text{ zA}/\mu\text{m}(1 \times 10^{-19} \text{ A}/\mu\text{m})$  이하, 및 실온(27℃)의 경우에는  $1 \text{ zA}/\mu\text{m}(1 \times 10^{-21} \text{ A}/\mu\text{m})$  이하일 수 있다. 바람직하게는, 오프 전류는, 기판 온도가 125℃에서는  $0.1 \text{ aA}/\mu\text{m}(1 \times 10^{-19} \text{ A}/\mu\text{m})$  이하, 85℃에서는  $10 \text{ zA}/\mu\text{m}(1 \times 10^{-20} \text{ A}/\mu\text{m})$  이하, 및 실온에서는  $0.1 \text{ zA}/\mu\text{m}(1 \times 10^{-22} \text{ A}/\mu\text{m})$  이하일 수 있다.
- [0312] 막의 형성 시에 산화물 반도체막 내에 수소 및 수분이 혼입되는 것을 방지하기 위해서, 처리실 외부로부터의 누설 및 처리실의 내벽으로부터의 탈가스를 충분히 억제함으로써, 스퍼터 가스의 고순도화를 도모하는 것이 바람직하다는 점에 유의해야 한다. 예를 들어, 노점이 -70℃ 이하인 가스는 수분이 막 내에 포함되는 것을 방지하기 위해서 스퍼터 가스로서 사용되는 것이 바람직하다. 또한, 수소 및 수분 등의 불순물을 포함하지 않도록, 고순도화된 타겟을 사용하는 것이 바람직하다. In, Sn 및 Zn을 주성분으로 포함하는 산화물 반도체의 막으로부터 열 처리에 의해 수분을 제거할 수 있지만, In, Ga, Zn을 주성분으로 포함하는 산화물 반도체로부터 보다 높은 온도에서 In, Sn, Zn을 주성분으로 포함하는 산화물 반도체로부터 수분이 방출되기 때문에, 바람직하게는 처음부터 수분이 포함되지 않는 막을 형성하는 것이 바람직하다.
- [0313] 산화물 반도체막의 형성 후에 650℃의 열 처리를 행한 샘플의 트랜지스터의 기판 온도와 전기적 특성 간의 관계가 평가된다.
- [0314] 측정에 사용한 트랜지스터는, 채널 길이 L이 3  $\mu\text{m}$ , 채널 폭 W가 10  $\mu\text{m}$ , Lov가 0  $\mu\text{m}$ , 및 dW가 0  $\mu\text{m}$ 이다. Vd가 10 V로 설정된다는 점에 유의해야 한다. 기판 온도가 -40℃, -25℃, 25℃, 75℃, 125℃ 및 150℃이라는 점에 유의해야 한다. 여기서, 게이트 전극이 한 쌍의 전극 중 하나와 중첩되는 부분의 폭을 Lov로 하고, 한 쌍의 전극 중 산화물 반도체막과 중첩되지 않는 부분의 폭을 dW로 한다.
- [0315] 도 17은, Id(실선) 및 전계 효과 이동도(점선)의 Vg 의존성을 나타낸다. 도 18의 (a)는 기판 온도와 임계 전압 간의 관계를 나타내고, 도 18의 (b)는 기판 온도와 전계 효과 이동도 간의 관계를 나타낸다.
- [0316] 도 18의 (a)로부터, 기판 온도가 증가할수록 임계 전압은 낮아지는 것을 알 수 있다. 임계 전압이 -40℃ 내지 150℃의 범위에서, 1.09 V로부터 -0.23 V로 감소한다는 점에 유의해야 한다.
- [0317] 도 18의 (b)로부터, 기판 온도가 증가할수록 전계 효과 이동도가 낮아진다는 것을 알 수 있다. 전계 효과 이동도가 -40℃ 내지 150℃의 범위에서,  $36 \text{ cm}^2/\text{Vs}$ 로부터  $32 \text{ cm}^2/\text{Vs}$ 로 감소한다는 점에 유의해야 한다. 따라서, 상술한 온도 범위에 있어서 전기적 특성의 변동이 작은 것을 알 수 있다.
- [0318] 상기와 같은 In, Sn 및 Zn을 주성분으로 포함하는 산화물 반도체를 채널 형성 영역으로 사용하는 트랜지스터에 있어서는, 오프 전류를 1 aA/ $\mu\text{m}$  이하로 유지하면서, 전계 효과 이동도를  $30 \text{ cm}^2/\text{Vs}$  이상, 바람직하게는  $40 \text{ cm}^2/\text{Vs}$  이상, 보다 바람직하게는  $60 \text{ cm}^2/\text{Vs}$  이상으로 할 수 있는데, 이는 LSI에 요구되는 온 전류를 달성할 수 있게 한다. 예를 들어, L/W가 33 nm/40 nm인 FET에서, 게이트 전압이 2.7 V이고 드레인 전압이 1.0 V일 때 12  $\mu\text{A}$  이상의 온 전류가 흐를 수 있다. 또한, 트랜지스터의 동작에 필요한 온도 범위에서, 충분한 전기적 특성을 확보할 수 있다. 이러한 특성으로 인해, Si 반도체를 사용하여 형성된 집적 회로 내에 산화물 반도체를 포함하는 트랜지스터가 제공되는 경우에도, 동작 속도를 감소시키지 않고도 새로운 기능을 포함하는 집적 회로를 달성할 수 있다.
- [0319] 본 실시 형태의 내용 또는 상기 내용의 일부는, 다른 실시 형태의 내용 또는 상기 내용의 일부와 자유롭게 조합하는 것이 가능하다.

[0320] 이 출원은 2011년 5월 13일에 출원된 일본 특허 출원 번호 제2011-108736호를 기반으로 하고, 그 전체 내용은 이에 참고로 인용된다.

### 부호의 설명

[0321] 12: 차동 증폭기  
13: 이득 단  
14: 이득 단  
15: 출력단  
16: 제1 트랜지스터  
18: 제2 트랜지스터  
20: 제3 트랜지스터  
22: 제4 트랜지스터  
100: 전압 폴로워  
102: 제1 트랜지스터  
104: 제2 트랜지스터  
106: 제3 트랜지스터  
108: 제4 트랜지스터  
110: 제5 트랜지스터  
112: 제6 트랜지스터  
114: 제7 트랜지스터  
116: 제8 트랜지스터  
118: 제9 트랜지스터  
120: 차동 증폭기  
122: 이득 단  
200: 전압 폴로워  
202: 제1 트랜지스터  
204: 제2 트랜지스터  
206: 제3 트랜지스터  
208: 제4 트랜지스터  
210: 제5 트랜지스터  
212: 제6 트랜지스터  
214: 용량 소자  
216: 제7 트랜지스터  
218: 제8 트랜지스터  
220: 제9 트랜지스터  
222: 제10 트랜지스터  
224: 제11 트랜지스터

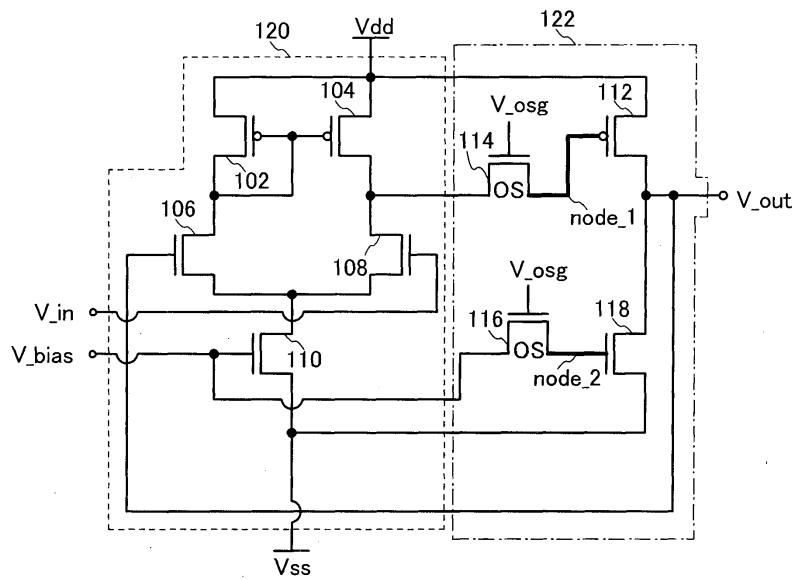
226: 제12 트랜지스터  
 228: 제13 트랜지스터  
 230: 차동 증폭기  
 232: 이득 단  
 234: 출력단  
 500: 기관  
 502: 베이스 절연막  
 504: 보호 절연막  
 506a: 고저항 영역  
 506b: 저저항 영역  
 506: 산화물 반도체막  
 508: 게이트 절연막  
 510: 게이트 전극  
 512: 측벽 절연막  
 514: 한 쌍의 전극  
 516: 층간 절연막  
 518: 배선  
 600: 기관  
 602: 베이스 절연막  
 606: 산화물 반도체막  
 608: 게이트 절연막  
 610: 게이트 전극  
 614: 한 쌍의 전극  
 616: 층간 절연막  
 618: 배선  
 620: 보호막  
 700: 반도체 기관  
 701: 고농도 불순물 영역  
 702: 저농도 불순물 영역  
 703: 게이트 절연막  
 704: 게이트 전극  
 705: 층간 절연막  
 710: 트랜지스터  
 711: 산화물 반도체층  
 712a: 소스 전극  
 712b: 드레인 전극

- 713: 게이트 절연막
- 714: 게이트 전극
- 1010: 베이스 절연체
- 1020: 매립 절연체
- 1030a: 반도체 영역
- 1030b: 반도체 영역
- 1030c: 반도체 영역
- 1040: 게이트 절연체
- 1050: 게이트 전극
- 1060a: 측벽 절연체
- 1060b: 측벽 절연체
- 1070: 절연체
- 1080a: 소스 전극
- 1080b: 드레인 전극

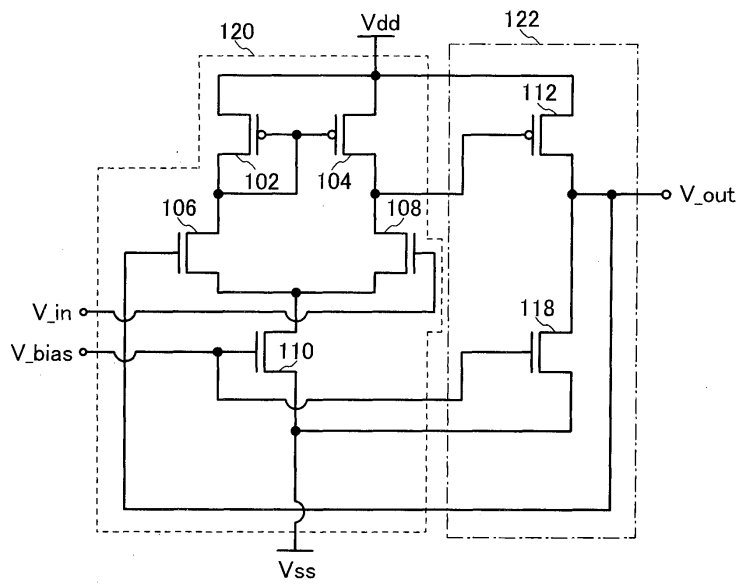
## 도면

### 도면1

100

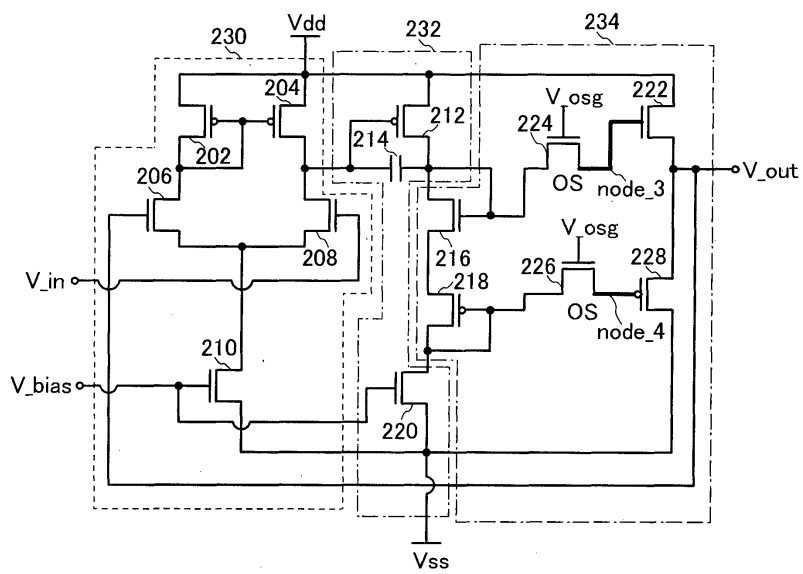


도면2

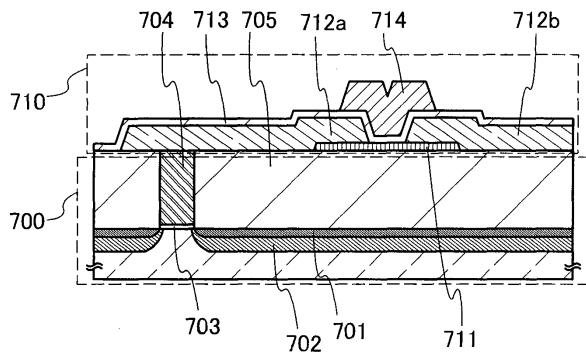


도면3

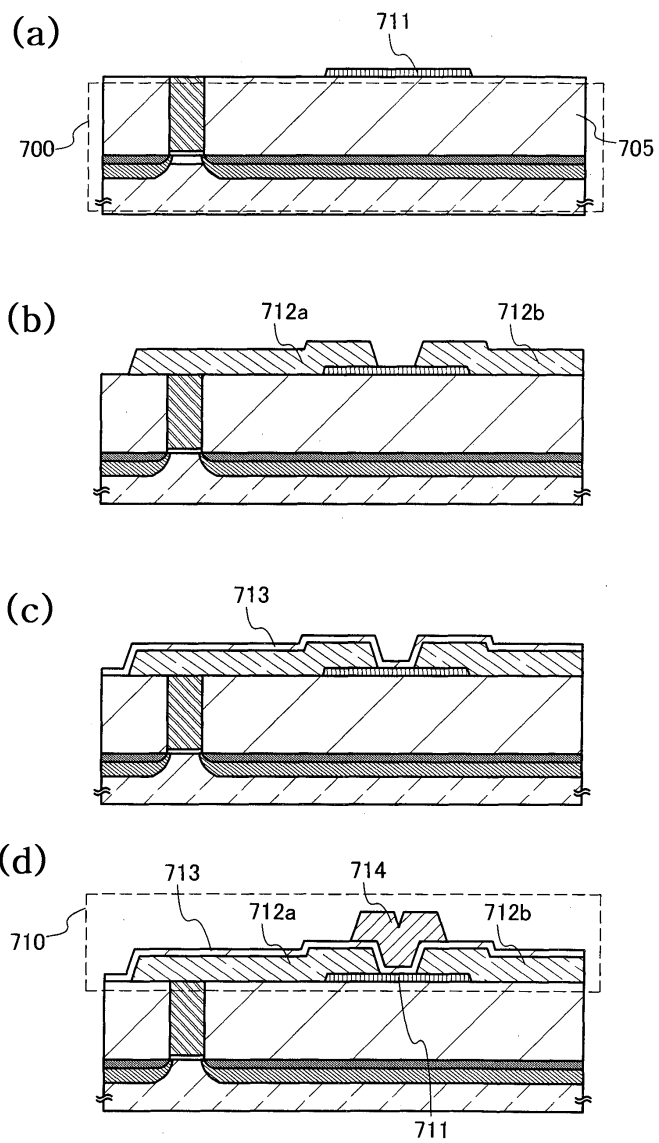
200



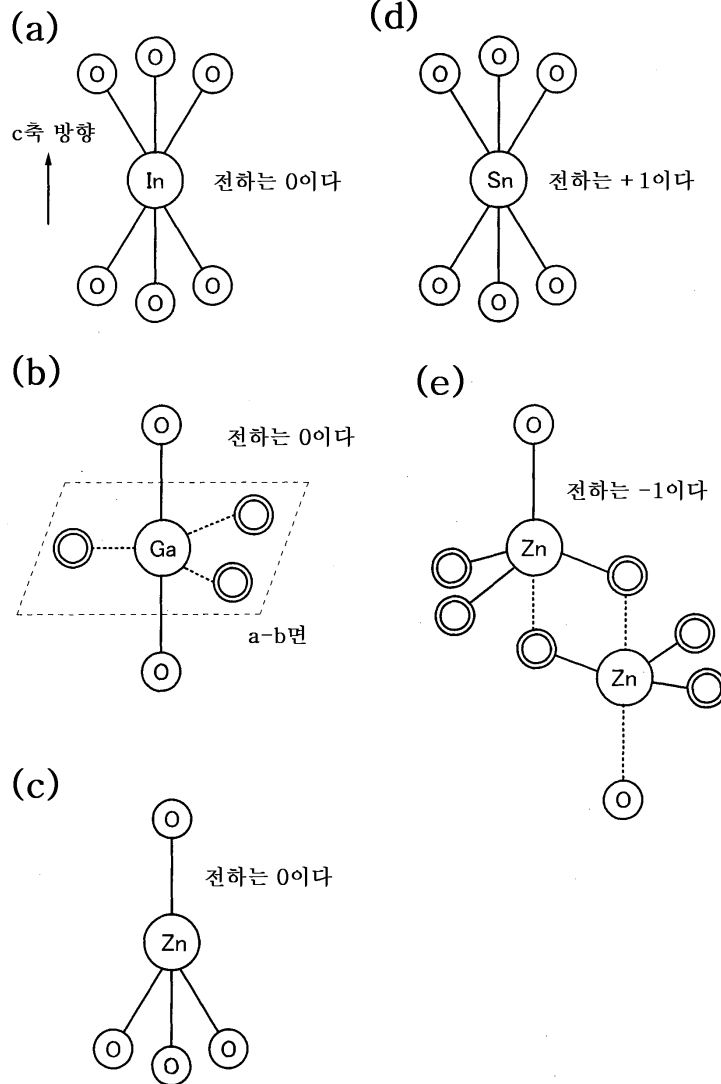
도면4



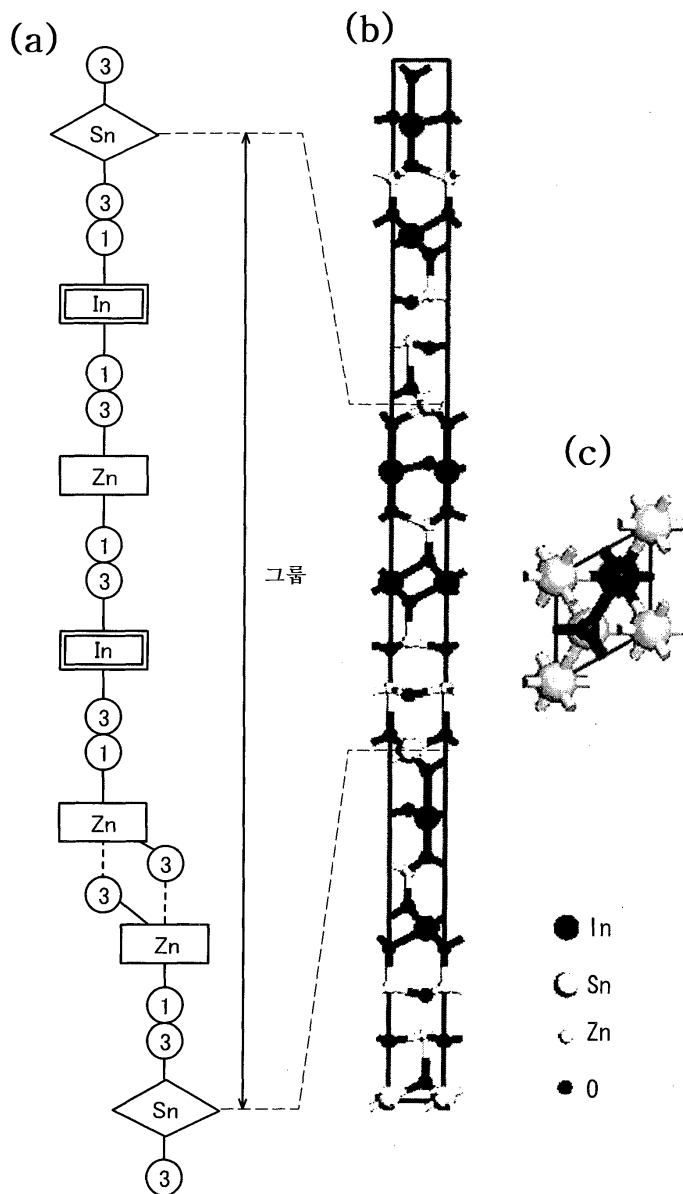
도면5



도면6

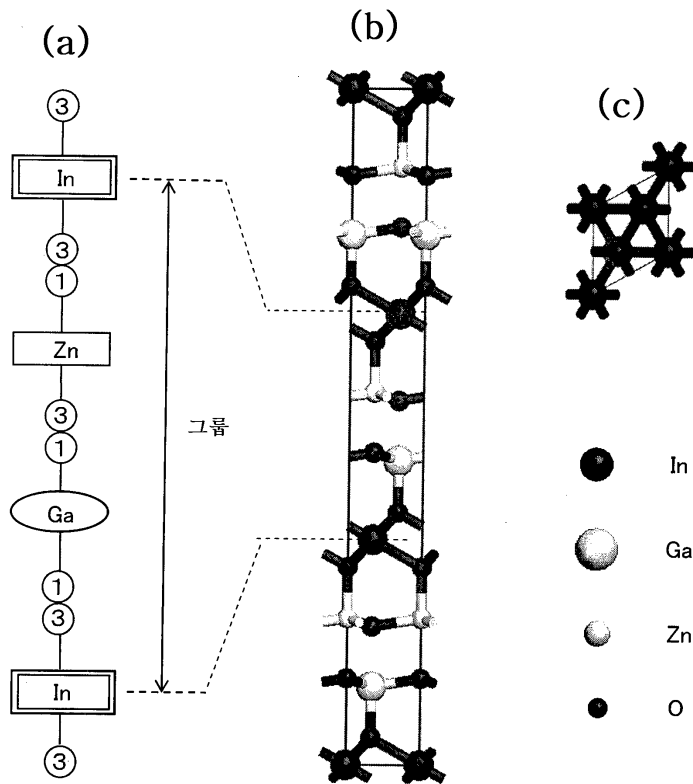


도면7

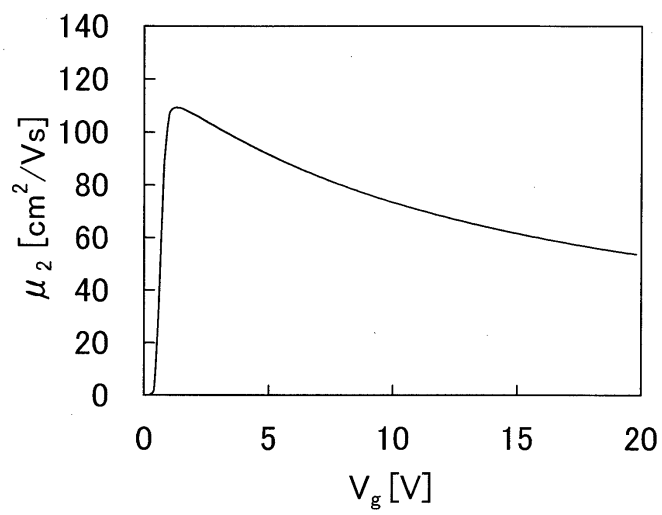




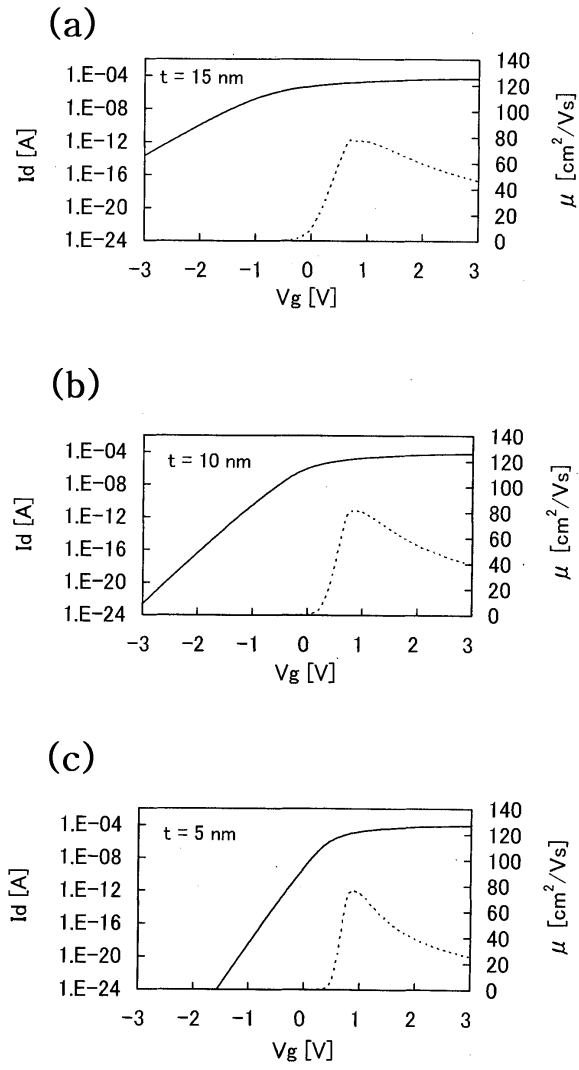
도면8



도면9

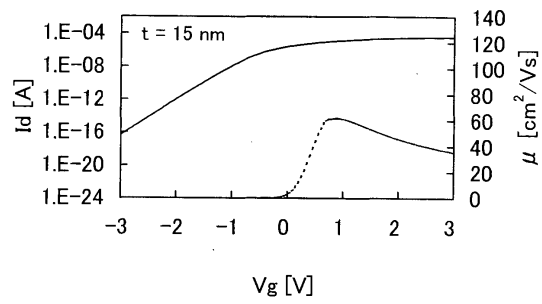


도면10

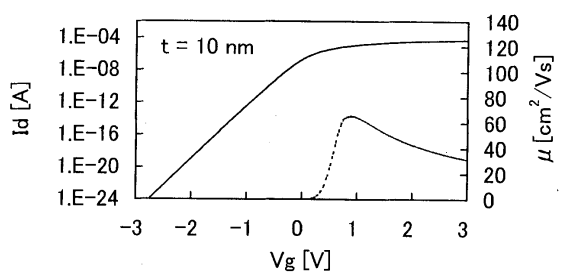


도면11

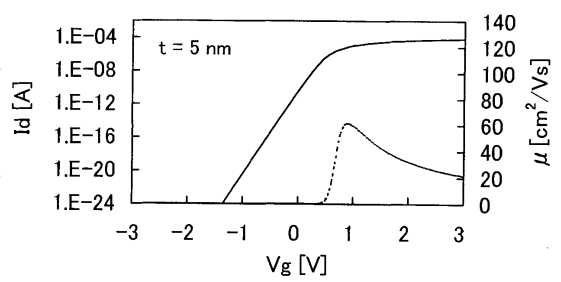
(a)



(b)

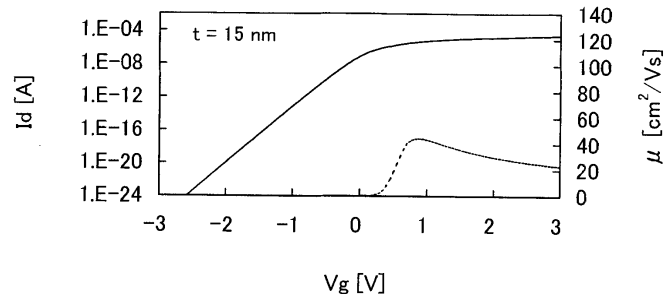


(c)

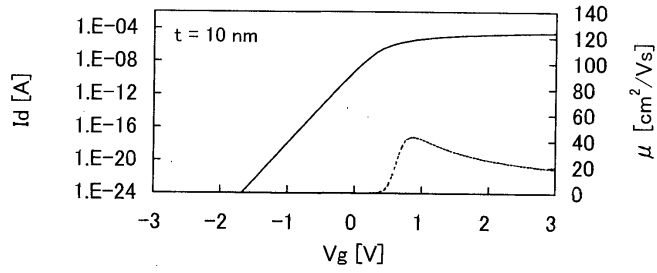


도면12

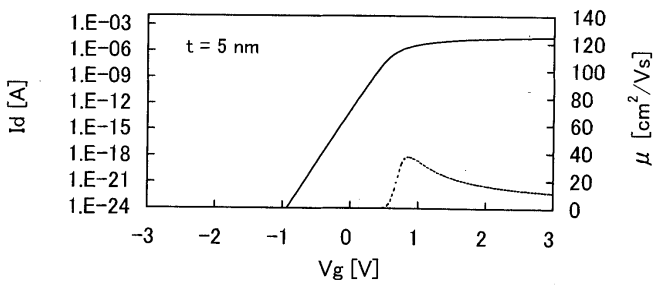
(a)



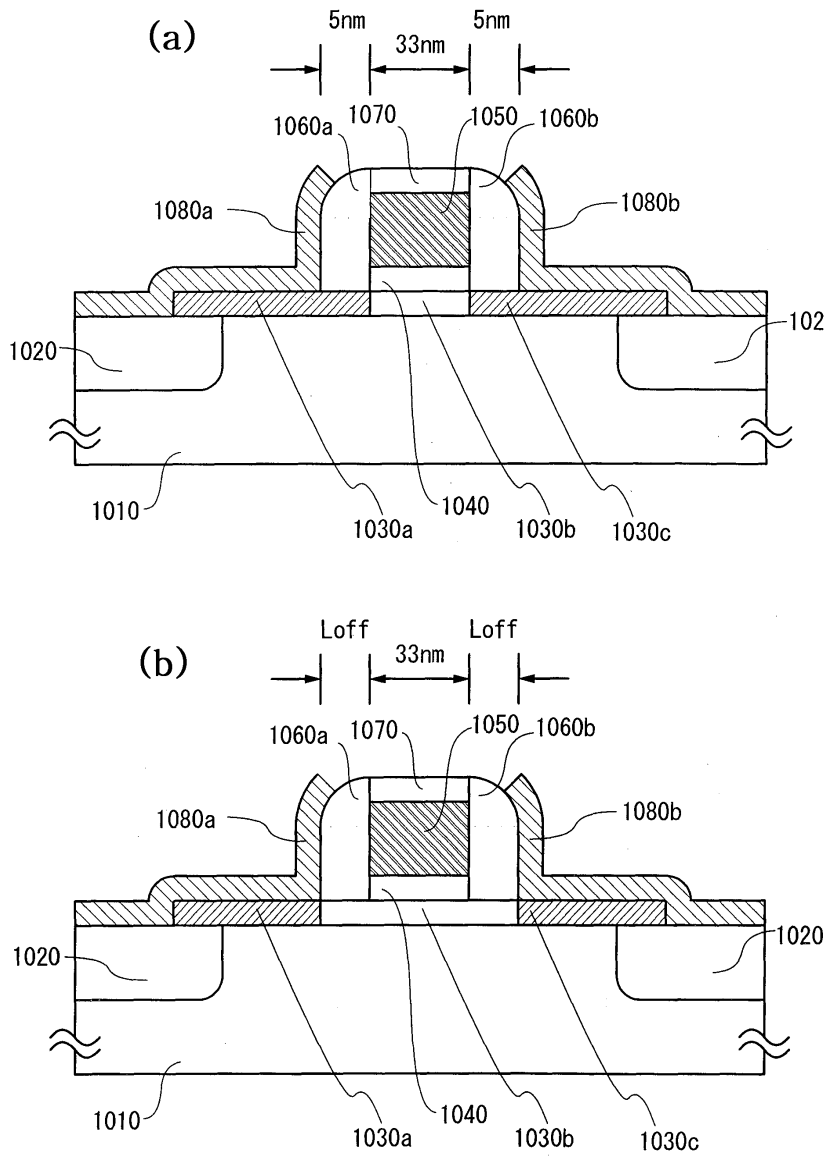
(b)



(c)

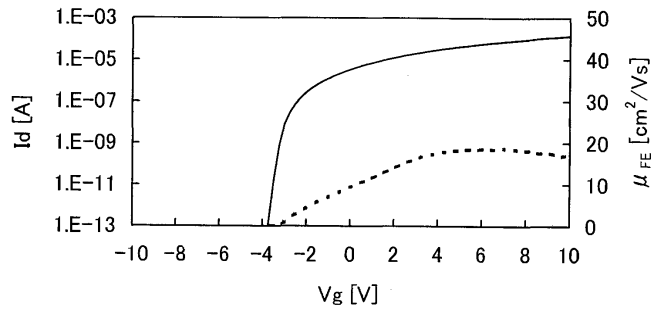


도면13

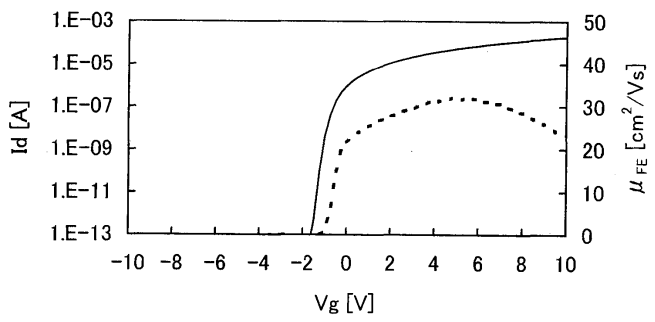


도면14

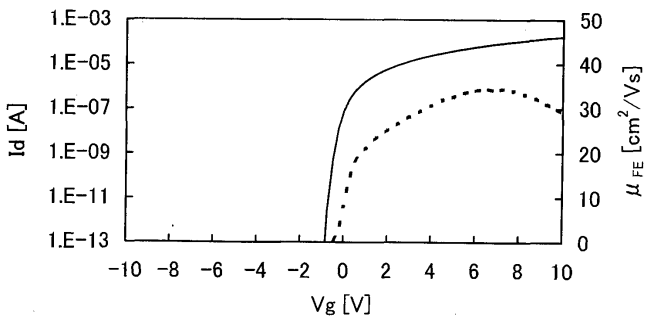
(a)



(b)

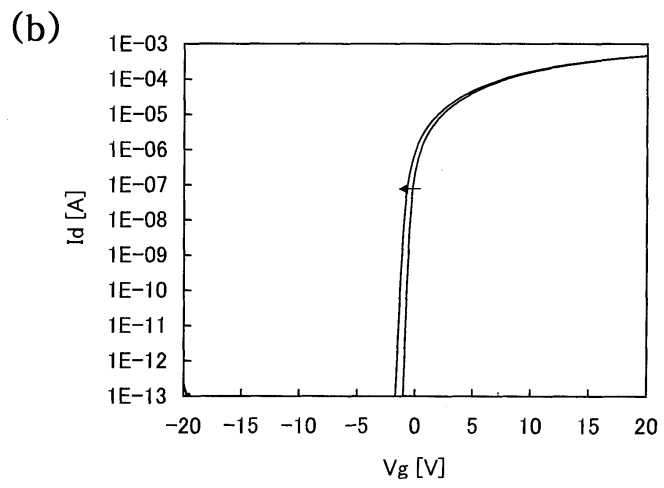
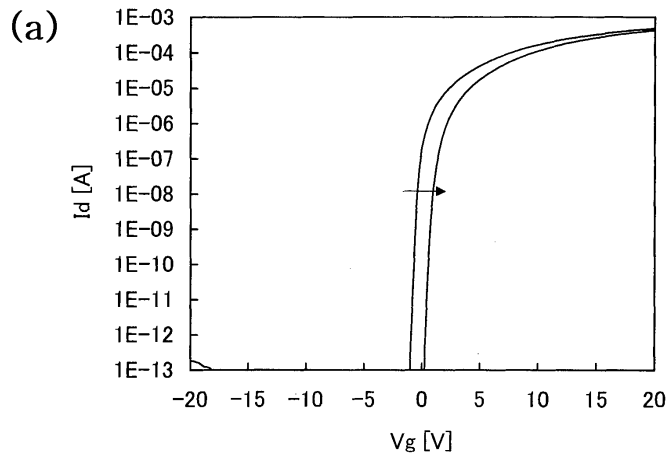


(c)

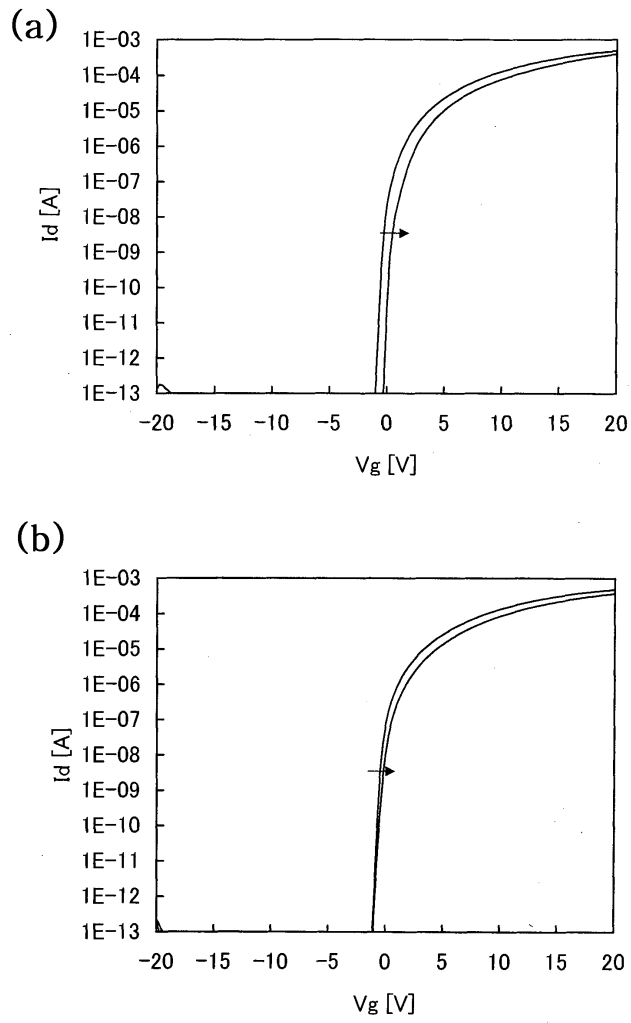




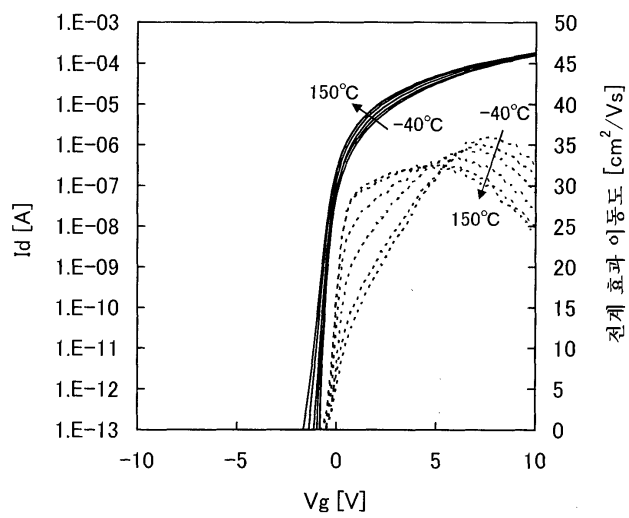
도면15



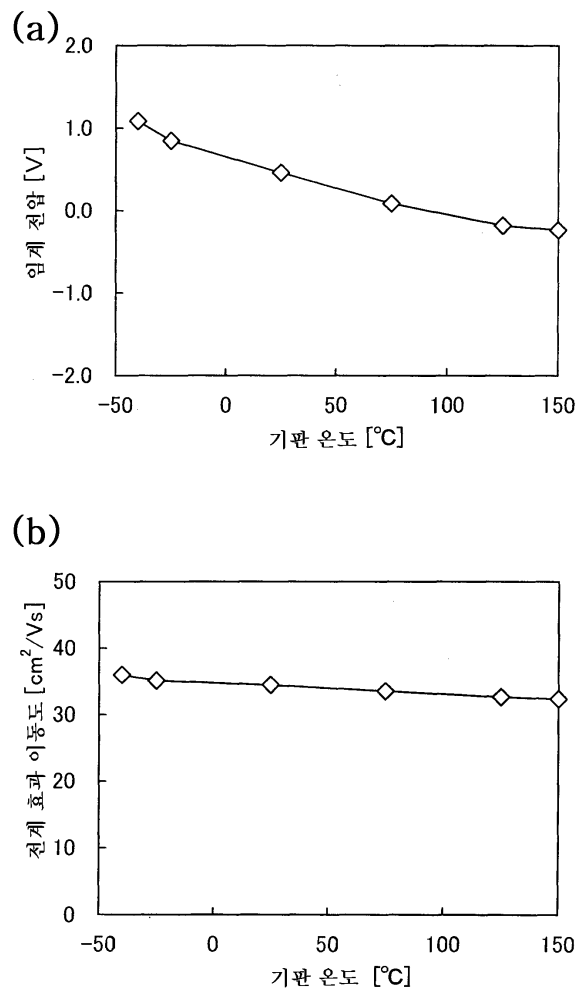
도면16



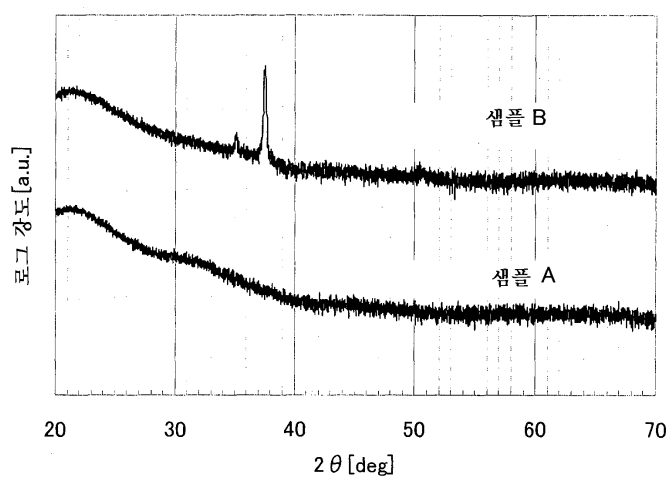
도면17



도면18

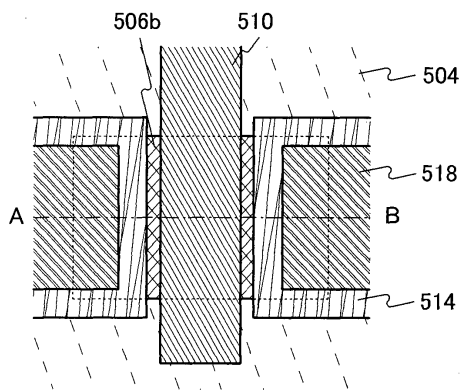


도면19

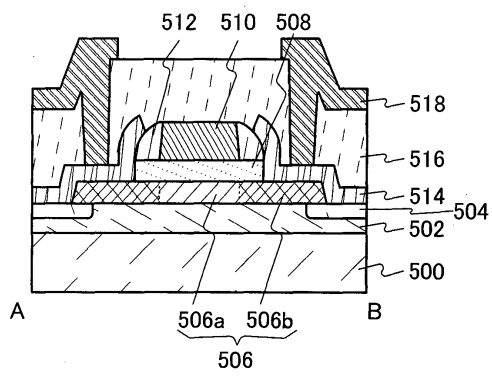


도면20

(a)

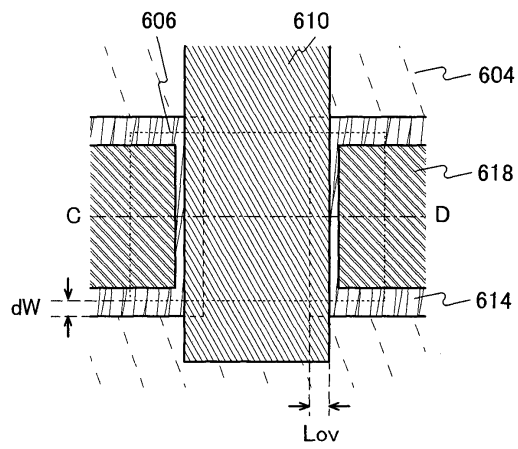


(b)

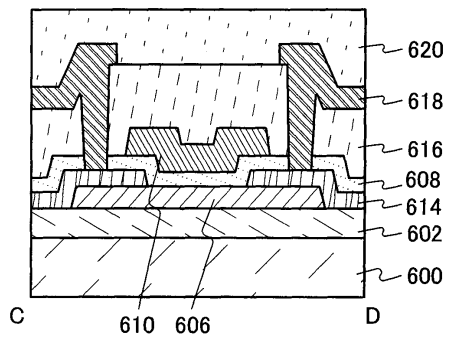


도면21

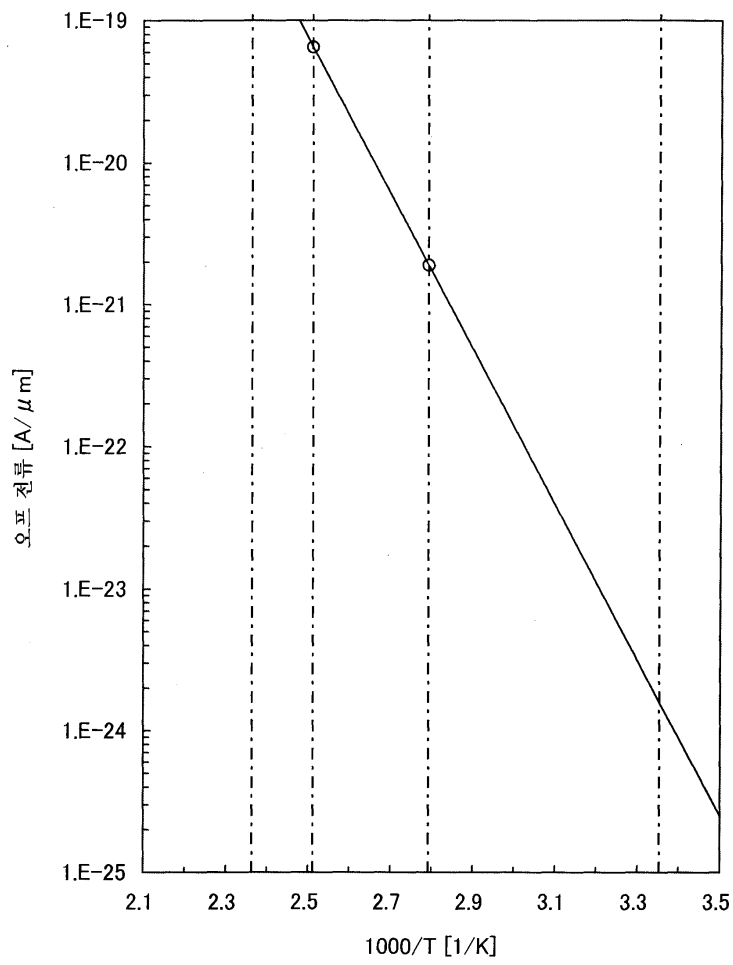
(a)



(b)



도면22







도면24

