



## (12) 发明专利

(10) 授权公告号 CN 103201836 B

(45) 授权公告日 2016. 08. 17

(21) 申请号 201180043268. 8

(22) 申请日 2011. 07. 18

(30) 优先权数据

12/839, 038 2010. 07. 19 US

(85) PCT国际申请进入国家阶段日

2013. 03. 08

(86) PCT国际申请的申请数据

PCT/US2011/044342 2011. 07. 18

(87) PCT国际申请的公布数据

W02012/012321 EN 2012. 01. 26

(73) 专利权人 德塞拉股份有限公司

地址 美国加利福尼亚州圣荷西市奥卓公园  
路 3025 号

(72) 发明人 贝勒卡西姆·哈巴

(74) 专利代理机构 珠海智专专利商标代理有限公司 44262

代理人 段淑华 刘曾剑

(51) Int. Cl.

H01L 25/10(2006. 01)

H01L 23/31(2006. 01)

H01L 24/73(2006. 01)

(56) 对比文件

US 2009/0206461 A1, 2009. 08. 20,

US 2009/0206461 A1, 2009. 08. 20,

US 2005/0133916 A1, 2005. 06. 23,

US 2002/0066952 A1, 2002. 06. 06,

TW 200837926 A, 2008. 09. 16,

审查员 龚雪薇

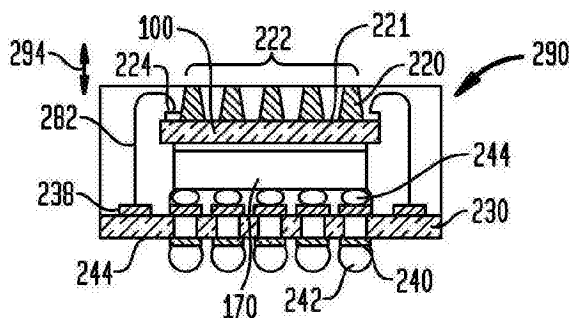
权利要求书2页 说明书12页 附图9页

(54) 发明名称

具有面阵单元连接体的可堆叠模塑微电子封装

(57) 摘要

微电子封装 (290) 具有基板 (230)、例如芯片这样的微电子元件 (170), 端子 (240) 可具有与芯片的元件触点及基板的触点电连接的导电元件 (238)。导电元件可彼此绝缘, 以同时承载不同电位。密封剂 (201) 可覆盖基板的第一表面 (136) 及微电子元件远离基板的面 (672) 的至少一部分, 且密封剂可具有在微电子元件上方的主表面 (200)。复数个封装触点 (120、220、408、410、427) 可位于微电子元件远离基板的面 (672) 上。封装触点, 如导电块 (410), 基本为刚性的柱 (120、220), 可与基板 (230) 的端子 (240) 例如通过导电元件而电连接。封装触点可具有至少部分地在密封剂 (201) 的主表面 (200) 暴露的顶面 (121)。



1. 微电子封装, 包括:

第一基板, 具有第一表面、远离所述第一表面的第二表面、在所述第一表面暴露的复数个第一基板触点、与所述第一基板触点电互连且在所述第二表面暴露的复数个端子;

远离所述第一基板的第二基板, 所述第二基板具有第一表面、远离所述第一表面的第二表面、在所述第二基板的第二表面暴露的复数个第二基板触点、在所述第二基板的第二表面暴露的复数个垫;

设置在所述第一基板的第一表面与所述第二基板的第一表面之间的微电子元件, 所述微电子元件具有第一面、远离第一面的第二面、在所述第一面暴露的元件触点, 所述第一面或所述第二面中的一个与所述第一基板的所述第一表面并置;

复数个结合引线, 在所述第一基板的第一表面上突出, 且在所述第一基板触点与所述第二基板触点之间延伸, 所述结合引线中至少一些彼此电绝缘, 且适于同时承载不同的电位;

连续的密封剂, 覆盖所述第一基板的所述第一表面、所述结合引线及所述第二基板的第二表面的至少一部分, 所述连续的密封剂限定了主表面; 及

复数个封装触点, 在所述密封剂的主表面暴露并位于所述第二基板的第二表面和所述微电子元件的第一面或第二面上, 所述封装触点突出高于所述第二基板触点的高度, 所述封装触点与所述微电子元件的元件触点至少通过所述结合引线电互连, 开口从所述密封剂的所述主表面向下延伸, 所述封装触点包括在所述开口内延伸的铜或金的固态金属柱, 所述固态金属柱电镀至所述垫上, 其中至少所述封装触点的顶面至少部分地在所述连续的密封剂的所述主表面暴露, 所述封装触点设置为同时承载不同的电位。

2. 根据权利要求1所述的封装, 其中所述密封剂的所述主表面至少朝着所述第一基板的外围边缘延伸到所述微电子元件的外围边缘之外。

3. 根据权利要求1所述的封装, 其中所述封装触点包括刚性的柱。

4. 根据权利要求3所述的封装, 其中至少一些柱的顶面的至少一部分在从所述密封剂的所述主表面向下延伸的开口内暴露, 且所述密封剂与所述至少一些柱的边缘表面的至少一部分接触。

5. 根据权利要求4所述的封装, 其中所述至少一些柱的所述边缘表面至少部分地在所述密封剂的相应开口内暴露。

6. 根据权利要求4所述的封装, 其中所述密封剂与所述至少一些柱的所述顶面的至少一部分接触, 从而所述至少一些柱的所述顶面只部分地在所述开口内暴露。

7. 根据权利要求6所述的封装, 其中所述至少一些柱的边缘表面全部被所述密封剂覆盖。

8. 根据权利要求3所述的封装, 其中所述柱的顶面可与所述密封剂的所述主表面共面。

9. 根据权利要求8所述的封装, 其中至少一些所述柱的边缘表面全部被所述密封剂覆盖。

10. 根据权利要求1所述的封装, 其中所述结合引线包括第一结合引线和连接于基板触点的至少一个第二结合引线, 所述基板触点用于使所述至少一个第二结合引线与所述参考电位连接, 从而所述至少一个第二结合引线与至少一个所述第一结合引线形成受控阻抗传输线路。

11. 根据权利要求1所述的封装,其中所述结合引线中至少一些与所述微电子元件直接连接。

12. 根据权利要求1所述的封装,其中所述微电子元件的所述元件触点面向所述第一基板。

13. 根据权利要求1所述的封装,其中所述微电子元件的所述元件触点背向所述第一基板且与所述第一基板电互连。

14. 根据权利要求12或13所述的封装,其中所述微电子元件为第一微电子元件,所述封装进一步包括位于所述第一微电子元件与所述第二基板之间的第二微电子元件,所述第二微电子元件与所述第一基板和所述第二基板中的至少一个电互连。

15. 根据权利要求1所述的封装,进一步包括第二刚性的结构,其为导电结构、导热结构或间隔体中至少一个,所述第二刚性的结构从所述第一表面至少突出到所述第二基板。

16. 根据权利要求15所述的封装,其中所述第二基板包括介电元件。

17. 根据权利要求1所述的封装,其中所述封装触点包括复数个从所述第二基板的表面向外突出的刚性的导电柱。

18. 根据权利要求17所述的封装,其中所述第二基板包括第二介电元件,且所述封装触点从所述第二介电元件的表面向外突出。

19. 根据权利要求17或18所述的封装,其中所述第二基板包括复数个开口,且至少一些所述结合引线延伸穿过所述第二基板的所述开口。

20. 根据权利要求17所述的封装,进一步包括从所述第一基板向外延伸的刚性的第二导电柱,且所述第二导电柱与所述第一基板电连接,所述第二导电柱在所述密封剂的相应开口内暴露于所述密封剂的所述主表面。

## 具有面阵单元连接体的可堆叠模塑微电子封装

[0001] 相关申请的交叉引用

[0002] 本申请要求美国专利申请号为12/839,038,申请日为2010年7月19日的专利申请之申请日利益,其公开的内容通过援引加入本文。

### 技术领域

[0003] 本申请主题涉及微电子封装,尤其是可堆叠模塑微电子封装,如可在微电子元件上方及下方的表面上具有封装触点。

### 背景技术

[0004] 微电子元件,如半导体芯片,通常设置在封装内,封装提供对半导体芯片或其他微电子元件的物理方面及化学方面的保护。这种封装通常包括封装基板或芯片载体,封装基板或芯片载体可包括其上具有电连接端子的介电材料板。芯片安装在封装基板上且与封装基板的端子电连接。通常,芯片和部分基板被密封剂或外壳覆盖,使得只有承载端子的基板外表面仍保持暴露。这种封装可以方便地运输、贮存及处理。该封装可安装至电路板上,如采用标准安装技术的电路板,最通常地,标准安装技术为表面安装技术。为使这种封装更小,使得封装芯片占据电路板上较小的面积,在本领域内已投入相当大的努力。例如,被称为芯片级封装的封装,占据的电路板面积与芯片自身的面积相等,或仅稍大于芯片自身的面积。但是,即使应用芯片级封装,数个封装芯片所占据的总面积也会大于或等于单个芯片的总面积。

[0005] 某些多芯片封装可被称为“裸片堆叠封装”,其中复数个芯片以一个在另一个之上的方式安装在具有外部接口的共同封装内。这种共同封装可安装在电路板的一个区域内,该区域的面积可等于或仅稍大于包含单个芯片的单个封装安装通常所需的面积。裸片堆叠封装方式节省电路板上的空间。功能彼此相关的芯片或其他元件,可设置在一个共同的堆叠封装内。封装可包括这些元件之间的互连。因此,安装封装的电路板无需包括这些互连所需的导电体及其他元件。这反过来,允许应用更简单的电路板,且在某些情况下,允许使用具有较少金属连接层的电路板,从而显著地降低电路板的成本。此外,与在电路板上安装的单个封装之间相对应的互连相比,裸片堆叠封装内的互连通常可制作为具有更低的电阻抗及更短的信号传播延迟时间。这反过来,能增加堆叠封装内的微电子元件的工作速度,例如,在信号传输中允许在这些元件之间应用较高的时钟速度。

[0006] 迄今为止已推出的一种芯片封装方式,有时被称为“球堆叠”(“ball stack”)。球堆叠封装包括两个或更多个单独的单元。每个单元包括,与单独封装的封装基板类似的单元基板,及一个或多个安装至单元基板上且与单元基板的端子连接的微电子元件。各单独单元以一个在另一个之上方式堆叠,每个单独的单元基板上的端子与另一个单元基板上的端子通过导电元件如焊料球或引脚而连接。底部单元基板上的端子可构成封装的端子,或替代地,可在封装的底部安装附加基板,且附加基板可具有与各单元基板的端子连接的端子。例如,球堆叠封装在美国专利公开号为2003/0107118和2004/0031972的专利申请的某

些优选实施例中已描述,其公开的内容通过援引加入本文。

[0007] 另一种类型的堆叠封装有时被称为折叠堆叠封装,两个或更多个芯片或其他微电子元件安装至单个基板上。这种单个基板通常具有沿基板延伸的导电体,以使安装在基板上各微电子元件相互连接。在同一基板上还具有导电端子,导电端子与安装在基板上的一个微电子元件连接或与各微电子元件都连接。基板折叠于其自身之上,使得一个部分上的微电子元件位于另一部分上的微电子元件的上方,并使得封装基板的端子暴露在折叠封装的底部,以把封装安装至电路板上。在折叠封装的某些变例中,在基板已折叠至其最终布局后,附接一个或多个微电子元件至基板。折叠堆叠的示例在以下专利文献的某些优选实施例中示出。专利号为6121676的美国专利;专利申请号为10/077388的美国专利申请;专利申请号为10/655952的美国专利申请;临时专利申请号为60/403939的美国临时专利申请;临时专利申请号为60/408664的美国临时专利申请;及临时专利申请号为60/408644的美国临时专利申请。折叠堆叠已经应用于各种用途,但已发现在封装芯片必须相互联系时的特别应用,例如,在移动电话内的包括基带信号处理芯片和射频功率放大器(“RFPA”)芯片的组件形成时,从而形成紧凑的、完备的组件。

[0008] 尽管在本领域中已进行了这些努力,但仍需要进一步地改善。

## 发明内容

[0009] 根据本发明实施例的微电子封装可包括基板,基板具有第一表面、远离第一表面的第二表面、复数个基板触点、及复数个与基板触点电互连且在第二表面暴露的端子。封装包括具有第一面、远离第一面的第二面、及在第一面暴露的元件触点的微电子元件,第一面或第二面中的一个与基板的第一表面并置(juxtaposed)。复数个导电元件在第一表面上突出,且与元件触点及基板触点电连接。至少一些导电元件彼此电绝缘,且适于同时承载不同的电位。密封剂覆盖基板的第一表面、导电元件及微电子元件远离基板的面的至少一部分。密封剂可限定主表面。复数个封装触点可位于微电子元件远离基板的面上,且从基板上突出高于元件触点的高度。封装触点可与基板的端子,如通过导电元件而电互连。封装触点可包括导电结合(conductive bond)材料块或基本为刚性的导电柱中的至少一种。封装触点的顶面可至少部分地在密封剂的主表面暴露。

[0010] 在一个实施例中,密封剂的主表面可至少朝着基板的外围边缘延伸到微电子元件的外围边缘之外。在特定实施例中,封装触点可主要由导电结合材料组成。可选择地,封装触点包括基本为刚性的柱。

[0011] 在特定实施例中,至少一些导电柱的顶面的至少一部分在从密封剂主表面向下延伸的开口内暴露。密封剂可与该至少一些柱的边缘表面的至少一部分接触。该至少一些柱的边缘表面可至少部分地在密封剂的相应开口内暴露。

[0012] 在一个示例中,密封剂可与至少一些柱的顶面的至少一部分接触,从而该至少一些柱的顶面只部分地在开口内暴露。在特定的示例中,至少一些柱的边缘表面可全部被密封剂覆盖。

[0013] 在一个示例中,导电柱的顶面可与密封剂的主表面共面。在这种示例中,在一种情况下,至少一些柱的边缘表面可部分地或全部地被密封剂覆盖。

[0014] 在一个实施例中,基板可为第一基板,封装可进一步包括覆盖微电子元件的远离

第一基板的面的第二基板。第二基板可使至少一些封装触点与微电子元件分离。第一基板和第二基板可通过导电元件电连接。导电元件可为第一导电元件，微电子封装可进一步包括至少一个与参考电位连接的第二导电元件，从而与至少一个第一导电元件形成受控阻抗传输线路。

[0015] 在一个示例中，无论封装包括一个或两个基板，至少一些导电元件可与微电子元件直接连接。

[0016] 在特定示例中，微电子元件的元件触点可面向第一基板。在另一示例中，微电子元件的元件触点可背向第一基板且与第一基板电互连。

[0017] 在之前的或者是之后的任一个示例中，微电子元件可为第一微电子元件，封装可进一步包括位于第一微电子元件与第二基板之间的第二微电子元件，第二微电子元件与第一基板和第二基板中的至少一个电互连。

[0018] 在一个示例中，为导电结构、导热结构或间隔体中至少一个的第二基本为刚性的结构，可从至少第一表面突出到至少第二基板。在一个示例中，第二基板可包括介电元件。

[0019] 封装触点可包括复数个从第二基板表面向外突出的基本为刚性的导电柱。

[0020] 在一个示例中，第二基板可包括第二介电元件，且封装触点可从第二介电元件的表面向外突出。第二基板可包括复数个开口，至少一些导电元件可延伸穿过第二基板的开口。

[0021] 在一个实施例中，第二基本为刚性的导电柱可从第一基板向外延伸，且第二导电柱可与第一基板电连接。第二导电柱可在密封剂的相应开口内暴露于密封剂的主表面。

[0022] 根据本发明的一个实施例，提供了一种制造微电子封装的方法。在这种方法中，可提供包括基板的微电子组件，基板具有基板触点、第一表面、远离第一表面的第二表面、及复数个暴露在第二表面的端子。该组件可包括微电子元件，微电子元件具有正面、暴露在正面的元件触点、及远离其的背面，正面或背面与第一表面并置。微电子组件可进一步包括在第一表面上突出且与元件触点及基板触点电连接的复数个导电元件。复数个封装触点可位于微电子元件的面上，该面远离微电子元件的与基板第一表面并置的面。封装触点可与导电元件电互连。在特定示例中，封装触点可包括导电结合材料块或基本为刚性的导电柱中的至少一种，导电结合材料块或基本为刚性的导电柱延伸至高于微电子元件的元件触点的高度。

[0023] 然后密封剂可形成为覆盖基板的第一表面、导电元件及微电子元件远离基板的面的至少一部分。密封剂可限定主表面，且封装触点的顶面的至少一部分可在密封剂的主表面暴露。

[0024] 在一个实施例中，顶面的至少一部分可与密封剂的主表面平齐。

[0025] 根据本发明的一个实施例，最初时封装触点可未在密封剂的主表面暴露。在这种情况下，密封剂主表面可覆盖第二导电元件，且密封剂主表面内可形成有开口，以使第二导电元件至少部分地暴露。在特定的实施例中，第二导电元件可用作微电子封装的封装触点。在另一示例中，在密封剂层内形成开口后，可形成与第二导电元件电气通信的封装触点。

[0026] 在一个示例中，形成封装触点的步骤可包括在开口内的第二导电元件上沉积导电结合材料块的步骤。在特定的示例中，形成封装触点的步骤可包括，在暴露于开口内的第二导电元件上电镀导电柱的步骤。在特定的实施例中，导电元件可包括微电子元件的元件触

点。

[0027] 在一个示例中,封装触点可包括至少一个基本为刚性的导电柱或导电块,封装触点可从基板的第一表面延伸至高于元件触点的高度。

[0028] 导电柱可具有远离基板第一表面的顶面,及从顶面向外延伸的边缘表面。形成开口的步骤中可至少部分地暴露边缘表面。

[0029] 在一个实施例中,本文的制造方法可应用于制造第一微电子封装和第二微电子封装中的每一个,然后第二微电子封装可在第一微电子封装顶上堆叠。第一微电子封装与第二微电子封装可通过第一微电子封装的封装触点及第二微电子封装的端子而电连接。替代地,第一微电子封装和第二微电子封装可通过第一微电子封装及第二微电子封装的封装触点而电互连,或通过第一微电子封装及第二微电子封装的端子而电互连。

## 附图说明

[0030] 图1是说明根据本发明实施例基板制造方法中一个阶段的剖视图。

[0031] 图2是说明根据本发明实施例基板制造方法中图1所示阶段随后的阶段的剖视图。

[0032] 图3是说明根据本发明实施例基板制造方法中图1所示阶段随后的阶段的剖视图。

[0033] 图4是说明根据本发明实施例基板制造方法中图1所示阶段随后的阶段的剖面图。

[0034] 图5是说明根据本发明实施例的方法中应用的基板的剖视图。

[0035] 图6是说明根据本发明实施例的变例的方法中应用的基板的剖视图。

[0036] 图7是说明根据本发明实施例的方法中图5或图6所示阶段随后的制造阶段的剖视图。

[0037] 图8是说明根据本发明实施例的方法中图7所示阶段随后的制造阶段的剖视图。

[0038] 图9是说明根据本发明实施例的方法中图8所示阶段随后的制造阶段的剖视图。

[0039] 图9A是说明根据图8和图9中所示本发明实施例的变例的方法中图7所示阶段随后的制造阶段的剖视图。

[0040] 图10是说明根据本发明实施例的方法中图9或图9A所示阶段随后的制造阶段的剖视图。

[0041] 图11是说明根据图10所示阶段随后的制造阶段的剖视图。

[0042] 图12是说明根据本发明实施例微电子封装的剖视图。

[0043] 图13是说明根据本发明实施例微电子封装沿图14中的线13-13进行剖切时的剖视图。

[0044] 图14是说明面向图13中所示的根据本发明实施例微电子封装的上基板观看时的俯视图。

[0045] 图15是说明根据本发明实施例微电子封装制造方法的一个阶段的剖视图。

[0046] 图16A是说明根据本发明实施例微电子封装制造方法中图15所示阶段随后的阶段的剖视图。

[0047] 图16B是说明图16A所示方法的变例中图15所示阶段随后的阶段的剖视图。

[0048] 图17是说明根据本发明实施例微电子封装制造方法中一个阶段的剖视图。

[0049] 图18是说明根据本发明实施例微电子封装制造方法中图17所示阶段随后的阶段的剖视图。

[0050] 图19是说明根据本发明实施例微电子封装制造方法中图18所示阶段随后的阶段的剖视图。

[0051] 图20是说明根据本发明实施例微电子封装的剖视图。

[0052] 图20A是说明根据图20所示本发明实施例的变例的微电子封装的剖视图。

[0053] 图20B是说明根据图20所示本发明实施例的另一变例的微电子封装的剖视图。

[0054] 图21是说明根据本发明实施例堆叠微电子组件制造方法中一个阶段的剖视图。

[0055] 图22是说明根据本发明实施例微电子封装的剖视图。

[0056] 图23是说明根据本发明实施例微电子封装的剖视图。

[0057] 图24是说明根据本发明实施例微电子封装的剖视图。

[0058] 图25是说明根据本发明实施例微电子封装的剖视图。

[0059] 图26是说明根据本发明实施例微电子封装的剖视图。

[0060] 图27是说明根据本发明实施例微电子封装的剖视图。

[0061] 图27A是说明根据本发明实施例微电子封装的剖视图。

[0062] 图28是说明根据本发明实施例微电子封装的剖视图。

[0063] 图29是说明根据本发明实施例微电子封装的剖视图。

[0064] 图30是说明根据本发明实施例微电子封装的剖视图。

[0065] 图31是说明根据本发明实施例微电子封装的剖视图。

[0066] 图32是说明根据本发明实施例微电子封装的剖视图。

[0067] 图33是说明根据本发明实施例微电子组件的剖视图。

## 具体实施方式

[0068] 制造微电子封装的方法将根据本发明实施例进行描述。参照图1,在一个实施例中,封装基板或互连基板可应用介电元件104上的层状金属结构102而制造,该层状金属结构具有第一金属层110、第二金属层112、及在第一金属层与第二金属层之间的导电蚀刻隔离层114。

[0069] 在本文中应用的术语如“上”“下”“向上”及“向下”,及类似的指示方向的术语,参考的是各部件自身的参照系,而不是重力参照系。在该部件以附图所示的方向沿重力参照系定向时,在重力参照系中图中的顶部为上且图中的底部为下,上基板在重力参照系中确实位于下基板的上方。但是,当该部件反转,在重力参照系中图中顶部面向下时,上基板在重力参照系中位于下基板的下方。

[0070] 平行于基板主表面105的方向本文称为“水平”方向或“横向”方向;而垂直于主表面的方向本文称为向上或向下的方向,在本文还被称为“竖直”方向。声明一个特征与另一特征相比,位于“表面上方”较高的高度,意味着这两个特征都以同一正交方向偏离该表面,但沿该同一正交方向该一个特征比该另一个特征距该表面的距离更远。相反地,声明,一个特征与另一个特征相比,位于“表面上方”较低高度,意味着这两个特征都以同一正交方向偏离该表面,但沿该同一正交方向该一个特征比该另一个特征距该表面的距离更近。

[0071] 在一个示例中,第一金属层与第二金属层包括或主要由铜组成,蚀刻隔离层包括一种不被用于使第一金属层及第二金属层形成图案的蚀刻剂腐蚀的金属。例如,当第一金属层和第二金属层由铜组成时,蚀刻隔离层可由镍、铬、或镍与铬的合金组成。在一个示例

中,第一金属层的厚度比第二金属层的厚度更大。在一个示例中,第一金属层可具有50微米至300微米之间的厚度,第二金属层可具有几微米至小于50微米的厚度,且在任何情况下第二金属层的厚度都小于第一金属层的厚度。第二金属层的厚度的典型范围为约6微米至约30微米之间。

[0072] 从图1中可以看出,在这个阶段,层状金属结构可由介电元件104支撑,在特定示例中,介电元件104可包括复数个开口106,第二金属层112的部分通过开口106暴露。如在本文应用的,声明导电结构“暴露在”介电结构的表面,指的是导电结构可跟一理论点接触,该理论点以垂直于该介电结构表面的方向从介电结构外部该介电结构表面移动。因此,暴露在介电结构表面上的端子或其他导电结构可从该表面突出;可与该表面平齐;或可相对该表面凹陷,并通过介电结构上的孔或凹坑暴露。

[0073] 介电元件104可包括单层的介电材料,或可为包括数个子层的层压板。介电元件可主要由聚合物电介质如聚酰亚胺、BT树脂、环氧树脂等或其他电介质聚合物制成,在一些示例中,可包括强化纤维,例如玻璃纤维。介电元件104可为柔性的或刚性的。在特定示例中,介电元件可为聚合物带材料如聚酰亚胺材料,例如通常在卷带自动结合(“TAB”, tape automated bonding)中应用的聚酰亚胺材料。

[0074] 从图2中可以看出,掩模层或其他图案化的牺牲层116在第一金属层上形成。掩模层由耐蚀金属或其他材料制成,如通过照相平版印刷或其他图案化技术制成,仅举几例如模版印刷(stenciling)、丝网印刷、或激光烧蚀。然后,在图3中可以看出,第一金属层可被图案化,如通过以方向118朝层状金属结构102引入蚀刻剂流体而进行。这个图案化过程去除了第一金属层上没有被掩模层116保护的部分,从而形成了复数个蚀刻固态金属柱120。因为蚀刻隔离层114不被用于第一金属层图案化的蚀刻剂腐蚀,柱突出于蚀刻隔离层114的暴露表面112上方。金属柱可在蚀刻隔离层上相互分离,从而提供了一系列的单个导体。在图4中可以看出,当柱通过蚀刻形成时,它们可具有截头圆锥的形状,每个柱具有比其顶端127宽的基底128,柱通常具有相对竖直方向以一角度延伸的边缘表面。

[0075] 图4示出了过程的随后阶段,其中蚀刻隔离金属层的暴露部分被去除,且第二金属层112被图案化,以形成垫124及通常还具有的沿介电元件104所在平面方向延伸的迹线(未示出),垫及迹线与柱120电连接。第二金属层的迹线可使至少一些垫与至少一些固态金属柱电连接。作为图案化的结果,介电元件104中的开口现在变为贯穿结构126的厚度而延伸的贯通开口。

[0076] 在上述实施例(图1至图4)的变例中,包括柱、垫及迹线的类似结构126,可通过在介电层104的一个或多个表面上电镀而形成、或通过电镀与蚀刻步骤的组合而形成。在电镀的结构中,柱120通常具有垂直于介电元件的表面105的边缘表面,柱从该表面105突出。

[0077] 结构126已被确定,图5示出了包括介电元件132的基板130,介电元件132上具有复数个连接元件134及端子140,及与触点134及端子140电连接的金属或其他导电元件142。基板130通常以连续或半连续带或薄板的形式,具有大量的区域131。如将在下文说明的,在过程结束时每个区域131都将构成单独封装的一部分,且每个区域131都包括如下文所述的将形成单个封装一部分的特征。与基板104相似,基板130可为柔性的或刚性的,且可由一种或多种与基板104相同的材料构成,其介电元件132可包括单层的介电材料,或可为包括数个子层的层压板,可主要由聚合物电介质如聚酰亚胺、BT树脂、环氧树脂等或其他电介质聚合

物制成,在一些示例中,可包括强化纤维,例如玻璃纤维。与基板104中的介电元件相似,介电元件可为聚合物带材料如聚酰亚胺材料,如通常在卷带自动结合(“TAB”)中应用的聚酰亚胺材料。

[0078] 特别地如图5所示,端子140形成在与连接元件134分离的层内,这些金属层通过介电元件132相互分离,且通过导电元件如延伸穿过介电元件的通路32而彼此电连接。这样的布置通常称为“双金属”结构。替代地,如图6所描述的,基板150可由单一金属结构制成,单一金属层既构成暴露在基板第一表面152的导电连接元件154,又构成暴露在基板第二表面158的开口内的端子160,其中第二表面158远离第一表面。替代地,在图6所示实施例的变例中,基板150可应用相反的布置,其中端子位于基板的第二表面158,而导电连接元件暴露在开口内,其中开口从第一表面154开始并延伸穿过介电元件。在又一进一步的变例中,构建导电安装元件、端子或二者的一个或多个金属层,可位于介电层的厚度范围内,且通过孔在适当的表面暴露。

[0079] 从图7中可以看出,微电子元件170安装在第一基板130的第一表面或“上”表面136上。每个区域131具有一个或多个安装于其上的微电子元件。在特定实施例中示出,下基板的每个区域131承载一个微电子元件。所示的微电子元件为以面向下的方向安装的半导体芯片,芯片的例如结合垫(未示出)这样的触点与基板的导电连接元件134连接,例如通过应用如焊料这样的结合材料171而使触点与导电安装元件结合。但是,也可应用其他技术。例如,每个微电子元件170可为封装的微电子元件,包括其上具有封装端子的封装基板(未示出),这些封装端子与第一基板上的导电连接元件134连接。在又一其他变例中,可应用如各向异性的导电粘接剂的技术。基板130的每个区域131内的微电子元件170,可通过该区域131的导电连接元件134与同一区域的至少一些安装端子140连接,或与该区域的至少一些层间连接端子138连接,或与二者都连接。微电子元件170可应用常规技术安装在下基板上,或者作为本文描述的组装过程的一部分,或者在用于准备下基板130的单独操作中。

[0080] 在微电子元件170安装至基板130后,微电子元件与基板之间通过结合材料171和连接元件134而电连接,可在基板130与微电子元件的触点承载面172之间注入底充胶174(图8),从而方便增加对电连接中热应力及机械应力的阻力。然后,基板100可例如通过粘接剂178安装至微电子元件170的背面176。在一个实施例中,例如,当基板包括聚合介电材料时,粘接剂可为柔性的。但在另一实施例中,当基板100具有与微电子元件170相同或接近的热膨胀系数时,粘接剂则无需为柔性的,甚至可为刚性材料。基板100安装至微电子元件170,使得导电柱120从远离微电子元件170的基板表面108向外突出。

[0081] 从图8中进一步可以看出,当基板和微电子元件接合以形成组件180时,第二基板的开口106与第一基板的层间连接元件138对齐。这允许将要形成的导电元件182(图9)使第一基板上的层间连接元件138与第二基板的垫124接合,从而形成组件184。例如,引线结合(wirebonding)工具的顶端可穿过第二基板的开口106,以形成具有附接至第二垫138的第一端及附接至垫124的第二端的结合引线(wire bond)。然后,组件184可沿线186切割以把组件分离成单独的微电子组件188(图10),每个微电子组件188都包含第一基板和第二基板中每个的区域,及在两个基板区域之间且与每个基板区域都电连接的微电子元件170。

[0082] 在上述过程的变例中(图9A),复数个单独的基板126'中,每个都具有从其上突出的柱120及导电元件,如其上的垫124,基板126'可附接至相应的微电子元件170上,且经由

结合引线182'与基板130电连接。在基板130的复数个区域以连续基板或半连续基板的形式保持连接在一起时,可进行这个过程。在这种情况下,结合引线182'可设置为超出每个基板126'的外围边缘107。

[0083] 如图11所示,可应用模具190,以形成围绕组件188的结构的模塑密封区域。例如,在从图9A中可以看到的结构中,在切割基板130之前,可把模板192靠在第一基板区域131的表面136上而放置。然后,密封剂通过入口(未示出)注入模具内,以环绕结合引线182,并通常充满单个柱120之间的所有空间,及微电子元件170的边缘198与结合引线182之间的所有空间。然后组件可从模具取出,并可选择地处理以使密封剂201至少部分地固化,如在图12所表示的。基板130还将被切割,以便在当时形成单独的单元188。导电柱120暴露在覆盖微电子元件170的密封剂的暴露主表面200上。导电柱在覆盖微电子元件170的密封剂的开口202内延伸。通常,在从模具190取出具有密封区域的微电子组件188后,焊料凸点204或焊料球可与端子140接合,以形成从图12中可以看出的微电子封装210。

[0084] 图13示出了根据特定实施例的微电子封装290,其中所附的端子240可为垫、或为具有附接于其上的例如焊料球这样的结合材料球242的垫,每个端子240可分别与暴露在密封剂远离端子的表面200上的导电柱220竖直对齐。封装290的端子和柱的这种布置,方便在如图21所示的堆叠组件内,复数个微电子封装290的相互堆叠及连接。

[0085] 在图13至图14中进一步说明,在微电子封装290中,柱220形成位于上基板100的表面221的面阵(area array)222。在第二基板100的表面221暴露的垫224可与在下基板表面暴露的垫238电连接,例如通过结合引线282而连接。进一步如图14所示,可布置封装290内的结合引线,以提供具有所需阻抗或受控阻抗的传输线路。特别地,下基板上的一些垫可被用来与参考电位如地面、电源电压、或其他电位连接,相对于其他柱220上存在的信号变化的典型速度,参考电位可只缓慢地变化,或可极缓慢地变化,或只在窄的范围内变化。例如,垫238A可为用于与地面电连接的接地垫,通过设置在基板230的表面244上的电连接件240、242而与地面电连接。参考结合引线284A在基板的这些接地垫224A、238A之间延伸,其走向(run)邻近信号结合引线282的走向。在这种情况下,在沿基板100的表面221的一个或多个横向方向292上,参考结合引线的走向与信号结合引线的走向基本上均匀地间隔开。替代地,或附加地,封装290可包括延伸至参考垫238B以与参考电位连接的参考结合引线284B,且相对基板100的第一表面221,这些参考结合引线284B的走向,可延伸至在竖直方向294(图13)上基本对齐的信号结合引线282B的走向的上方或下方。任意或所有这些特定设置,可选择地设置在同一微电子封装290内。

[0086] 在上述方法(图1至图12)的变例中,组件从模具内取出时,导电垫无需暴露。替代地,从图15中可以看出,密封剂可覆盖顶面121,即柱远离基板100的端部。在这种情况下,顶面121被密封剂覆盖,从而它们被埋在密封剂主表面300之下。然后,如图16A所示,可在密封剂内形成复数个部分地暴露柱的顶面121的开口301,使顶面的其他部分303仍被密封剂覆盖。在这种情况下,柱的边缘表面123可保持为被密封剂覆盖。

[0087] 在图16A中实施例的一个变例中,密封剂主表面的开口302(图16B)至少部分地暴露至少一些柱的顶面121,并至少部分地暴露同一柱的边缘表面123。柱的边缘表面123可只部分地在开口内暴露,如图16B所示,或可暴露至基板的表面105。参照图21在下文进一步描述,如在微电子封装接合的堆叠组件内,密封剂201在相邻柱120之间的部分304可作为各柱

之间的绝缘体,及用于限制结合材料的流动而保留,可与柱120连接的结合材料如,锡、焊料、导电胶等。

[0088] 在一个实施例中,可在主表面的一个这样的开口内暴露一个柱120的顶面的至少一部分以及边缘表面的至少一部分,任一其他柱120的表面都不在同一开口内暴露。替代地,两个或更多个柱120中的每个柱的顶面的至少一部分以及边缘表面的至少一部分可暴露在形成于密封剂主表面的单个开口内。在另一情况下,两个或更多个柱的顶面的至少一部分以及边缘表面的至少一部分可在形成于密封剂主表面的单个开口内暴露。

[0089] 在特定实施例中,一排柱中的两个或更多个柱,或替代地,一个或多个整排的柱,可具有顶面的至少一部分及边缘表面的至少一部分在密封剂主表面的单个开口内暴露。在一些情况下,只有小于整个顶面的部分顶面在特定开口内暴露。在一些情况下,整个的顶面可在特定开口内暴露。在特定情况下,边缘表面只有部分可在特定开口内暴露,在一些情况下,边缘表面可暴露至基板的表面105,或暴露至与柱接触的导电元件的表面。在特定实施例中,复数个柱中每个柱的整个顶面及部分边缘表面,即小于整个边缘表面的部分边缘表面,可在密封剂主表面的单个开口内暴露。

[0090] 图17示出了上述实施例(图12;或图13至图14)的一个变例,其中密封剂201形成在暴露于基板400朝外的表面421的导电垫402的顶上。以这种方式,垫402被埋在密封剂的暴露表面404之下,在一个示例中,暴露表面404可为密封剂的主表面。与上述实施例(图12至图13)中的导电柱220相似,垫402可经由迹线(未示出)或其他导电体(未示出)与第一基板400的结合垫(bond pad)124电连接,以同时承载信号及在不同电位的其他电压。在密封剂至少部分固化后,在密封剂内形成开口406(图18),开口从暴露表面404延伸,并至少部分地暴露相应的垫402。随后,导电结合材料,如锡、焊料、或其他导电胶等,可设置在每个开口内以形成在表面404暴露的导电块408(图19)。在封装(图19)的一个变例中,金属如铜、金或其组合物可电镀至开口内的垫上,以形成固态金属柱而取代在表面404暴露的块408。在柱形成后,组件可平面化,使得以这种方式电镀的柱的表面为平的且可与表面404平齐。

[0091] 在另一变例(图20)中,导电块410,如焊料球,可在施加密封剂之前与导电垫402接合。在模塑时,模具的盖板192(图11)与导电块的表面接触,且导电块410可被模具压缩,从而使导电块与盖板接触的表面平面化。从而,当封装490从模具内取出时,导电块具有暴露于主表面404的相对宽的平表面412。

[0092] 在一个变例中,从图20A可以看出,密封剂可形成为具有在高度 $H_1$ 的主表面405,高度 $H_1$ 大于例如焊料球这样的导电块410在上基板400上方延伸的高度 $H_2$ 。在密封剂层形成后,可应用激光烧蚀、机械球磨或其他方式,以形成分别暴露一个导电块的开口411。

[0093] 在上述实施例(图15至图20A)的变例中,两个或更多个导电柱或导电块可暴露在密封剂层的单个开口内。在图20A所示实施例的一个变例中,各导电块410可与每个导电柱的顶面427及边缘表面428接触,导电块部分地暴露在开口411内。

[0094] 图21示出了堆叠组件500的形成过程,堆叠组件500包括复数个微电子封装290A、290B、290C,每个微电子封装都如上所述。第一微电子封装的焊料球242A可与电路板502的端子504接合,电路板如柔性的或刚性的电路板或卡、母板等。以这种方式,用于承载信号及其他电压的电连接可设置在电路板502与微电子元件170A及封装290A的层间导电元件138A之间。向电路板的垫504及从电路板的垫504,经由垫124、结合引线282、及层间导电元件

138A所形成的电连接,导电柱120A也可承载信号及其他电压,其中层间导电元件138A具有与端子240A及焊料球242A的电连接(未示出)。

[0095] 在使微电子封装290A与电路板502接合后,微电子封装290B的焊料球242B可与微电子封装290A的导电柱120A接合。图21进一步示出了已定位的微电子封装290C,使得微电子封装290C的焊料球242C与微电子封装290B的导电柱120B对齐,之后微电子封装290C与微电子封装290B接合。在一个变例中,包括微电子封装290A、290B、290C的组件可通过使组件内一个封装上的焊料球分别与组件内另一个封装的导电柱接合而形成,之后焊料球242A暴露在这种组件的底部,且可与电路板上相对应的垫504接合。

[0096] 参照简化的附图,另外的变例已示出并在下文描述,附图中不是所有存在的元件都具体示出或引用。同时,在下文所描述的每个变例中,每个附图中所示的元件不是都必须存在或需要的。对于本文描述的实施例,“上基板”或“下基板”无需遵从重力参照系。在图22至图32中,称为“上基板”或“下基板”的每个元件可为单独的基板,或可为从更大的如连续或半连续基板上切割的部分。另外,每个微电子封装或组件内的上基板及下基板的相对位置是可以反转的,从而下基板位于在每个相应的图中所示的上基板的位置,而上基板位于每个图中下基板的位置。

[0097] 因此,在图22中可以看出的实施例中,参考结合引线584可具有以竖直方向延伸的走向,邻近且至少基本平行于信号结合引线582的走向,参考结合引线584与暴露在密封剂主表面504的参考导电柱520电连接。参考导电柱520可用来与如地面或电源电压的参考电位连接,例如,参考导电柱520与参考结合引线584一起应用,以控制信号结合引线的阻抗。从图22可以进一步看出,在一个特定实施例中,第一基板550可具有复数个金属层552,其中至少一个金属层可埋在介电元件的厚度范围内。

[0098] 图23示出实施例(图22)的一个变例,其中附加导电柱522与导电元件538电连接,导电元件538如在下基板550的第一表面554上突出的迹线、垫等。例如在设置了一个或多个参考电位时,导电柱522可与一个或多个参考柱520或参考导电体电连接,参考电位如电源电压或地面。在一个示例中,柱520具有与柱522的对应相邻表面523冶金接合或一体的基底521。在特定实施例中,可用如间隔体等的结构取代柱522,以保持上基板与下基板之间的适当间隔。替代地,可用散热片或其他热导体取代导电柱522,或导电柱522也可具有间隔体的作用或具有热传导的作用。

[0099] 图24示出了实施例(图22)的进一步的变例,其中上基板或第二基板600为引线框架(lead frame),其柱620与从柱延伸的迹线622为一体形成的,如在制造引线框架时通过冲压或压印金属箔而一体形成,在一些情况下,可在其上电镀金属。然后这种引线框架600可与微电子元件670的背面672结合,然后所得的组件可放置在模具内,然后如上文参照图11所描述的方法形成密封剂。替代地,不是通过冲压或压印金属箔,上基板可从层状金属结构图案化,如上文参照图1至图4所描述的那样,不同之处在于图案化的层状金属结构可通过粘接剂与芯片670的面粘接,即,在微电子封装内无需另外的介电元件,如支撑柱及触点的介电基板。

[0100] 如在图22中,一个或多个参考柱620A与一个或多个参考结合引线,可承载如电源或地面的参考电位。图25示出进一步的变例,其中可省略图24中的一个或多个参考柱620A。

[0101] 图26示出实施例(图13至图14)的一个变例,其中微电子元件770的触点承载面771

面向上,即远离下基板700。触点772,如微电子元件770的结合垫,可邻近微电子元件的外围边缘774而设置,使得触点可在上基板730的相邻外围边缘732外暴露。第一结合引线740可使微电子元件的触点772与下基板上的相对应的垫744连接。第二结合引线742可使触点772与上基板的相对应的垫(未示出)电连接。在一个实施例中,一根或多根结合引线可将上基板及下基板的垫直接相连接。

[0102] 在图27中可以看到进一步的变例,第一微电子元件870和第二微电子元件880可每个都面向上安装,即承载触点的面背向下基板800。各微电子元件可经由结合引线882而连接在一起,结合引线882在每个微电子元件的触点之间延伸。附加的结合引线884、886可使微电子元件与上基板830及下基板800电连接。在进一步的变例中,可安装第三微电子元件、第四微电子元件、或甚至更多数量的微电子元件,且在微电子封装内以相似的方式电连接。

[0103] 图27A示出了图27所示实施例的一个变例,其中两个微电子元件970、980的每一个都以倒装芯片的方式分别安装至基板800、900上。微电子元件的背面可如图所示背靠背结合(back-bonded)在一起。从图27A中可以进一步看出,微电子封装内至少一些结合引线984可具有受控阻抗。亦即,从图27可以看出,在承载元件间,如上基板800和下基板900之间的信号的结合引线984,可与其他具有竖直走向的结合引线986侧向连接,该结合引线986与信号结合引线984的竖直走向平行,且具有基本均匀的间距。其他结合引线986可与参考电位电连接,参考电位如地面、电源电压、或替代地,与信号结合引线承载的信号变化速度相比,只缓慢变化的电压。这些参考结合引线986通过在上基板800与下基板900中每个上设置的触点,与参考电位电连接。

[0104] 在图27A所示实施例的变例中,一个或多个微电子元件可以倒装芯片的方式安装至基板800、900中相应的一个上,其他微电子元件可相对其中一个基板以面向上的方式安装,微电子元件与基板通过一根或多根结合引线(未示出)电连接。在图27所示实施例的特定变例中,微电子元件(未示出)可以倒装芯片的方式安装至基板800,微电子元件870可与以倒装芯片方式安装的微电子元件的背面背靠背结合。如图27所示,该微电子元件870可与基板800电连接,另一微电子元件880可与下基板800、上基板830、或微电子元件870如图27所示及参照图27在上文所述而电连接。

[0105] 图28示出了实施例(图26)的进一步的变例,与图20中实施例类似,焊料球940与例如上基板上的垫(未示出)这样的导电元件在形成密封剂之前接合。

[0106] 图29示出了图26中实施例的变例,也与图19实施例类似,导电块1008可在形成密封剂之后形成。

[0107] 图30示出又一变例,其中微电子元件1170以触点承载面1172背向基板1100的方式安装至基板1100。在这个实施例中省略了上基板。导电柱1120可具有例如50微米至300微米的高度,可如关于上面的实施例(图1至图14)所描述。柱可从微电子元件的面1172向外延伸,且在密封剂的表面1102暴露。在一个实施例中,导电柱可如以下专利文献所描述的方式形成。专利申请号为12/317707、12/462208、12/286102、12/832376的共同拥有的美国专利申请,或专利号为7911805的美国专利(TIMI 3.0-100, TIMI 3.0-101, TESSERA 3.0-585, TESSERA 3.0-609 或 TESSERA 3.0-565),其公开的内容通过援引加入本文。柱1120可用来使微电子元件1170与另一封装或元件电连接,也可用来与焊料球,如基板1100的球栅阵列(BGA)接口1140,经由垫1174、结合引线1176及导电元件1178而电连接,导电元件1178沿表

面1172延伸,并使柱1120与结合引线1176连接。

[0108] 图31示出实施例(图30)的进一步变例,其中设置例如焊料球这样的导电块1220以代替在图30所看到的导电柱1120。

[0109] 图32示出了上述实施例(图26)的变例,其具有一个或多个在下基板与密封剂1300的表面1302之间延伸的附加导电柱1320。该导电柱可与一个或多个焊料球1340电连接。在一个实施例中,附加导电柱可以脊、环或其部分的形式沿微电子元件1370的外围边缘1374延伸,即,以图32中进入及穿出纸面的方向来设置。在一个实施例中,该一个或多个附加导电柱可承载时变信号(time-varying signals)。替代地,该一个或多个附加导电柱1320可承载参考电位,如地面或电源电压。

[0110] 图33示出了根据进一步实施例的堆叠组件,其中上封装的端子1440B与例如下微电子封装1490A的导电柱1420A这样的连接体接合,下微电子封装1490A具有如图26所示及参照图26在上文所述的结构。图33示出了微电子封装1490A上的连接体1420A的间距、数量、及接触面积可被标准化,使得与另一封装1490B的相对应的BGA接口匹配,且另一封装无需具有与封装1490A相同的结构。

[0111] 先前优选实施例的描述是旨在说明而不是限制本发明。制造微电子封装及其内结构的特定方法,可进一步如Belgacem Haba共同拥有的专利申请号为12/838974、名称为“可堆叠模塑微电子封装”、申请日为2010年7月19日的美国专利申请中所描述的,其公开的内容通过援引加入本文。

[0112] 在不偏离权利要求所限定的本发明的情况下,可利用上述的这些变例及其他变例及特征的组合,先前对于优选实施例的描述,应当认为是权利要求限定的本发明的示例方式,而不是对本发明的限制。

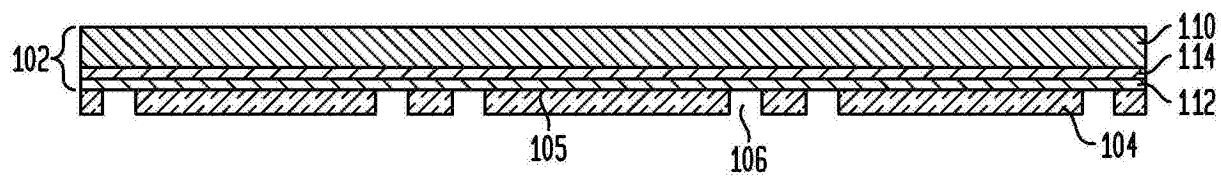


图1

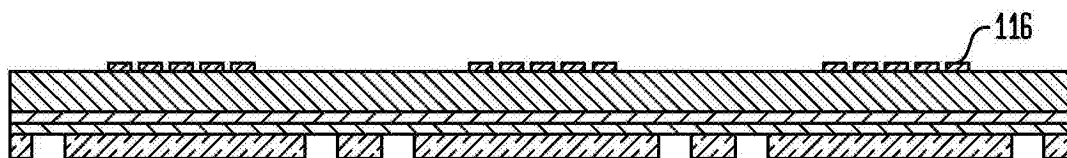


图2

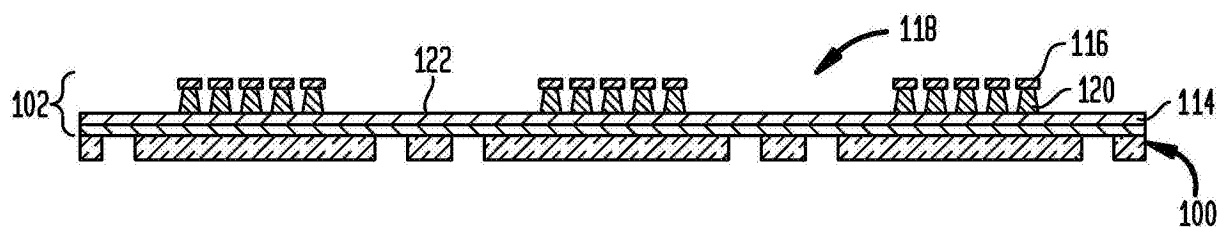


图3

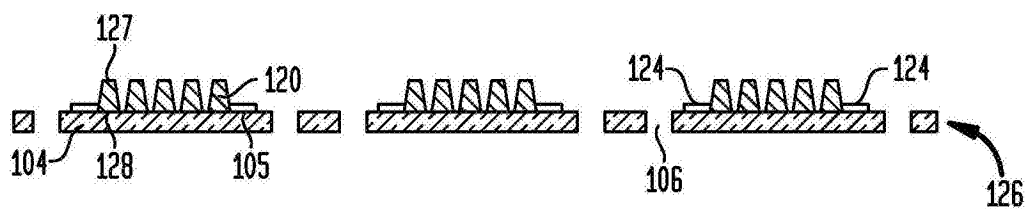


图4

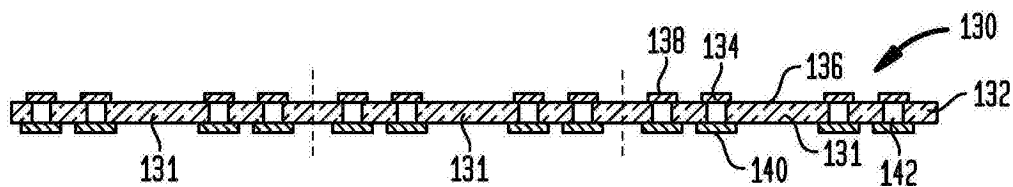


图5

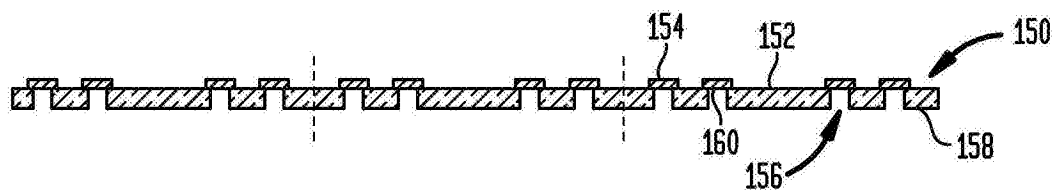


图6

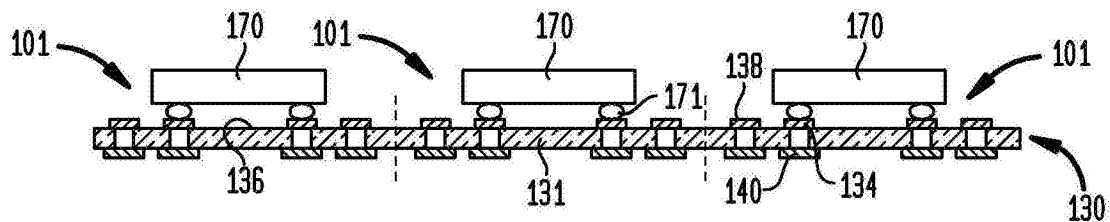


图7

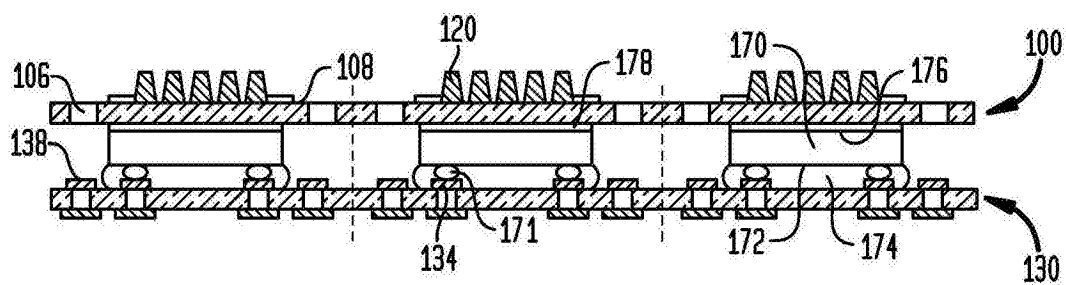
180

图8

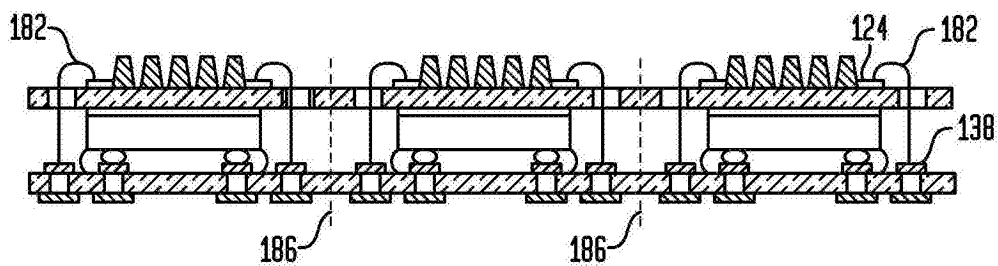
184

图9

184

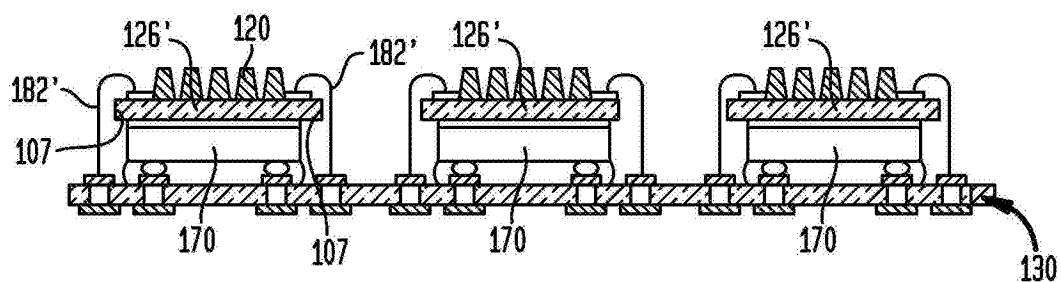


图9A

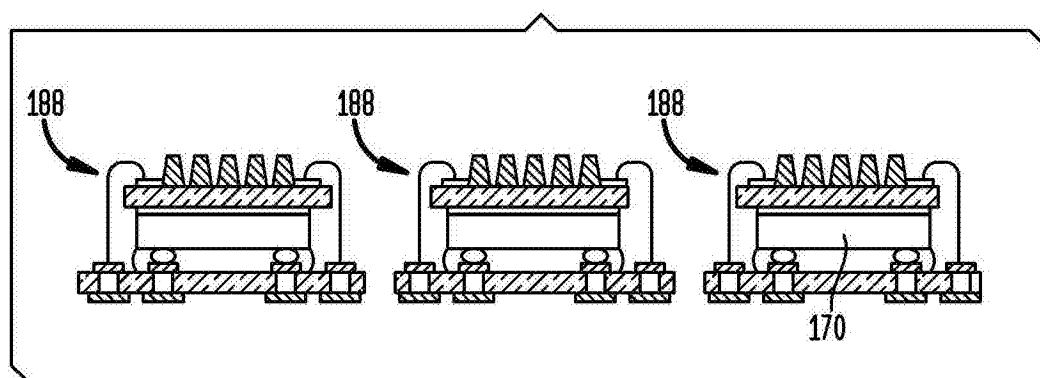


图10

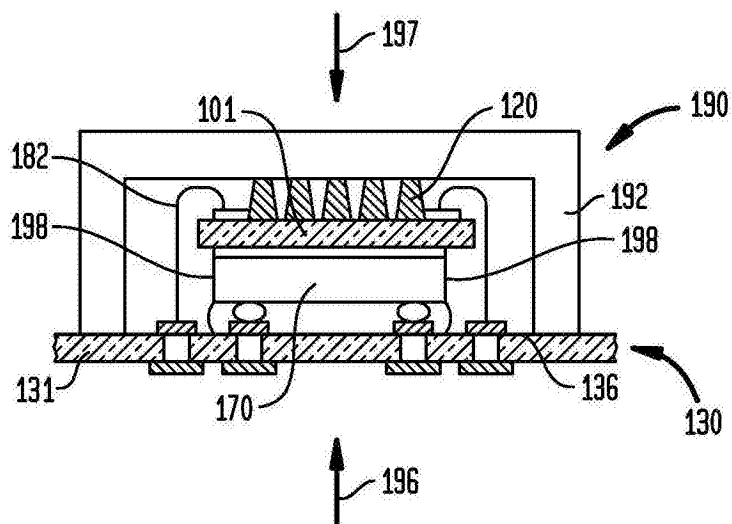


图11

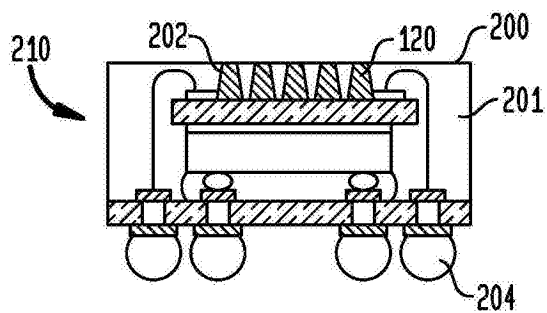


图12

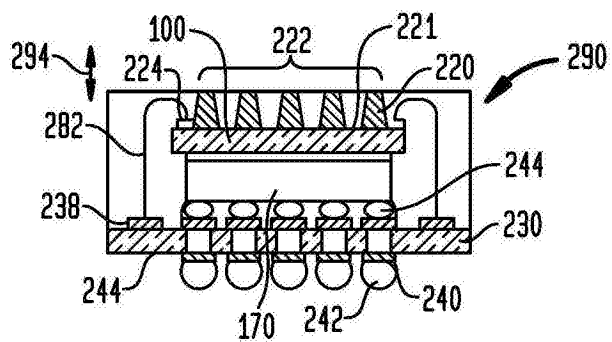


图13

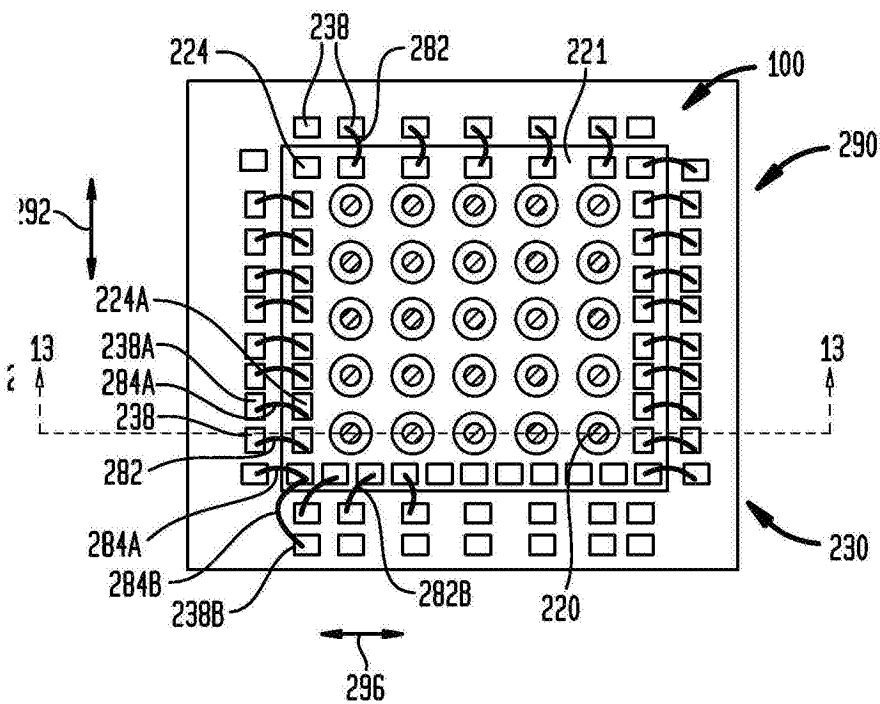


图14

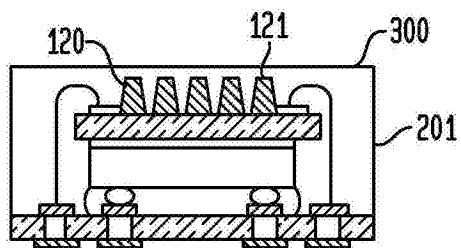


图15

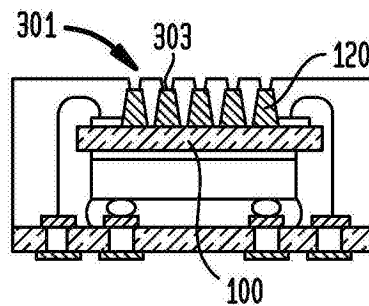


图16A

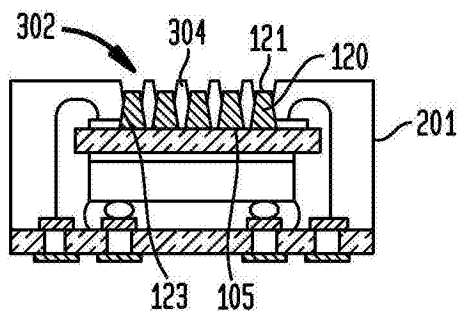


图16B

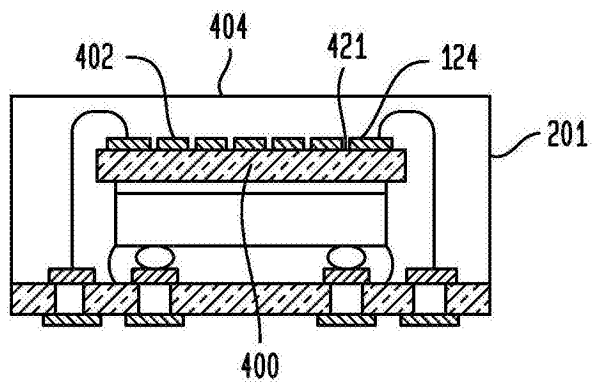


图17

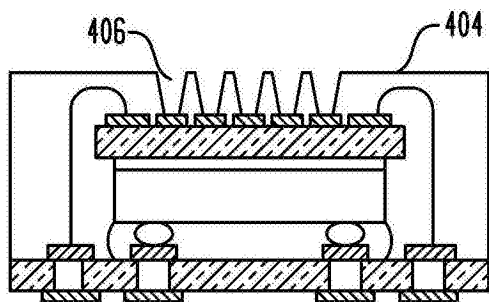


图18

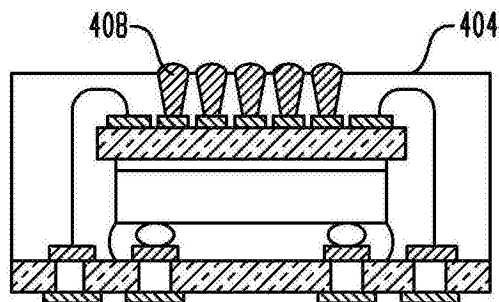


图19

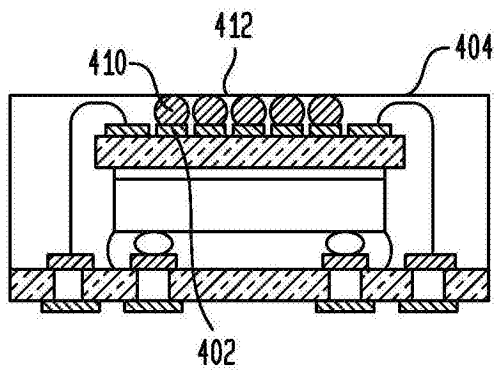


图20

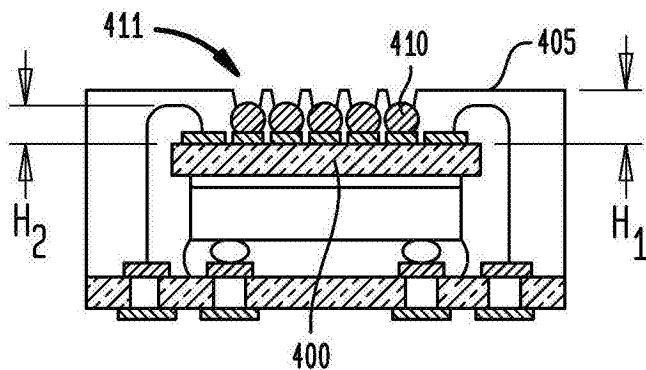


图20A

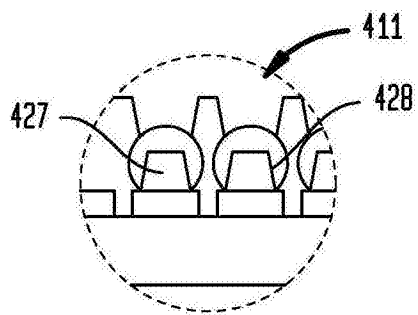


图20B

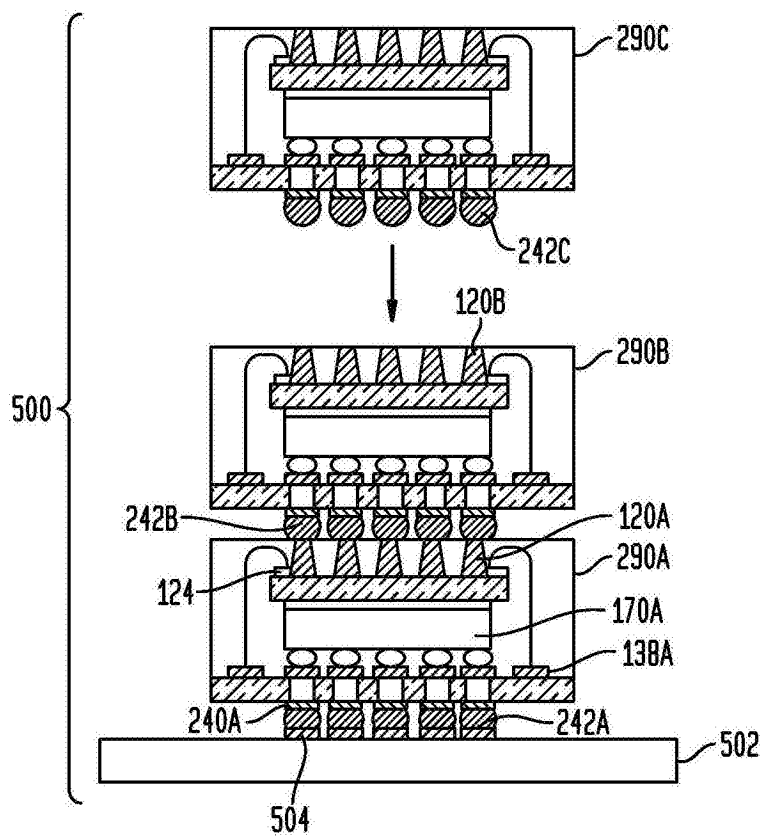


图21

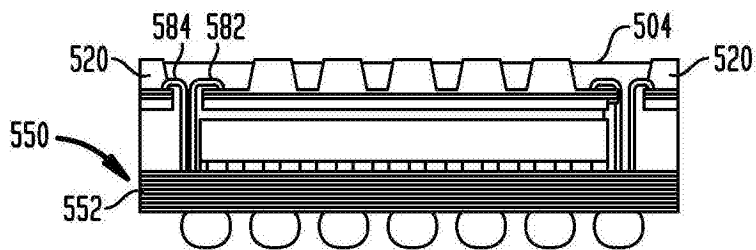


图22

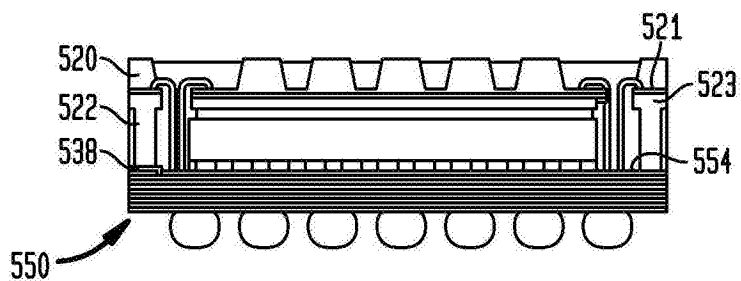


图23

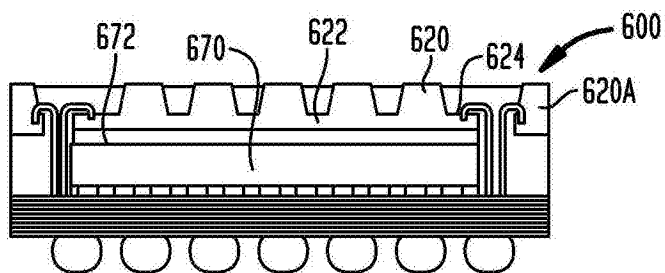


图24

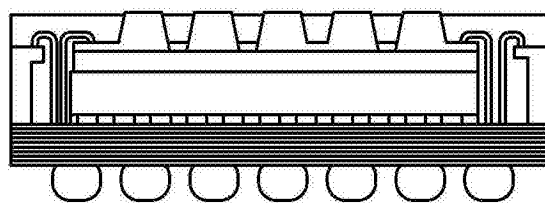


图25

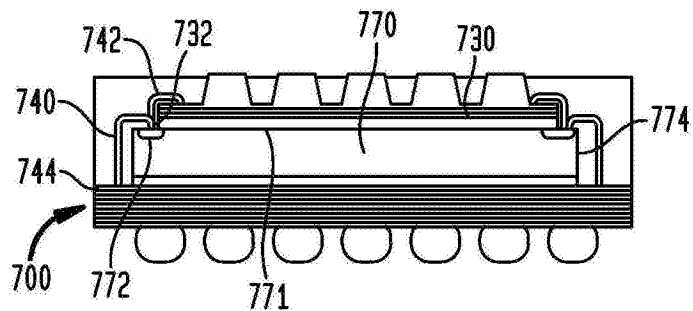


图26

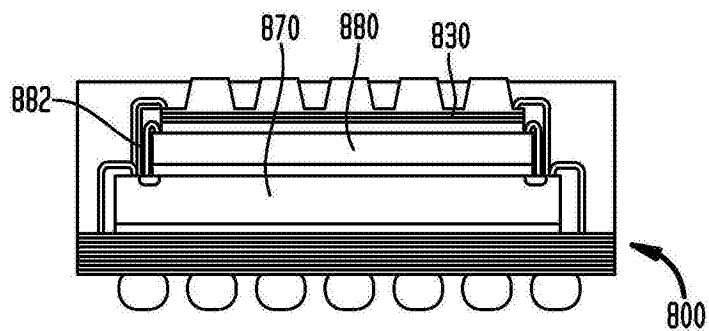


图27

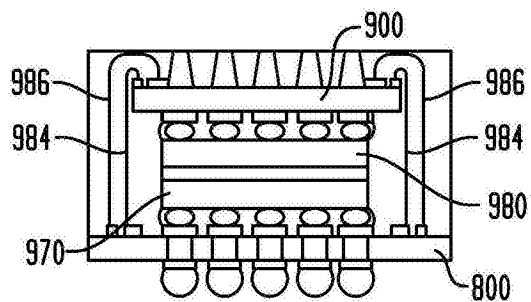


图27A

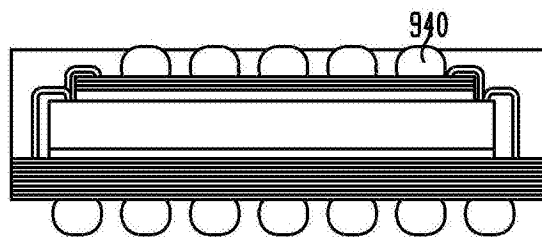


图28

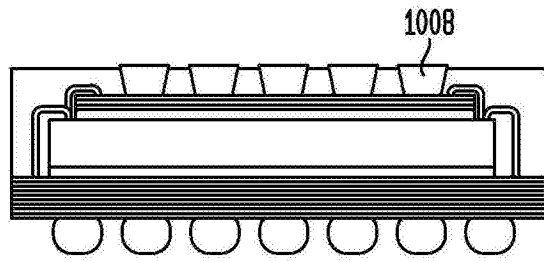


图29

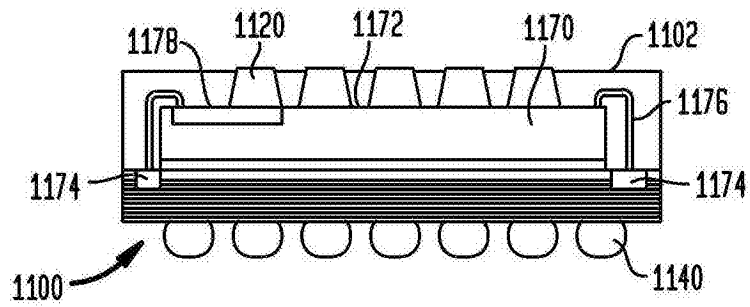


图30

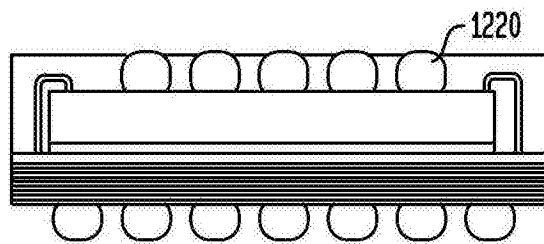


图31

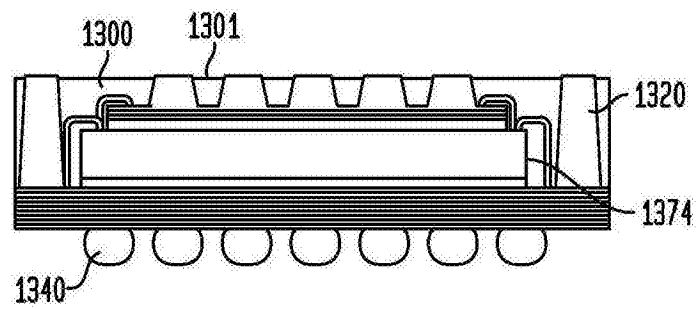


图32

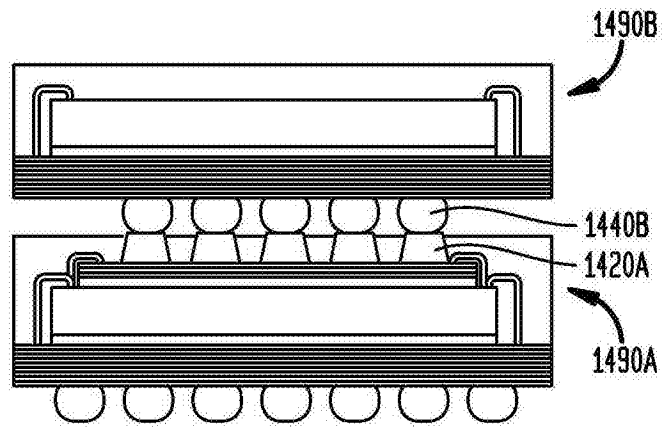


图33