

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-87125

(P2010-87125A)

(43) 公開日 平成22年4月15日(2010.4.15)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 L	5 F 0 3 8
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 6 5 3 A	5 F 0 4 8
HO 1 L 21/822 (2006.01)	HO 1 L 29/78 6 5 2 S	5 F 1 4 0
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 6 5 2 Q	
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 3 0 1 D	
審査請求 未請求 請求項の数 9 O L (全 17 頁) 最終頁に続く		

(21) 出願番号	特願2008-252999 (P2008-252999)	(71) 出願人	000001889
(22) 出願日	平成20年9月30日 (2008. 9. 30)		三洋電機株式会社
			大阪府守口市京阪本通2丁目5番5号
		(71) 出願人	506227884
			三洋半導体株式会社
			群馬県邑楽郡大泉町坂田一丁目1番1号
		(74) 代理人	100091605
			弁理士 岡田 敬
		(72) 発明者	宮田 拓司
			群馬県邑楽郡大泉町坂田一丁目1番1号
			三洋半導体株式会社内
		(72) 発明者	吉田 哲哉
			群馬県邑楽郡大泉町坂田一丁目1番1号
			三洋半導体株式会社内

最終頁に続く

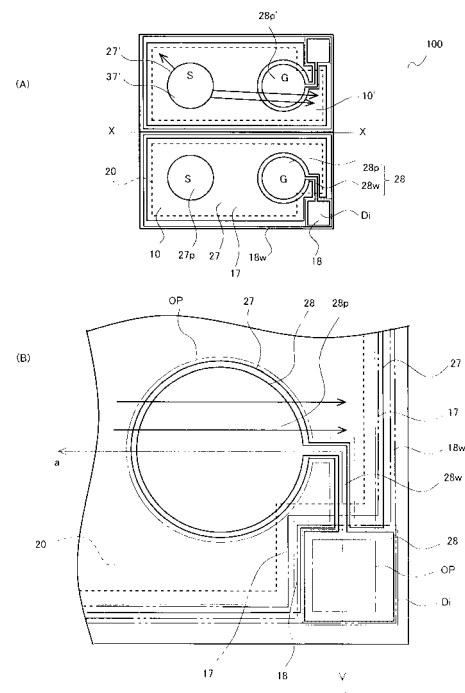
(54) 【発明の名称】 絶縁ゲート型半導体装置

(57) 【要約】

【課題】 絶縁ゲート型半導体装置において、ゲートパッド部の下方に保護ダイオードが配置されるためトランジスタセルが配置できず、チップ上の無効領域となっていた。またソース電極層はゲートパッド部を除いて配置され、素子領域の端部のセルではソースパッド部からゲートパッド部を迂回するように電流経路が形成される領域があった。

【解決手段】 電極構造を2層とし、ゲートパッド部の少なくとも一部に保護ダイオードとの非重畳領域を形成する。2層目のゲート電極層は一部が1層目のゲート電極層と重畳し、これを介して保護ダイオードおよびゲート電極と接続する。非重畳領域下方にセルおよび1層目のソース電極層を配置できるので、ゲートパッド部下方の無効領域を従来と比較して大幅に低減でき、ソース電極層内を基板の水平方向に流れる電流について、全てのセルがソースパッド部から最短距離の電流経路となる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一導電型半導体基板と、
該半導体基板上に設けられた一導電型半導体層と、
該半導体層表面に設けられ絶縁ゲート型トランジスタのセルが複数配置された素子領域と、
前記基板上に設けられて前記素子領域の一の部分と直接接触せず上方を覆い、該素子領域に接続する第 1 端子電極層と、
前記基板上に設けられて前記素子領域の他の部分と直接接触せず上方を覆い、該素子領域に接続して制御信号を印加する第 2 端子電極層と、
前記第 1 端子電極層下方に設けられ該第 1 端子電極層と接続する他の第 1 端子電極層と、
前記第 2 端子電極層下方の前記素子領域外に設けられ該第 2 端子電極層および前記素子領域と接続する他の第 2 端子電極層と、を具備し、
前記第 2 端子電極層は外部接続手段が固着するパッド部を有し、該パッド部下方に前記セルが配置され、
前記他の第 2 端子電極層下方で前記基板上に保護ダイオードが配置され、該保護ダイオードの一端は前記他の第 1 端子電極層に接続し、他端は前記素子領域のゲート電極に接続されることを特徴とする絶縁ゲート型半導体装置。

【請求項 2】

前記第 2 端子電極層は、前記他の第 2 端子電極層より大きいことを特徴とする請求項 1 に記載の絶縁ゲート型半導体装置。

【請求項 3】

前記第 2 端子電極層下方に前記他の第 1 端子電極層の一部が配置されることを特徴とする請求項 2 に記載の絶縁ゲート型半導体装置。

【請求項 4】

前記第 2 端子電極層は、前記パッド部から前記他の第 2 端子電極層まで延在する配線部を有し、該配線部が前記他の第 2 端子電極層に接続することを特徴とする請求項 3 に記載の絶縁ゲート型半導体装置。

【請求項 5】

前記パッド部が前記保護ダイオードと一部重畳して接続することを特徴とする請求項 3 に記載の絶縁ゲート型半導体装置。

【請求項 6】

前記配線部下方に前記セルが配置されることを特徴とする請求項 4 に記載の絶縁ゲート型半導体装置。

【請求項 7】

前記パッド部は前記保護ダイオードと重畳しない非重畳領域を有することを特徴とする請求項 3 に記載の絶縁ゲート型半導体装置。

【請求項 8】

前記非重畳領域下方に前記セルを配置することを特徴とする請求項 7 に記載の絶縁ゲート型半導体装置。

【請求項 9】

前記保護ダイオードと前記配線部が前記他の第 2 端子電極層を介して接続することを特徴とする請求項 4 に記載の絶縁ゲート型半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は絶縁ゲート型半導体装置に関し、特に、トランジスタセルが配置されない無効領域を低減し、素子領域の面積を向上できる絶縁ゲート型半導体装置に関する。

【背景技術】

【0002】

絶縁ゲート型半導体装置では、基板の一主面にソース電極層、ゲート電極層が設けられ、それぞれに例えばバンプ電極やボンディングワイヤなどの外部接続手段が固着される。

【0003】

また、電極部での抵抗を低減するため、基板表面の電極を2層構造にした絶縁ゲート型半導体装置も知られている。

【0004】

図8を参照し、従来の2層の電極構造を有する絶縁ゲート型半導体装置200について、MOSFETを例に説明する。図8は断面図である。

【0005】

素子領域220には、MOSFETのトランジスタセル（以下セル）225が構成されている。

【0006】

セル225は、n+シリコン半導体基板201上にn-型エピタキシャル層202を設けてドレイン領域とし、その表面に設けたp型のチャネル層204に形成される。トレンチ208は、チャネル層204を貫通して設けられ、トレンチ208内壁にはゲート酸化膜211を設ける。ゲート電極213は、トレンチ208に埋設され、ポリシリコンのパターニングにより形成される連結部（ここでは不図示）により、第1ゲート電極層218と接続し、さらに保護ダイオードDiに接続する。

【0007】

ソース領域215は、トレンチ208に隣接したチャネル層204表面にn+型不純物を注入した拡散領域である。また、隣接するソース領域215間のチャネル層204表面には、p+型不純物の拡散領域であるボディ領域214が設けられる。ゲート電極213上に層間絶縁膜216が設けられ、層間絶縁膜216間のコンタクトホールを介して、第1ソース電極層217がソース領域215とボディ領域214とコンタクトする。

【0008】

第1ゲート電極層218は、保護ダイオードDi上に配置され、保護ダイオードDiの一端と接続する。保護ダイオードDiの一端は、ゲート電極213と接続し、保護ダイオードDiの他端は、第1ソース電極層217と接続する。

【0009】

第1ソース電極層217は、素子領域220上の全面を覆って設けられ、セル225のソース領域215とボディ領域214と接続する。また、第1ゲート電極層218は、素子領域220外の基板表面上方に設けられる。

【0010】

電極部での抵抗低減のため、第1ソース電極層217上には部分的に設けられた例えば窒化膜221を介して、第1ソース電極層217とコンタクトする第2ソース電極層227が設けられ、第1ゲート電極層218上には部分的に設けられた窒化膜221を介して、第1ゲート電極層218とコンタクトする第2ゲート電極層228が形成される。

【0011】

第2ソース電極層227、第2ゲート電極層228上には、チップの最表面となる窒化膜223が設けられ、当該窒化膜223には開口部が設けられる。開口部から露出した第2ゲート電極層228の一部および第2ソース電極層227の一部が、それぞれ、外部接続手段の固着領域（以下ゲートパッド部228p、ソースパッド部227p）となる。窒化膜221はゲートパッド部228p、ソースパッド部227p下方に設けられ、ワイヤボンド時の衝撃を緩和する。（例えば特許文献1参照。）。

【特許文献1】特開2007-42817号公報

【0012】

図9は、従来の半導体チップ210の一例を示す平面図である。尚ここでは一例として、外部接続手段としてバンプ電極を用いて、実装基板にフリップチップ実装される半導体チップを示す。また半導体チップは、ドレイン領域を共通として1つの基板（チップ）に

10

20

30

40

50

2つのMOSFETの素子領域を集積化した場合（以下共通ドレイン型MOSFET）を例に示す。尚、図8と同一構成要素は同一符号で示す。

【0013】

共通ドレイン型MOSFET 210は、基板（チップ）の一主面に2つのゲートパッド部228pおよび2つのソースパッド部227pが設けられ、これらのパッド部に外部接続手段としてそれぞれゲートバンプ電極238、238'およびソースバンプ電極237、237'が設けられる。電流は、一方のソースバンプ電極237から共通のドレイン領域を通過し、他方のソースバンプ電極237'に流れる。

【0014】

そして、ゲートパッド部228p下方には、これと重畳してこれより小さい保護ダイオードDiが設けられる。保護ダイオードDiは一端が第1ゲート電極層218と接続し、他端が第1ソース電極層217に接続する（図8参照）。第1ゲート電極層218は、基板の周囲に配置されたゲート引き出し電極218wまで延在され、さらにゲート電極（不図示）と接続する。

【発明の開示】

【発明が解決しようとする課題】

【0015】

図8、図9（B）の如く、ゲートパッド部228p下方には、これと重畳してコンタクトする第1ゲート電極層218が設けられ、その下方には通常、ゲートーソース間の保護ダイオードDiが配置される。ゲートパッド部228p、第1ゲート電極層218および保護ダイオードDiは重畳し、保護ダイオードDiはゲートパッド部228pより小さい面積で設けられる（図9）。

【0016】

保護ダイオードDiは、基板表面に絶縁膜を介してポリシリコンを所望の形状にパターンニングして形成している。従ってその構造あるいは製造方法上、保護ダイオードDi下方には、第1ソース電極層217および第1ソース電極層217に覆われて接続するトランジスタセルを配置することはできない。すなわち、セルは破線の素子領域220内に配置される（図9）。

【0017】

また、ゲートパッド部228pと保護ダイオードDiが重畳し、素子領域220の最外周のセルよりも素子領域220の内側に配置される。このため、チップ周辺の1層目のゲート引き出し電極218wからゲートパッド部228pに接続するため、1層目に配線部228wを設ける必要がある。そして、配線部228w下方には、これと重畳して保護ダイオードDiに接続するポリシリコン層の配線部も配置されるため、この下方にも第1ソース電極217およびセルが配置できない問題がある。

【0018】

ゲートパッド部228pの面積は、外部接続手段としてボンディングワイヤなどを採用した場合には小さいものでも一辺（直径）が数十μm程度必要であり、バンプ電極を採用した場合には一辺（直径）が300μm以上必要になる場合もある。

【0019】

一方、保護ダイオードDiの面積は耐圧によって決定するが、ゲートパッド部228pの面積より小さくても十分な耐圧が得られる場合が多い。つまり、図9（B）では保護ダイオードDiをゲートパッド部228p、第1ゲート電極層218と同等の大きさで示しているが、実際は、通常、ポリシリコン層をゲートパッド部228p、第1ゲート電極層218と同等の大きさで形成し、ポリシリコン層内にゲートパッド部228p、第1ゲート電極層218より小さく保護ダイオードDiを形成している。

【0020】

しかし従来では、ゲートパッド部228pの下方にこれと重畳して保護ダイオードDiが設けられ、トランジスタセルが配置できない構造であったため、素子領域として実質的に機能しない無効領域の面積が大きくなり、特性の改善にも限界があった。

10

20

30

40

50

【0021】

耐圧によって保護ダイオードD_iが小さくてよい場合において、たとえば保護ダイオードD_iの面積をゲートパッド部228pの面積より縮小したとしても、ゲートパッド部228pの下方にはトランジスタセルが配置できない。

【0022】

また、セルがゲートパッド部228pの下方に配置されず、その周囲に配置される従来構造では、特に、セルの均一動作化が図りにくい問題もあった。すなわち、第1ソース電極層217および第2ソース電極層227（以下、両者は同じパターンなのでソース電極層で総称）は、ゲートパッド部228pの配置領域を除いてパターンニングされる。つまり、ソース電極層内を基板の表面に対して水平方向に流れる電流は、ソースパッド部227pから遠い領域ではゲートパッド部を迂回して流れ、ソース電極層内の抵抗が増加する問題がある。

10

【0023】

尚、この問題は、フリップチップ実装構造の半導体チップに限らず、外部接続手段がボンディングワイヤであっても、金属プレートであっても、同様である。

【0024】

更に、図9では共通ドレイン型MOSFETを示したが、ドレイン電極をソース電極層およびゲート電極層と同一主面に引き出すアップドレイン構造のMOSFETや、ドレイン電極を裏面に設ける通常のMOSFETでも同様の問題が生じる。

【0025】

20

ここで、ソース電極層内の抵抗増加について、更に詳しく説明する。半導体チップの各パッド部の位置は、パターンの制約などによりその位置をチップの特性に応じて適宜選択できない場合がある。一例として、バンプ電極237、237'、238、238'を設けるような構造の場合には、各バンプ電極237、237'、238、238'の位置は実装基板上のパターンの制約を受け、例えばユーザの要求などにより、パッド部の位置が決められる。特に、チップサイズが大きくなるほど各バンプ電極の位置がチップ周辺からチップの周辺より中心寄りに配置される場合が多くなる。このため、ソースパッド部227p、ゲートパッド部228pも、素子領域220の最外周に配置されるセルより、内側に設けられる場合がある。

【0026】

30

図9の場合には、入力端子となる一方のソースバンプ電極237から基板内部（共通のドレイン領域）を経由し、出力端子となる他方のソースバンプ電極237'に至る電流経路が形成される。

【0027】

このとき、それぞれのMOSFETのソース電極層を流れる電流に着目すると、ソースパッド部227p（227p'も同様）から、ソース電極層の端部に至る経路となる。このとき、ゲートパッド部228pが、素子領域220の最外周に配置されるセルより内側にあると、ゲートパッド部228pの周囲、特にゲートパッド部228pとチップ端部の間（一点鎖線部分）に配置されたセルに流れる電流は、ソースバンプ電極237からゲートパッド部228pの周囲を迂回する経路となる。つまりソースパッド部227pに近いセルよりも、ソース電極層を流れる経路が長くなり、抵抗が高くなる。

40

【0028】

このため、素子領域内で電流経路が短く低抵抗のセルが配置される領域（ソースバンプ電極237、237'の周囲）と電流経路が長く抵抗が高くなるセルが配置される領域r1（一点鎖線部分）が生じる。低抵抗のセルは動作が良好であるが、高抵抗のセルは動作が鈍くこの偏りが大きくなると、素子領域内のセルが均一動作しにくい状態となる。これにより、スイッチング特性が悪化する問題がある。

【0029】

また、ゲートパッド部228pと素子領域220の端部に挟まれた領域r2は、ソース電極層が配置される幅が狭く、この領域を通過した先のセルでは、抵抗が大きくなり、均

50

一動作がしにくい問題となる。

【0030】

この問題は、共通ドレイン型MOSFETに限らず、アップドレイン構造のMOSFETや、チップ裏面にドレイン電極を有する通常のMOSFETであっても同様である。すなわち、ゲートパッド部が、素子領域の最外周のトランジスタセルより内側に入り込むように形成され、ソース電極層を流れる電流がゲートパッド部を迂回するようにトランジスタセルが配置されるものであれば、同様の問題が生じる。

【課題を解決するための手段】

【0031】

本発明はかかる課題に鑑みてなされ、一導電型半導体基板と、該半導体基板上に設けられた一導電型半導体層と、該半導体層表面に設けられ絶縁ゲート型トランジスタのセルが複数配置された素子領域と、前記基板上に設けられて前記素子領域の一の部分と直接接触せず上方を覆い、該素子領域に接続する第1端子電極層と、前記基板上に設けられて前記素子領域の他の部分と直接接触せず上方を覆い、該素子領域に接続して制御信号を印加する第2端子電極層と、前記第1端子電極層下方に設けられ該第1端子電極層と接続する他の第1端子電極層と、前記第2端子電極層下方の前記素子領域外に設けられ該第2端子電極層および前記素子領域と接続する他の第2端子電極層と、を具備し、前記第2端子電極層は外部接続手段が固着するパッド部を有し、該パッド部下方に前記セルが配置され、前記他の第2端子電極層下方で前記基板上に保護ダイオードが配置され、該保護ダイオードの一端は前記他の第1端子電極層に接続し、他端は前記素子領域のゲート電極に接続されることにより解決するものである。

【発明の効果】

【0032】

本発明に依れば、ゲートパッド部を有するゲート電極層と、その下層で、ゲート引き出し電極に接続する他のゲート電極層の2層構造とし、ゲートパッド部に保護ダイオードとの非重畳領域を形成することで、ゲートパッド部と保護ダイオードの非重畳領域下方にトランジスタセルの一部を配置できる。保護ダイオードは、ゲートパッド部より小さくても耐圧の確保に十分な場合が多いが、その場合でも従来では両者を重畳させており、トランジスタセルが配置できない無効領域が大きかった。しかし、本実施形態では、保護ダイオードを耐圧確保に必要な面積まで縮小し、更にゲートパッド部に、保護ダイオードと少なくとも一部が非重畳の領域（非重畳領域）を形成することにより、非重畳領域の下方にトランジスタセルを配置できる。これにより、トランジスタとして有効に動作する素子領域を拡大できる。すなわち、同一チップサイズであれば、素子領域の拡大によりオン抵抗低減を実現できる。あるいは、同じ素子領域の面積を維持する場合には、チップサイズを縮小することができる。

【0033】

更に、ゲートパッド部と保護ダイオードが非重畳であり、配線部、第1ゲート電極層を介して、ゲートパッド部と保護ダイオードが接続する。従って、ゲートパッド部の下方には第1ソース電極層およびトランジスタセルを配置でき、第1ソース電極層は、チップの端部に至るまで、保護ダイオードの形成領域を除き形成できる。従って、第1ソース電極層の端部に配置されるセルであっても、ゲートパッド部を迂回するような電流経路が形成されるものがなくなる。つまり、素子領域の全てのセルがソースパッド部から直線的な（最短距離で）電流経路が形成されるセルとなる。従って、従来と比較して抵抗の偏りを低減でき、MOSFETの特性を向上できる。

【0034】

また、従来の2層の電極構造からマスクパターンを変更するのみで実施できる利点を有する。

【発明を実施するための最良の形態】

【0035】

本発明の実施の形態を図1から図7を参照して、素子領域にMOSFET（Metal

10

20

30

40

50

Oxide Semiconductor Field Effect Transistor) のトランジスタセル (以下、セル) が配置される場合を例に詳細に説明する。

【0036】

第1の実施形態は、一例として本実施形態のMOSFET10、10'が、ドレイン領域を共通として1つの基板(チップ)に2個集積化された共通ドレイン型MOSFET100の場合である。共通ドレイン型MOSFET100は、例えばMOSFET10のソース電極が入力端子と接続し、他方のMOSFET10'のソース電極が出力端子と接続する。

【0037】

図1は、共通ドレイン型MOSFET100の平面図であり、図1(A)がチップ全体の平面図、図1(B)がゲートパッド部付近の拡大図である。また図2は、図1(A)のa-a線断面図であり、図3は、ゲートパッド部付近の拡大図である。

【0038】

MOSFET10、10'は、いずれも本実施形態の構造を有しており、基板(チップ)1の中心線X-Xに対して例えば線対称に配置される。MOSFET10、10'は同一の構成であるので、以下、MOSFET10について、説明する。

【0039】

MOSFET10は、一導電型半導体基板と、一導電型半導体層と、素子領域と、第1端子電極層と、第2端子電極層とから構成される。

【0040】

図1を参照して、基板表面に多数のMOSFETのセルが配置された素子領域(破線)20が設けられ、素子領域20の全面を覆って、第1端子電極に接続する1層目の第1端子電極層17(二点鎖線)が設けられる。第1端子電極とは、トランジスタの1の端子(例えばソース端子)に接続する電極をいう。すなわち1層目の第1端子電極層とは、ここでは第1ソース電極層17である。素子領域20外(例えばチップコーナー部)の基板表面にはゲートソース間にMOSFETのゲート絶縁膜を保護する保護ダイオードDiが設けられる。保護ダイオードDi上には、第2端子電極に接続する1層目の第2端子電極層18(二点鎖線)が設けられる。第2端子電極とは、トランジスタの制御端子(ゲート端子)に接続する電極をいう。すなわち、1層目の第2端子電極層とは、第1ゲート電極層18である。

【0041】

第1ソース電極層17および第1ゲート電極層18上には開口部OPを有する絶縁膜(例えば窒化膜または酸化膜)を介して2層目の第1端子電極層(第2ソース電極層)27および2層目の第2端子電極層(第2ゲート電極層)28が設けられる(図1(B)参照)。

【0042】

第2ソース電極層27は、外部接続手段が固着するパッド部(ソースパッド部27p)を有する。ソースパッド部27pは、例えば、第2ソース電極層27を覆い、チップ最表面となる絶縁膜(不図示)に設けた開口部から露出した第2ソース電極層27の一部である。絶縁膜は例えば窒化膜、酸化膜、ポリイミドなどであり以下窒化膜を例に説明する。ソースパッド部27pには例えば入力端子と接続し、外部接続手段となる例えばパンプ電極(ソースパンプ電極：不図示)が固着する。

【0043】

第2ゲート電極層28は、外部接続手段が固着するパッド部(ゲートパッド部28p)と、配線部28wを有する。ゲートパッド部28pは、例えば、第2ゲート電極層28を覆い、チップ最表面となる窒化膜(不図示)に設けた開口部から露出した第2ゲート電極層28の一部である。ゲートパッド部28pには制御端子と接続し、外部接続手段となる例えばパンプ電極(ゲートパンプ電極：不図示)が固着する。

【0044】

配線部28wは、ゲートパッド部28pから第1ゲート電極層18上に延在し、第1ゲ

10

20

30

40

50

ート電極層 18 と接続する。

【0045】

基板（チップ）の周辺付近には、ゲート引き出し電極 18w が配置される。ゲート引き出し電極 18w は、その下方でこれと重畳するポリシリコン層（不図示）を介して素子領域 20 の各ゲート電極と接続する。またゲート引き出し電極 18w は、第 1 ゲート電極層 18 と接続し、さらに配線部 28w を経由してゲートパッド部 28p に接続する。

【0046】

図 2 を参照して、半導体基板 SB は、n+ 型シリコン半導体基板 1 上に n- 型半導体層（例えば n- 型エピタキシャル層）2 を積層してなり、ドレイン領域を構成する。n- 型半導体層 2 表面には p 型の不純物領域であるチャネル層 4 を設ける。トレンチ 7 は、チャネル層 4 を貫通して n- 型半導体層 2 まで到達させる。トレンチ 7 は、一般的には一主面の平面パターンにおいて格子状またはストライプ状にパターンニングされる。

10

【0047】

トレンチ 7 の内壁にはゲート酸化膜 11 を設ける。ゲート酸化膜 11 の膜厚は、MOSFET の駆動電圧に応じて数百 Å 程度とする。また、トレンチ 7 内部には導電材料を埋設してゲート電極 13 を設ける。導電材料は例えばポリシリコンであり、そのポリシリコンには、低抵抗化を図るために例えば n 型不純物が導入されている。

【0048】

ソース領域 15 は、トレンチ 7 に隣接したチャネル層 4 表面に n 型不純物を注入した n+ 型不純物領域である。また、隣接するソース領域 15 間のチャネル層 4 表面には、p+ 型不純物の拡散領域であるボディ領域 14 を設け、基板の電位を安定化させる。これにより隣接するトレンチ 7 で囲まれた部分が MOS トランジスタの 1 つのセル 21 となり、これが多数個集まって MOSFET の素子領域 20 を構成している。

20

【0049】

尚本実施形態では便宜上、ゲート電極 13 に沿ったチャネルが形成され、トランジスタの動作をするセル 21 が配置される領域を素子領域 20 とする。すなわち、最外周のセル 21 のソース領域 15 の配置領域までを素子領域 20 として説明する。

【0050】

また基板 SB の外周端には、高濃度の n 型不純物領域であるアニュラーが設けられ、チャネル層 4 の端部には、高濃度の p 型不純物領域であるガードリングが設けられるが、図示は省略する。

30

【0051】

ゲート電極 13 上には層間絶縁膜 16 が設けられる。第 1 ソース電極層 17 は基板 SB 上に設けられて素子領域 20 の全面を覆い、層間絶縁膜 16 間から露出したソース領域 15 およびボディ領域 14 とコンタクトする。

【0052】

第 1 ソース電極層 17 上には第 1 絶縁膜（例えば、窒化膜、酸化膜）23 が設けられ、その上に第 2 ソース電極層 27 が設けられる。第 2 ソース電極層 27 は、第 1 絶縁膜 23 を開口して露出した第 1 ソース電極層 17 とコンタクトし、素子領域 20 のソース領域 15 と接続する。

40

【0053】

素子領域 20 外の基板 1 表面には、絶縁膜 11 を介して、保護ダイオード Di が設けられる。保護ダイオード Di は例えば、ポリシリコンをパターンニングして p 型不純物領域を n 型不純物領域を交互に、同心円のリング状に配置し、MOSFET 10 のソースーゲート間に接続される。

【0054】

保護ダイオード Di は、基板 1 の少なくとも一辺に沿って基板 1 の端部に配置される。ここでは、一例として、チップのコーナー部に配置される場合を示す（図 1）。

【0055】

第 1 ゲート電極層 18 は、保護ダイオード Di と重畳して素子領域 20 外の基板 SB 上

50

に設けられ、基板 1 の端部に設けられたゲート引き出し電極 18w と接続する（図 1）。ゲート引き出し電極 18w と第 1 ゲート電極層 18 は、例えば同じ金属層で同じ層に連続してパターンニングされる。

【0056】

ゲート引き出し電極 18w は、ゲート電極 13 を基板 1 の表面（基板 1 の周囲）に引き出したポリシリコン層（不図示）と重畳して設けられ、これとコンタクトしてゲート電極 13 と接続する。

【0057】

第 1 ゲート電極層 18 上には第 1 絶縁膜 23 が設けられ、その上に第 2 ゲート電極層 28 が設けられる。第 2 ゲート電極層 28 は、第 1 絶縁膜 23 を開口して露出した第 1 ゲート電極層 18 とコンタクトし、第 1 ゲート電極層 18 およびゲート引き出し電極 18w を介して素子領域 20 のゲート電極 13 と接続する。また第 2 ゲート電極層 28 は、第 1 ゲート電極層 18 を介して保護ダイオード Di の一端と接続する。保護ダイオード Di の他端は、第 1 ソース電極層 17 と接続する。

【0058】

第 2 ソース電極層 27 は、素子領域 20 の一部分を覆い、第 2 ゲート電極層 28 は、第 2 ソース電極層 27 で覆われない素子領域 20 上を覆う。すなわち、第 2 ゲート電極層 28 下方に第 1 ソース電極層 17 の一部が配置される。

【0059】

第 2 ソース電極層 27 および第 2 ゲート電極層 28 には、チップの最表面となる第 2 絶縁膜（例えば窒化膜およびその上に設けたソルダーレジスト）25 が設けられる。第 2 絶縁膜 25 の所望の領域を開口して露出した第 2 ゲート電極層 28 の一部は、例えばバンプ電極（ゲートバンプ電極 38）などの外部接続手段の固着領域（ゲートパッド部 28p）となる。なお、第 2 絶縁膜 25 がない場合もあるが、その場合も外部接続手段の固着領域をゲートパッド部 28p とする。

【0060】

ゲートパッド部 28p には、UBM（Under Bump Metal）24 が設けられる。UBM 24 は、例えば無電解メッキにより下層からニッケル（Ni：厚さ例えば 2 μm）、金（Au：厚さ例えば 500 Å）をこの順で積層した金属層である。そして、UBM 24 を下地電極とする例えばスクリーン印刷によりゲートバンプ電極 38 を設ける。ゲートバンプ電極 38 の直径は例えば約 300 μm である。

【0061】

また第 2 絶縁膜 25 の所望の領域を開口して露出した第 2 ソース電極層 27 の一部は、例えばバンプ電極（ソースバンプ電極 37）などの外部接続手段の固着領域（以下ソースパッド部 27p）となる。ソースパッド部 27p には、UBM（Under Bump Metal）24 を介して、ソースバンプ電極 37 が設けられる。

【0062】

第 2 ゲート電極層 28 についてより詳細に説明すると、第 2 ゲート電極層 28 は、ゲートパッド部 28p と、配線部 28w を有する（図 1（B）参照）。配線部 28w は、ゲートパッド部 28p から第 1 ゲート電極層 18 の上まで延在し、少なくとも一部が第 1 ゲート電極層 18 と重畳する。そしてゲートパッド部 28p は、配線部 28w および第 1 ゲート電極層 18 を介してゲート引き出し電極 18w に接続する。

【0063】

第 2 ゲート電極層 28 は、配線部 28w が第 1 ゲート電極層 18 と重畳する。すなわち、第 2 ゲート電極層 28 は第 1 ゲート電極層 18 よりその面積が大きい（図 1（B））。

【0064】

そして、ゲートパッド部 28p 下方に素子領域 20 の一部が配置される。より具体的には、ゲートパッド部 28p は、少なくともその一部に、保護ダイオード Di と重畳しない非重畳領域 28u を有する。第 1 実施形態では、ゲートパッド部 28p の全ての領域が保護ダイオード Di との非重畳領域 28u である。そして、非重畳領域 28u の直下に、複

10

20

30

40

50

数のセル 2 1 が配置される。

【0065】

このように本実施形態のゲート電極層は、保護ダイオード D_i と重畳してこれと接続する第 1 ゲート電極層 1 8 と、保護ダイオード D_i との非重畳領域 2 8 u を有する第 2 ゲート電極層 2 8 の 2 層構造である。この構造にすることで、ゲートバンプ電極 3 8 が固着するゲートパッド部 2 8 p の直下にも素子領域 2 0 (セル 2 1) を配置することができる。

【0066】

これにより、従来構造においてセルが配置できなかった無効領域を大幅に低減できる。従って素子領域 2 0 の拡大により同一チップサイズの場合にはオン抵抗を低減できる。また、素子領域 2 0 の面積を従来と同等に維持すると、従来存在していたゲートパッド部下方の無効領域を縮小できるので、チップサイズの小型化が実現する。

10

【0067】

また、この構成にすることで、電流経路の回りこみを少なくできる。すなわち、従来構造では、第 1 ソース電極層 2 1 7 および第 2 ソース電極層 2 2 7 は、ほぼ同じパターンで設けられ、ゲートパッド部 2 2 8 p の配置領域を除いてパターンニングされる (図 9)。つまり、第 1 ソース電極層 2 1 7 (および第 2 ソース電極層 2 2 7) 内を基板の水平方向に流れる電流は、ゲートパッド部 2 2 8 p を迂回して流れるため、電流経路の距離が長い領域ではオン抵抗が増加する問題があった。

【0068】

しかし、本実施形態では、ゲートパッド部 2 8 p 下方に第 1 ソース電極層 1 7 およびセル 2 1 が設けられる。つまり、第 1 ソース電極層 1 7 内を基板水平方向に流れる電流に着目すると、第 1 ソース電極層 1 7 の端部に配置されるセルであっても、ゲートパッド部 2 8 p を迂回するような電流経路が形成されるものなくなる。つまり、素子領域 2 0 の全てのセルが、図 1 の矢印の如くソースパッド部 2 7 p から直線的な (最短距離で) 電流経路が形成されるセルとなる。従って、従来と比較して、素子領域 2 0 内で、電流経路が長くなる領域と電流経路が短い領域の偏りを小さくできる。

20

【0069】

図 3 を参照して、本実施形態の MOSFET 1 0 (共通ドレイン型 MOSFET 1 0 0) と、従来構造の共通ドレイン型 MOSFET の特性を示す。

【0070】

実線が本実施形態の特性であり、破線が同一チップサイズの従来構造の特性である。横軸がチップサイズで縦軸がオン抵抗特性である。尚、図 3 のグラフの目盛りは相対値で表示している。

30

【0071】

本実施形態の構造を採用することで、従来構造のチップ (チップサイズ 1、オン抵抗特性 1) と比較して、チップサイズが同じ場合はオン抵抗特性として約 3 0 % 低減できる。また、オン抵抗特性を従来どおり維持すると、チップサイズを約 2 5 % 低減できる。

【0072】

特に本実施形態では、チップサイズの小さい製品 (チップサイズ 1 以下) において効果が大きい (例えばチップサイズ 1. 2 5 参照)。従来ではチップサイズを小さくした場合、ゲートパッド部面積が大きく、この下方にセルが配置できなかったため、チップサイズが小さくなるに従い特性も急激に劣化していた (破線)。

40

【0073】

しかし、本実施形態によれば、ゲートパッド部 2 8 p 下方にセル 2 1 が配置できるため、ゲートパッド部 2 8 p の面積によらず、良好なオン抵抗特性が得られる。従って、チップサイズが小さい (例えば 0. 7 5) 方が、チップサイズが大きいもの (例えば 1. 2 5) よりオン抵抗の絶対値が大きく、効果が大きい。

【0074】

図 4 および図 5 を参照して、第 2 実施形態を説明する。図 4 (A) はチップ全体の平面図であり、図 4 (B) は第 2 ゲート電極層 2 8 付近の拡大図である。図 5 は、図 4 (B)

50

のb-b線断面図である。

【0075】

第2の実施形態は、第2ゲート電極層28のパターンが異なる。すなわち、第2ゲート電極層28はゲートパッド部28pと第1ゲート電極層18と重畳する配線部28wを有する。配線部28wは、第1絶縁膜23に設けられた開口部OPを介して第1ゲート電極層18と接続する。

【0076】

また、ゲートパッド部28pは一部が第1ゲート電極層18を介して保護ダイオードDiと重畳する。つまり円形の一部が保護ダイオードDiとの重畳領域（ハッチング部分）28oであり、それ以外の領域は、保護ダイオードDiとの非重畳領域28uとなる。

10

【0077】

そして、非重畳領域28uの直下に、複数のセル21が配置される。これ以外は、第1実施形態と同様であるので、説明は省略する。

【0078】

このように第2実施形態では、第2ゲート電極層28はゲートパッド部28pと配線部28wを有し、ゲートパッド部28pは保護ダイオードDiとの非重畳領域28uと、保護ダイオードDiとの重畳領域28oとを有する。配線部28wが、第1ゲート電極層18を介して保護ダイオードDiと接続し、また第1ゲート電極層18とゲート引き出し電極18wを介して、ゲート電極13と接続する。そしてゲートパッド部28pの非重畳領域28u下方に素子領域20（セル21）が配置されるため、素子領域20を拡大することができる。

20

【0079】

また、非重畳領域28u下方に第1ソース電極層17を配置できるので、第1ソース電極層17内を基板水平方向に流れる電流は、ゲートパッド部28pを迂回する必要がなく、第1実施形態と同様の効果が得られる。

【0080】

図6を参照して、第3実施形態を説明する。第3実施形態は、ドレイン電極をゲートパッド28p側の主面に引き出して、第3端子電極層としてドレイン電極層を設けた、いわゆるアップドレイン構造のMOSFET10である。

【0081】

30

図6が平面図であり、図6（A）が1層目の電極層の構造を示す図であり、図6（B）が2層目の電極層の構造を示す図である。図6（B）において1層目の電極層は一点鎖線破線で示した。

【0082】

アップドレイン構造のMOSFETでは、基板（チップ）の一主面にゲートパッド部28p、ソースパッド部27pおよびMOSトランジスタの第3端子に接続するドレイン電極の引き出しとなるドレインパッド部29pが設けられ、これらのパッド部に外部接続手段としてそれぞれゲートバンプ電極38、ソースバンプ電極37およびドレインバンプ電極39が設けられる。この場合、ソースバンプ電極37が入力端子と接続し、ドレインバンプ電極39が出力端子と接続する。

40

【0083】

基板SBの最外周に第1ドレイン電極層19が設けられる。第1ドレイン電極層19下方の基板SBにはこれと重畳するパターンで、ドレイン電極の引き出しおよびアニユラーとなる高濃度のn型不純物領域が設けられる。素子領域20は、破線の領域に設けられ、素子領域20上を覆って第1ソース電極層17が設けられる。また、第1ソース電極層17と第1ドレイン電極層19の間には、第1ゲート電極層18が設けられる。第1ゲート電極層18は、素子領域20の外周端のセルと近接し、これに沿ってその周りを囲むように配置される。そして第1ドレイン電極層19が第1ゲート電極層18に沿ってその周りを囲むように配置される。

【0084】

50

第2ドレイン電極層29は、基板SBの一辺に沿って一つの平板状に設けられ、第1ドレイン電極層19の一部と重畳する。第2ソース電極層27は、ゲートパッド部28pの配置領域を除いて第1ソース電極層17と重畳する平板状に設けられる。

【0085】

第2ゲート電極層28は、第1実施形態および第2実施形態と同様にゲートパッド部28pと、配線部28wを有する。配線部28wは、第2ドレイン電極層29と第2ソース電極層27の間に延在し、一部が第1ゲート電極層18と重畳してこれと接続する。ゲートパッド部28pは、絶縁膜（不図示）を介して第1ソース電極層17の一部と重畳する。

【0086】

一例として、第1ゲート電極層18下方には、これと重畳して接続する保護ダイオードDiを設ける。保護ダイオードDiは、例えば素子領域20の端部と近接し、素子領域20の外周を囲む第1ゲート電極層18のコーナー部分に配置される

つまり、ゲートパッド部28pと、配線部28wの一部は、保護ダイオードDiと非重畳となり、ゲートパッド部28p及び配線部28wの一部の下方に第1ソース電極層17およびセルが配置される。

【0087】

このようにアップドレイン構造のMOSFETであっても、従来構造においてセルが配置できなかった無効領域を大幅に低減できる。従って素子領域20の拡大により同一チップサイズの場合にはオン抵抗を低減できる。また、素子領域20の面積を従来と同等に維持すると、従来存在していたゲートパッド部下方の無効領域を縮小できるので、チップサイズの小型化が実現する。

【0088】

また、ゲートパッド部28p下方に第1ソース電極層17およびセルが配置できるので、第1ソース電極層17を基板水平方向に流れる電流経路（矢印）において、ゲートパッド部28pを迂回する経路がなくなり、素子領域20内で、電流経路が長くなる領域と電流経路が短い領域の偏りを小さくできる。尚第2ゲート電極層28は第2実施形態のパターンでもよい。

【0089】

また、図7を参照して、第4の実施形態について説明する。第4の実施形態は外部接続手段にボンディングワイヤを用いた場合である。図7は、ゲートパッド部28p部分の断面図である。

【0090】

第2ゲート電極層28（第2ソース電極層27側も同様である）には、チップの最表面となる第2絶縁膜（例えば窒化膜）25が通常設けられる。第2絶縁膜25の所望の領域を開口して露出した第2ゲート電極層28の一部は、ゲートパッド部28pとなる。ゲートパッド部28p上には、外部接続手段であるボンディングワイヤ48が固着される。これ以外は第1実施形態と同様であるので説明は省略する。また第2実施形態の第2ゲート電極層28のパターンでも同様に実施できる。

【0091】

更に、図示は省略するが、外部接続手段として金属プレートを用いる場合も同様に実施できる。

【0092】

以上、本実施形態ではnチャネル型MOSFETの場合を例に示したが、導電型を逆にしたpチャネル型MOSFETであっても同様に実施でき、同様の効果が得られる。

【0093】

また、ゲート電極は、基板表面に絶縁膜を介してゲート電極をパターンニングしたプレーナ型MOSFETであっても同様に実施できる。

【0094】

更に、本実施形態では素子領域にMOSFETが形成される場合を例に説明したが、I

10

20

30

40

50

G B Tでも同様に実施できる。I G B Tは、M O S F E TとB J T（バイポーラ型接合トランジスタ）の複合素子であり、上記のM O S F E Tのn +型シリコン半導体基板の下方にp +型半導体基板を設けた構造である。第1端子電極層がエミッタ電極層、第2端子電極層はゲート電極層、第3端子電極層がコレクタ電極層となる以外は、上記のM O S F E Tの構造と同様である。従って、ゲート電極層（第1ゲート電極層、第2ゲート電極層）の構造は、上記の実施例と同様であり、同様の効果が得られる。

【図面の簡単な説明】

【0095】

【図1】本発明の第1実施形態の絶縁ゲート型半導体装置を説明する平面図である。

10

【図2】本発明の第1実施形態の絶縁ゲート型半導体装置を説明する断面図である。

【図3】本発明の実施形態の絶縁ゲート型半導体装置を説明する特性図である。

【図4】本発明の第2実施形態の絶縁ゲート型半導体装置を説明する平面図である。

【図5】本発明の第2実施形態の絶縁ゲート型半導体装置を説明する断面図である。

【図6】本発明の第3実施形態の絶縁ゲート型半導体装置を説明する平面図である。

【図7】本発明の第4実施形態の絶縁ゲート型半導体装置を説明する断面図である。

【図8】従来の絶縁ゲート型半導体装置を説明する断面図である。

【図9】従来の絶縁ゲート型半導体装置を説明する平面図である。

【符号の説明】

【0096】

20

1 n +型シリコン半導体基板

2 n -型半導体層

4 チャネル層

7 トレンチ

10、10' M O S F E T

11 ゲート絶縁膜

13 ゲート電極

14 ボディ領域

15 ソース領域

16 層間絶縁膜

30

17 第1ソース電極層

18 第1ゲート電極層

19 第1ドレイン電極層

20 素子領域

21 セル

23 第1絶縁膜（窒化膜）

24 U B M

25 第2絶縁膜

27 第2ソース電極層

28 第2ゲート電極層

40

29 第2ドレイン電極層

28p ゲートパッド部

28w 配線部

28o 重畳領域

28u 非重畳領域

27p ソースパッド部

29p ドレインパッド部

37 ソースバンプ電極

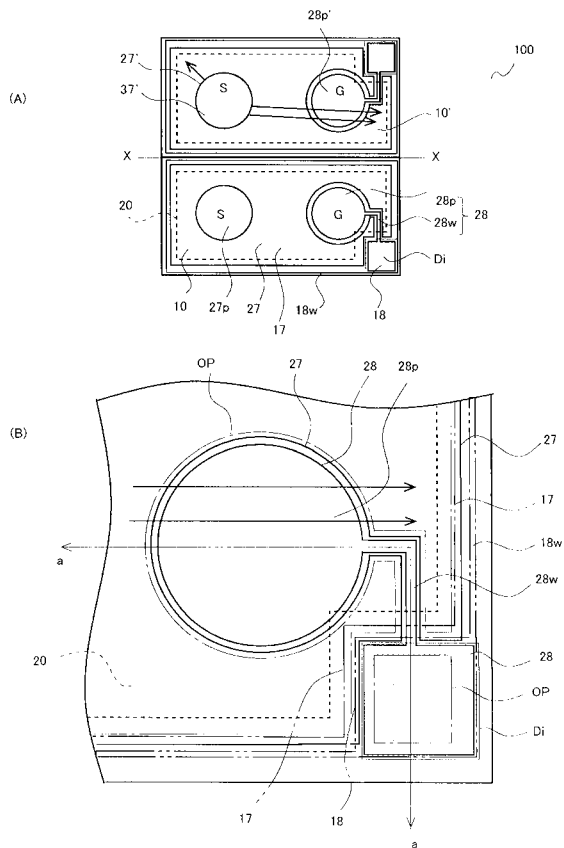
38 ゲートバンプ電極

39 ドレインバンプ電極

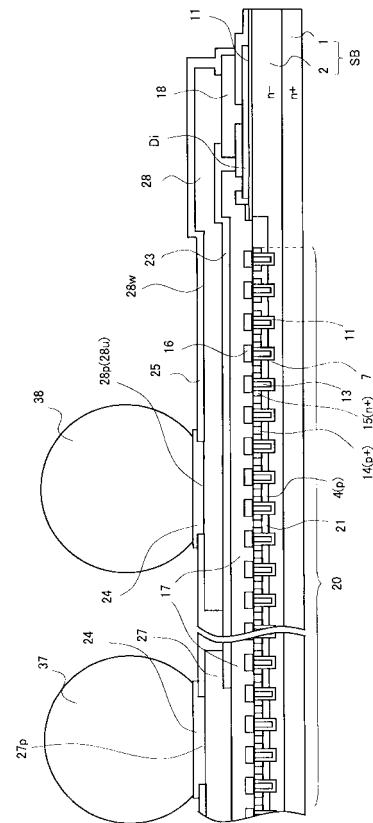
50

200、210 MOSFET
 217 第1ソース電極層
 218 第1ゲート電極層
 227 第2ソース電極層
 227p ソースパッド部
 228 第2ゲート電極層
 228p ゲートパッド部

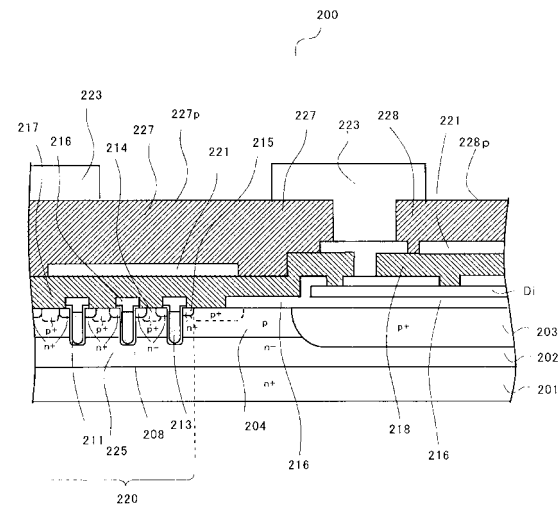
【図1】



【図2】



【图 8】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H O 1 L	29/78	3 0 1 V
H O 1 L	29/78	6 5 7 C
H O 1 L	27/04	E
H O 1 L	27/04	A
H O 1 L	27/08	1 0 2 E
H O 1 L	27/08	1 0 2 F
H O 1 L	27/04	H

F ターム(参考) 5F038 BE07 BH04 BH13 BH19 CA02 CA05 CA10 EZ20
 5F048 AA02 AC06 AC10 BA01 BB01 BB06 BB20 BC01 BC03 BC12
 BD07 BD09 BF02 BF07 BF11 BF15 BF16 BF18 BG01 BG03
 BH05 CB07 CC06 CC15 CC18
 5F140 AA30 AB04 AB06 AC23 BA01 BA16 BB04 BF01 BF04 BF43
 BF51 BF52 BG31 BH02 BH30 BH41 BH43 BJ23 BJ25 BJ29
 CA06 CA10 CC03 CC08 DA08