

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成22年5月20日(2010.5.20)

【公開番号】特開2008-71470(P2008-71470A)

【公開日】平成20年3月27日(2008.3.27)

【年通号数】公開・登録公報2008-012

【出願番号】特願2007-171957(P2007-171957)

【国際特許分類】

G 11 C 29/42 (2006.01)

G 11 C 11/401 (2006.01)

G 11 C 11/413 (2006.01)

【F I】

G 11 C 29/00 6 3 1 D

G 11 C 11/34 3 7 1 C

G 11 C 11/34 3 4 1 A

【手続補正書】

【提出日】平成22年4月1日(2010.4.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数のメモリセルを備えたメモリセルブロックと、

半導体メモリ装置の外部から入力されたデータを前記メモリセルブロックに記録可能な
ように所定の信号処理を行うデータ入力部と、

前記データ入力部と前記メモリセルブロックとの間に連結された第1の広域データライ
ンと、

前記メモリセルブロックから出力されたデータを前記半導体メモリ装置の外部に出力可
能なように所定の信号処理を行うデータ出力部と、

前記メモリセルブロックと前記データ出力部との間に連結された第2の広域データライ
ンと、

制御信号によって前記第1の広域データライン又は前記第2の広域データラインのデータを選択して出力する多重化部と、

前記多重化部から出力されたデータのエラー発生有無を定義する複数のビットからなる
エラー検出コードを生成し、前記半導体メモリ装置の外部に出力するエラー検出コード生
成部と、

を含むことを特徴とするデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項2】

前記データ入力部は、

前記半導体メモリ装置の外部から入力される直列データを並列データに変換する直列/並列変換部と、

前記並列データをラッチし、第1のタイミング信号によって前記第1の広域データライ
ンに出力するラッチ部と、

を含むことを特徴とする請求項1に記載のデータ入出力エラー検出機能を有する半導体メ
モリ装置。

【請求項3】

前記第1のタイミング信号は、前記半導体メモリ装置の外部から入力されたライト命令によって生成された信号であることを特徴とする請求項2に記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項4】

前記データ出力部は、

前記メモリセルブロックから前記第2の広域データラインを介して入力された並列データを格納し、所定のビット単位で出力するレジスタと、

前記レジスタから出力された並列データを直列データに変換して出力する並列／直列変換部と、を含むことを特徴とする請求項1又は3に記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項5】

前記制御信号は、リード動作の際及びライト動作の際、各々信号レベルが異なることを特徴とする請求項1又は4に記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項6】

前記エラー検出コードを格納し、第2のタイミング信号によって所定のビット単位で出力するレジスタと、

前記制御信号によって異なるタイミングを有する信号のうち1つを選択して前記第2のタイミング信号として出力する多重化部と、

前記レジスタから出力されたエラー検出コードを直列に変換して出力する並列／直列変換部と、をさらに含むことを特徴とする請求項1又は5に記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項7】

前記第2のタイミング信号は、前記データ入力部からデータが出力される時点から前記エラー検出コード生成部のデータ処理時間が経過した後にイネーブルされたり、前記メモリセルブロックからデータが出力される時点から前記エラー検出コード生成部のデータ処理時間が経過した後にイネーブルされることを特徴とする請求項6に記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項8】

複数のメモリセルを備えたメモリセルブロックと、

半導体メモリ装置の外部から入力されたデータを前記メモリセルブロックに記録可能なように所定の信号処理を行うデータ入力部と、

前記データ入力部と前記メモリセルブロックとの間に連結された第1の広域データラインと、

前記第1の広域データラインの間に連結され、前記第1の広域データラインを介して入力されたデータを以前データとの比較結果によって反転させて、前記メモリセルブロックに伝送する第1のデータバス反転部と、

前記メモリセルブロックから出力されたデータを前記半導体メモリ装置の外部に出力可能なように所定の信号処理を行うデータ出力部と、

前記メモリセルブロックと前記データ出力部との間に連結された第2の広域データラインと、

前記第2の広域データラインの間に連結され、前記メモリセルブロックから前記第2の広域データラインを介して入力されたデータを以前データとの比較結果によって反転させて出力する第2のデータバス反転部と、

リード動作及びライト動作に適合するように、前記データ入力部と前記第1のデータバス反転部との間に連結された第1の広域データラインのデータ、又は前記第2のデータバス反転部と前記データ出力部との間に連結された第2の広域データラインのデータを選択して出力する多重化部と、

前記多重化部から出力されたデータのエラー発生有無を定義する複数のビットからなるエラー検出コードを生成し、前記半導体メモリ装置の外部に出力するエラー検出コード生

成部と、

を含むことを特徴とするデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項 9】

前記データ入力部は、

前記半導体メモリ装置の外部から入力される直列データを並列データに変換する直列／並列変換部と、

前記並列データをラッチし、前記第1の広域データラインに出力するラッチ部と、を含むことを特徴とする請求項8に記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項 10】

前記データ出力部は、

前記第2の広域データラインを介して入力された並列データを格納し、所定のビット単位で出力するレジスタと、

前記レジスタから出力された並列データを直列データに変換して出力する並列／直列変換部と、を含むことを特徴とする請求項8又は9に記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項 11】

前記エラー検出コードを格納し、タイミング信号によって所定のビット単位で出力するレジスタと、

リード動作及びライト動作に適合するように、異なるタイミング信号のうち1つを選択して前記レジスタに出力する多重化部と、

前記レジスタから出力されたエラー検出コードを直列に変換して出力する並列／直列変換部と、をさらに含むことを特徴とする請求項8又は10に記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項 12】

前記タイミング信号は、前記ライト動作の際、前記データ入力部からデータが出力される時点から前記エラー検出コード生成部のデータ処理時間が経過した後にイネーブルされ、前記リード動作の際、前記メモリセルブロックからデータが出力される時点から前記エラー検出コード生成部のデータ処理時間が経過した後にイネーブルされることを特徴とする請求項11に記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項 13】

複数のメモリセルを備えたメモリセルブロックと、

半導体メモリ装置の外部から入力されたデータを前記メモリセルブロックに記録可能なように所定の信号処理を行うデータ入力部と、

前記メモリセルブロックから出力されたデータを半導体メモリ装置の外部に出力可能なように所定の信号処理を行うデータ出力部と、

前記データ入力部及び前記データ出力部と、前記メモリセルブロックとの間に共通連結された広域データラインと、

前記広域データラインを介して伝送されるデータのエラー発生有無を定義する複数のビットからなるエラー検出コードを生成し、前記半導体メモリ装置の外部に出力するエラー検出コード生成部と、を含むことを特徴とするデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項 14】

前記エラー検出コードを格納し、第2のタイミング信号によって所定のビット単位で出力するレジスタと、

リード動作及びライト動作に適合するように、異なるタイミングを有する信号のうち1つを選択して前記第2のタイミング信号として出力する多重化部と、

前記レジスタから出力されたエラー検出コードを直列に変換して出力する並列／直列変換部と、をさらに含むことを特徴とする請求項13に記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項 15】

前記第2のタイミング信号は、前記データ入力部からデータが出力される時点から前記エラー検出コード生成部のデータ処理時間が経過した後にイネーブルされたり、前記メモリセルブロックからデータが出力される時点から前記エラー検出コード生成部のデータ処理時間が経過した後にイネーブルされることを特徴とする請求項14に記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項 16】

複数のメモリセルを備えたメモリセルブロックと、

半導体メモリ装置の外部から入力されたデータを前記メモリセルブロックに記録可能なように所定の信号処理を行うデータ入力部と、

前記メモリセルブロックから出力されたデータを前記半導体メモリ装置の外部から出力可能なように所定の信号処理を行うデータ出力部と、

前記データ入力部及び前記データ出力部と、前記メモリセルブロックとの間に共通連結された広域データラインと、

前記広域データラインの間に連結され、前記広域データラインを介して双方向に伝送されるデータの各々を以前データとの比較結果によって反転させて出力するデータバス反転部と、

前記データバス反転部に入力されるデータ及び前記データバス反転部から出力されるデータのエラー発生有無を定義する複数のビットからなるエラー検出コードを生成し、前記半導体メモリ装置の外部に出力するエラー検出コード生成部と、を含むことを特徴とするデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項 17】

前記データ入力部は、

前記半導体メモリ装置の外部から入力される直列データを並列データに変換する直列／並列変換部と、

前記並列データをラッチし、第1のタイミング信号によって前記広域データラインに出力するラッチ部と、を含むことを特徴とする請求項13，15又は16のいずれかに記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項 18】

前記第1のタイミング信号は、前記半導体メモリ装置の外部から入力されたライト命令によって生成される信号であることを特徴とする請求項17に記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項 19】

前記データ出力部は、

前記メモリセルブロックから前記広域データラインを介して入力された並列データを格納し、所定のビット単位で出力するレジスタと、

前記レジスタから出力された並列データを直列データに変換して出力する並列／直列変換部と、を含むことを特徴とする請求項13，16又は18のいずれかに記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項 20】

前記エラー検出コード生成部は、

入力されるデータの十進値を所定の数で除算し、その残りに該当する十進値を算出し、それに相当する前記エラー検出コードを生成するロジック回路で構成されることを特徴とする請求項1，7，13，16又は19のいずれかに記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項 21】

前記エラー検出コードを格納し、第2のタイミング信号によって所定のビット単位で出力するレジスタと、

リード動作及びライト動作に適合するように、異なるタイミングを有する信号のうち1つを選択して前記第2のタイミング信号として出力する多重化部と、

前記レジスタから出力されたエラー検出コードを直列に変換して出力する並列／直列変換部と、をさらに含むことを特徴とする請求項16又は20に記載のデータ入出力エラー検出機能を有する半導体メモリ装置。

【請求項22】

前記第2のタイミング信号は、前記データ入力部からデータが出力される時点から前記エラー検出コード生成部のデータ処理時間が経過した後にイネーブルされたり、前記メモリセルロックからデータが出力される時点から前記エラー検出コード生成部のデータ処理時間が経過した後にイネーブルされることを特徴とする請求項21に記載のデータ入出力エラー検出機能を有する半導体メモリ装置。