

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
18 septembre 2003 (18.09.2003)

PCT

(10) Numéro de publication internationale
WO 03/077314 A2

(51) Classification internationale des brevets⁷ : H01L 23/48

(21) Numéro de la demande internationale :
PCT/FR03/00740

(22) Date de dépôt international : 7 mars 2003 (07.03.2003)

(25) Langue de dépôt : français

(26) Langue de publication : français

(30) Données relatives à la priorité :
02/03121 11 mars 2002 (11.03.2002) FR

(71) Déposant (pour tous les États désignés sauf US) :
UNITED MONOLITHIC SEMICONDUCTORS
S.A.S. [FR/FR]; Route Départementale 128, F-91400
ORSAY (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (pour US seulement) : **QUENTIN,**
Pierre [FR/FR]; Thales Intellectuel Property, 31-33,
avenue Aristide Briand, F-94117 Arcueil, Cedex (FR).

JOYEUX-SALIN, Marie-laure [FR/FR]; Thales Intel-
lectual Property, 31-33, avenue Aristide Briand, F-94117
Arcueil Cedex (FR). **BOIS, Jean-René** [FR/FR]; Thales
Intellectual Property, 31-33, avenue Aristide Briand,
F-94117 Arcueil Cedex (FR).

(74) Mandataires : **DUDOUIT, Isabelle** etc.; Thales Intellec-
tual Property, 31-33, avenue Aristide Briand, F-94117 Ar-
cueil Cedex (FR).

(81) États désignés (national) : CA, US.

(84) États désignés (régional) : brevet européen (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

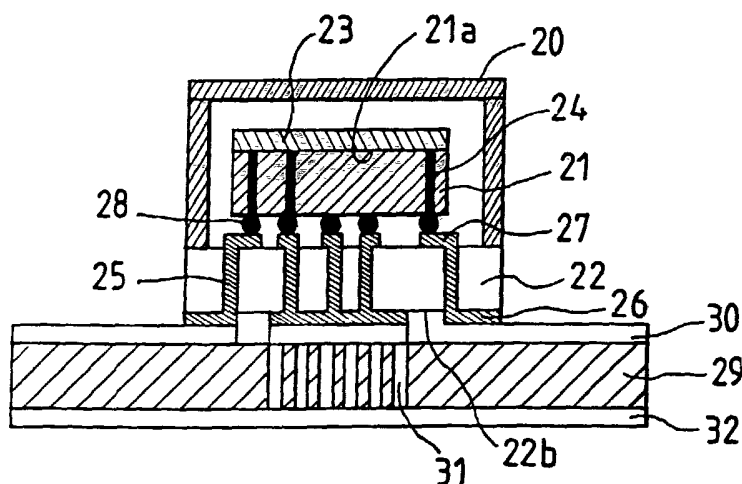
Publiée :

— sans rapport de recherche internationale, sera republiée
dès réception de ce rapport

En ce qui concerne les codes à deux lettres et autres abrégia-
tions, se référer aux "Notes explicatives relatives aux codes et
abréviations" figurant au début de chaque numéro ordinaire de
la Gazette du PCT.

(54) Title: CSP-TYPE HYPERFREQUENCY CIRCUIT

(54) Titre : CIRCUIT HYPERFREQUENCE DE TYPE CSP



(57) Abstract: A CSP-type hyperfre-
quency integrated circuit or discrete
component comprising a chip consisting
of an active face, one or several metallized
holes or vias running through said chip,
and a protection element.

(57) Abrégé : Circuit hyperfréquence de
type CSP Circuit intégré ou composant dis-
cret comportant une puce comprenant une
face active, la puce étant traversée par un
ou plusieurs trous métallisés ou Vias, et un
élément de protection.

WO 03/077314 A2

Circuit hyperfréquence de type CSP

La présente invention concerne notamment un circuit intégré protégé pouvant être utilisé dans des gammes de fréquences élevées, de l'ordre de 100 GHz, typiquement entre 10 et 100 GHz.

Elle concerne aussi un packaging très haute fréquence pour
5 intégration de composants.

Elle concerne, notamment, un circuit intégré protégé, comportant des trous métallisés ou Via dont certains "Hot-via" ont pour fonction de réaliser l'interconnexion des signaux, par exemple RF (radio fréquence) et les alimentations, d'autres vias ont pour fonction d'évacuer l'échauffement ou
10 la chaleur résultant d'une utilisation en puissance du composant (typiquement pour des puissances dissipées supérieures à 0.5 Watt).

Le brevet FR 2 665 574 divulgue un procédé d'interconnexion d'un circuit intégré avec son environnement, pour le domaine des
15 hyperfréquences. La connexion des entrées/sorties est réalisée par des trous métallisés qui traversent la puce dans toute son épaisseur, et qui assurent les liaisons électriques entre les composants intégrés sur le circuit monolithique et les plots en face arrière. Le procédé résultant ne prévoit rien pour évacuer la chaleur (ou l'échauffement) générée par l'utilisation en
20 puissance ou encore pour renforcer la résistance de la puce lors de sa manipulation, par exemple lors de l'assemblage de cette puce sur un support.

Il est aussi connu de protéger mécaniquement des puces électroniques ayant des liaisons filaires. Par exemple, dans le brevet
25 FR 2 769 130, un produit d'enrobage est versé sur la puce puis durci. Une faible épaisseur de produit d'enrobage est déposé au-dessus de la puce et de ses liaisons filaires afin ne pas perturber le fonctionnement de la puce. Pour maîtriser cette épaisseur, l'idée originale a été de chercher des repères de remplissage autour de la puce.

L'objet de la présente invention consiste notamment à protéger un circuit intégré.

Le circuit protégé comporte, par exemple, une protection déposée sur la face de la puce. Il peut aussi intégrer, par exemple, la combinaison
5 d'une protection mécanique sur des circuits intégrés dont les liaisons électriques sont assurées par des Vias (trous métallisés traversant la puce).

L'invention concerne un circuit intégré ou composant discret comportant en combinaison au moins :

- une puce comprenant une face active, la puce étant traversée par un ou
10 plusieurs trous métallisés ou « Vias »,
➤ un élément de protection.

L'élément de protection est par exemple une couche de passivation déposée sur la face active de la puce.

La puce est par exemple associée à un substrat d'accueil et
15 l'élément de protection est un capot englobant la puce et le substrat d'accueil.

La puce est par exemple associée à un substrat d'accueil et l'élément de protection est constitué d'une couche de passivation déposée sur la face active de la puce et d'un capot englobant la puce et le substrat.

20 La puce est par exemple associée à un substrat d'accueil et l'élément de protection est en contact avec la puce.

Il peut comporter un ou plusieurs éléments d'interconnexion reliés aux différents Vias en face inférieure du circuit .

Les trous métallisés sont par exemple adaptés pour assurer
25 l'interconnexion des signaux et des alimentations.

Il peut comporter un ou plusieurs trous métallisés ayant pour fonction d'évacuer la chaleur accumulée dans le circuit, un trou métallisé a par exemple un diamètre de l'ordre de 20 microns.

Le circuit est par exemple utilisé pour des applications dans le
30 domaine allant jusqu'aux fréquences millimétriques, jusqu'à 100 GHz environ.

L'invention présente notamment les avantages suivants :

- Les boîtiers ainsi obtenus sont de très petite dimension, ceci sans utiliser une technique de report de type flip-chip, connue de l'Homme du métier, qui consiste à retourner la puce sur son substrat,
- 5 ➤ Les traversées perpendiculaires, ou « Vias », permettent d'assurer la connexion entre le plan supérieur (côté MMIC) et le plan inférieur (côté report sur la carte mère), en évitant les parasites générés par les fils de liaison utilisés dans l'art antérieur,
- Du fait de la taille réduite du composant protégé, la fréquence du boîtier équipé d'un capot métallique est repoussée en dehors de la bande utile,
- 10 ➤ Une compatibilité avec une herméticité de l'ensemble,
- La possibilité de dissiper tout éventuel échauffement thermique par la présence notamment de Vias adaptés.

15 D'autres caractéristiques et avantages de l'objet de l'invention apparaîtront mieux à la lecture de la description annexée des figures qui représentent :

- La figure 1 un exemple de connexion d'un circuit intégré selon l'art antérieur,
- 20 ➤ La figure 2 un exemple de structure de boîtier selon l'invention comportant un capot,
- La figure 3 une variante où le capot est remplacé par une résine,
- La figure 4 un schéma d'un circuit intégré protégé.

25 La figure 1 représente une vue en coupe d'un circuit intégré selon l'art antérieur. Le circuit intégré 1 comprend un substrat qui supporte une région 2 dans laquelle sont réalisées les composants passifs et actifs du circuit intégré. Ces composants ainsi que les différentes couches de matériau de la région ne sont pas représentés, car ils ne sont pas
30 nécessaires à l'exposé de l'invention. La puce 1 au circuit intégré est par exemple brasée sur la face d'un support isolant 3. Sur le support isolant 3,

sont disposées des pistes métalliques qui pénètrent, par exemple, sous la puce afin de prendre les contacts sous les trous métallisés. Ils comportent plusieurs métallisations d'accès. La métallisation 5 conduit au plot métallique 6 et la métallisation 7 conduit au plot métallique 8. Chacun des plots métalliques 6 ou 8 de la face supérieure ou active du circuit intégré est réuni par l'intermédiaire d'un trou métallisé 9 ou 10 avec une plage métallique 11 ou 12 respectivement, située sur la face inférieure ou substrat du circuit intégré. Ainsi, le plan des connexions d'accès extérieur est déplacé de la face supérieure à la face inférieure de la puce de circuit intégré. Cette dernière porte une métallisation du plan de masse 13 qui est utilisée pour braser la puce sur son circuit support. La présence des plages métalliques 11 et 12 en face arrière de la puce nécessite une gravure du plan de masse.

La figure 2 représente schématiquement une vue en coupe d'un circuit intégré ou composant discret selon l'invention protégée par exemple à l'aide d'un capot. La plupart des éléments de la puce décrits à la figure 1 se retrouvent sur le composant de cette figure.

La puce 21 est pourvue d'un élément protecteur 20 tel qu'un capot en céramique ou en plastique par exemple. Le capot englobe l'ensemble de la puce 21 et du substrat d'accueil 22 sur lequel elle repose. La face active 21a de la puce, dans laquelle sont réalisés les composants passifs et actifs du circuit intégré, est par exemple recouverte d'une couche de protection 23. Cette couche est par exemple une couche de passivation, formée d'un diélectrique et déposée selon une méthode connue de l'Homme du métier. Plusieurs trous métallisés ou « Vias » 24 traversent l'épaisseur e_p de la puce (MMIC). Le substrat d'accueil 22 comporte aussi plusieurs métallisations 25 traversant son épaisseur e_s et ayant pour fonction de permettre la traversée des signaux jusqu'à la face inférieure 22b du substrat d'accueil, elle-même métallisée 26. Ces métallisations 25, 26 sont reliées à des plots de contact 27. La liaison entre la puce et le substrat d'accueil se fait par exemple au moyen de bumps 28, de billes métalliques ou encore de soudure, disposés sur les plots de contact 27. L'ensemble ainsi formé est assemblé sur une

carte mère 29 comportant une face supérieure 30 métallisée, plusieurs traversées d'interconnexion 31, et une face arrière 32.

Le substrat d'accueil 22 est par exemple en céramique, en PCB, AlN, etc., ou tout autre matériau habituellement utilisé dans le domaine des
5 hyperfréquences. Ses dimensions correspondent par exemple sensiblement à celles du MMIC (abréviation de Monolithic Microwave Integrated Circuit.) et du capot de protection.

Le capot 20 permet d'assurer une protection mécanique tout en ne perturbant pas le fonctionnement de la puce. Le capot est par exemple
10 reporté sur le substrat, constituant du boîtier, par exemple par collage ou soudure suivant la nature du capot. Des capots céramiques et plastiques sont le plus souvent utilisés. Il est aussi possible de mettre des capots métalliques ou organiques (PCB).

Sans sortir du cadre de l'invention, la figure 3 représente une
15 variante de réalisation où le capot est remplacé par un élément protecteur 33 tel que de la résine assurant une fonction similaire de protection à celle du capot. La résine est, par exemple, déposée automatiquement sur la puce, lors de sa fabrication et après assemblage des différents éléments, sous forme liquide par exemple et selon des techniques connues de l'Homme du
20 métier. Elle durcit ensuite par passage au four pour former la carapace finale du MMIC. La résine, également appelée Glob-Top, permet d'obtenir une meilleure compacité comparée aux boîtiers avec capots. La résine est couplée à la couche de passivation par exemple de type BCB (BenzCycloButene). L'intérêt du BCB dans ce cas est d'éviter un contact
25 direct entre la face active du MMIC et la résine. Elle enrobe ainsi la puce et le substrat d'accueil et se trouve en contact avec la puce.

Les vias ou trous métallisés ont par exemple différentes fonctionnalités, par exemple :

- Permettre la transition de signaux analogiques et des alimentations de la
30 face active de la puce vers le substrat d'accueil, c'est le concept « Hot-

Via », tel que décrit dans le brevet FR 2 665 574. Ces signaux peuvent être de type hyperfréquences, millimétriques, RF etc.,

- Assurer la continuité électrique de la masse en face supérieure avec la masse du plan inférieur de la puce, « Via »,
- 5 ➤ Pour certains, permettre d'évacuer les calories des zones de dissipation thermiques (transistors en face supérieure) vers le substrat sur lequel est reportée la puce, « micro-vias ».

Bien qu'il y ait des différences dans les fonctionnalités, la plupart des différents vias (Vias, Hot-vias, micro-vias) ont des diamètres identiques
10 ou sensiblement identiques, car ils sont réalisés en même temps et en une seule étape de procédé de fabrication de la puce. Les vias thermiques sont par exemple de très petites dimensions, avec un diamètre par exemple de l'ordre de 20 microns, afin d'être compatibles avec les dimensions des transistors. Ces vias thermiques sont placés sous les plots de source des
15 transistors et sont reliés à la masse du composant en face inférieur. Ils ont donc une double fonction. Ainsi, le composant peut comporter typiquement 6 à 8 vias par transistor et de l'ordre de 10 transistors par MMIC (les transistors ne sont pas représentés pour des soucis de clarté).

Dans le cas d'applications de type faible signal (peu de
20 puissance dissipée) la dimension des « Hot vias » (RF, DC) et celles des vias de masse peuvent être de plus grandes dimensions, par exemple un diamètre de l'ordre de 50 μm .

Les bumps 28 assurant les interconnexions sont par exemple constitués d'un matériau choisi parmi la liste non exhaustive suivante : Au,
25 AuSn, SnPb, AsSn.

La géométrie des lignes de métallisation sur le plan inférieur du boîtier est définie pour être compatible avec les techniques de report CMS grand volume connus de l'Homme du métier.

Dans le cas d'applications de puissance, le substrat est par
30 exemple un substrat à haute conductivité thermique, de type AlN, BeO, ou un substrat bas coût standard de type PCB, LTCC, HTCC pourvu de vias

thermiques. Dans ce cas, les puces sont de type MMIC optimisées en thermique : par exemple par la présence de micro-vias thermiques sous les transistors du MMIC, réduction de l'épaisseur du MMIC.

Les deux structures de protection d'un circuit intégré données aux figures 2 et 3 s'appliquent aussi dans le cas où la face active n'est pas protégée par un élément protecteur (par exemple la couche de passivation de la figure 3).

La figure 4 schématise une variante de réalisation de l'invention où l'élément protecteur de la puce est déposé par exemple sur la face supérieure de la puce.

La puce 40 comporte sur sa face active 40a, dans laquelle sont réalisés les composants passifs et actifs du circuit intégré, un élément protecteur 41 pouvant être une couche de passivation. Cette couche est par exemple un diélectrique déposé ou associé à la face active selon une méthode connue de l'Homme du métier. Plusieurs trous métallisés ou « Vias » 42 traversent l'épaisseur e_p de la puce (MMIC). Ces vias peuvent avoir une des trois fonctions précédemment mentionnées. La puce est en contact avec un substrat d'accueil ou carte mère 43 par l'intermédiaire d'éléments d'interconnexion tels que des bumps 44 et de lignes d'interconnexion 45 de la carte mère. Ces éléments ainsi que leurs liaisons entre eux étant connus de l'Homme du métier, ils ne seront pas détaillés.

REVENDEICATIONS

1 – Circuit intégré ou composant discret comportant en combinaison :

- une puce comprenant une face active, la puce étant traversée par un ou
5 plusieurs trous métallisés (24, 42) ou « Vias »,
➤ un élément de protection (23, 20, 41, 33).

2 – Circuit intégré selon la revendication 1 caractérisé que l'élément de protection est une couche de passivation (41) déposée sur la face active de
10 la puce.

3 – Circuit selon la revendication 1 caractérisé en ce que la puce est associée à un substrat d'accueil (22) et en que l'élément de protection est un capot (20) englobant la puce et le substrat d'accueil.

15

4 – Circuit selon la revendication 1 caractérisé en ce que la puce est associée à un substrat d'accueil (22) et en ce que l'élément de protection est constitué d'une couche de passivation (23) déposée sur la face active de la puce et un capot (20) englobant la puce et le substrat.

20

5 – Circuit selon la revendication 1 caractérisé en ce que la puce est associée à un substrat d'accueil (22) et en ce que l'élément de protection (33) est en contact avec la puce.

25 6 – Circuit selon la revendication 5 caractérisé en ce que l'élément de protection en contact est de la résine.

7 – Circuit selon l'une des revendications 1 à 6 caractérisé en ce qu'il comporte un ou plusieurs éléments d'interconnexion (28) reliés aux différents
30 Vias (24) en face inférieure du circuit .

8 – Circuit selon l'une des revendications 1 à 7 caractérisé en ce que les trous métallisés sont adaptés pour assurer l'interconnexion des signaux et des alimentations.

5 9 – Circuit selon l'une des revendications 1 à 7 caractérisé en ce qu'il comporte un ou plusieurs trous métallisés ayant pour fonction d'évacuer la chaleur accumulée dans le circuit.

10 10 – Circuit selon la revendication 9 caractérisé en ce que un trou métallisé a un diamètre de l'ordre de 20 microns.

11 – Utilisation du circuit selon l'une des revendications 1 à 10 pour des applications jusqu'aux fréquences millimétriques, jusqu'à 100 GHz environ.

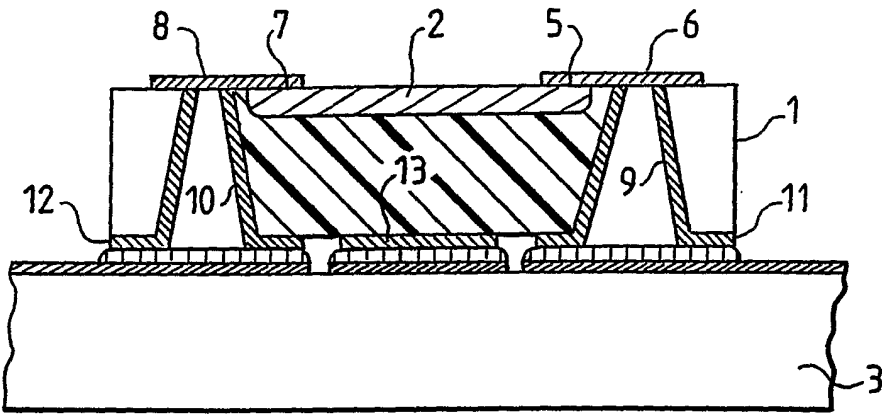


FIG.1

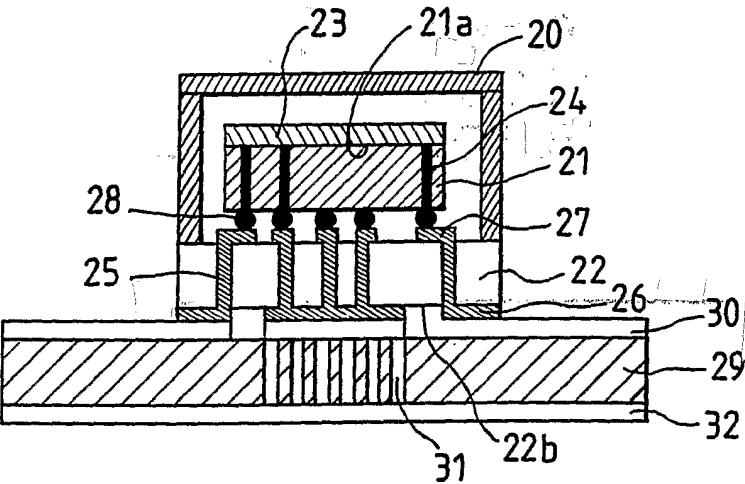


FIG.2

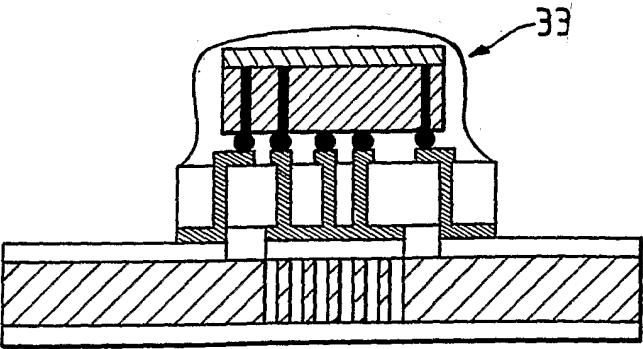


FIG.3

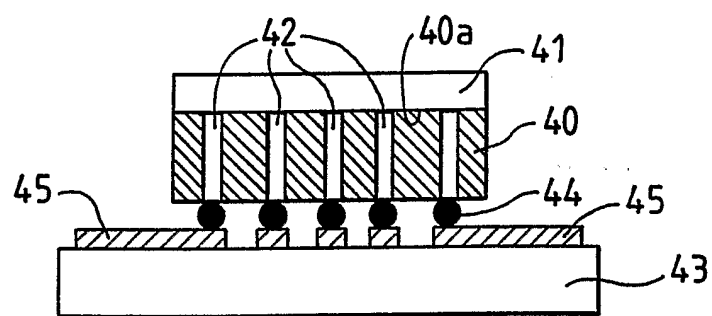


FIG. 4