

(10) **DE 11 2021 005 295 T5 2023.08.31**

(12) **Veröffentlichung**

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2022/076652**
in der deutschen Übersetzung (Art. III § 8 Abs. 2
IntPatÜbkG)

(51) Int Cl.: **G11C 16/06** (2006.01)

(21) Deutsches Aktenzeichen: **11 2021 005 295.0**

(86) PCT-Aktenzeichen: **PCT/US2021/053916**

(86) PCT-Anmeldetag: **07.10.2021**

(87) PCT-Veröffentlichungstag: **14.04.2022**

(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **31.08.2023**

(30) Unionspriorität:

63/088,572	07.10.2020	US
17/125,927	17.12.2020	US

(71) Anmelder:

**INFINEON TECHNOLOGIES LLC, San Jose, CA,
US**

(74) Vertreter:

**von Lieres Brachmann Schulze Patentanwälte in
Partnerschaft, 83624 Otterfing, DE**

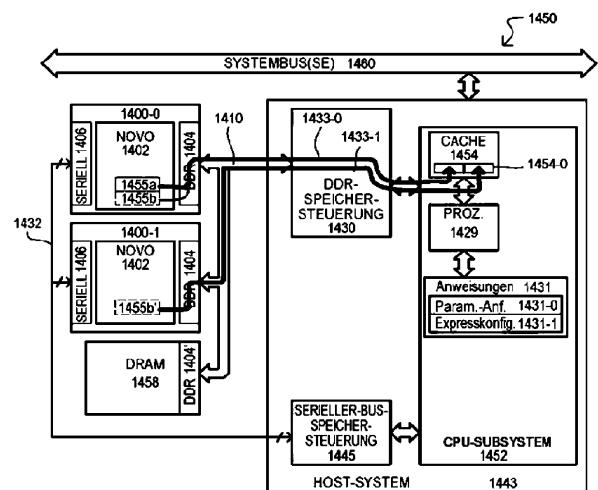
(72) Erfinder:

Zitlaw, Clifford, San Jose, CA, US; Whately, Morgan, San Francisco, CA, US; Rosner, Stephan, Campbell, CA, US; Van Antwerpen, Hans, Mountain View, CA, US

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **VERFAHREN, VORRICHTUNGEN UND SYSTEME FÜR HOCHGESCHWINDIGKEITSTRANSAKTIONEN MIT NICHTFLÜCHTIGEM SPEICHER AUF EINEM DOUBLE-DATA-RATE-SPEICHERBUS**

(57) Zusammenfassung: Ein Verfahren kann folgendes beinhalten: Empfangen mehrerer aufeinanderfolgender Befehle an einem unidirektionalen Befehlsadress(CA)-Bus-eingang einer diskreten nichtflüchtigen Speichervorrichtung (NVM-Vorrichtung), wobei die Befehle synchron mit einem Zeitsteuerungstakt sind; für jeden empfangenen Befehl, Bestimmen, ob der Befehl ein Expresslese(NVR)-Befehl ist, wenn bestimmt wird, dass ein Befehl ein NVR-Befehl ist, Bestimmen, ob ein nächster anschließender Befehl ein NVR-Befehl ist, wobei aufeinanderfolgende NVR-Befehle eine NVR-Befehlssequenz bilden; als Reaktion auf die nicht mehr als die NVR-Befehlssequenz, Zugreifen auf in NVM-Zellen der NVM-Vorrichtung gespeicherte Lesedaten; und Ansteuern der Lesedaten auf parallelen Daten-Ein-/Ausgaben (E/As) der NVM-Vorrichtung in einem Burst von Datenwerten, wobei die Datenwerte des Burst synchron mit steigenden und fallenden Flanken des Zeitsteuerungstakts ausgegeben werden; wobei der CA-Buseingang mehrere parallele CA-Signaleingänge beinhaltet. Verbundene Speichervorrichtungen und Systeme werden ebenfalls offenbart.



Beschreibung

Verwandte Anmeldungen

[0001] Diese Anmeldung ist eine internationale Anmeldung der am 17. Dezember 2020 eingereichten nicht vorläufigen US-Anmeldung Nr. 17/125,927, diese Anmeldung beansprucht die Priorität gemäß 35 U.S.C. 119(e) der am 7. Oktober 2020 eingereichten vorläufigen US-Patentanmeldung mit der Seriennummer 63/088,572, deren Inhalte durch Bezugnahme hier aufgenommen werden.

Technisches Gebiet

[0002] Die vorliegende Offenbarung betrifft allgemein Systeme, die Hochgeschwindigkeitszugriffe auf Speichervorrichtungen erfordern, und insbesondere Systeme, die über Double-Data-Rate-Schnittstellen auf nichtflüchtige Speichervorrichtungen zugreifen.

Hintergrund

[0003] Systems-on-Chip (SoCs) können eine Hochleistungssteuerung von Vorrichtung in einem sehr kompakten Gehäuse ermöglichen. SoCs finden vielfältige Anwendung von sehr kompakten Vorrichtungen (z.B. Mobiltelefonen) bis zu sehr großen Vorrichtungen (z.B. Automobilen). SoCs beinhalten in der Regel Prozessorschaltungen und Onboard-Speicher zum Speichern von Daten, darunter durch einen Prozessor ausführbare Anweisungen. Die SoC-Leistungsfähigkeit hängt oftmals stark von den Speicherzugriffsgeschwindigkeiten ab. Für Anwendungen in Umgebungstemperatur und niedrigeren Temperaturen können SoCs eine Kombination aus nichtflüchtigem Speicher (NVM) und flüchtigem Speicher, wie etwa dynamischem Direktzugriffsspeicher (DRAM), beinhalten. NVM kann Daten speichern, wenn kein Strom vorhanden ist. DRAM kann akzeptable Zugriffsgeschwindigkeiten bereitstellen und relativ wenig Strom verbrauchen. In solchen Systemen werden in der Regel Daten aus dem NVM zum Zugriff durch Prozessoren in den DRAM geladen und/oder DRAM-Daten in dem NVM gesichert.

[0004] Für Anwendungen mit höherer Temperatur, wie etwa bei Automobilen, kann die DRAM-Leistungsfähigkeit mit steigender Temperatur abfallen, was DRAM zu einer unerwünschten Speicherwahl macht. Als Ergebnis kann bei Anwendungen mit höherer Temperatur statischer RAM (SRAM) als flüchtiger Speicher verwendet werden. Während SRAM noch schnellere Geschwindigkeiten als DRAM liefern kann, kann SRAM höhere Komponentenkosten aufweisen und mehr Strom als DRAM verbrauchen.

[0005] Fig. 19 ist ein Blockdiagramm einer herkömmlichen DRAM-Leseoperation, die mit dem von JEDEC veröffentlichten LPDDR4-Standard kompatibel ist. Zum Zeitpunkt t_0 kann eine erste Lesebefehlssequenz empfangen werden. Eine Lesebefehlssequenz kann zwei Aktivierungsanweisungen (Aktivieren1, Aktivieren2), eine Leseanweisung und eine CAS-Anweisung beinhalten. Die Lesebefehlssequenz kann über acht Taktzyklen (von CK_t) (d.h. von Zeitpunkt t_0 bis t_2) empfangen werden.

[0006] Zum Zeitpunkt t_2 kann eine zweite Lesesequenz mit den gleichen Arten von Anweisungen wie die erste Lesesequenz beginnen.

[0007] Ein DRAM kann eine Leselatenz (RL) von 14 Taktzyklen und eine Versatzverzögerung (tDQ_{SCK}) von etwa zwei Taktzyklen (bei einer Taktgeschwindigkeit von 800 MHz) aufweisen. Im Anschluss an eine Verzögerung können Lesedaten zum Zeitpunkt t_4 ausgegeben werden. Lesedaten können mit einem Mindest-Burst von 16 (oder 32, je nach Burstlängeneinstellung) ausgegeben werden. Für den gezeigten Burst von 16 kann die Gesamtzeit zum Empfangen des Burst von 16 31 Taktzyklen bzw. 38,75 ns bei 800 MHz betragen.

[0008] In einer x32-Konfiguration können 64 Bytes über die acht Taktzyklen (zwischen Zeitpunkten t_4 und t_5) übertragen werden. Für Systeme mit Cachespeichern von 32 Bytes kann eine solcher Lesetransfer dazu führen, dass 32 Bytes verworfen werden.

[0009] Während DRAMs (einschließlich LPDDR4-kompatible DRAMs, wie in Fig. 19 gezeigt) schnelle Zugriffsgeschwindigkeiten für Systeme wie SoCs bereitstellen können, sind DRAMs wie oben angemerkt für einige Umgebungen, wie etwa Umgebungen mit höherer Temperatur, nicht geeignet.

[0010] Es wäre wünschenswert, einen Weg zu finden, einen Hochgeschwindigkeitszugriff auf Speicher für Anwendungen mit höherer Temperatur ohne die Nachteile herkömmlicher Ansätze bereitzustellen.

Figurenliste

Fig. 1A und **Fig. 1C** sind Diagramme, die eine nichtflüchtige Speichervorrichtung (NVM-Vorrichtung) und Expresszugriffsoperationen gemäß Ausführungsformen zeigen.

Fig. 2 ist ein Blockdiagramm einer NVM-Vorrichtung gemäß einer Ausführungsform.

Fig. 3 ist ein Blockdiagramm einer NVM-Vorrichtung gemäß einer anderen Ausführungsform.

Fig. 4 ist ein Blockdiagramm einer NVM-Vorrichtung gemäß einer weiteren Ausführungsform.

Fig. 5 ist ein Zeitdiagramm einer Expresszugriffsoperation auf eine NVM-Vorrichtung gemäß einer Ausführungsform.

Fig. 6 ist ein Zeitdiagramm einer Expresszugriffsoperation auf eine NVM-Vorrichtung gemäß einer anderen Ausführungsform.

Fig. 7 ist ein Blockdiagramm einer in NVM-Vorrichtung mit einer parallelen Double-Data-Rate (DDR)-Schnittstelle (I/F) und einer seriellen I/F gemäß einer Ausführungsform.

Fig. 8 ist ein Blockdiagramm einer in NVM-Vorrichtung mit einer parallelen DDR-Schnittstelle I/F und einer seriellen I/F gemäß einer anderen Ausführungsform.

Fig. 9 ist ein Blockdiagramm, das einen NVM-Vorrichtungs-Adressraum gemäß einer Ausführungsform zeigt.

Fig. 10A und **Fig. 10B** zeigen Register einer NVM-Vorrichtung, die in Ausführungsformen enthalten sein können.

Fig. 10C ist ein Diagramm, das ein herkömmliches LPDDR4-Befehlsformat zeigt.

Fig. 10D ist ein Diagramm, das ein Expresszugriffsformat gemäß einer Ausführungsform zeigt.

Fig. 11A und **Fig. 11B** sind schematische Diagramme von Speicherzellenarrays, die in Ausführungsformen enthalten sein können.

Fig. 12 zeigt perspektivische Ansichten einer integrierten Schaltungsvorrichtung gemäß einer Ausführungsform.

Fig. 13 ist ein Blockdiagramm einer Speichersteuerung gemäß einer Ausführungsform.

Fig. 14 ist ein Blockdiagramm eines Systems gemäß einer Ausführungsform.

Fig. 15 ist ein Diagramm eines Automobilsystems gemäß einer Ausführungsform.

Fig. 16 ist ein Flussdiagramm eines NVM-Verfahrens gemäß einer Ausführungsform.

Fig. 17 ist ein Flussdiagramm eines Speichersteuerungsverfahrens gemäß einer Ausführungsform.

Fig. 18 ist ein Flussdiagramm eines Systemverfahrens gemäß einer Ausführungsform.

Fig. 19 ist ein Zeitdiagramm eines herkömmlichen LPDDR4-kompatiblen Lesezugriffs gemäß einer Ausführungsform.

eine reduzierte Sequenz von Lesebefehlen (NVR-Befehlen) verarbeiten, um Daten aus NVM-Zellen eines oder mehrerer Arrays zu lesen. In einigen Ausführungsformen können NVR-Befehlspaare alle für eine Leseoperation erforderlichen Befehls- und Adressdaten aufweisen. Lesedaten, die den NVR-Befehlen entsprechen, können mit einer doppelten Datenrate (DDR) von der NVM-Vorrichtung ausgegeben werden. In einigen Ausführungsformen können Lesedaten in Bursts von acht Datenelementen ausgegeben werden.

[0012] In einigen Ausführungsformen kann eine NVM-Vorrichtung eine Schnittstelle aufweisen, die mit einer physischen Schnittstelle gemäß dem LPDDR4-Standard kompatibel ist.

[0013] In einigen Ausführungsformen können NVR-Befehlspaare über beide NVR-Befehle des Paares verteilte Befehlswerte aufweisen. In einigen Ausführungsformen können NVR-Befehlspaare über beide NVR-Befehle des Paares verteilte Adresswerte aufweisen.

[0014] In einigen Ausführungsformen können NVR-Befehle ein Format aufweisen, das Befehlen gemäß dem LPDDR4-Standard folgt. Jedoch können ein oder mehrere Bitstellen, die in LPDDR4-Befehlen Befehlsdaten bereitstellen, in einem NVR-Befehl Adressdaten bereitstellen.

[0015] In einigen Ausführungsformen kann eine NVM-Vorrichtung eine serielle Schnittstelle zusätzlich zu der DDR-Schnittstelle beinhalten.

[0016] In einigen Ausführungsformen kann die NVM-Vorrichtung Teil eines Systems sein, dass Cachezeilenlesevorgänge in einen Cachespeicher ausführt. Expresszugriffsoperationen (mit NVR-Befehlen ausgeführte Lesezugriffe) auf eine oder mehrere NVM-Vorrichtungen können eine Cachezeile füllen, ohne dass Lesedaten verworfen werden müssen.

[0017] In einigen Ausführungsformen kann eine NVM-Vorrichtung Teil eines Systems mit einer Speichersteuerung sein. Die Speichersteuerung kann Lesebefehlssequenzen mit den NVR-Befehlen an eine NVM-Vorrichtung sowie Lesebefehlssequenzen gemäß einem existierenden Standard (z.B. LPDDR4) an eine andere Vorrichtung (z.B. einen dynamischen Direktzugriffsspeicher (DRAM)) ausgeben. Lesesequenzen gemäß dem existierenden Standard können im Vergleich zu Sequenzen von den NVR-Befehlen (z.B. zwei Befehle) mehr Befehle (z.B. vier Befehle) aufweisen.

[0018] In den verschiedenen folgenden Ausführungsformen verweisen gleiche Bezugszeichen auf

Ausführliche Beschreibung

[0011] Gemäß Ausführungsformen kann eine nicht-flüchtige Speichervorrichtung (NVM-Vorrichtung)

gleiche Elemente, wobei jedoch die vorderste(n) Ziffer(n) der Nummer der Figur entsprechen.

[0019] Fig. 1A ist ein Blockdiagramm einer NVM-Vorrichtung 100 gemäß einer Ausführungsform. Die NVM-Vorrichtung 100 kann ein oder mehrere Speicherzellenarrays 102 und eine DDR-Schnittstelle 104 beinhalten. In der gezeigten Ausführungsform können die Speicherzellenarrays 102 NVM-Zellenarrays 102 sein, die NVM-Zellen einer beliebigen geeigneten Art beinhalten können, die Daten speichern können, wenn kein Strom vorhanden ist. In einigen Ausführungsformen können die NVM-Zellenarrays 102 Decodierschaltungen zum Zugreifen auf NVM-Zellen als Reaktion auf Adresswerte sowie Schreibschaltungen (z.B. Programmier- und Löschschaltungen) zum Speichern von Datenwerten in den NVM-Zellen beinhalten. In einigen Ausführungsformen können die Speicherzellenarrays 102 flüchtige Speicherzellen, darunter unter anderem Dynamischer-Direktzugriffsspeicher(DRAM)-Zellen und/oder Statischer-RAM(SRAM)-Zellen, mit geeigneten Zugriffsschaltungen und Hilfsschaltungen (z.B. Decodierschaltungen, Auffrischschaltungen für DRAMs usw.) beinhalten.

[0020] Eine DDR-Schnittstelle 104 kann einen Befehls-und-Adress(CA)-Eingang, eine parallele Datenverbindung (DQ) und einen oder mehrere Takteingänge (CLKs) beinhalten. Der CA-Eingang kann Befehls- und Adressdaten zum Zugreifen auf Speicherorte des NVM-Zellenarrays 102 empfangen. Ein CLK-Eingang kann eine oder mehrere Takteingaben zur Zeitsteuerung von Eingangs- und Ausgangssignalen für die NVM-Vorrichtung 102 empfangen. Die DQ-Verbindung kann parallele Datenwerte als Reaktion auf am CA-Eingang empfangene Anforderungen ausgeben.

[0021] Ausgangsdatenwerte können synchron mit sowohl steigenden als auch fallenden Flanken eines Eingangstakts (d.h. bei einer doppelten Datenrate) bereitgestellt werden. In einigen Ausführungsformen kann die DQ unidirektional sein und nur Ausgangsdaten von der NVM-Vorrichtung bereitstellen. Jedoch kann die DQ in anderen Ausführungsformen bidirektional sein und somit sowohl Daten empfangen als auch ausgeben.

[0022] In einigen Ausführungsformen kann die DDR-Schnittstelle 104 eine mit einem existierenden Speicherstandard kompatible Signalisierung aufweisen. In einer Ausführungsform kann eine DDR-Schnittstelle 104 eine mit dem durch JEDEC veröffentlichten LPDDR4-Standard kompatible Signalisierung aufweisen. Das heißt, die DDR-Schnittstelle 104 kann eine physische Schnittstelle aufweisen, die mit dem Standard der physischen LPDDR4-Schnittstelle (d.h. LPDDR4-PHY) kompatibel ist.

[0023] Während die DDR-Schnittstelle 104 eine mit einem existierenden Standard kompatible Signalisierung aufweisen kann, kann die DDR-Schnittstelle 104 kürzere Lesebefehlssequenzen als ein solcher existierender Standard verarbeiten. In Ausführungsformen kann die DDR-Schnittstelle 104 mit der LPDDR4-PHY kompatibel sein, kann jedoch Expresslesesequenzen von zwei Befehlen anstatt durch den LPDDR4-Standard vorgegebene Lesebefehlssequenzen von vier Befehlen verarbeiten.

[0024] Eine DDR-Schnittstelle 104 kann einen Befehlsdecodierer 105 zum Ausführen von Expresszugriffen, wie hier beschrieben, beinhalten. In einigen Ausführungsformen kann ein Befehlsdecodierer 105 Expresszugriffsbefehle erkennen, um Zugriffe auf NVM-Zellenarrays 102 freizugeben. In einigen Ausführungsformen kann ein Befehlsdecodierer 105 Expresszugriffsbefehle von anderen Befehlen unterscheiden. Aufeinanderfolgende Sequenzen von Expresszugriffsbefehlen können als Expressbefehlssequenz betrachtet werden. Eine Expressbefehlssequenz kann alle Anweisungs- und Adressdaten zum Ausführen eines Zugriffs auf die NVM-Vorrichtung 102 beinhalten. In einigen Ausführungsformen kann eine DDR-Schnittstelle mit einem existierenden Standard (z.B. LPDDR4) kompatibel sein, und eine Expressbefehlssequenz kann gemäß dem existierenden Standard weniger Befehle als Zugriffe beinhalten.

[0025] In einigen Ausführungsformen kann eine CA-Eingabe eine Breite von weniger als sieben Bit aufweisen, und eine DQ-Verbindung kann eine Breite von weniger als zwanzig Bit aufweisen.

[0026] In einigen Ausführungsformen kann eine NVM-Vorrichtung 102 eine integrierte Schaltungsvorrichtung sein, die ein oder mehrere Integrierte-Schaltung(IC)-Substrate beinhaltet, die in einem einzigen IC-Gehäuse ausgebildet sind.

[0027] Fig. 1B ist ein Zeitdiagramm, das eine Zugriffsoperation für eine NVM-Vorrichtung wie die von **Fig. 1A** zeigt. **Fig. 1B** zeigt einen Lesezugriff, der mit einem vorbestimmten Standard (Std) kompatibel ist, sowie einen Expresslesezugriff (Express) auf eine NVM-Vorrichtung gemäß einer Ausführungsform, der in einer kleineren Anzahl von Taktzyklen als der Standardlesezugriff erfolgen kann.

[0028] Fig. 1B beinhaltet Wellenformen für einen Zeitsteuerungstakt (CK); eine CA-Eingabe für einen Standardzugriff (CA(Std)); eine CA-Eingabe in einem Expresszugriff (CA(Express)); Ausgangsdaten in einem Standardzugriff (DQ(Std)); und Ausgangsdaten für einen Expresszugriff (DQ(Express)).

[0029] Zum Zeitpunkt t0 kann eine Lesebefehlssequenz an einer Speichervorrichtung empfangen wer-

den. Die Lesebefehlssequenz kann die Befehls- und Adresswerte für eine Leseoperation beinhalten. **Fig. 1B** zeigt Befehls-Adresswerte für den Standardfall sowie für den Expressfall. Wie gezeigt erfordert die Standardlesebefehlssequenz „n“ Befehle (Std0-Stdn), wobei n größer als 2 ist. Dagegen besteht der Expresszugriff aus weniger NVR-Befehlen (NVR1, NVR2 und möglicherweise NVR3).

[0030] Als Reaktion auf den Empfang eines ersten NVR-Befehls (NVR1) kann der Befehl ausgewertet werden (als 147 gezeigt), um zu bestimmen, ob es sich um einen Expresszugriffsbefehl handelt. Handelt es sich bei einem empfangenen Befehl um einen Expresszugriffsbefehl, so kann ein nächster Befehl der Sequenz untersucht werden, um zu bestimmen, ob es sich um einen Expresszugriffsbefehl handelt. Sätze aufeinanderfolgender Expresszugriffsbefehle können eine Expresszugriffsbefehlssequenz bilden. Somit zeigt **Fig. 1B** eine Expresszugriffsbefehlssequenz von NVR1/NVR2 (Zweiersequenz) und gegebenenfalls NVR1/NVR2/NVR3 (Dreiersequenz).

[0031] Zum Zeitpunkt t1 kann der Empfang der Expresszugriffsbefehlssequenz (NVR1/NVR2) abgeschlossen werden. Nach dem Zeitpunkt t1 und vor dem Zeitpunkt t2 kann die Expresszugriffsbefehlssequenz (NVR1/NVR2/NVR3) abgeschlossen werden.

[0032] Zum Zeitpunkt t2 kann der Empfang der Standardlesebefehlssequenz (als CT1, ACT2, READ, CAS2 gezeigt, jedoch nicht auf ein bestimmtes Protokoll/einen bestimmten Standard beschränkt) abgeschlossen werden, wofür mehr Taktzyklen als bei den Expressfällen benötigt werden.

[0033] Zum Zeitpunkt t3 können Daten, die den Expresslesebefehlssequenzen entsprechen, ausgegeben werden.

[0034] Zum Zeitpunkt t4 kann eine Datenausgabe für den Expresszugriff von der NVM-Vorrichtung abgeschlossen werden. In dem gezeigten Beispiel können zu diesem Zeitpunkt auch Daten ausgegeben werden, die der Standardlesebefehlssequenz entsprechen.

[0035] Zum Zeitpunkt t5 kann eine Datenausgabe für den Standardzugriff abgeschlossen werden.

[0036] In der gezeigten Ausführungsform kann eine Expressleseoperation weniger Befehle (und somit weniger Taktzyklen) und gegebenenfalls Daten in einer kleineren Burst-Sequenz abrufen als der Standardlesezugriff. Als Ergebnis können Expressleseoperationen weniger Zeit auf dem CA-Bus einnehmen und Daten in kürzerer Zeitdauer abrufen als eine Standardleseoperation. In einigen Ausführungsfor-

men kann eine kleinere Burst-Sequenz ein auswählbares Merkmal der Speichervorrichtung sein, wobei größere Burst-Sequenzen (einschließlich jener mit herkömmlicher Größe) unterstützt werden.

[0037] Während **Fig. 1B** zeigt, dass NVR-Befehle über zwei Taktzyklen von CK empfangen werden, können in alternativen Ausführungsformen NVR-Befehle über eine längere Anzahl von Taktzyklen empfangen werden. Lediglich als ein Beispiel könnten die in NVR1/NVR2 von **Fig. 1B** enthaltenen Befehls- und Adressdaten in einem NVR-Befehl, der vier Taktzyklen einnimmt, enthalten sein.

[0038] In einigen Beispielen können NVR-Befehle über $j \times 2$ Taktzyklen empfangen werden, wobei j eine ganze Zahl von mindestens eins ist.

[0039] **Fig. 1C** ist ein Diagramm, das verschiedene Beispiele für Expresslese-(NVR)-Befehlssequenzen gemäß Ausführungsformen zeigt. Es versteht sich, dass solche Sequenzen mit der Zeit als von einer Steuerungsvorrichtung ausgegebene und/oder an einer NVM-Vorrichtung empfangene aufeinanderfolgende Befehle auftreten. Aufeinanderfolgende Befehle können Befehle sein, die nacheinander ohne dazwischenliegende Verzögerung bzw. ohne Verzögerung von ausreichenden Dauer empfangen werden.

[0040] Eine NVR-Befehlssequenz 149A zeigt eine Sequenz von zwei Befehlen (NVR1/NVR2), die dadurch beendet wird, dass kein weiterer Befehl empfangen wird. Anhand von Bitwerten in NVR1 kann ein Befehlsdecoder bestimmen, dass es sich bei dem Befehl um einen NVR-Befehl handelt. Als Ergebnis kann ein Befehlsdecoder den nächsten anschließenden Befehl als möglichen NVR-Befehl behandeln. Somit kann NVR2 bei einem nächsten NVR-Befehl der Sequenz detektiert werden. In der gezeigten Ausführungsform endet die NVR-Befehlssequenz 149A, wenn auf NVR2 kein anschließender Befehl folgt. In einigen Ausführungsformen wird ein Befehl über eine vorbestimmte Anzahl von Zeitsteuerungstaktzyklen empfangen. Wird ein Befehl nicht in einer solchen Anzahl von Taktzyklen empfangen, so kann j egliche NVR-Befehlssequenz als beendet betrachtet werden.

[0041] Wenn die Befehlssequenz beendet ist, werden die NVR-Befehle (NVR1/NVR2) der Sequenz zum Zugreifen auf NVM-Zellen verwendet. Das heißt, es wird davon ausgegangen, dass die Befehle NVR1/NVR2 alle für den Lesezugriff erforderlichen Befehls- und Adressdaten enthalten.

[0042] Die NVR-Befehlssequenz 149B zeigt eine NVR-Befehlssequenz wie 149A, jedoch wird die NVR-Befehlssequenz durch den Empfang eines Nicht-NVR-Befehls beendet. Ein Befehlsdecoder

kann NVR1 detektieren, dann den nächsten Befehl (NVR2) untersuchen und bestimmen, dass dieser ebenfalls eine NVR-Befehl und somit Teil derselben NVR-Befehlssequenz ist. Da NVR2 ein NVR-Befehl ist, kann ein Befehlsdecodierer den nächsten anschließenden Befehl (MRR1) betrachten, um zu bestimmen, ob er ein NVR-Befehl ist. Jedoch ist MRR1 in diesem Fall kein NVR-Befehl. Als Ergebnis kann die NVR-Befehlssequenz enden und auf die NVM-Zellen mit Adresswerten in NVR1/NVR2 zugegriffen werden.

[0043] Die NVR-Befehlssequenz 149C zeigt eine NVR-Befehlssequenz wie 149A, jedoch mit mehr NVR-Befehlen. In einigen Ausführungsformen erfordert ein Adressraum einer Zielspeichervorrichtung möglicherweise mehr Adressbits als in zwei NVR-Befehlen bereitgestellt werden können. Dementsprechend können ein oder mehrere NVR-Befehle (in diesem Fall ein Befehl NVR3) zu der NVR-Befehlssequenz hinzugefügt werden. Eine längere Expresslesebefehlssequenz kann auf gleiche Weise wie oben gezeigt beendet werden. Ferner können NVR-Befehlssequenzen eine beliebige Anzahl von NVR-Befehlen, darunter mehr als drei NVR-Befehle, aufweisen.

[0044] Es versteht sich, dass eine NVR-Befehlssequenz einen NVR-Befehl beinhalten kann.

[0045] Während Ausführungsformen verschiedene Formen annehmen können, können einige Ausführungsformen einzelne integrierte Schaltungsvorrichtungen (IC-Vorrichtungen) mit einem oder mehreren Integrierte-Schaltung-Dies sein. **Fig. 2** bis **Fig. 4** zeigen drei von zahlreichen möglichen IC-Vorrichtungen gemäß Ausführungsformen.

[0046] **Fig. 2** ist ein Blockdiagramm einer NVM-IC-Vorrichtung 200 mit einem in einem IC-Gehäuse 205 ausgebildeten einzelnen Die 207. Ein IC-Gehäuse kann eine beliebige geeignete Form annehmen, darunter unter anderem: Ball Grid Array (BGA), einschließlich Fine Pitch BGA (FBGA), Small Outline Package, Flat Package, Pin Grid Array oder Chip Carrier. Der Die 207 kann NVM-Zellenarrays 202, eine DDR-I/F 204 und eine serielle I/F 206 beinhalten. Die NVM-Zellenarrays 202 können die Form beliebiger der hier beschriebenen oder ihrer Äquivalente annehmen. In einigen Ausführungsformen können die NVM-Zellenarrays 202 eine erste Bank 202-0 und eine zweite Bank 202-1 beinhalten.

[0047] Eine DDR-I/F 204 kann einen CS-Eingang, Takteingänge (CLKs), einen CA-Eingang, DQ, und einen Daten-Strobe-Ausgang (DQS) beinhalten. Eine DDR-I/F 204 kann außerdem einen Befehlsdecodierer 205 beinhalten, der Expresszugriffsbefehle (z.B. NVR1, NVR2 ... NVRn), wie hier beschrieben, und Äquivalente decodieren kann. Eine DDR-I/F 204

kann einen Zugriff auf NVM-Zellenarrays 202 einschließlich Lese- und Schreiboperationen freigeben. In einigen Ausführungsformen kann die DDR-I/F 204 zusätzlich zu den Expresszugriffen Standardzugriffe freigeben oder kann zum Freigeben von Standardzugriffen konfiguriert werden. In einigen Ausführungsformen kann ein Befehlsdecodierer 205 aufeinanderfolgende unterbrochene NVR-Befehlssequenzen (z. B. ein erstes NVR1/NVR2-Paar unmittelbar gefolgt von einem zweiten NVR1/NVR2-Paar) an jede der Bänke 202-0/1 verarbeiten, um eine ununterbrochene Ausgabe von Daten von den Bänken 202-0/1 auf DQ mit doppelter Datenrate zu ermöglichen.

[0048] Eine serielle I/F 206 kann Zugriffe auf NVM-Arrays 202 über einen seriellen Bus ermöglichen. Die serielle I/F 206 kann einen seriellen Chipauswahleingang (SERIAL_CS), einen seriellen Takteingang (SERIAL_CLK) und ein seriell Daten-E/A (SERIAL_DQ) beinhalten. SERIAL_CS kann ermöglichen, dass die NVM-Vorrichtung 202 für einen Zugriff durch eine andere Vorrichtung (z.B. HostVorrichtung) über die serielle I/F 206 ausgewählt wird. SERIAL_CLK kann ein Zeitsteuersignal zum Synchronisieren von Dateneingaben in die und Datenausgaben von der NVM-Vorrichtung 202 empfangen. SERIAL_DQ kann Befehls-, Adress- und Datenwerte zum Zugreifen auf Speicherorte (darunter Konfigurationsregister) der NVM-Vorrichtung 202 empfangen. SERIAL_DQ kann serielle Daten als Reaktion auf Zugriffe ausgeben.

[0049] **Fig. 3** ist ein Blockdiagramm einer NVM-IC-Vorrichtung 300 mit einem ersten Die 307A und einem zweiten Die 307B, die in demselben IC-Gehäuse 305 ausgebildet sind. Ein IC-Gehäuse kann eine beliebige geeignete Form annehmen, wie hier beschrieben. Der erste Die 307A kann NVM-Zellenarrays 302A, eine DDR-I/F 304 und eine serielle I/F 306A beinhalten, wie im Fall von **Fig. 2**. Der zweite Die 307B kann NVM-Zellenarrays 302B und eine serielle I/F 306B beinhalten. Der erste und der zweite Die 307A/B können durch einen internen Bus 309 verbunden sein. Zugriffe an der DDR-I/F 304 können über den internen Bus 309 auf die NVM-Zellenarrays 302 A auf den ersten Die 307A sowie auf die NVM-Zellenarrays 302B auf dem zweiten Die 307B zugreifen. Ein gemeinsam genutzter serieller Bus 311 kann Zugriffe auf jeden Die 307A/B über gemeinsame serielle Eingänge 313 ermöglichen.

[0050] Eine DDR-I/F 304 kann wie die von **Fig. 2** arbeiten. Jedoch kann ein Befehlsdecodierer 305 aufeinanderfolgende ununterbrochene NVR-Sequenzen verarbeiten, deren Ziel Bänke unterschiedlicher Dies (z.B. 302-0A/302-0B) sind, um eine ununterbrochene Ausgabe von Daten aus den Bänken 302-0A/302-0B auf DQ_A/B zu ermöglichen.

[0051] Fig. 4 ist ein Blockdiagramm einer NVM-IC-Vorrichtung 400 mit einem ersten Die 407A und einem zweiten Die 407B, die in demselben IC-Gehäuse 405 ausgebildet sind. Die NVM-IC-Vorrichtung 400 kann Elemente wie die von Fig. 3 aufweisen. Die NVM-IC-Vorrichtung 400 kann sich darin von Fig. 3 unterscheiden, dass jeder Die 407A/B eine DDR-I/F 404A/B aufweisen kann, die jeweils einen Chipauswahleingang (CS_A/B), Takteingänge (CLK_As/Bs), CA-Eingänge (CA_A/B), DQ (DQ_A/B) und DQS (DQS_A/B) beinhalten. Jede DDR-I/F 404A/B kann außerdem ihren eigenen Befehlsdecoder 405A/B aufweisen. In einigen Ausführungsformen kann der Befehlsdecoder 405A aufeinanderfolgende ununterbrochene NVR-Sequenzen verarbeiten, deren Ziel die Bänke 302-0A/1A in NVM-Zellenarrays 402A sind, und der Befehls Decoder 405B kann aufeinanderfolgende ununterbrochene NVR-Sequenzen verarbeiten, deren Ziel die Bänke 302-0B/1B in NVM-Zellenarrays 402B sind.

[0052] In den Ausführungsformen von Fig. 2 bis Fig. 4 kann eine DDR-I/F (eine beliebige von 204, 304, 404A, 404B) eine Signalisierung aufweisen, die mit einem durch JEDEC veröffentlichten DDR-Standard kompatibel ist. In einigen Ausführungsformen kann eine solche DDR-I/F mit dem durch JEDEC veröffentlichten LPDDR4-Standard kompatibel sein.

[0053] In den Ausführungsformen von Fig. 2 bis Fig. 4 kann eine serielle I/F (eine beliebige von 206, 306A/B, 406A/B) mit einem Serial-Peripheral-Interface(SPI)-Standard, darunter jene mit einer seriellen Datenleitung oder mehreren seriellen Datenleitungen (z.B. Quad-SPI), kompatibel sein.

[0054] Fig. 5 ist ein Zeitdiagramm, das Expresszugriffsoperationen für eine NVM-Vorrichtung gemäß einer Ausführungsform zeigt. In Fig. 5 wird angenommen, dass Zugriffe über eine DDR-Schnittstelle mit dem LPDDR4-PHY-Standard kompatiblen Eingängen erfolgen können. Jedoch ist die DDR-Schnittstelle in der Lage, Expresszugriffsbefehle zu verarbeiten, die eine Befehlssequenz von weniger Befehlen als herkömmliche LPDDR4-Zugriffe beinhalten können. Fig. 5 zeigt die folgenden Wellenformen: CS zeigt eine Chipauswahl(CS)-Eingabe; CA [5:0] zeigt eine Befehlsadresseingabe (mit einer Bitbreite von sechs Bit); CMD ist eine geschriebene Darstellung von an CA empfangenen Anweisungsdaten; CK_t ist ein Zeitsteuerungstakt; DQS[1:0] zeigt eine Daten-Strobe-Ausgabe; DQ[15:0] zeigt ein Daten-E/A mit einer Bitbreite von 16 Bit; und DM [1:0] zeigt eine Ausgabe, ausgelegt zum Bereitstellen von Fehlerkorrekturcode(ECC)-Daten, die den auf DQ ausgegebenen Daten entsprechen.

[0055] Zum Zeitpunkt t0 kann CS High sein, wodurch die NVM-Vorrichtung für eine Zugriffsoperation ausgewählt wird. Außerdem kann zum Zeitpunkt t0 die NVM-Vorrichtung beginnen, eine Befehlssequenz an CA für eine erste Expressleseoperation zu empfangen. Eine solche Befehlssequenz kann die Form eines über einen ersten Taktzyklus (von CK_t) empfangenen ersten NVR-Befehls (NVR-1) gefolgt von einem über einen anderen Taktzyklus empfangenen zweiten NVR-Befehl (NVR-2) annehmen. Es versteht sich jedoch, dass alternative Ausführungsformen Sequenzen von mehr als zwei NVR-Befehlen beinhalten können.

[0056] Zum Zeitpunkt t1 kann CS wiederum High sein, wodurch weiterhin die NVM-Vorrichtung für eine Zugriffsoperation ausgewählt wird.

[0057] Zum Zeitpunkt t2 kann ein erster Zugriff mit einer nach etwa drei Taktzyklen abgeschlossenen ersten Befehlssequenz abgeschlossen sein. Als Reaktion auf die Befehlssequenz kann die NVM-Vorrichtung beginnen, auf NVM-Zellen für die angeforderten Lesedaten zuzugreifen.

[0058] Zum Zeitpunkt t3 kann CS wiederum High sein, wodurch weiterhin die NVM-Vorrichtung für eine Zugriffsoperation ausgewählt wird. Außerdem kann zum Zeitpunkt t3 eine zweite Expresszugriffsoperation beginnen. Die zweite Zugriffsoperation kann auf dieselbe Weise wie die erste Zugriffsoperation erfolgen.

[0059] Zum Zeitpunkt t4 kann ein zweiter Zugriff mit einer über vier Taktzyklen empfangenen zweiten Befehlssequenz abgeschlossen sein. Als Reaktion auf die zweite Befehlssequenz kann die NVM-Vorrichtung beginnen, auf NVM-Zellen für den zweiten Satz von Lesedaten zuzugreifen. Eine Zeit t2-t4 kann eine Spalte-zu-Spalte-Verzögerungszeit (tCCD) sein, die vier Taktzyklen betragen kann.

[0060] Der Zeitpunkt t 5 kann das Ende einer Leselatenz(RL)-Zeit markieren, die gemäß der Taktgeschwindigkeit und der Architektur der NVM-Vorrichtung variieren kann. In der gezeigten Ausführungsformen kann RL 14 Taktzyklen betragen.

[0061] Zum Zeitpunkt t6 können im Anschluss an die RL-Zeit und eine zusätzliche Taktversatzverzögerung (tDQSK) Lesedaten für den ersten Zugriff (D0-D7) auf DQ zusammen mit entsprechenden Daten-Strobe-Signalen DQS ausgegeben werden. Lesedaten können mit einer doppelten Datenrate in Bezug auf CK_t ausgegeben werden und können eine Burst-Länge (BL) von acht aufweisen. Darüber hinaus können auf der Ausgangs-DM zwei Bit ECC-Daten mit jedem Lesedatenwert ausgegeben werden. In der gezeigten Ausführungsform können

DQ/DM über jeden der zwei Taktzyklen nach t_6 64 Bit Lesedaten mit 8 Bit ECC-Daten ausgeben.

[0062] Zum Zeitpunkt t_7 können die Lesedaten für den zweiten Zugriff (D0-D7) auf DQ unmittelbar nach den Lesedaten für den ersten Zugriff ausgegeben werden. Dieser zweite Satz von Lesedaten kann das gleiche allgemeine Format wie die erste Lesedaten aufweisen.

[0063] Unter weiterer Bezugnahme auf **Fig. 5** können die Sequenzen der Lesebefehle NVR1/NVR2 vier Taktzyklen einnehmen. Während **Fig. 5** eine DQ von 16 Bit (d.h. x16) zeigt, versteht es sich, dass andere Ausführungsformen Zugriffe von 32 Bit (d.h. x32) beinhalten können. Als lediglich zwei von vielen möglichen Beispielen können die NVR-1/NVR-2-Befehle zwei NVM-Vorrichtung als Ziel haben, die jeweils x16-Bit zurückgeben. Alternativ kann die NVM-Vorrichtung eine x32-Bit-Ausgabe aufweisen. Somit können, während **Fig. 5** zeigt, dass Daten jeden halben Taktzyklus mit x16 Bit ausgegeben werden, in einer Konfiguration mit zwei Vorrichtungen/Bänken Daten über acht halbe Taktzyklen mit x32 Bit ausgegeben werden. In einer solchen Anordnung können zwei NVM-Vorrichtungen (oder eine NVM-Vorrichtung mit einer x32-DQ) 32 Byte von Daten über vier Taktzyklen ausgeben. Solche Leseoperationen können pipelineartig ausgegeben werden (d.h. **Fig. 5** zeigt zwei pipelineartig ausgegebene Leseoperationen, wobei jedoch größere Anzahlen von Leseoperationen pipelineartig ausgegeben werden können). In vielen Systemen können Cachespeicherzugriffe Daten in Cachezeilen mit einer Größe von 32 Byte schreiben. Dementsprechend kann jeder Pipeline-NVR-Lesezugriff eine Cachezeile füllen, wobei keine Daten verschwendet werden.

[0064] Wie in **Fig. 5** gezeigt, kann die Zeit zwischen dem Beginn eines Expresslesebefehls (t_0) und der Ausgabe aller Daten (t_7) drei Taktzyklen für Befehlsadressdaten (NVR1/2), 14 Taktzyklen für RL, zwei Taktzyklen für tDQSK und vier Taktzyklen für die Daten (bei BL=8) umfassen. Bei einer Taktgeschwindigkeit von 800 MHz kann die Gesamtzeit 28,75 ns betragen. Somit kann eine erste Cachezeile unter Verwendung von Pipeline-Expresslesezugriffen in 28,75 ns mit Daten aus einem nichtflüchtigen Speicher gefüllt werden, wobei nachfolgende Cachezeilen alle 5 ns (d.h. vier Taktzyklen) gefüllt werden. Dies steht in starkem Kontrast zu der herkömmlichen Zugriffsoperation von **Fig. 19**, die für eine erste Cachezeile 38,75 ns und für jede nachfolgende Operation 10 ns benötigt und die 32 Byte aus jedem gelesenen Datensatz verwirft.

[0065] Während **Fig. 5** eine Ausführung mit einer BL von acht zeigt, können Ausführungsformen auch größere BL-Größen unterstützen. In einigen Ausführungsformen kann eine BL von acht ein auswählba-

res Merkmal unter anderen BL-Größen (wie etwa 32) sein. Ferner können andere Ausführungsformen BL-Größen von mehr als acht, wie etwa 16, bereitstellen, und kurze BL-Größen von acht nicht unterstützen.

[0066] **Fig. 6** ist ein Zeitdiagramm, das eine Zugriffsoperation für eine NVM-Vorrichtung gemäß einer anderen Ausführungsform zeigt. **Fig. 6** zeigt einen Zugriff über eine DDR-Schnittstelle, wie die von **Fig. 5**, jedoch mit zwei unterschiedlichen NVM-Vorrichtungen als Ziel. **Fig. 6** zeigt Wellenformen wie die von **Fig. 5**, mit der Ausnahme, dass es zwei Chipauswahlwellenformen CS0 und CS1 geben kann. Ferner kann es zwei unterschiedliche Daten-Strobe-Signale DQSA, DQSB geben.

[0067] Operationen können auf dieselbe allgemeine Weise wie in **Fig. 6** gezeigt erfolgen, wobei jedoch eine erste NVM-Vorrichtung zwischen den Zeitpunkten t_0 und t_1 mit dem Signal CS0 und eine zweite NVM-Vorrichtung zwischen den Zeitpunkten t_2 und t_3 mit dem Signal CS1 ausgewählt werden kann. In einigen Ausführungsformen kann es eine Zeit tBT geben, die eine NVR-Sequenz (NVR1A/NVR2A) für eine Vorrichtung und eine NVR-Sequenz (NVR1B/NVR2B) für eine nächste Vorrichtung trennt. Eine Zeit tBT kann gemäß der Art der Vorrichtung und der Taktgeschwindigkeit variieren. Als nur einige von vielen möglichen Beispielen kann tBT bei einer Taktgeschwindigkeit von 800 MHz zwei Taktzyklen (von Ck_t) betragen, und bei einer Taktgeschwindigkeit von 1600 MHz kann tBT vier Taktzyklen betragen. Zwischen den Zeitpunkten t_4 und t_5 auf DQ ausgegebene Daten können von einer ersten NVM-Vorrichtung stammen, während nach Zeitpunkt t_5 auf DQ ausgegebene Daten von einer zweiten NVM-Vorrichtung stammen können. In einigen Ausführungsformen kann es eine Zeit tDQBT geben, die die Datensätze trennt.

[0068] **Fig. 7** ist ein Blockdiagramm einer NVM-Vorrichtung 700 gemäß einer anderen Ausführungsform. Die NVM-Vorrichtung 700 kann eine Implementierung von in anderen Ausführungsformen gezeigten Vorrichtungen und Dies sein. Eine NVM-Vorrichtung 700 kann eine erste Schnittstelle 704, eine zweite Schnittstelle 706 und eine Anzahl separat adressierbarer Bänke 702-0 bis -3 beinhalten. Eine erste I/F 710 kann eine parallele DDR-I/F sein, die Befehlssequenzen an einem CA-Eingang empfangen und parallele Ausgangsdaten am Datenausgang DQ synchron mit steigenden und fallenden Flanken eines Takts CLK bereitstellen kann. Eine erste Schnittstelle 710 kann mit einem parallelen Datenbus 710 verbunden sein. Der parallele Datenbus 710 kann Befehls- und Adresswerte aufweisen, die über einen CA-Bus übertragen werden, der von einem Datenbus DQ, auf dem Daten ausgegeben (oder eingegeben) werden können, getrennt ist. In einigen Ausführungsformen kann Signalisierung an

einer ersten I/F 710 mit dem LPDDR4-Standard kompatibel sein. Eine erste I/F 710 kann außerdem einen Befehlsdecoder 705 zum Verarbeiten von Expresszugriffen, wie hier beschrieben, und Äquivalente beinhalten.

[0069] Eine zweite I/F 706 kann eine serielle I/F sein, die serielle Datentransaktionen an einem oder mehreren seriellen Daten-E/As (S_DQ) synchron mit einem seriellen Takt S_CLK ermöglichen kann. Die zweite I/F 706 kann mit einem seriellen Bus 708 verbunden sein. In einigen Ausführungsformen kann eine zweite I/F 712 mit einem SPI-Standard kompatibel sein.

[0070] Bänke (702-0 bis -3) können eine Anzahl von NVM-Zellen beinhalten. In jeder Bank (702-0 bis -3) können NVM-Zellen in einem oder mehreren Arrays angeordnet sein. NVM Zellen können eine beliebige geeignete Form annehmen und können in einigen Ausführungsformen „Flash“-NVM-Zellen sein. Die Bänke (702-0 bis -3) können separat adressierbar sein. Das heißt, eine physische Adressierung der Vorrichtung 700 kann eine separate Bankadresse für jede Bank (702-0 bis -3) aufweisen. Alle Bänke (702-0 bis -3) können mit einem ersten Bussystem 712A und einem zweiten Bussystem 712B verbunden sein. Das erste Bussystem 712A kann die Bänke (702-0 bis -3) mit der ersten I/F 704 verbinden und das zweite Bussystem 712B kann die Bänke (702-0 bis -3) mit der zweiten I/F 706 verbinden. Während **Fig. 7** eine Vorrichtung mit vier Bänken zeigt, können Ausführungsformen eine größere oder eine kleinere Anzahl von Bänken beinhalten.

[0071] In einigen Ausführungsformen kann eine Bankadressierung Pipeline-Zugriff auf eine NVM-Vorrichtung mit Expresszugriffsbefehlen (z.B. Befehlspaaren NVR1/NVR2) ermöglichen. Befehlssequenzen für unterschiedliche Bänke können an einer ersten Schnittstelle 704 auf Pipeline-Weise (d.h. keine Zwischendaten zwischen Befehlsadresswerten und eine minimale oder keine Verzögerung zwischen Befehlsadresswerten) empfangen werden. Als Reaktion auf solche Pipeline-Befehlssequenzen können Daten von unterschiedlichen Bänken auf DQ in aufeinanderfolgenden Bursts mit einer minimalen oder ohne Verzögerung zwischen solchen Bursts ausgegeben werden.

[0072] **Fig. 8** ist ein Blockdiagramm einer NVM-Vorrichtung 800 gemäß einer weiteren Ausführungsform. Die NVM-Vorrichtung 800 kann eine Implementierung einer beliebigen der hier gezeigten sein. Die NVM-Vorrichtung 800 kann eine DDR4-I/F 804, eine Quad-SPI(QSPI)-kompatible I/F 806, eine in LPDDR4-kompatible Bitübertragungsschicht-Schnittstelle (PHY) 816, eine QSPI-kompatible PHY 818, mehrere Bänke 802-0 bis -7, einen ersten Zugriffspfad 820-0 bis -7 für jede Bank (802-0 bis

-7), einen zweiten Zugriffspfad 822-0 bis -7 für jede Bank (802-0 bis -7) und Parameter-/Konfigurationsregister 821 beinhalten.

[0073] Die LPDDR4-PHY 816 kann einen Chipauswahl- bzw. CS-Eingang, einen Takteingang CK_t, einen CA-Eingang, eine erste DQ[7:0] mit entsprechendem Datentaktausgang DQS0_t und eine zweite DQ[15:8] mit entsprechendem Datentaktausgang DQS1_t beinhalten. Solche Eingänge und Ausgänge können mit einem LPDDR4-kompatiblen Bus 810 verbunden sein. Die DDR4-I/F 804 kann Befehls- und Adressdaten verarbeiten und kann einen Befehlsdecoder 805 beinhalten, der Expresszugriffsbefehlsadresswerte verarbeiten kann, die in einer Befehlssequenz (z.B. NVR1.... NVRn) empfangen werden können, wobei jeder Befehl der Sequenz über nicht mehr als zwei Taktzyklen von CK_t empfangen wird. In einigen Ausführungsformen kann die DDR4-I/F 804 außerdem LPDDR 4-kompatible Befehle (z.B. Befehlsadressdaten, die über acht Taktzyklen empfangen werden) verarbeiten. In einigen Ausführungsformen kann die DDR4-I/F 804 eine Nur-Lese-Schnittstelle in Bezug auf Benutzerspeicherplatzzugriffe sein, die keine Schreibbefehle in Benutzerspeicherplatz verarbeitet. In einigen Ausführungsformen kann die DDR4-I/F 804 Schreiboperationen in Konfigurations- und/oder andere Register einer NVM-Vorrichtung 800 verarbeiten.

[0074] Die DDR4-I/F 804 kann über ein erstes Bussystem 812A mit den Bänken (814-0 bis -7) verbunden sein. Die DDR4-I/F 804 kann Pipeline-Expresszugriffsbefehle alle vier Taktzyklen verarbeiten, um entsprechende Ausgangsdaten in Burst von acht mit einer doppelten Datenrate auf DQ bereitzustellen. In einigen Beispielen können solche aufeinanderfolgenden Pipeline-Expresszugriffsbefehle auf unterschiedliche Bänke 802-0 bis -7 sein.

[0075] Die QSPI-PHY 818 kann eine serielle Chipauswahl SPI_CS, einen seriellen Takteingang SPI_CLK und vier serielle Daten-E/As SPI_DQ beinhalten. Solche E/As können mit einem SPI-kompatiblen seriellen Bus 808 verbunden sein. Die QSPI-I/F 806 kann an der QSPI-PHY 818 empfangene Befehle verarbeiten, darunter QSPI-kompatible Befehle. Solche Befehle können sowohl Lese- als auch Schreibbefehle (z.B. Programmier-, Löschbefehle) beinhalten.

[0076] Ein Parameter-/Konfigurationsregister 821 kann Parameterwerte, auf die andere Vorrichtungen zugreifen können, speichern, die die Fähigkeiten der NVM-Vorrichtung 800 angeben können. In einigen Ausführungsformen kann das Register 821 einen Parameterwert speichern, der angibt, dass die NVM-Vorrichtung 800 Expresszugriffsoperationen ausführen kann.

[0077] Jede Bank (802-0 bis -7) kann in Zeilen und Spalten angeordnete NVM-Zellen beinhalten. Auf jede Bank (802-0 bis -7) kann über eine eindeutige Bankadresse separat zugegriffen werden. In einigen Ausführungsformen können NVM-Zellen in Gruppen löschar sein (z.B. Flash-Zellen). Leseppure (820-0 bis -7) können Lesezugriffe auf ihre jeweilige Bank (802-0 bis -7) von der DDR4-I/F 804 über das erste Bussystem 812A ermöglichen. In einigen Ausführungsformen können die Leseppure (820-0 bis -7) auch Schreibppure sein, die ermöglichen, dass Schreibdaten von der DDR2-I/F 804 in Bänke (802-0 bis -7) geschrieben werden. R/W-Pfade (822-0 bis -7) können Lese- oder Schreibzugriffe auf ihre jeweilige Bank (802-0 bis -7) von der QSPI-I/F 806 über das zweite Bussystem 812B ermöglichen.

[0078] Gemäß Ausführungsformen kann eine NVM-Vorrichtung einen Adressraum von Speicherorten für Benutzerdaten sowie für die NVM-Vorrichtung spezifische Daten beinhalten. Ein solcher Adressraum kann Stellen für Parameterdaten, die eine Expresszugriffsfähigkeit angeben, und/oder Konfigurationsdaten zum Konfigurieren der NVM-Vorrichtung für Expresszugriffsoperationen beinhalten.

[0079] Fig. 9 zeigt eine NVM-Vorrichtung 900 mit einem Adressraum 923, einer LPDDR-I/F 904, die mit einem parallelen Bus 908 verbunden sein kann, und einer seriellen I/F 906, die mit einem seriellen Bus 910 verbunden sein kann. Die LPDDR4-PHY 904 kann mit einer LPDDR4-Standard-PHY kompatibel sein. Die serielle I/F 906 mit einem SPI-Standard kompatibel sein.

[0080] Der Adressraum 923 kann verschiedene Speicherorte beinhalten, auf die mittels einer vorbestimmten Adresse zugegriffen werden kann. In einigen Ausführungsformen kann die NVM-Vorrichtung 900 als nur ein Beispiel Logisch-zu-Physisch-Adressübersetzungs- und/oder Adressrekonfigurationsfähigkeiten für Wear-Leveling aufweisen. In der gezeigten Ausführungsform kann der adressierbare Raum 923 ein Benutzerraum 902 eines beliebigen der Folgenden sein: LPDDR4-Modusregister 921-0, Vorrichtungsidentifikations(ID)-Register 921-1, Vorrichtungparameterregister 921-2, sichere Regionen 921-3 und serielle I/F-Register 921-4. Der Benutzerraum 902 kann NVM-Zellenarrays zum Speichern von Benutzerdaten auf nichtflüchtige Weise beinhalten, und auf ihn kann über die LPDDR4-I/F 904 und die SPI-I/F 906 zugegriffen werden.

[0081] Die LPDDR4-Modusregister 921-0 können Werte zum Konfigurieren der LPDDR4-I/F 904 speichern. In einigen Ausführungsformen können die LPDDR4-Modusregister 921-0 Register zum Ermitteln einer BL-Größe, einschließlich kleiner BL-Größen wie etwa acht und/oder größerer BL-Größen ein-

schließlich unter anderem 16 oder 32, beinhalten. In einigen Ausführungsformen kann ein LPDDR4-Modusregister 921-0 ein Standardzugriffskonfigurationsregister 924 beinhalten. Gemäß einem in einem Expresszugriffssteuerregister 924 gespeicherten Wert kann eine NVM-Vorrichtung 900 Sequenzen von Standardzugriffsbefehlen ausführen, die mehr Befehle als ein Expresszugriff beinhalten können. In einigen Ausführungsformen kann die NVM-Vorrichtung 900 Expresszugriffe durchführen, indem sie bestimmt, ob es sich bei aufeinanderfolgenden Befehlen um NVR-Befehle handelt. Ein Standardzugriffskonfigurationsregister 924 kann LPDDR4-Befehlssequenzen von vier Befehlen zusätzlich zu Expressbefehlen ermöglichen. Auf die LPDDR4-Modusregister 921-0 kann über eine LPDDR4-I/F 904 oder eine SPI I/F 906 zugegriffen werden.

[0082] Die Vorrichtungs-ID-Register 921-1 können Werte speichern, die die NVM-Vorrichtung 900 für andere Vorrichtung in einem System identifizieren können. In einigen Ausführungsformen kann ein in den Vorrichtungs-ID-Registern 920-1 gespeicherter Wert angeben, dass die NVM-Vorrichtung Expresszugriffsbefehle ausführen kann. Die Parameterregister 921-2 können Werte speichern, die Fähigkeiten der NVM-Vorrichtung 900 für andere Vorrichtung in einem System identifizieren können. In einigen Ausführungsformen können die Parameterregister 921-2 ein Expresszugriffsparameterregister 925 beinhalten, das angeben kann, dass die NVM-Vorrichtung Expresszugriffsbefehle ausführen kann. Andere Vorrichtungen (d.h. eine Host- und/oder Speichersteuerung) können auf die Parameterregister 921-2 und/oder die Vorrichtungs-ID-Register 921-1 zugreifen, um zu bestimmen, dass die NVM-Vorrichtung 900 Expresszugriffsbefehle ausführen kann.

[0083] Die sicheren Regionen 920-3 können Datenwerte speichern, auf die Vorrichtungen außerhalb der NVM-Vorrichtung nicht zugreifen können oder auf die nur mittels eines sicheren Zugriffsverfahrens, wie etwa eines Authentifizierungsprozesses, zugegriffen werden kann. Beliebige oder alle der DDR-I/F-Register 920-0, der Vorrichtungs-ID-Register 920-1, der Parameterregister 920-2 und der seriellen I/F-Register 920-3 können sichere Regionen sein.

[0084] Die seriellen I/F-Register 921-4 können Werte zum Konfigurieren der seriellen I/F 906 speichern. In einigen Ausführungsformen kann über die serielle I/F 906, jedoch nicht über die DDR-I/F 904, die Vorrichtungs-ID-Register 921-1, die Parameterregister 921-2 und die seriellen I/F-Register 921-4 zugegriffen werden.

[0085] Fig. 10A zeigt ein Beispiel für DDR-I/F-Register 1021-1, die in einer NVM-Vorrichtung gemäß einer Ausführungsform enthalten sein kön-

nen. Die DDR-I/F-Register 1021-1 können verschiedene Register zum Konfigurieren einer DDR-I/F beinhalten, darunter ein Expresszugriffssteuerregister 1024. Ein Express Zugriffssteuerregister 1024 kann einen Wert Speichern, der verschiedene Merkmale von Expresszugriffsoperationen steuern kann, darunter unter anderem: eine Anzahl von Taktzyklen in einem empfangenen Befehl, eine etwaige Verzögerung zwischen aufeinanderfolgenden Zugriffen (z.B. tBT), eine Burst-Länge für Daten usw.

[0086] Fig. 10B zeigt ein Beispiel für Parameterregister 1021-2, die in einer NVM-Vorrichtung gemäß einer Ausführungsform enthalten sein können. Die Parameterregister 1021-2 können verschiedene Register zum Angeben von Parametern einer NVM-Vorrichtung beinhalten, darunter ein Standardzugriff kompatibles Register 1025. Auf ein Standardzugriff-kompatibles Register 1024 kann durch eine andere Vorrichtung (z.B. einen Host oder eine Steuerung) zugegriffen werden, um anzugeben, dass eine NVM-Vorrichtung Standardzugriffe ausführen kann, was längere Befehlssequenzen erfordern kann als Expresszugriffe, wie hier beschrieben, und Äquivalente.

[0087] Es versteht sich, dass Konfigurations- oder Parameterregister eine beliebige für die Architektur der NVM-Vorrichtung geeignete Form annehmen können.

[0088] Fig. 10C ist ein Diagramm, dass das Format eines herkömmlichen LPDDR 4-Lesebefehls 1035 zeigt. Ein herkömmlicher Lesebefehl 1035 kann einen ersten Teil 1035H, der empfangen wird, wenn CS High ist (und während eines ersten Taktzyklus), und einen zweiten Teil 1035L, der empfangen wird, wenn CS Low ist (und während eines zweiten Taktzyklus), beinhalten. Der herkömmliche Lesebefehl 1035 kann Bitstellen beinhalten, die Befehlsdaten (CMD) speichern. Die Bitstellen entsprechen CA-Bus-Bits CA0 und CA1 während des ersten Taktzyklus. Eine LPDDR4-Befehlssequenz kann vier Befehle ACT1, ACT2, READ und CAS mit diesem Format beinhalten.

[0089] Fig. 10D ist ein Diagramm, das das Format eines NVR-Befehls 1039 gemäß Ausführungsformen zeigt. Ein NVR-Befehl 1039 kann das gleiche Format wie ein herkömmlicher LPDDR4-Befehl aufweisen, einschließlich sechs in zwei Taktzyklen empfangener Bit. Ein NVR-Befehl 1039 kann sich darin von einem herkömmlichen LPDDR4-Befehl unterscheiden, dass eine Bitstelle, die Befehlsdaten in dem LPDDR4-Befehl bereitstellt (z.B. 1037 **Fig. 10C**), Adressinformationen 1041 in einem NVR-Befehl bereitstellen kann Während **Fig. 10D** zeigt, dass CA1 Adressdaten bereitstellt, könnte in anderen Ausführungsformen CA0 Adressdaten bereitstellen (während CA1 Befehlsdaten bereitstellt). Wie hier

angemerkt, kann eine Befehlssequenz für eine Expresszugriffsoperation im Gegensatz zu den bei einer herkömmlichen LPDDR4-Leseoperation erforderlichen vier Befehlen zwei oder drei NVR-Befehle beinhalten.

[0090] Während Ausführungsformen eine beliebige geeignete NVM-Arraystruktur oder einen beliebigen geeigneten NVM-Zellentyp beinhalten kann, können einige Ausführungsformen 1-Transistor(1T)NOR-Arrays beinhalten. **Fig. 11A** ist ein schematisches Diagramm eines 1T-NOR-Arrays 1102, das in Ausführungsformen enthalten sein kann. Ein Array 1102A kann eine Anzahl von Speicherzellen (eine als 1126-0 gezeigt) beinhalten, die in Zeilen und Spalten angeordnet sind, wobei Speicherzellen derselben Zeile mit derselben Wortleitung (eine als 1126-2 gezeigt) verbunden sind und Speicherzellen derselben Spalte mit derselben Bitleitung (eine als 1126-3 gezeigt) verbunden sind. In einigen Ausführungsformen können Speicherzellen (1126-0) mit einer Einzeltransistorstruktur, die eine Ladungsspeicherstruktur 1126-1 zwischen einem Steuer-Gate und einem Kanal aufweist, gebildet sein. Eine Ladungsspeicherstruktur 1126-1 kann ein oder mehrere Bit Daten als Ladung (einschließlich als Fehlen von Ladung) speichern. Eine Ladungsspeicherstruktur 1126-1 kann eine beliebige geeignete Form annehmen, darunter unter anderem: ein Floating-Gate, ein Ladungsspeicherdielektrikum (z.B. ein Ersatz-Gate) oder eine Kombination davon.

[0091] Ausführungsformen können außerdem eine beliebige geeignete flüchtige Arraystruktur oder einen beliebigen geeigneten flüchtigen Speicherzellentyp beinhalten. **Fig. 11B** ist ein schematisches Diagramm von möglichen flüchtigen Speicherzellenarrays, die in Ausführungsformen enthalten sein können. **Fig. 11B** zeigt ein Array 1102B, das eine Anzahl flüchtiger Speicherzellen (eine als 1126-0V gezeigt) beinhaltet, die in Zeilen und Spalten angeordnet und mit einer oder mehreren Bitleitungen (z.B. 1126-3) und Wortleitungen (z.B. 1126-2) verbunden sind. Die flüchtigen Speicherzellen (1126-0V) können eine beliebige geeignete Form annehmen, darunter unter anderem DRAM-Zellen 1126-0V1 und/oder SRAM-Zellen 1126-0V2. SRAM-Zellen 1126-0V2 können unter anderem 4-Transistor(4T)-, 6T- und/oder 8T-Variationen beinhalten.

[0092] In einigen Ausführungsformen können Expresslesebefehle (NVR1/NVR2) zum Zugriff auf flüchtige Speicherzellen auf gleiche Weise wie hier beschriebene NVM-Zellen verwendet werden. In einigen Ausführungsformen kann eine Speichervorrichtung sowohl NVM-Zellen als auch flüchtige Speicherzellen beinhalten, auf die jeweils durch Expresslesebefehle zugegriffen werden kann. In anderen Ausführungsformen kann eine Speichervorrichtung

Expresszugriffsbefehle empfangen, die nur auf flüchtige Speicherzellen zugreift.

[0093] Während Ausführungsformen Systeme mit Speichervorrichtungen beinhalten können, die in Verbindung mit einer Hostvorrichtung arbeiten, können Ausführungsformen auch alleinstehende NVM-Vorrichtungen mit einer parallelen I/F, ausgebildet in einem IC-Gehäuse, sein. Eine solche Ausführungsform ist in **Fig. 12** gezeigt. **Fig. 12** zeigt eine gekapselte NVM-Vorrichtung in einer perspektivischen Draufsicht 1200T und einer Ansicht 1200B von unten. Die NVM-Vorrichtung 1200TIB kann eine Anzahl physischer Verbindungen (z.B. 1127) beinhalten, von denen alle oder ein Teil mit einer DDR-I/F, wie hier beschrieben, verbunden sein können. Eine solche DDR-I/F kann Expresszugriffsbefehle, wie hier beschrieben, und Äquivalente verarbeiten. Es versteht sich jedoch, dass Speichervorrichtungen gemäß Ausführungsformen eine beliebige andere geeignete Gehäuseart aufweisen können, darunter direktes Bonden eines Speichervorrichtungs-Die auf ein Systemleiterplattensubstrat.

[0094] Während Ausführungsformen NVM-Vorrichtungen beinhalten können, können Ausführungsformen auch Speichersteuerungen beinhalten, die Expressbefehls- und Adresswerte über eine DDR-I/F für NVM-Vorrichtungen erzeugen können. **Fig. 13** zeigt eine Speichersteuerung 1130 gemäß einer Ausführungsform.

[0095] Eine Speichersteuerung 1330 kann eine Befehlswarteschlange 1334, eine Schreibwarteschlange 1336, eine Lesewarteschlange 1338, Transaktionsverarbeitungsschaltungen 1340, eine PHY-Schnittstellenschaltung 1342, eine LPDDR4-PHY 1316 und ECC-Schaltungen 1348 beinhalten. Eine Befehlswarteschlange 1334, eine Schreibwarteschlange 1336, eine Lesewarteschlange 1338 können mit einer Steuerungs-I/F 1332 verbunden sein, die mit einer Steuerung (z.B. einem Hostprozessor) oder dergleichen verbunden sein kann. Eine Befehlswarteschlange 1334 kann über die Steuerungs-I/F 1332 eine Speicheranforderung zum Zugriff auf eine mit einem LPDDR4-kompatiblen Bus 1310 verbundene NVM-Vorrichtung empfangen. Eine Schreibwarteschlange 1336 kann in eine NVM-Vorrichtung zu programmierende Schreibdaten über die LPDDR4-PHY 1316 empfangen. Eine Lesewarteschlange 1338 kann von einer NVM-Vorrichtung empfangene Lesedaten über die LPDDR4-PHY 1316 ausgeben.

[0096] Transaktionsverarbeitungsschaltungen 1340 können Befehlscodierungsschaltungen 1344 und ein Konfigurationsregister 1320 beinhalten. Befehlscodierungsschaltungen 1334 können Standardcodierung 1346-0 und Expresscodierung 1346-1 beinhalten. Die Standardcodierung 1346-0 kann

Speicheranforderungen in mit dem LPDDR4-Standard kompatible Formate (z.B. über acht Taktzyklen übertragene Sequenzen von vier Befehlen) codieren. Die Expresscodierung 1346-1 kann Speicheranforderungen in ein Expresszugriffsformat (z.B. Sequenzen von einem oder mehreren aufeinanderfolgenden NVR-Befehlen) codieren. In einigen Ausführungsformen kann das Codieren von Befehlen zwischen verschiedenen Formaten (z.B. Standard/Express) als Reaktion auf über die Befehlswarteschlange 1334 empfangene Anforderungen erfolgen. Das heißt, eine Anforderung von einer Steuerung kann angeben, ob der Zugriff ein Standard- oder Expressformat annehmen soll. Darüber hinaus oder alternativ kann die Codierung von Befehlen gemäß einem in dem Konfigurationsregister 1320 gespeicherten Expresscodierungsregisterwert 1324 gesteuert werden.

[0097] Eine PHY-I/F-Schaltung 1342 kann Eingangssignale aus Befehls- und Adresswerten zur ordnungsgemäßen Signalisierung durch die LPDDR4-PHY 1316 erzeugen und kann Datenwerte aus Signalen, die an der LPDDR4-PHY 1316 empfangen werden, organisieren. Die LPDDR4-PHY 1316 kann mit einem LPDDR4-Bus 1310 verbunden sein, um Signale zu übertragen und Daten zu empfangen, einschließlich Übertragen von Befehlsadresswerten für Expresszugriffsoperationen und Empfangen von Lesedaten von Expresszugriffen. Die ECC-Schaltung 1348 kann Fehlerdetektions- und -korrekturoperationen an an der LPDDR4-PHY 1316 empfangenen Datenwerten durchführen. In einigen Ausführungsformen können die ECC-Schaltungen 1348 Werte verwenden, die an DM-Eingängen des LPDDR4-Busses 1310 empfangen werden.

[0098] Ausführungsformen können außerdem Systeme beinhalten, die Expresszugriffsoperationen auf eine NVM-Vorrichtung verwenden, um Cachespeicherzeilen einer Steuerungsvorrichtung, wie etwa einer System- oder Host-CPU, zu füllen. **Fig. 14** zeigt ein System 1450 gemäß einer solchen Ausführungsform.

[0099] Ein System 1450 kann eine oder mehrere NVM-Vorrichtungen (zwei als 1400-0, 1400-1 gezeigt), ein Hostsystem 1443 und gegebenenfalls eine Dynamischer-Direktzugriffsspeicher(DRAM)-Vorrichtung 1458 beinhalten. Die NVM-Vorrichtungen 1400-0/1 können NVM-Arrays 1402, eine DDR-I/F 1404 und eine serielle I/F 1406 beinhalten. Die NVM-Vorrichtungen 1400-0/1 können über DDR-I/Fs 1404 mit einem DDR-Bus 1410 und über serielle I/Fs 1406 mit einem seriellen Bus 1432 verbunden sein. Die NVM-Vorrichtungen 1400-0/1 können in der Lage sein, Expresszugriffsoperationen, wie hier beschrieben, oder Äquivalente auszuführen.

[0100] Ein Hostsystem 1443 kann eine DDR-Speichersteuerung 1430, ein CPU-Subsystem 1452 und

eine serielle Busspeichersteuerung 1445 beinhalten. Eine DDR-Speichersteuerung 1430 kann mit dem DDR-Bus 1410 und dem CPU-Subsystem 1452 verbunden sein. Als Reaktion auf Anforderungen von dem CPU-Subsystem 1452 kann die DDR-Speichersteuerung 1430 Befehlssequenzen über einen CA-Teil des DDR-Busses 1410 erzeugen, darunter NVR-Befehle, wie hier beschrieben, und Äquivalente. Das CPU-Subsystem 1452 kann eine oder mehrere Verarbeitungsschaltungen 1429, Anweisungen 1431, die durch die Verarbeitungsschaltungen 1449 ausgeführt werden können, und einen Cachespeicher 1454 beinhalten. Eine serielle Busspeichersteuerung 1445 kann mit dem seriellen Bus 1432 verbunden sein. Als Reaktion auf Anforderungen von dem CPU-Subsystem 1452 kann die serielle Busspeichersteuerung 1445 einen seriellen Befehl und Daten zum Zugriff auf Vorrichtungen auf dem seriellen Bus 1432, darunter NVM-Vorrichtungen 1400-0/1, erzeugen.

[0101] Nach der Beschreibung verschiedene Teile eines Systems 1450 wird nunmehr eine Cachefülloperation für das System beschrieben.

[0102] Ein Cachespeicher 1454 kann in Cachezeilen (eine als 1454-0 gezeigt) organisiert sein, auf die Verarbeitungsschaltungen 1429 zugreifen können. Gemäß Ausführungsformen kann eine DDR-Speichersteuerung 1430 mit zwei Expressleseoperationen auf eine oder mehrere NVM-Vorrichtungen 1400-0/1 zugreifen, um Daten zum Füllen einer Cachezeile (zwei als 1454-0 gezeigt) abzurufen, ohne Daten verwerfen zu müssen. In einigen Ausführungsformen kann eine Expresslesebefehlssequenz an eine oder zwei NVM-Vorrichtungen 1400-0/1 eine einer Cachezeile entsprechende Menge von Lesedaten abrufen. In einigen Ausführungsformen besteht jede Expresslesebefehlssequenz aus einer Befehlssequenz von nur zwei Befehlen. Wie jedoch anhand vorliegender Ausführungsformen ersichtlich ist, können Expresslesebefehlssequenzen weniger oder mehr Expresslesebefehle (d.h. NVR-Befehle) beinhalten.

[0103] In einigen Ausführungsformen können solche Cachefülloperationen in eine einzige NVM-Vorrichtung erfolgen. Beispielsweise kann die DDR-Speichersteuerung 1430 mittels eines Datenpfads 1433-0 eine Expresslesesequenz an die NVM-Vorrichtung 1400-0 ausgeben, um auf Daten 1455a zuzugreifen. Die Daten 1455a können in einer Burst-Sequenz ausgegeben werden und können einer Cachezeile entsprechen. In einigen Ausführungsformen kann ein solcher Daten-Burst x32 (32 Bit breit) sein und eine Burst-Länge von acht aufweisen, um eine Cachezeile von 32 Byte zu füllen.

[0104] In einigen Ausführungsformen können Expresslesesequenzen pipelineartig ausgegeben (z.B. ohne dazwischenliegende Verzögerung oder

andere dazwischenliegende Befehle oder Operationen ausgegeben) werden. Als nur ein Beispiel können in einer Pipeline-Operation Daten 1455a und 1455b nacheinander ausgegeben werden, um zwei Cachezeilen 1454-0 zu füllen, ohne Daten verwerfen zu müssen. In einigen Ausführungsformen können Daten 1455a in einer Bank der NVM-Vorrichtung 1400-0 gespeichert werden, und Daten 1455b können in einer anderen Bank der NVM-Vorrichtung 1400-0 gespeichert werden.

[0105] In einigen Ausführungsformen können Cachefülloperationen in unterschiedliche NVM-Vorrichtungen erfolgen. Beispielsweise kann die DDR-Speichersteuerung 1430 eine Expresslesesequenz an sowohl die NVM-Vorrichtung 1400-0 als auch die NVM-Vorrichtung 1400-1 ausgeben. Die Expresslesesequenz kann auf Daten 1455a und Daten 1455b zugreifen. Daten 1455a und Daten 1455b können der Größe einer Cachezeile entsprechen. In einigen Ausführungsformen können die NVM-Vorrichtungen 1400-0 und 1400-1 jeweils parallele x16-Daten-Bursts von acht liefern, um eine Cachezeile von 32-Byte zu füllen. Expressleseoperationen in mehrere Vorrichtungen können pipelineartig ausgegeben werden, um sequenzielle Datensätze auszugeben, die jeweils eine Cachezeile füllen.

[0106] In einigen Ausführungsformen kann eine Cachefülloperation in eine DRAM-Vorrichtung 1458 erfolgen. Eine DRAM-Vorrichtung 1458 kann eine DDR-Schnittstelle 1404 beinhalten, die mit der Ausführung von Expresslesebefehlen kompatibel ist (oder dazu programmierbar ist, mit diesen kompatibel zu sein).

[0107] Unter fortgesetzter Bezugnahme auf **Fig. 14** kann in einigen Ausführungsformen ein CPU-Subsystem 1452 eine Parameteranforderungsprozedur 1431-0 und/oder eine Expresszugriffskonfigurationsprozedur 1431-1 beinhalten. Die Parameteranforderungsprozedur 1431-0 kann Parameterdaten von den NVM-Vorrichtungen 1400-0/1 anfordern, die identifizieren können, ob solche Vorrichtungen mit Expresszugriffoperationen kompatibel sind. Die Expresszugriffskonfigurationsprozedur 1431-1 kann Datenwerte schreiben, um die DDR-Speichersteuerung 1430 für Expresszugriffoperationen zu konfigurieren.

[0108] In einigen Ausführungsformen kann die DRAM-Vorrichtung 1458 eine DDR-Schnittstelle 1404 aufweisen, die mit Expresszugriffsbefehlen kompatibel ist, wie oben angemerkt. In anderen Ausführungsformen ist die DRAM-DDR-I/F 1404 möglicherweise nicht mit Expresszugriffsbefehlen kompatibel.

[0109] Unter Bezugnahme auf **Fig. 15** wird ein System eines Automobils 1566 gemäß einer Ausfüh-

rungsform in einem Diagramm gezeigt. Ein Automobilsystem 1566 kann zahlreiche Subsysteme (zwei als 1550-0 und 1550-1 gezeigt) aufweisen, die mit Hostvorrichtungen (z.B. CPU-Subsystemen) arbeiten, die mit einer oder mehreren NVM-Vorrichtungen kommunizieren. Solche Subsysteme (1550-0, 1550-1) können ein elektronisches Steuergerät (ECU) und/oder ein Fahrerassistenzsystem (FAS) beinhalten. Jedoch können solche Subsysteme in anderen Ausführungsformen als nur zwei von zahlreichen möglichen Beispielen eine Armaturenbrettanzeige/ein Steuersubsystem und/oder ein Infotainment-Subsystem beinhalten. Jedes Subsystem (1200-0, 1200-1) kann eine Hostvorrichtung beinhalten, die mit Expresszugriffsbefehlen zum schnellen Abruf von Daten auf NVM-Vorrichtungen zugreifen können, wie hier beschrieben, und Äquivalente. In einigen Ausführungsformen können solche Zugriffe für schnelle Cachezeilenfüllvorgänge bestimmt sein. In einigen Ausführungsformen können Hostvorrichtungen dazu ausgelegt sein, Code direkt aus NVM-Vorrichtungen auszuführen (d.h. vor Ort auszuführen). Dies steht in starkem Kontrast zu herkömmlichen Systemen, die Daten (z.B. Code) aus einer herkömmlichen NVM-Vorrichtung zum Zugriff durch eine Hostvorrichtungen in einen flüchtigen Speicher (z.B. SRAM) laden können.

[0110] Während die beschriebenen Vorrichtungen und Systeme verschiedene Verfahren gemäß Ausführungsformen offenbaren, werden zusätzliche Verfahren unter Bezugnahme auf Flussdiagramme beschrieben. **Fig. 16** ist ein Flussdiagramm eines Verfahrens 1670 zum Ausführen von Expresszugriffsbefehlen durch eine NVM-Vorrichtung gemäß einer Ausführungsform.

[0111] Ein Verfahren 1670 kann Empfangen eines Befehls 1670-0 beinhalten. Eine solche Aktion kann Empfangen eines Befehls von einem Befehlsadress (CA)-Eingang der NVM-Vorrichtung beinhalten. Verfahren 1670 kann bestimmen, ob ein empfangener Befehl ein NVR-Befehl 1670-2 ist. Eine solche Aktion beinhalten, zu bestimmen, ob bestimmte Bitstellen des Befehls den Befehl als NVR-Befehl identifizieren. Ist ein Befehl kein NVR-Befehl (N von 1670-2), so kann ein Verfahren 1670 Befehle als Satz einer vorbestimmten Größe verarbeiten (1670-14). Eine solche Aktion beinhalten, Befehle so zu verarbeiten, als wären sie ein Satz von vier Befehlen anstatt eine NVR-Sequenz einer variablen Größe.

[0112] Wird bestimmt, dass ein empfangener Befehl ein NVR-Befehl ist (J von 1670-2), so kann ein Verfahren 1670 bestimmen, ob ein anschließender Befehl empfangen wird 1670-06. Eine solche Aktion kann Empfangen eines Befehls im Wesentlichen ohne Verzögerung in Bezug auf einen zuvor empfangenen Befehl beinhalten. Wird kein anschließender Befehl empfangen (N von 1670-6), so kann eine

NVR-Sequenz enden 1670-12. Auf diese Weise kann eine NVR-Befehlssequenz eines oder mehrerer NVR-Befehle bestimmt werden.

[0113] Wird ein anschließender Befehl empfangen (J von 1670-6), so kann ein Verfahren 1670 bestimmen, ob der anschließende Befehl ein NVR-Befehl ist 1670-8. Ist der anschließende Befehl ein NVR-Befehl (J von 1670-8), so kann ein Verfahren 1670 zu 1670-4 zurückkehren und der anschließende NVR-Befehl zu der NVR-Sequenz hinzugefügt werden. Ist der anschließende Befehl kein NVR-Befehl (N von 1670-8), so kann eine NVR-Sequenz enden 1670-10 und der Nicht-NVR-Befehl als ein vorbestimmter Satz verarbeitet werden (1670-14).

[0114] Ist eine NVR-Befehlssequenz beendet (1670-10 oder 1670-12), so kann ein Verfahren 1670 auf einen Speichervorratungsort mit Adressdaten oder der NVR-Sequenz zugreifen.

[0115] **Fig. 17** ist ein Flussdiagramm eines anderen Verfahrens 1770 gemäß einer Ausführungsform. Ein Verfahren 1770 kann durch eine Speichersteuerung oder dergleichen ausgeführt werden, um auf in einer NVM-Vorrichtung gespeicherte Daten zuzugreifen. Ein Verfahren 1770 kann Anfordern eines Parameterwerts von einer NVM-Vorrichtung beinhalten 1770-0. Eine solche Aktion kann Lesen eines Parameterwerts aus einem Speicherort (z.B. einem Parameterregister) einer NVM-Vorrichtung beinhalten. In einigen Ausführungsformen kann eine solche Anforderung über eine DDR-I/F der NVM-Vorrichtung erfolgen. In einigen Ausführungsformen jedoch kann eine solche Anforderung über eine serielle I/F der NVM-Vorrichtung erfolgen.

[0116] Ein Verfahren 1770 kann bestimmen, ob empfangene Parameterdaten angeben, dass die NVM-Vorrichtung zum Ausführen von Expresszugriffsoperationen in der Lage ist 1770-2. Eine solche Aktion kann beinhalten, zu bestimmen, ob ein oder mehrere Bit eines aus der NVM-Vorrichtung gelesenen Konfigurationswerts einen vorbestimmten Wert aufweisen.

[0117] Wenn ein Parameterwert angibt, dass eine NVM-Vorrichtung Expresszugriffe ausführen kann (J von 1770-2), kann ein Verfahren 1770 eine NVR-Sequenz-Größe gemäß einer Größe einer NVM-Vorrichtung, auf die zugegriffen werden soll, konfigurieren 1770-4. Beispielsweise können für einige NVM-Vorrichtungen zwei NVR-Befehle ausreichend Adressbits aufweisen, um auf alle Adressorte zuzugreifen. Jedoch können für eine größere Vorrichtung zusätzliche NVR-Befehle enthalten sein, um mehr Adressbits bereitzustellen. Ein Verfahren 1770 kann ferner Empfangen einer Anforderung zum Zugreifen auf die NVM-Vorrichtung beinhalten 1770-6. Eine solche Anforderung kann durch eine Speichersteue-

zung von einem CPU-Subsystem (z.B. einem Host) oder dergleichen empfangen werden. Als Reaktion auf die Anforderung kann ein Verfahren 1770 eine NVR-Sequenz der konfigurierten Größe ausgeben 1770-8. Eine solche Aktion kann Ausgeben einer Sequenz von NVR-Befehlen auf einem CA-Teil eines DDR-Busses, wie etwa eines LPDDR4-kompatiblen Busses, beinhalten. Ein Verfahren 1770 kann Empfangen von der NVR-Sequenz entsprechenden Daten in einem DDR-Burst gelesener Datenwerte beinhalten 1770-8. Eine solche Aktion kann Empfangen von Daten mit ECC-Daten beinhalten. Ferner können in einigen Ausführungsformen in dem Burst von acht empfangene Daten mit der Größe einer Cachezeile für ein System oder einem ganzzahligen Bruchteil einer Cachezeilengröße (z.B. $\frac{1}{2}$, $\frac{1}{4}$) übereinstimmen. In einigen Ausführungsformen kann ein DDR-Burst gelesener Datenwerte nicht mehr als acht betragen. Andere Ausführungsformen jedoch können größere Bursts beinhalten.

[0118] Wenn ein Parameterwert angibt, dass eine NVM-Vorrichtung keine Expresszugriffe ausführen kann (N von 1770-2), kann ein Verfahren 1770 Empfangen einer Anforderung zum Zugreifen auf die NVM-Vorrichtung beinhalten 1770-4. Jedoch kann ein Verfahren 1770 als Reaktion auf eine solche Anforderung eine Lesesequenz von nicht weniger als vier Befehlen ausgeben 1770-12. Ferner können Daten in DDR-Bursts von Datenwerten empfangen werden 1770-14. In einigen Ausführungsformen können sich solche Datenwerte in Bursts von mehr als acht, wie etwa Bursts von 16 oder 32, befinden.

[0119] Fig. 18 ist ein Flussdiagramm eines anderen Verfahrens 1870 gemäß einer anderen Ausführungsform. Ein Verfahren 1870 kann durch ein System ausgeführt werden, um Zeilen eines Cachespeichers mit direkt aus einer oder mehreren NVM-Vorrichtungen gelesenen Daten zu füllen. Verfahren 1870 kann beinhalten, dass eine Hostvorrichtung oder eine Speichersteuerung 1830 eine Cachefüllanforderung für einen Cache mit Cachezeilen mit einer Größe von X Bytes empfängt 1870-2. Eine solche Aktion kann beinhalten, dass eine Hostvorrichtung eine Leseanforderung an eine Speichersteuerung ausgibt. Ein Wert X wird als eine Zahl größer als eins verstanden. In einigen Ausführungsformen kann X eine geradzahlige ganze Zahl größer als vier sein. Ein Verfahren 1870 kann für jede Cachezeile der Cachefüllanforderung Ausgeben einer NVR-Befehlssequenz beinhalten 1870-4. Eine solche Aktion kann Ausgeben einer solchen Befehlssequenz auf einem von einem Datenbus getrennten Befehlsadressbus beinhalten. In einigen Ausführungsformen kann ein solcher Befehlsadressbus eine Breite von nicht mehr als sechs Bit aufweisen.

[0120] Ein Verfahren 1870 kann für jede NVR-Sequenz Ausgeben von X Bytes von Daten in

einem DDR-Burst beinhalten 1870-6. Eine solche Aktion kann Ausgeben von Daten auf DDR-Bussen von mehr als einer NVM-Vorrichtung beinhalten. In einigen Ausführungsformen kann eine solche Aktion Ausgeben von Daten von zwei unterschiedlichen NVM-Vorrichtungen als Reaktion auf die gleichen Befehlsadresswerte beinhalten. In einigen Ausführungsformen kann ein DDR-Burst eine Burst-Länge von acht aufweisen. Jedoch kann ein DDR-Burst in anderen Ausführungsformen größer sein, wie etwa 16 oder 32.

[0121] Ein Verfahren 1870 kann eine Cachezeile mit X Bytes von Daten, die von einer oder mehreren NVM-Vorrichtungen empfangen werden, füllen 1870-8. Eine solche Aktion kann Füllen einer Cachezeile ohne Verwerfen von den NVM-Vorrichtungen empfangener Lesedaten beinhalten.

[0122] Gemäß Ausführungsformen kann eine NVM-Vorrichtung Hochgeschwindigkeitszugriffe für Systeme mit höherer Temperatur bereitstellen. Eine solche NVM-Vorrichtung kann das Erfordernis eines flüchtigen Speichers, wie etwa SRAM oder DRAM, beseitigen. Dies kann ein kompakteres System und/oder reduzierte Systemkosten ermöglichen.

[0123] Gemäß Ausführungsformen kann eine NVM-Vorrichtung eine effizientere Verwendung eines CA-Busses für kleinere Datentransfers bereitstellen, indem ermöglicht wird, dass Expresszugriffsanforderungen über vier Taktzyklen anstatt über acht Taktzyklen erfolgen. Ferner können kleinere Datentransfers effizientere Cachefüllvorgänge ermöglichen. Als nur eines vieler möglicher Beispiele kann, wie durch Fig. 5 und Fig. 19 gezeigt, eine NVM-Vorrichtung in einer x32-Konfiguration eine Cachezeilenfülllatenz von 28,75 ns im Gegensatz zu einer Latenz einer DRAM-Vorrichtung von 38,75 ns (bei einem Takt von 800 MHz) aufweisen. Ferner können bei einem DRAM-Zugriff letztlich Daten verworfen werden. Eine solche Fähigkeit kann einen neuen Cachezeilenfüllvorgang alle 5 ns (bei einem Takt von 800 MHz) anstatt alle 10 ns (mit verworfenen Daten) ermöglichen.

[0124] Es versteht sich, dass eine Bezugnahme in dieser Beschreibung auf „eine Ausführungsform“ bedeutet, dass ein bestimmtes Merkmal, eine bestimmte Struktur oder eine bestimmte Eigenschaft, die im Zusammenhang mit der Ausführungsform beschrieben wird, in mindestens einer Ausführungsform der vorliegenden Erfindung enthalten ist. Daher wird betont und versteht es sich, dass sich zwei oder mehr Bezugnahmen auf „eine Ausführungsform“ oder „eine alternative Ausführungsform“ in verschiedenen Teilen dieser Beschreibung nicht unbedingt alle auf die gleiche Ausführungsform beziehen. Ferner können bestimmte Merkmale, Strukturen oder Charakteristiken in einer oder meh-

ren Ausführungsformen der Erfindung nach Bedarf kombiniert werden.

[0125] Gleichermaßen versteht es sich, dass in der vorstehenden Beschreibung von Ausführungsbeispielen der Erfindung verschiedene Merkmale der Erfindung mitunter zur Straffung der Offenbarung und Unterstützung des Verständnisses eines oder mehrerer der verschiedenen erfinderischen Aspekte in einer einzigen Ausführungsform, Figur oder Beschreibung davon zusammen gruppiert werden. Dieses Verfahren der Offenbarung ist jedoch nicht so zu verstehen, dass die Ansprüche mehr Merkmale erfordern, als in den einzelnen Ansprüchen ausdrücklich aufgeführt sind. Vielmehr liegen erfinderische Aspekte in weniger als allen Merkmalen einer einzigen vorstehend offenbarten Ausführungsform. Somit werden die Ansprüche, die der ausführlichen Beschreibung folgen, hiermit ausdrücklich in diese ausführliche Beschreibung aufgenommen, wobei jeder Anspruch für sich genommen eine separate Ausführungsform dieser Erfindung darstellt.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- US 17/125927 [0001]
- US 63/088572 [0001]

Patentansprüche

1. Verfahren, das Folgendes umfasst:

- Empfangen mehrerer aufeinanderfolgender Befehle an einem unidirektionalen Befehlsadress-Buseingang, CA-Buseingang, einer diskreten nichtflüchtigen Speichervorrichtung, NVM-Vorrichtung, wobei die Befehle synchron mit einem Zeitsteuerungstakt sind;
- für jeden empfangenen Befehl, Bestimmen, ob der Befehl ein Expresslese-Befehl, NVR-Befehl, ist,
- wenn bestimmt wird, dass ein Befehl ein NVR-Befehl ist, Bestimmen, ob ein nächster anschließender Befehl ein NVR-Befehl ist, wobei aufeinanderfolgende NVR-Befehle eine NVR-Befehlssequenz bilden;
- als Reaktion auf die nicht mehr als die NVR-Befehlssequenz, Zugreifen auf in NVM-Zellen der NVM-Vorrichtung gespeicherte Lesedaten;
- Ansteuern der Lesedaten auf parallelen Daten-Ein-/Ausgaben, Daten-E/As, der NVM-Vorrichtung in einem Burst von Datenwerten, wobei die Datenwerte des Burst synchron mit steigenden und fallenden Flanken des Zeitsteuerungstakts ausgegeben werden; wobei
- der CA-Buseingang mehrere parallele CA-Signaleingänge umfasst.

2. Verfahren nach Anspruch 1, bei dem

- die NVR-Befehle an dem CA-Buseingang und die Datenwerte an den Daten-E/As mit einer mit dem LPDDR4-Standard kompatiblen Signalisierung erzeugt werden.

3. Verfahren nach Anspruch 1, bei dem

- die NVR-Befehle Bitwertstellen beinhalten, die Bitwertstellen von mit dem LPDDR4-Standard kompatiblen Befehlen entsprechen, und
- mindestens ein NVR-Befehl Adressdaten an einer Bitstelle beinhaltet, an der ein LPDDR4-kompatibler Befehl Befehlsdaten beinhaltet.

4. Verfahren nach Anspruch 1, bei dem

- Empfangen jedes NVR-Befehls über ein ganzzahliges Vielfaches von zwei Zyklen des Zeitsteuerungstakts, wobei die ganze Zahl größer oder gleich eins ist.

5. Verfahren nach Anspruch 1, bei dem

- die NVR-Befehlssequenz alle zum Zugriff auf die Lesedaten erforderlichen Befehlswerte und Adresswerte beinhaltet.

6. Verfahren nach Anspruch 1, bei dem

- jeder NVR-Befehl ein Format aufweist, das mit Befehlen des LPDDR4-Standards kompatibel ist, einschließlich Befehlsbitstellen, die den Befehl identifizieren; und
- das Bestimmen, ob der Befehl ein NVR-Befehl ist, umfasst, zu bestimmen, ob Befehlsbitstellen des

NVR-Befehls mit vorbestimmten Werten übereinstimmen.

7. Verfahren nach Anspruch 1, das ferner Folgendes umfasst:

- Empfangen serieller Befehls- und serieller Adresswerte an einem seriellen Port der NVM-Vorrichtung, wobei sich der serielle Port von dem CA-Eingang und den Daten-E/As unterscheidet; und
- als Reaktion auf die seriellen Befehls- und Adresswerte, Zugreifen auf NVM-Zellen der NVM-Vorrichtung.

8. Verfahren nach Anspruch 1, bei dem

- der Burst von Datenwerten eine Burst-Länge, BL, aufweist, die auf einen von mehreren BL-Werten konfigurierbar ist, wobei mindestens ein BL-Wert nicht mehr als acht beträgt.

9. Integrierte Schaltungsvorrichtung, IC-Vorrichtung, die Folgendes umfasst:

- einen Befehlsadress-Eingang, CA-Eingang, der mehrere parallele CA-Eingänge umfasst;
- eine Datenbus-Ein-/Ausgabe, Datenbus-E/A, die mehrere parallele Daten-E/As beinhaltet, die zumindest zum Empfangen von Burst-Datenwerten synchron mit steigenden und fallenden Flanken eines Zeitsteuerungstakts eingerichtet sind;
- mindestens ein Zellenarray eines nichtflüchtigen Speichers, NVM;
- einen Befehlsdecodierer, eingerichtet zum Detektieren an den CA-Eingängen empfangener Befehle, einschließlich Expresslese-Befehlssequenzen, NVR-Befehlssequenzen,
- wobei jede NVR-Befehlssequenz mehrere aufeinanderfolgende NVR-Befehle umfasst, die durch Bitwerte des NVR-Befehls voneinander unterscheidbar sind, und
- wobei jede NVR-Befehlssequenz mit einem Empfang eines Befehls, der kein NVR-Befehl ist, oder einem Ende eines Empfangs aufeinanderfolgender Befehle endet;
- Zugriffsschaltungen, eingerichtet zum Zugreifen auf das mindestens eine NVM-Zellenarray und zum Ausgeben von Lesedaten als Reaktion darauf, dass nicht mehr als die NVR-Befehlssequenz an dem CA-Buseingang empfangen wird.

10. IC-Vorrichtung nach Anspruch 9, bei der

- der CA-Bus sechs CA-Eingänge umfasst; und
- der CA-Bus und Datenbus-E/A mit dem Standard für die physische LPDDR4-Schnittstelle kompatibel sind.

11. IC-Vorrichtung nach Anspruch 9, bei der

- alle Adressdaten zum Zugreifen auf die Lesedaten in der NVR-Befehlssequenz enthalten sind.

12. IC-Vorrichtung nach Anspruch 9, bei der

- die NVR-Befehle Bitwertstellen beinhalten, die Bit-

wertstellen von mit dem LPDDR4-Standard kompatiblen Befehlen entsprechen, und

- mindestens ein NVR-Befehl Adressdaten an einer Bitstelle beinhaltet, an der ein LPDDR4-kompatibler Befehl Befehlsdaten beinhaltet.

13. IC-Vorrichtung nach Anspruch 9, bei der

- jeder NVR-Befehl an dem CA-Eingang über ein ganzzahliges Vielfaches von zwei Zyklen des Zeitsteuerungstakts empfangen wird, wobei die ganze Zahl größer oder gleich eins ist.

14. IC-Vorrichtung nach Anspruch 9, die ferner Folgendes umfasst:

- einen seriellen Buseingang, der mindestens eine serielle E/A-Leitung umfasst, eingerichtet zum Empfangen serieller Befehls- und serieller Adressdaten; und
- wobei die Zugriffsschaltungen dazu ausgelegt sind, als Reaktion auf serielle Befehls- und serielle Adressdaten auf das mindestens eine NVM-Zellenarray zuzugreifen.

15. IC-Vorrichtung nach Anspruch 9, bei der

- Der Burst von Datenwerten eine Burst-Länge, BL, aufweist, die auf einen von mehreren BL-Werten konfigurierbar ist, wobei mindestens ein BL-Wert nicht mehr als acht beträgt.

16. System, das Folgendes umfasst:

- einen unidirektionalen Befehlsadress-Bus, CA-Bus;
- einen bidirektionalen Datenbus;
- ein Hostsystem, das eine Speichersteuerung umfasst, die zu Folgendem eingerichtet ist:
 - Ausgeben von Sequenzen aufeinanderfolgender Expressspeicherlese-Befehle, NVR-Befehle, auf dem CA-Bus, wobei jeder NVR-Befehl synchron mit einem Zeitsteuerungstakt ausgegeben wird und Bitwerte beinhaltet, die den NVR-Befehl von anderen Befehlen unterscheiden, und
 - Empfangen von Lesedaten, die der Sequenz von NVR-Befehlen entspricht, auf dem Datenbus;
- ein Speichersystem, das Folgendes umfasst:
 - mindestens ein NVM-Zellenarray;
 - Befehlsdecodierschaltungen, die zu Folgendem eingerichtet sind:
 - für jeden empfangenen Befehl, Bestimmen, ob der Befehl ein Expresslese-Befehl, NVR-Befehl, ist,
 - wenn bestimmt wird, dass ein Befehl ein NVR-Befehl ist, Bestimmen, ob ein nächster anschließender Befehl ein NVR-Befehl ist, wobei
 - aufeinanderfolgende NVR-Befehle eine NVR-Befehlssequenz bilden;
 - Zugriffsschaltungen, die als Reaktion auf nicht mehr als eine NVR-Befehlssequenz zu Folgendem eingerichtet sind:
 - Zugreifen auf das mindestens eine NVM-Zellenarray, um auf darin gespeicherte Lesedaten zuzugreifen, und

- Ausgeben der Lesedaten auf dem Datenbus in einem Burst von Datenwerten, wobei die Datenwerte des Bursts synchron mit steigenden und fallenden Flanken des Zeitsteuerungstakts ausgegeben werden.

17. System nach Anspruch 16, bei dem

- die Speichersteuerung eine mit dem CA-Bus und dem Datenbus verbundene Steuerungsschnittstelle, Steuerungs-I/F, umfasst;
- das Speichersystem eine mit dem CA-Bus und dem Datenbus verbundene Speichervorrichtungsl/I/F umfasst; und
- die Steuerungs-I/F und die Speichervorrichtungsl/I/F mit dem Standard für physische LPDDR4-l/Fs kompatibel sind.

18. System nach Anspruch 16, das ferner Folgendes umfasst:

- die NVR-Befehle beinhalten Bitwertstellen, die Bitwertstellen von mit dem LPDDR4-Standard kompatiblen Befehlen entsprechen, und
- mindestens ein NVR-Befehl beinhaltet Adressdaten an einer Bitstelle, an der ein LPDDR4-kompatibler Befehl Befehlsdaten beinhaltet.

19. System nach Anspruch 16, bei dem

- das Hostsystem mindestens einen Cachespeicher mit Cachezeilen einer vorbestimmten Größe umfasst; und
- eine Größe der durch das NVM-System in dem Burst von Datenwerten ausgegebenen Lesedaten mit der vorbestimmten Größe übereinstimmt.

20. System nach Anspruch 16, bei dem

- die Speichersteuerung jeden NVR-Befehl über ein ganzzahliges Vielfaches von zwei Zyklen des Zeitsteuerungstakts ausgibt, wobei die ganze Zahl größer oder gleich eins ist.

21. System nach Anspruch 16, bei dem

- das Hostsystem eingerichtet ist zum
- Anfordern von Parameterdaten von dem NVM-System und
- als Reaktion darauf, dass die Parameterdaten einen vorbestimmten Wert aufweisen, Codieren von Leseanforderungen an das NVM-System in NVR-Befehlssequenzen.

22. System nach Anspruch 16, bei dem

- das Speichersystem ferner umfasst:
 - mindestens ein Zellenarray eines flüchtigen Speichers;
 - Schaltungen zum Zugriff auf flüchtigen Speicher, die als Reaktion auf nicht mehr als eine NVR-Befehlssequenz eingerichtet sind zum
 - Zugreifen auf das mindestens eine Zellenarray eines flüchtigen Speichers, um auf darin gespeicherte flüchtige Lesedaten zuzugreifen, und
 - Ausgeben der flüchtigen Lesedaten auf dem

Datenbus in einem Flüchtiger-Speicher-Burst von flüchtigen Datenwerten, wobei die flüchtigen Datenwerte des Flüchtiger-Speicher-Burst synchron mit steigenden und fallenden Flanken des Zeitsteuerungstakts ausgegeben werden.

23. System nach Anspruch 16, bei dem
- der Burst von Datenwerten eine Burst-Länge, BL, aufweist, die auf einen von mehreren BL-Werten konfigurierbar ist, wobei mindestens ein BL-Wert nicht mehr als acht beträgt.

Es folgen 15 Seiten Zeichnungen

Anhängende Zeichnungen

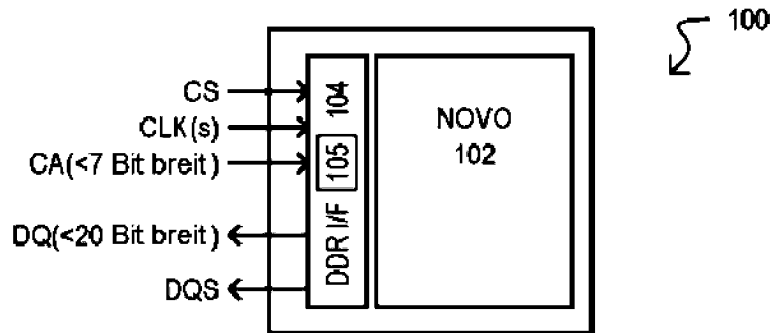


FIG. 1A

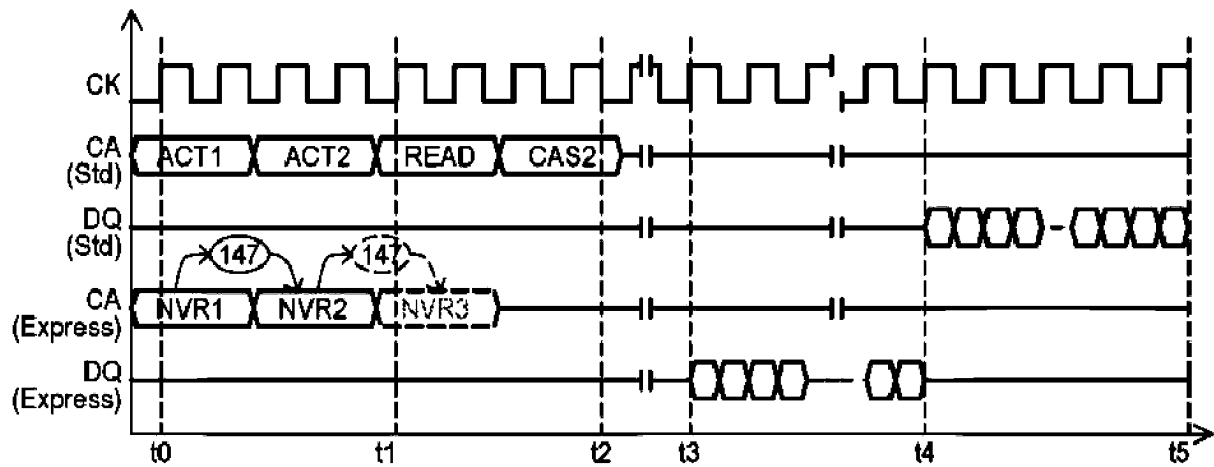


FIG. 1B

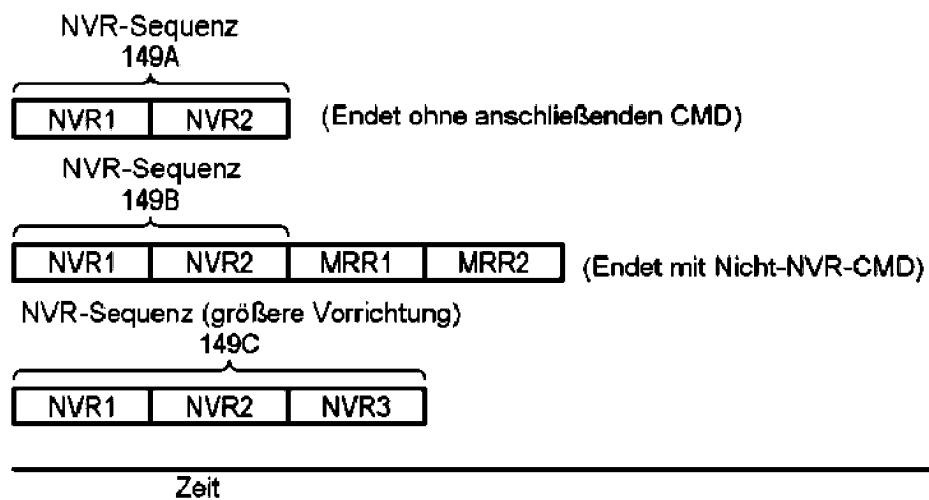


FIG. 1C

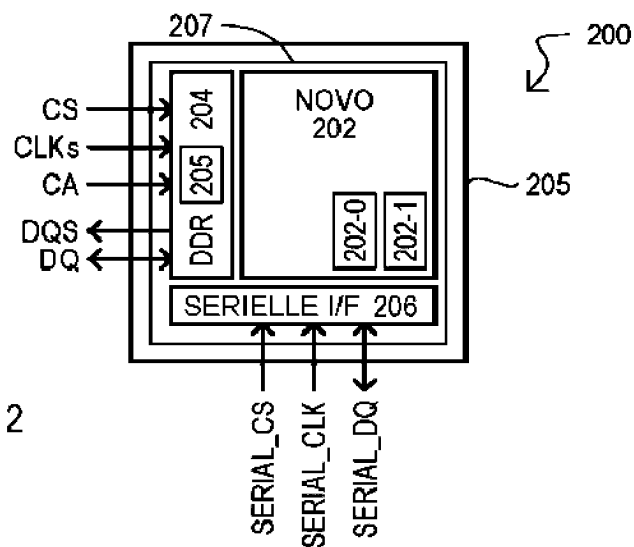


FIG. 2

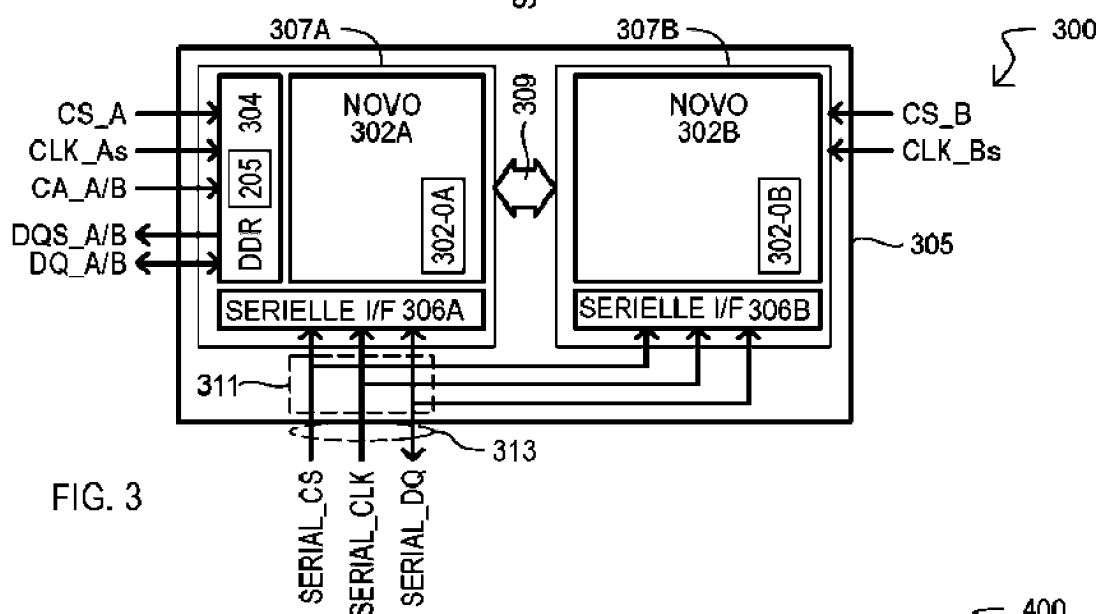


FIG. 3

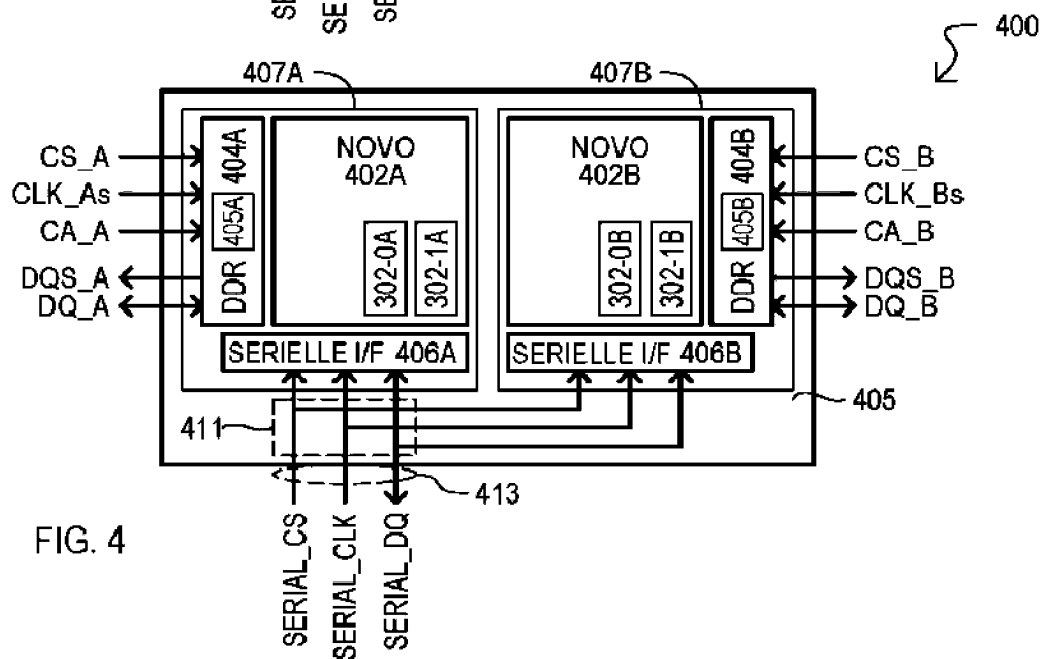


FIG. 4

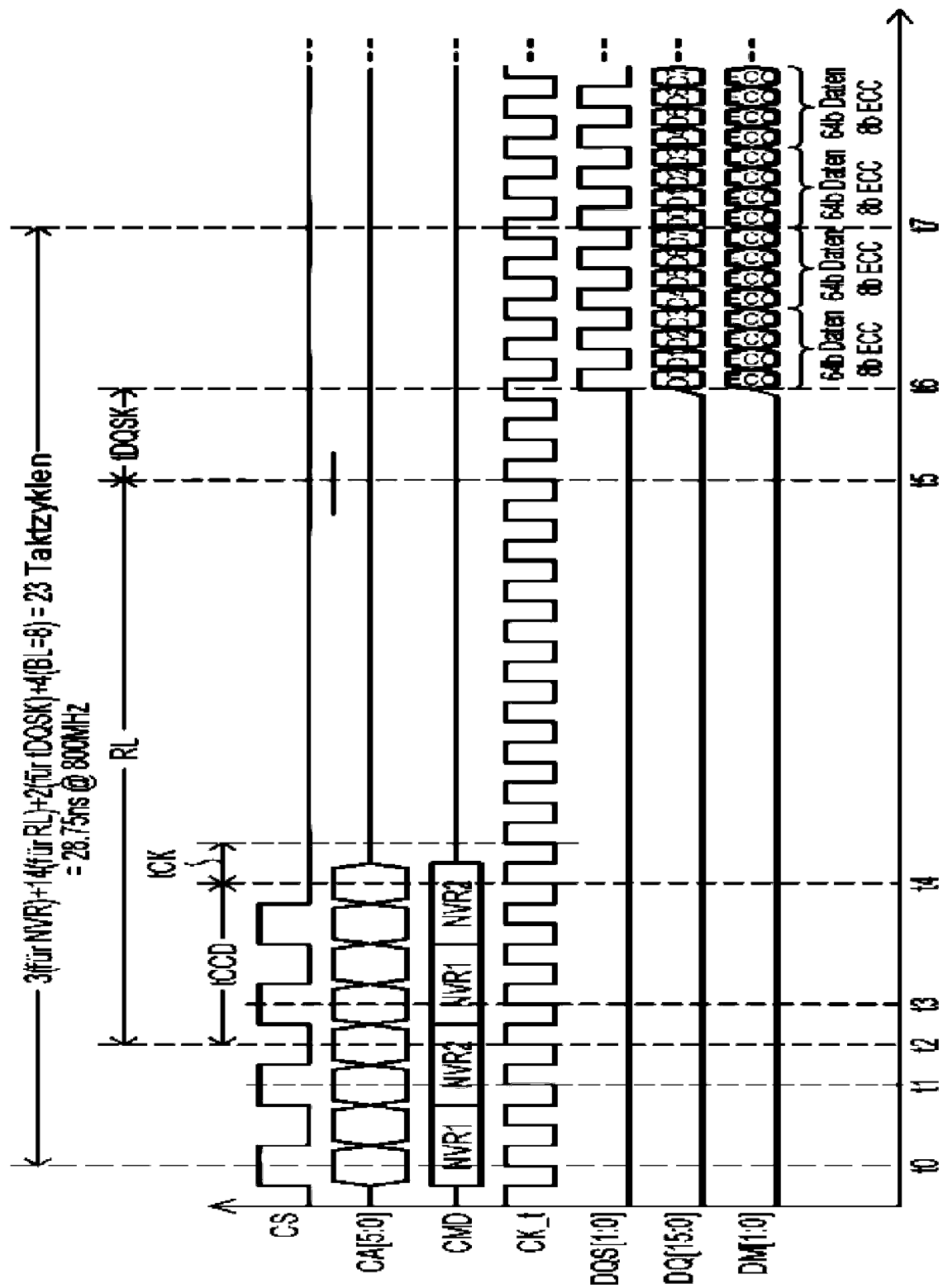


FIG. 5

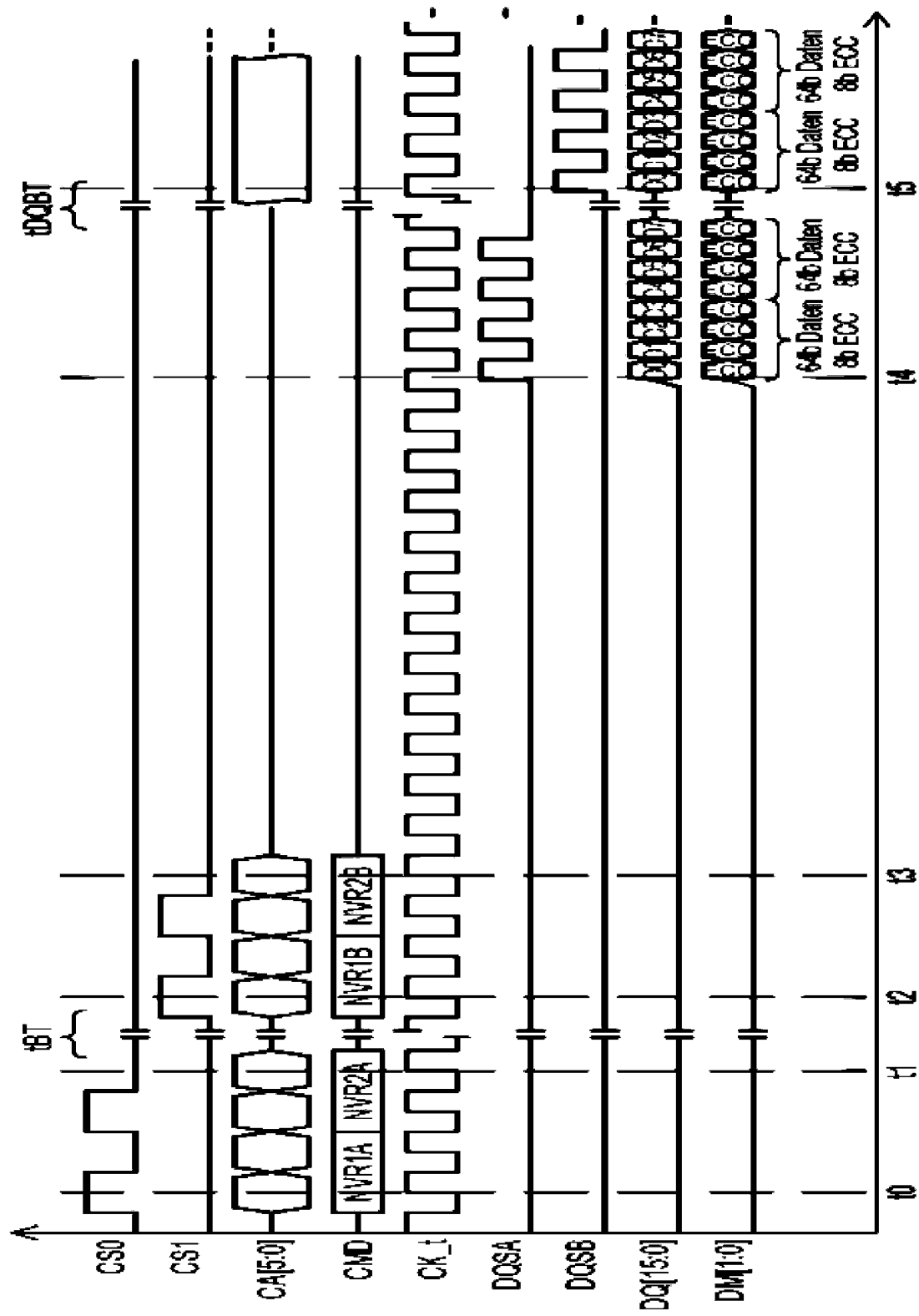


FIG. 6

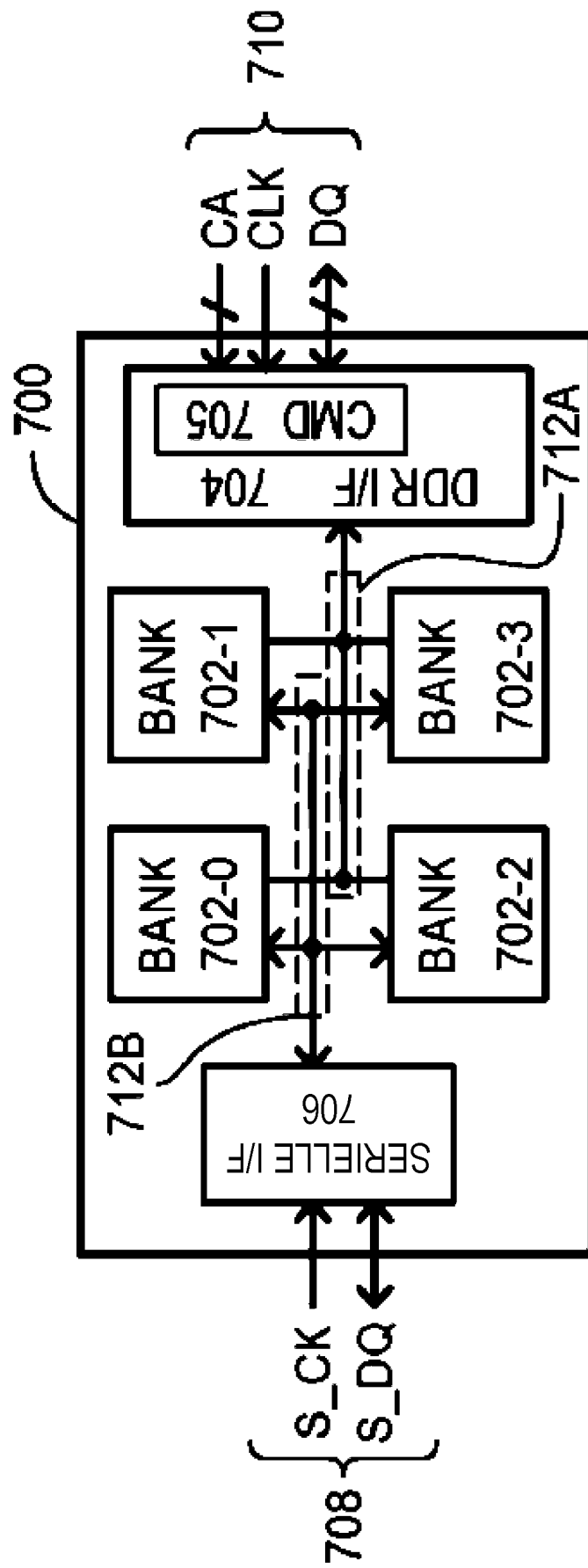


FIG. 7

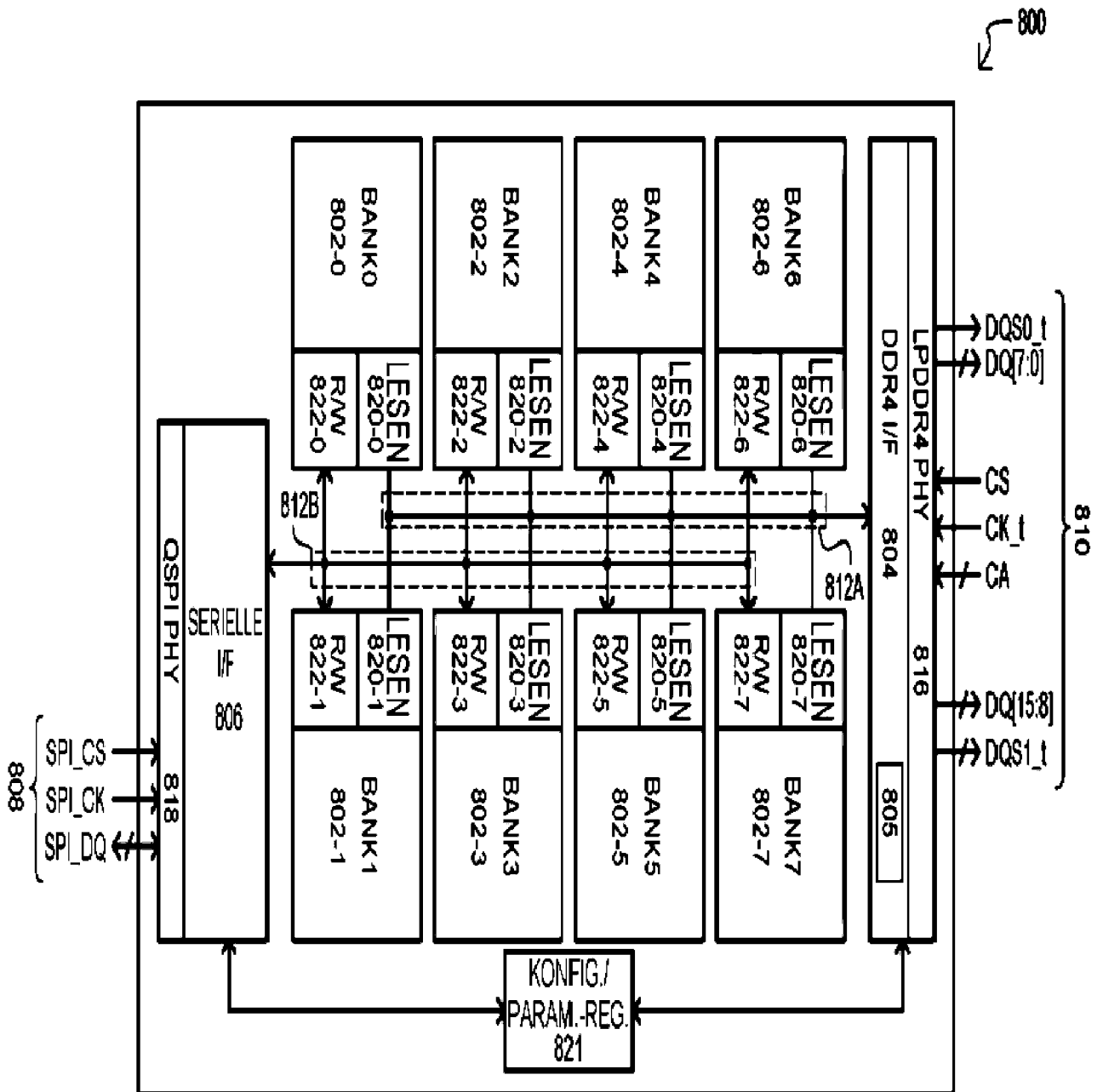


FIG. 8

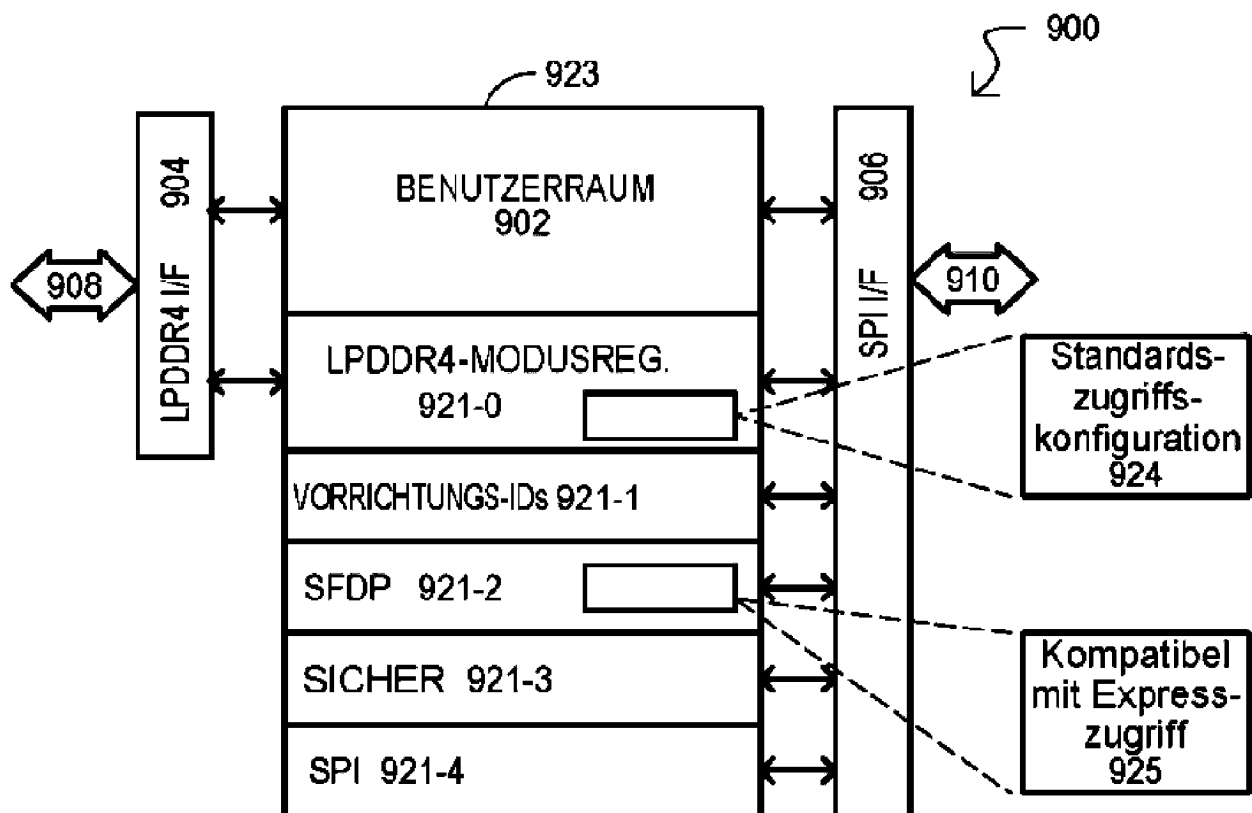


FIG. 9

DDR4 CONFIG

1021-1

Reg.	Funktion	Variablen
00h	VORRICHTUNGS-INFO	
01h	BUS CFG1	
⋮		
XXh	EXPRESSZUGRIFF	(z. B. Verzögerung zwischen Anweisungen, BL)

1024

FIG. 10A

SFDP

1021-2

Byte-Adresse	Beschreibung
0000h	
⋮	
XXXXh	STANDARDZUGRIFFSFÄHIG

1025

FIG. 10B

1035

	CS	CA PINS						
		CA0	CA1	CA2	CA3	CA4	CA5	CA6
LPDDR4 (ACT1/ACT2/ READ/CAS)	H	CMD	CMD					
	L							

1035H
1035L

1037

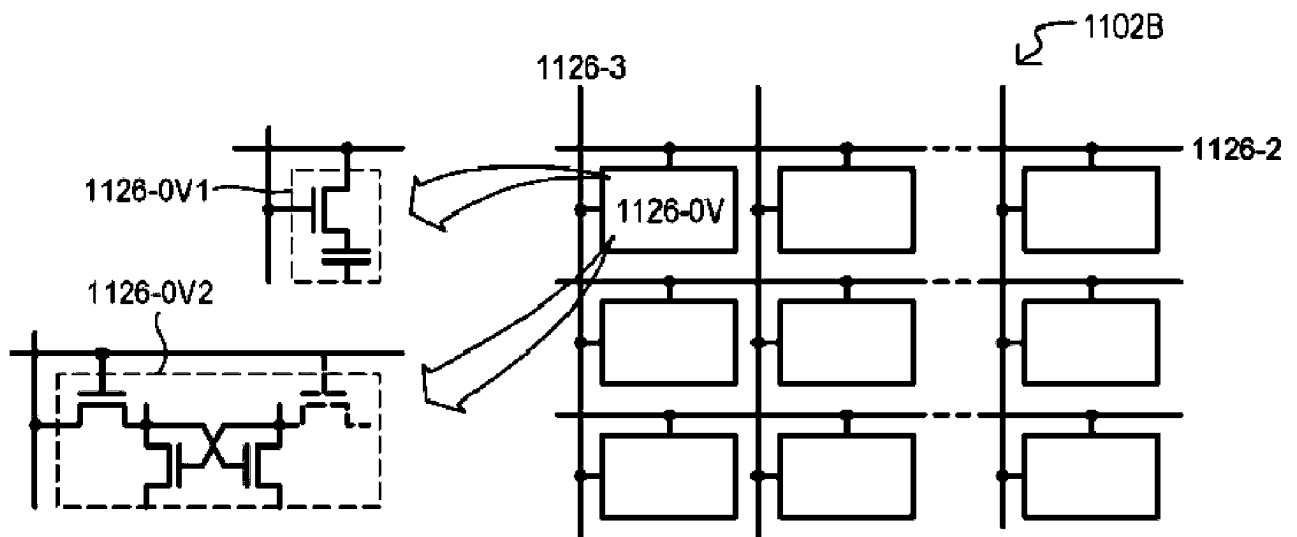
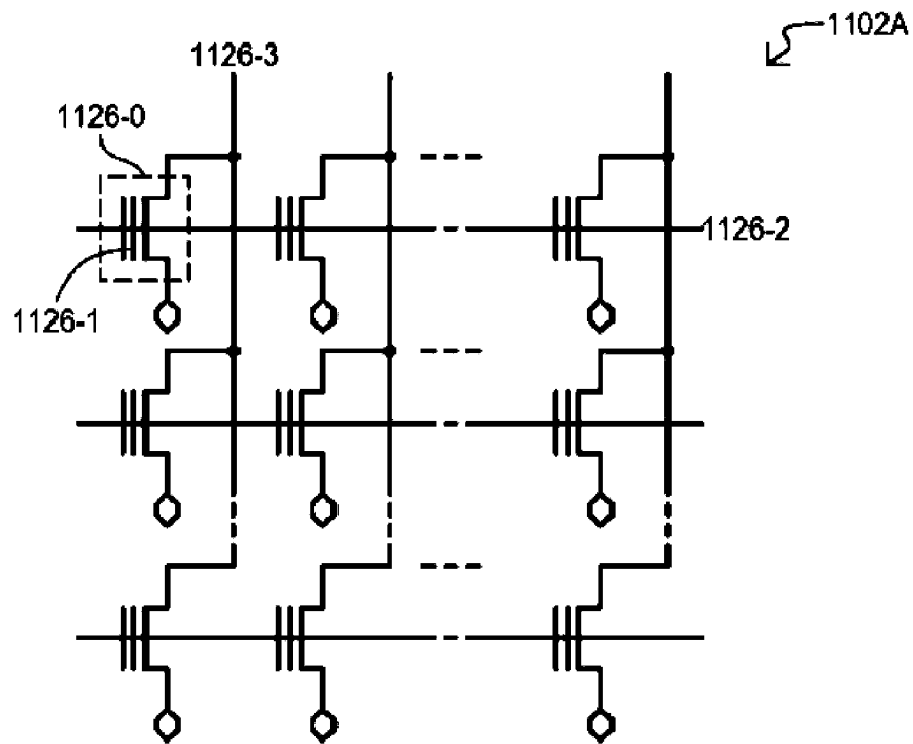
FIG. 10C

1039

	CS	CA PINS						
		CA0	CA1	CA2	CA3	CA4	CA5	CA6
NVR1/ NVR2	H	CMD	ADD					
	L							

1041

FIG. 10D



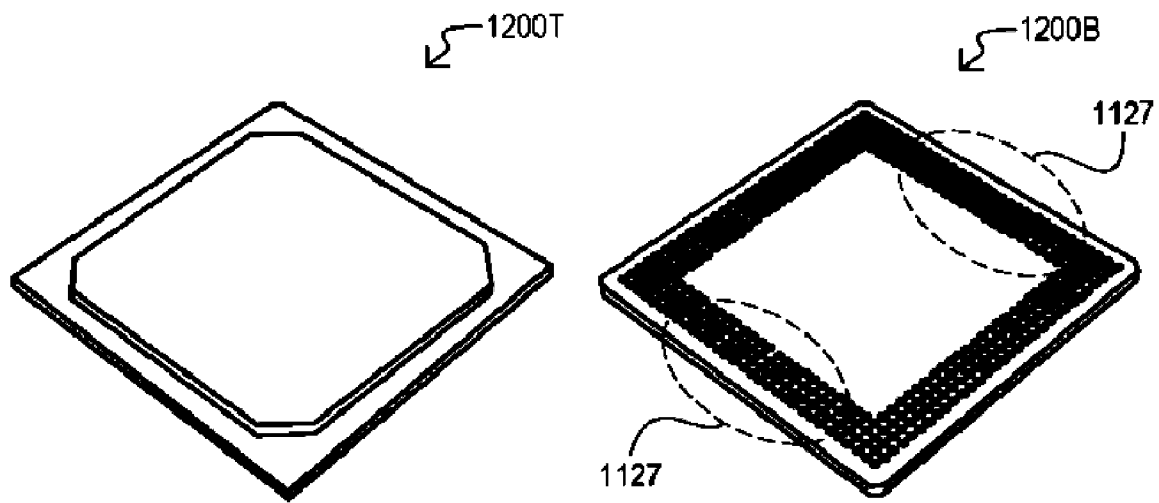


FIG. 12

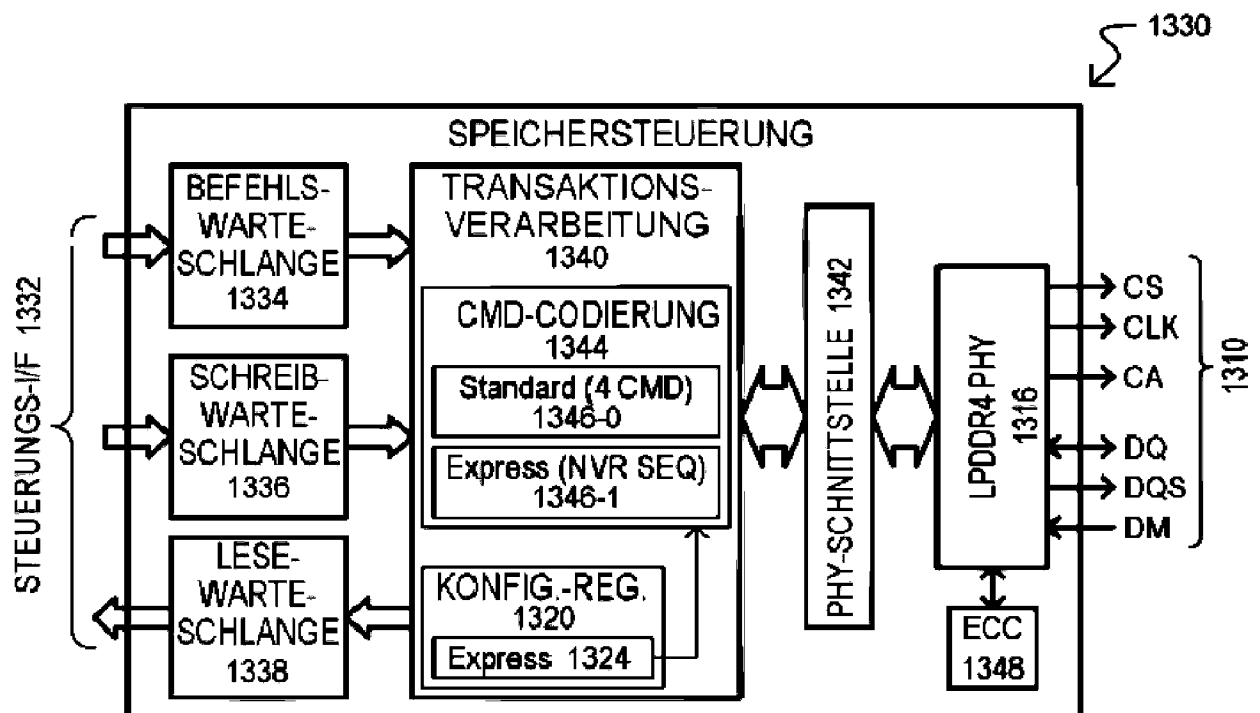


FIG. 13

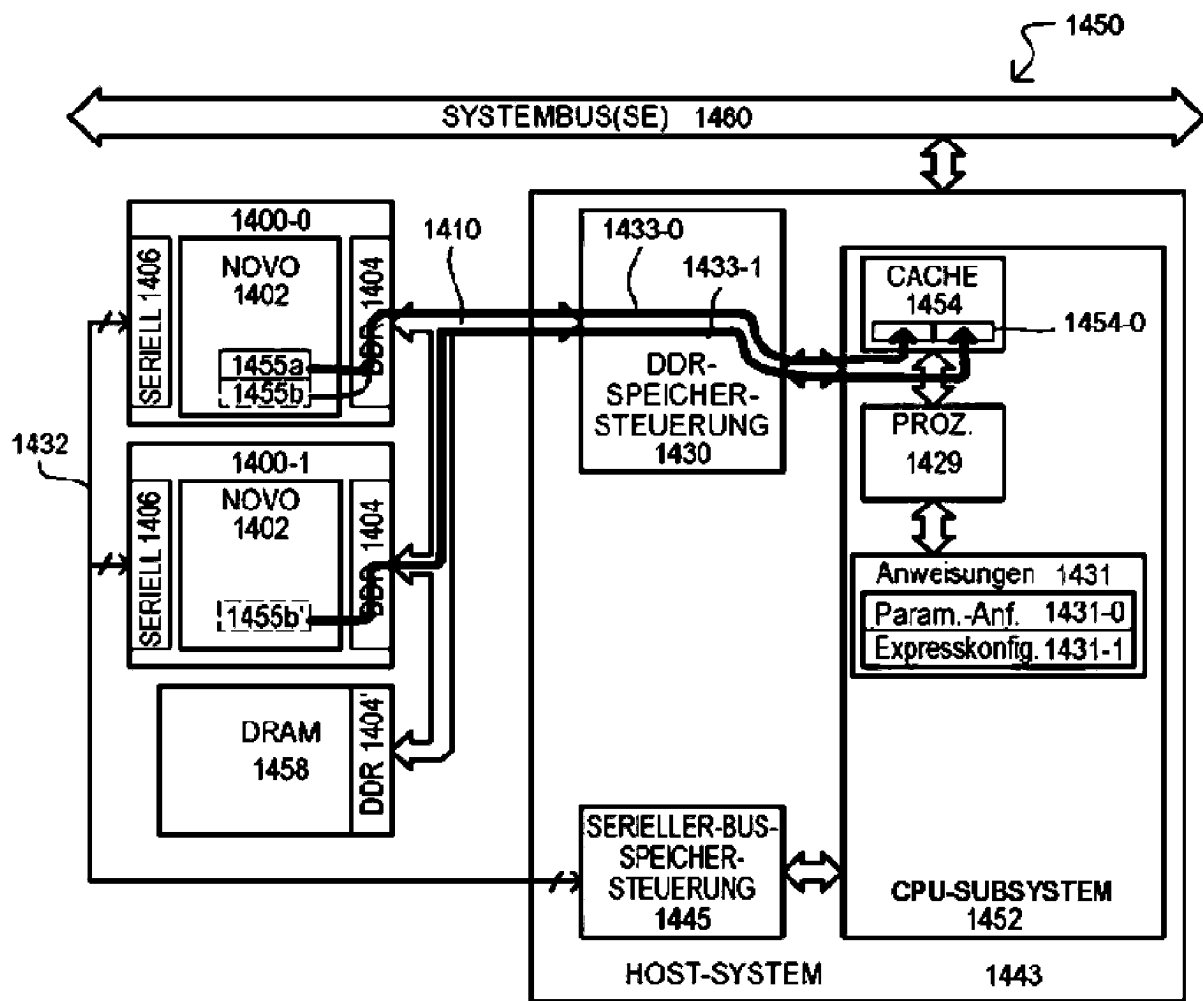


FIG. 14

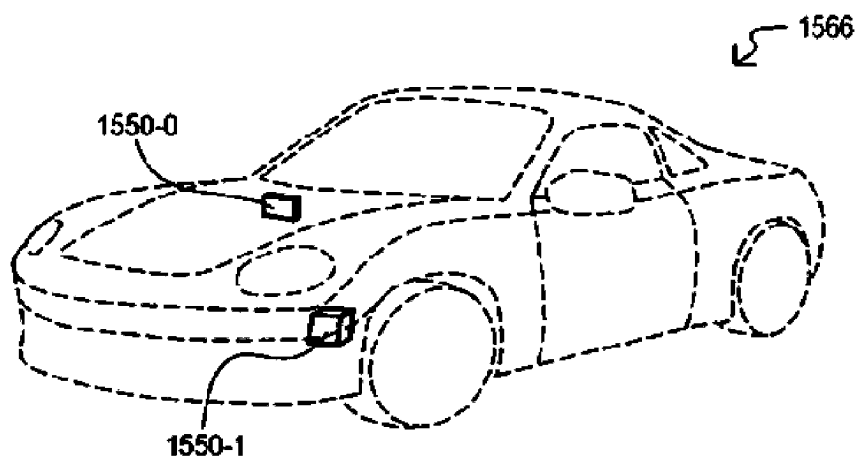


FIG. 15

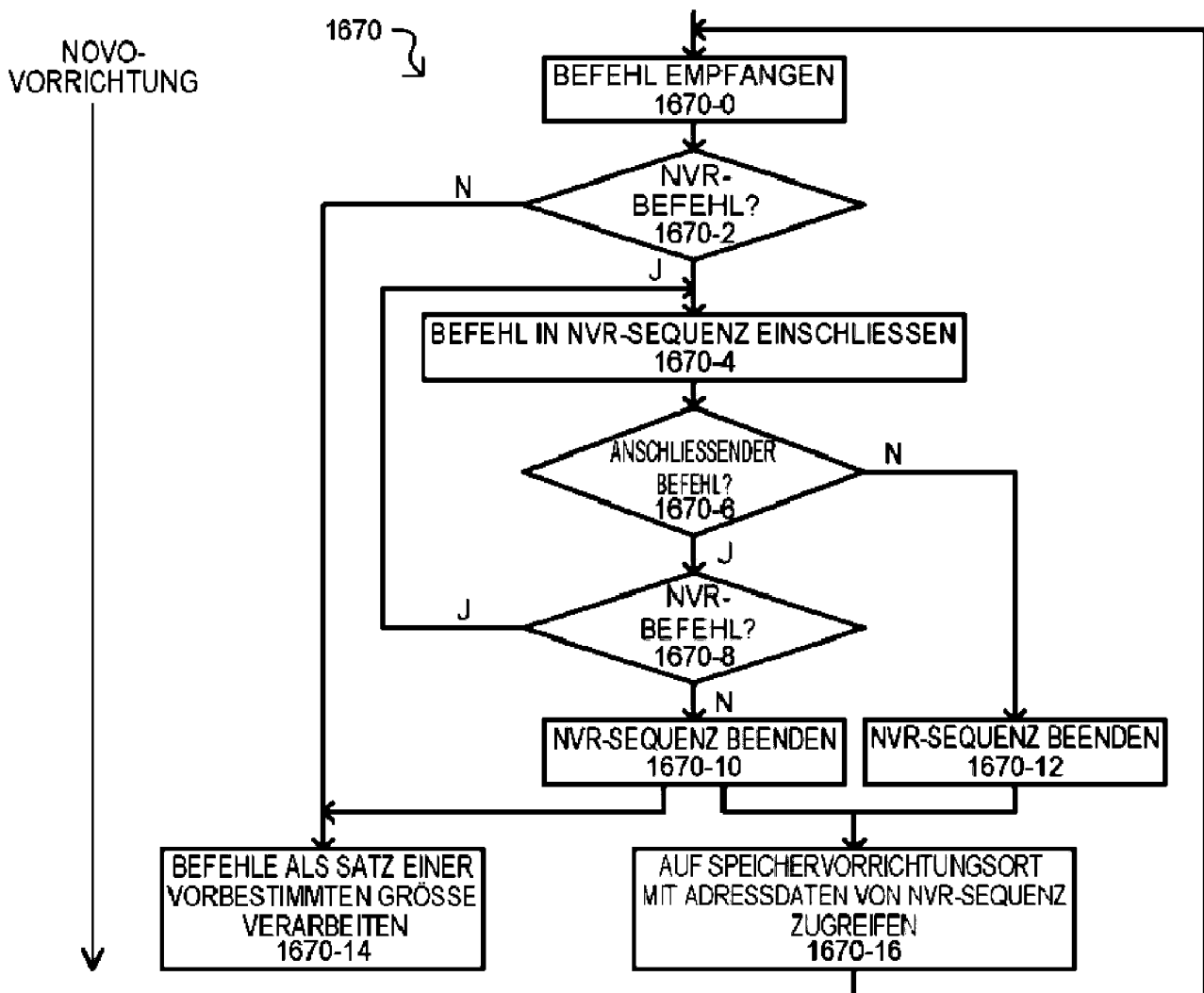


FIG. 16

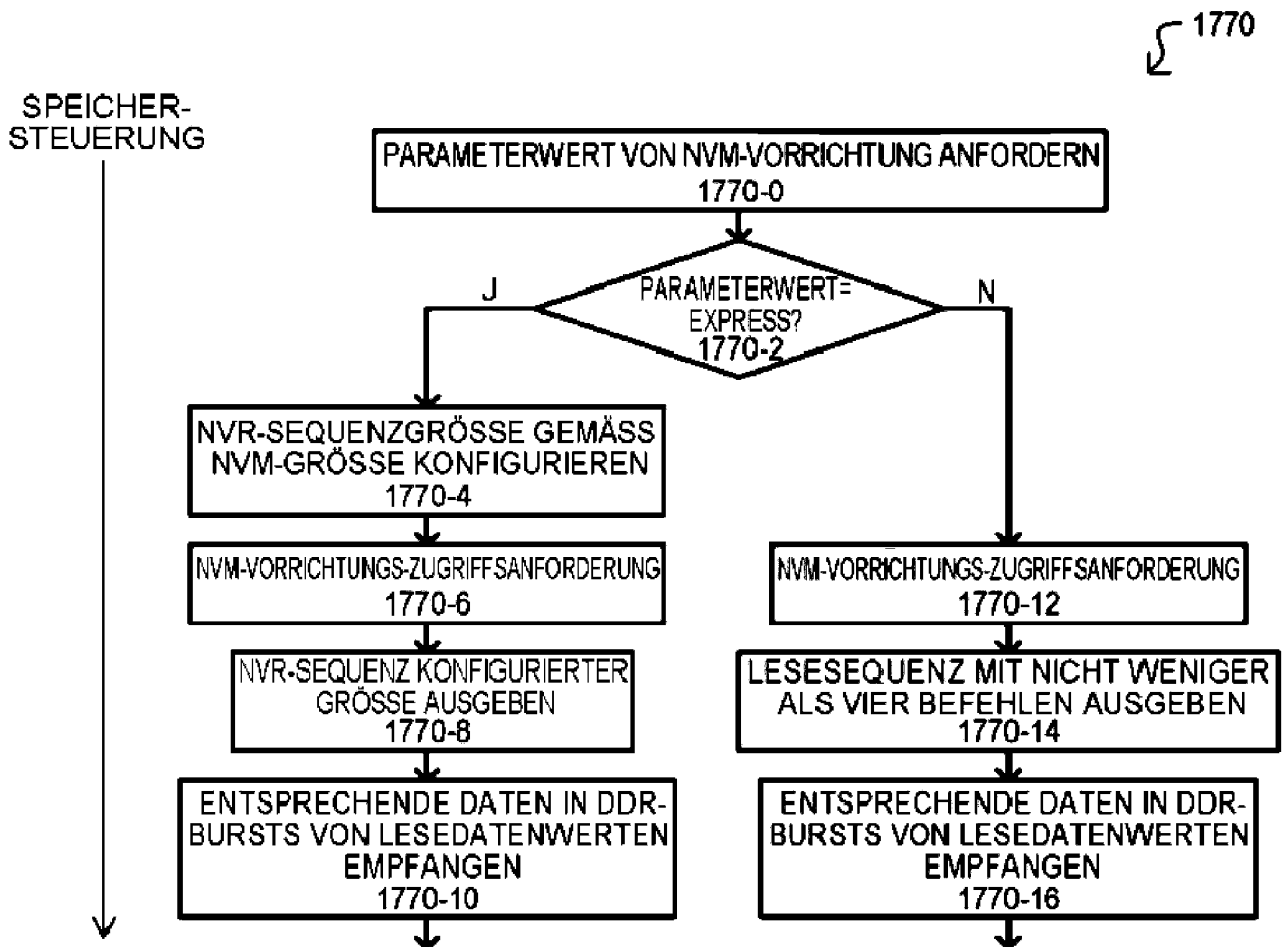


FIG. 17

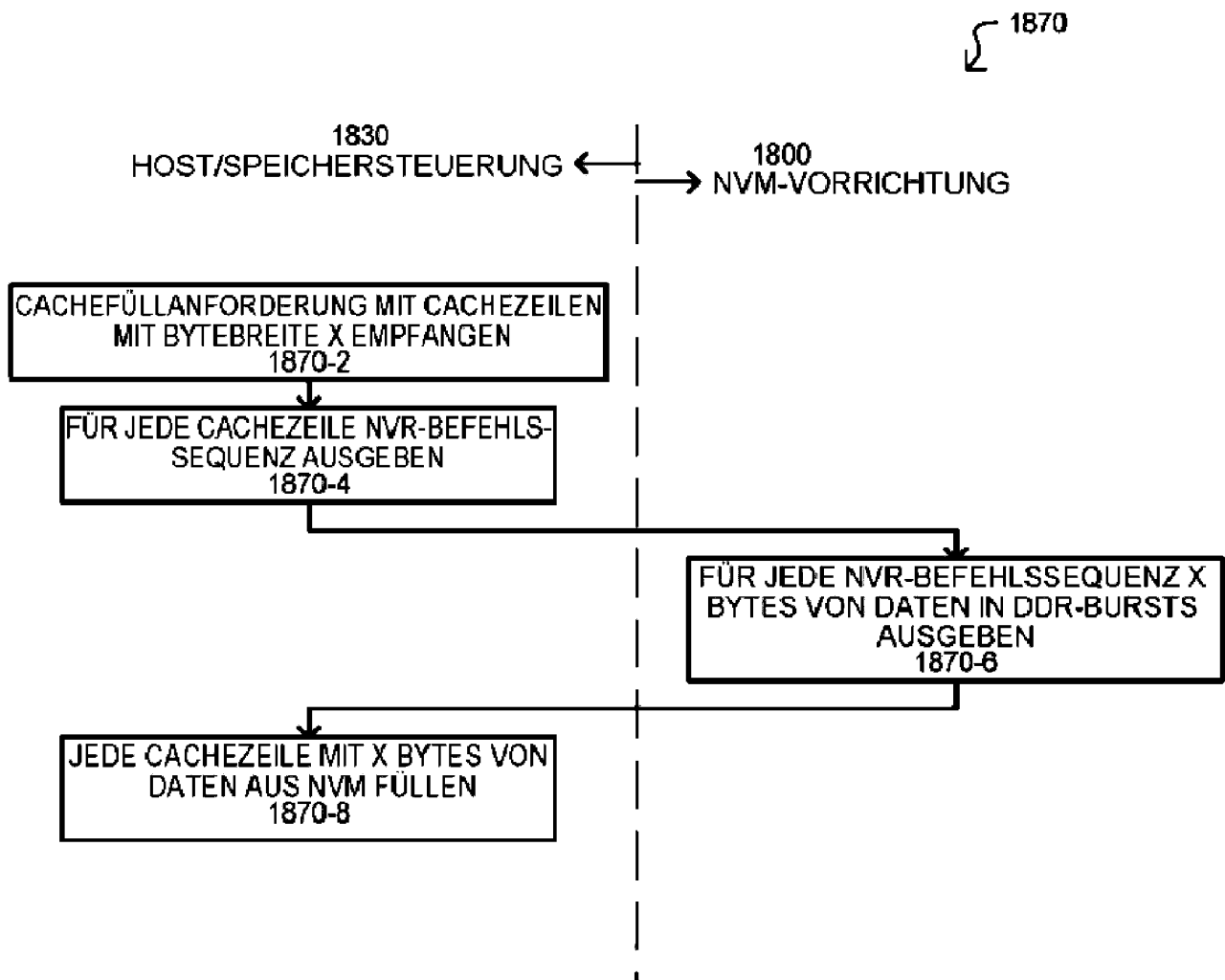


FIG. 18

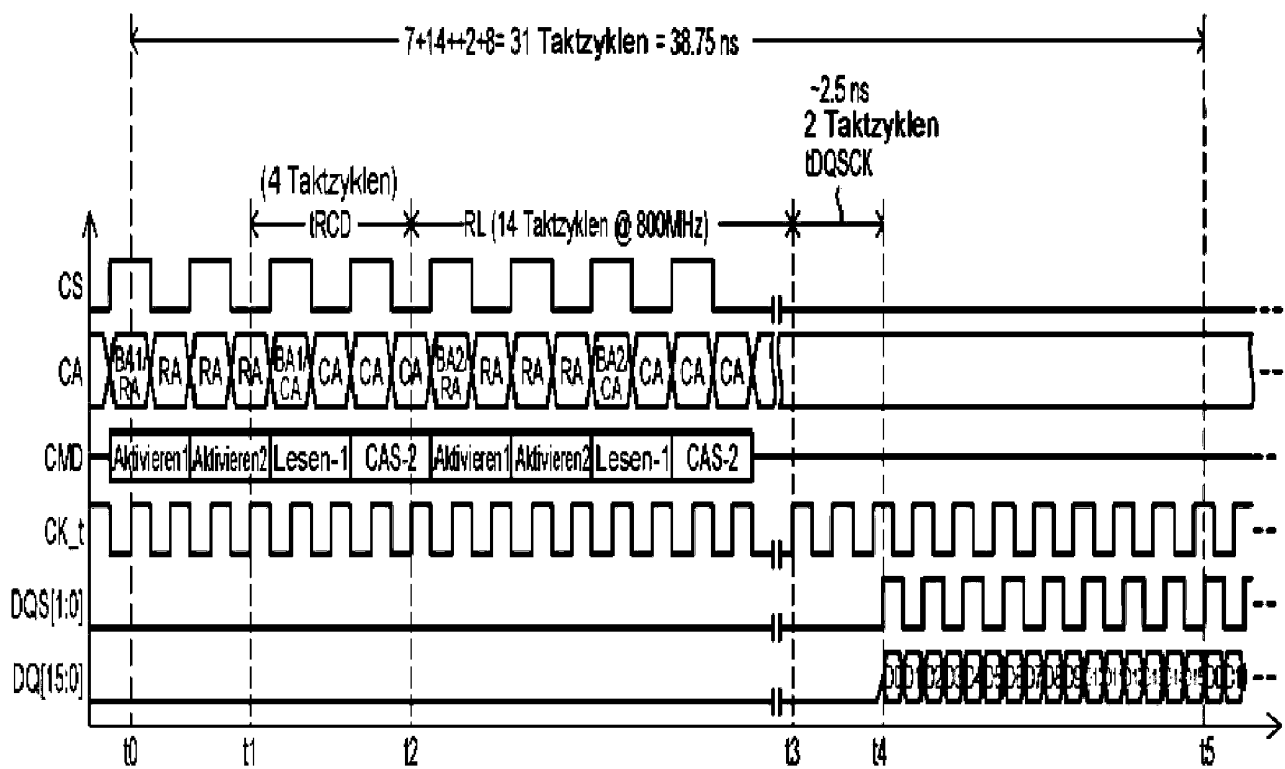


FIG. 19

(HINTERGRUND)