



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I521726 B

(45)公告日：中華民國 105 (2016) 年 02 月 11 日

(21)申請案號：101129941

(22)申請日：中華民國 93 (2004) 年 12 月 29 日

(51)Int. Cl. : H01L31/113 (2006.01)

H01L29/66 (2006.01)

(30)優先權：2003/12/30 美國

60/533,790

2004/07/15 美國

60/588,845

(71)申請人：快捷半導體公司 (美國) FAIRCHILD SEMICONDUCTOR CORPORATION (US)
美國

(72)發明人：恰拉 亞修克 CHALLA, ASHOK (IN)；伊班哈威 艾倫 ELBANHAWY, ALAN (US)；柯科 克里斯多夫 B KOCON, CHRISTOPHER B. (US)；莎普 史蒂芬 P SAPP, STEVEN P. (IN)；桑尼 巴巴克 S SANI, BABAK S. (US)；威爾森 彼得 H WILSON, PETER H. (CA)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

TW 558794

TW I287850

US 5998833

US 6359308

審查人員：黃鼎翰

申請專利範圍項數：28 項 圖式數：72 共 202 頁

(54)名稱

功率半導體元件及其製造方法 (二)

POWER SEMICONDUCTOR DEVICES AND METHODS OF MANUFACTURE

(57)摘要

本發明揭露經改良的功率元件及其製造方法、封裝、及使用於廣泛不同的功率電子應用中之包含該功率元件之電路。本發明的一態樣係合併數種電荷平衡技術及其他用於降低寄生電容之技術，以達成具有經改良的電壓效能、較高切換速度及較低接通電阻之功率元件的不同實施例。本發明的另一態樣係提供經改良之用於低、中及高電壓元件的終止結構。根據本發明的其他態樣提供了經改良之功率元件的製造方法。提出諸如溝道的成形、溝道內側之介電層的成形、台面結構的成形及降低基材厚度的程序及其他程序步驟等特定程序步驟之改良。根據本發明的另一態樣，經電荷平衡的功率元件係在相同晶粒上包含諸如二極體等溫度及電流感測部件。本發明的其他態樣係改良用於功率元件之等效串聯電阻(ESR)、在與功率元件相同的晶片上包含額外電路且對於經電荷平衡功率元件之封裝提供改良。

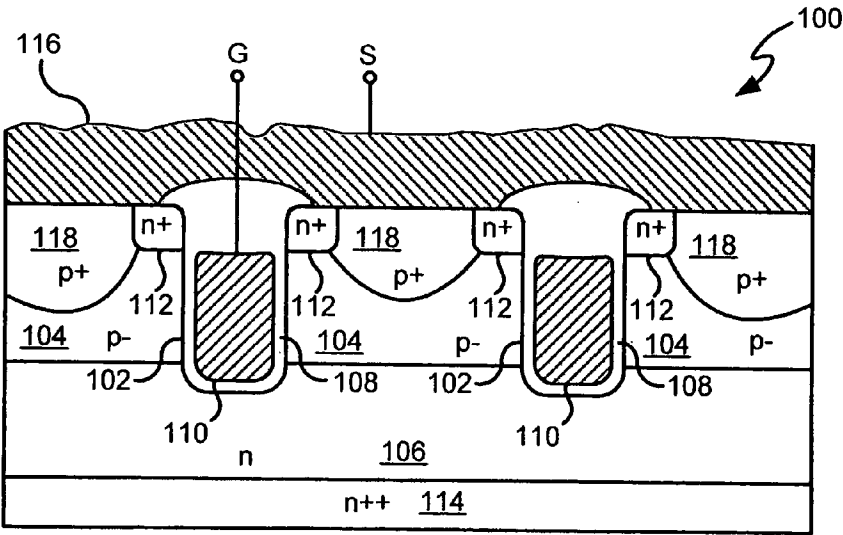
Varous embodiments for improved power devices as well as their methods of manufacture, packaging and circuitry incorporating the same for use in a wide varetty of power electronic applications are disclosed. One aspect ofthe invention combines a number of charge balancing technques and other technques for reducing parasitic capacitance to arve at different embodiments for power devices with improved voltage perfonnance, higher switching speed, and lower on-resistance. Another aspect ofthe invention provides improved tennination structues for low, medium and high voltage devices. Improved methods of fabrication for power devices are provided according to other aspects of the invention. Improvements to speciffc processing steps, such as formation of trenches, formation of dielectric layers inside trenches, fonnation of

mesa structures and processes for reducing substrate thickness, among others, are presented. According to another aspect of the invention, charge balanced power devices incorporate temperature and current sensing elements such as diodes on the same die. Other aspects of the invention improve equivalent series resistance (ESR) for power devices, incorporate additional circuitry on the same chip as the power device and provide improvements to the packaging of charge balanced power devices.

指定代表圖：

符號簡單說明：

- 100 . . . n 型溝道功率 MOSFET(垂直溝道 MOSFET)
- 104 . . . p 型井或體部區
- 106 . . . n 型漂移或磊晶區
- 112 . . . N 型源區
- 114 . . . 經重度摻雜的 n+ 基材區
- 118 . . . p+ 重體部區



第 1 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※ 申請案號： 101129941

※ 申請日期： 93.12.29 ※IPC 分類： H01L 31/113 (2006.01)

原申請案號：由第 93141126 號申請案分割。 H01L 29/66 (2006.01)

一、發明名稱：(中文/英文)

功率半導體元件及其製造方法(二) /

POWER SEMICONDUCTOR DEVICES AND METHODS OF
MANUFACTURE

二、中文發明摘要：

本發明揭露經改良的功率元件及其製造方法、封裝、及使用於廣泛不同的功率電子應用中之包含該功率元件之電路。本發明的一態樣係合併數種電荷平衡技術及其他用於降低寄生電容之技術，以達成具有經改良的電壓效能、較高切換速度及較低接通電阻之功率元件的不同實施例。本發明的另一態樣係提供經改良之用於低、中及高電壓元件的終止結構。根據本發明的其他態樣提供了經改良之功率元件的製造方法。提出諸如溝道的成形、溝道內側之介電層的成形、台面結構的成形及降低基材厚度的程序及其他程序步驟等特定程序步驟之改良。根據本發明的另一態樣，經電荷平衡的功率元件係在相同晶粒上包含諸如二極體等溫度及電流感測部件。本發明的其他態樣係改良用於功率元件之等效串聯電阻(ESR)、在與功率元件相同的晶片上包含額外電路且對於經電荷平衡功率元件之封裝提供改良。

三、英文發明摘要：

Various embodiments for improved power devices as well as their methods of manufacture, packaging and circuitry incorporating the same for use in a wide variety of power electronic applications are disclosed. One aspect of the invention combines a number of charge balancing techniques and other techniques for reducing parasitic capacitance to arrive at different embodiments for power devices with improved voltage performance, higher switching speed, and lower on-resistance. Another aspect of the invention provides improved termination structures for low, medium and high voltage devices. Improved methods of fabrication for power devices are provided according to other aspects of the invention. Improvements to specific processing steps, such as formation of trenches, formation of dielectric layers inside trenches, formation of mesa structures and processes for reducing substrate thickness, among others, are presented. According to another aspect of the invention, charge balanced power devices incorporate temperature and current sensing elements such as diodes on the same die. Other aspects of the invention improve equivalent series resistance (ESR) for power devices, incorporate additional circuitry on the same chip as the power device and provide improvements to the packaging of charge balanced power devices.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

- 100...n型溝道功率MOSFET(垂直溝道MOSFET)
- 104...p型井或體部區
- 106...n型漂移或磊晶區
- 112...N型源區
- 114...經重度摻雜的n+基材區
- 118...p+重體部區

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

相關申請案之交叉參考

此申請案係請求下列臨時提交美國專利申請案之利益：

No.60/533,790 (事務所案號 No.18865-133/17732-67260)，名稱為“功率半導體元件及其製造方法”，亞修克(Ashok)等人，2003年12月30日提交；

此申請案係為下列共同讓渡的美國專利申請案之部分接續案：

No.10/640,742 (事務所案號 No.90065.000241/17732-66550)，名稱為“經改良之用於具有降低的米勒電容及切換損失之MOS閘道方法”，柯康(Kocon)等人，2003年8月14日提交；

No.10/442,670 (事務所案號 No.18865-131/17732-66850)，名稱為“用於形成一具有自我對準特性的溝道MOSFET之結構及方法”，海瑞克(Herrick)，2003年5月20日提交；

此申請案係關於下列共同讓渡的美國專利申請案：

No.10/155,554 (事務所案號 No.18865-17-2/17732-7226.001)，名稱為“場效電晶體及其製造方法”，莫(Mo)等人，2002年5月24日提交；

No.10/209,110 (事務所案號 No.18865-98/17732-55270)，名稱為“雙溝道功率MOSFET”，賽普(Sapp)，2002

年7月30日提交；

No.09/981,583 (事務所案號 No.18865-90/17732-51620)，名稱為“具有經改良的較小正向損失及較高阻絕能力之半導體結構”，柯康(Kocon)，2001年10月17日提交；

5 No.09/774,780 (事務所案號 No.18865-69/17732-26400)，名稱為“具有一側向空乏結構之場效電晶體”，馬臣(Marchant)，2001年1月30日提交；

No.10/200,056 (事務所案號 No.18865-97/17732-55280)，名稱為“具有低輸出電容之垂直電荷控制半導體元件”，賽普(Sapp)等人，2002年7月18日提交；

10 No.10/288,982 (事務所案號 No.18865-117/17732-66560)，名稱為“漂移區較高阻絕較低正向電壓降半導體結構”，柯康(Kocon)等人，2002年11月5日提交；

15 No.10/315,719 (事務所案號 No.90065.051802/17732-56400)，名稱為“用於隔離平面性或溝道條紋功率元件上的電流感測同時維持一連續條紋晶胞之方法”，葉迪納克(Yedinak)，2002年12月10提交；

No.10/222,481 (事務所案號 No.18865-91-1/17732-51430)，名稱為“用於降低DC-DC轉換器中的損失之方法及電路”，歐班郝依(Elbanhawy)，2002年8月16日提交；

20 No.10/235,249 (事務所案號 No.18865-71-1/17732-26390-3)，名稱為“用於一半導體元件之未模製封裝體”，裘希(Joshi)，2002年9月4日提交；及

No.10/607,633 (事務所案號 No.18865-42-1/17732-13420)，名稱為“經引線式模製封裝體中之倒裝晶片及其製造方法”，裘希(Joshi)等人，2003年6月27日提交；

所有上述申請案以引用方式整體併入本文中。

5 發明背景

本發明概括有關半導體元件，且特別有關用於經改良之諸如電晶體及二極體等功率半導體元件的各種不同實施例及其製造方法，且包括含有該等功率半導體元件之封裝體及電路。

10 【先前技術】

功率電子應用的關鍵組件係為固態開關。從機動車應用中的點火控制到電池操作式消費性電子元件，為了對於工業應用中的轉換器供應功率，需要一能夠最佳地符合特殊應用的需求之功率開關。譬如包括功率金屬氧化物半導體場效電晶體(功率MOSFET)、絕緣閘雙極電晶體(IGBT)及各種不同類型的閘流體(thyristors)等之固態開關係不斷地演進以滿足此需求。在功率MOSFET的案例中，譬如，已經發展出具有側向通路(譬如布朗查(Blanchard)等人的美國專利案4,682,405號)、溝道閘結構(譬如莫(Mo)等人的美國專利案6,429,481號)之雙擴散結構(DMOS)以及各種不同用來在電晶體漂移區中平衡電荷之技術(譬如坦普(Temple)的美國專利案4,941,026號、陳(Chen)的5,216,275號及尼爾森(Neilson)的6,081,009號)，並具有許多其他技術，以解決不同且時常相競逐的效能要求。

功率開關之部分的定義用效能特徵係為其接通電阻、崩潰電壓及切換速度。依據一特定應用的需求而定，將一項不同的強調點放在這些效能判斷標準各者上。譬如，對於大於約300-400伏特的功率應用，IGBT相較於功率MOSFET展現一先天較低之接通電阻，但其切換速度由於具有較慢的關斷特徵而較低。因此，對於需要低接通電阻具有低切換頻率的大於400伏特之應用，IGBT係為較佳的開關，同時功率MOSFET時常係為相對較高頻應用之首選元件。如果一給定應用的頻率需求指定了所使用開關的類型，電壓需求則決定出特定開關的結構性構造。譬如，在功率MOSFET的案例中，因為汲至源接通電阻 R_{DSon} 與崩潰電壓之間的比例關係，改良電晶體的電壓效能同時維持低的 R_{DSon} 係構成一項挑戰。已經發展出電晶體漂移區中各種不同的電荷平衡結構來解決此挑戰且有不同程度的成效。

元件效能參數亦會受到晶粒的封裝及製程所影響。已經嘗試藉由發展多種不同之經改良的處理及封裝技術來解決部分的這些挑戰。

不論是位於超可攜式消費性電子元件中或是通訊系統的路由器與集線器中，功率開關係隨著電子產業的擴張而持續增加眾多廣泛的應用。因此，功率開關仍為一種具有高發展潛力的半導體元件。

【發明內容】

發明概要

本發明提供用於功率元件之各種不同實施例及其製造

方法、封裝、及包含用於廣泛不同功率電子應用的該等功率元件之電路。廣言之，本發明的一態樣係合併數種電荷平衡技術及其他用於降低寄生電容之技術，以達成具有經改良的電壓效能、較高切換速度及較低接通電阻之功率元件的不同實施例。本發明的另一態樣係提供經改良之用於低、中及高電壓元件的終止結構。根據本發明的其他態樣提供了經改良之功率元件的製造方法。本發明的各種不同實施例係提供諸如溝道的成形、溝道內側之介電層的成形、台面結構的成形及降低基材厚度的程序及其他程序步驟等特定程序步驟之改良。根據本發明的另一態樣，經電荷平衡的功率元件係在相同晶粒上包含諸如二極體等溫度及電流感測部件。本發明的其他態樣係改良用於功率元件之等效串聯電阻(ESR)或閘電阻，在與功率元件相同的晶片上包含額外電路且對於經電荷平衡功率元件之封裝提供改良。

本發明的這些及其他態樣係連同圖式更詳細地描述於下文。

圖式簡單說明

第1圖顯示一示範性n型溝道功率MOSFET的一部分之橫剖視圖；

第2A圖顯示一雙重溝道功率MOSFET的一示範性實施例；

第2B圖顯示用於一具有源屏蔽溝道結構之平面性閘MOSFET的一示範性實施例；

第3A圖顯示一經屏蔽閘溝道功率MOSFET的一示範性實施例的部分；

第3B圖顯示合併第2A圖的雙溝道結構與第3A圖的經屏蔽閘結構之用於一經屏蔽閘溝道功率MOSFET的一替代性實施例；

第4A圖為一雙閘溝道功率MOSFET的一示範性實施例之簡化部分圖；

第4B圖顯示合併一平面性雙閘結構與溝道式電極以供垂直電荷控制之一示範性功率MOSFET；

第4C圖顯示在相同溝道內側合併雙閘與經屏蔽閘技術之一功率MOSFET的一示範性實行方式；

第4D及4E圖為用於一具有深體部結構的功率MOSFET之替代性實施例的橫剖視圖；

第4F及4G圖顯示溝道式深體部結構對於接近閘電極處之功率MOSFET內側的電位線分佈之影響；

第5A、5B及5C圖為顯示具有各種不同的垂直電荷平衡結構之示範性功率MOSFET的部分之橫剖視圖；

第6圖顯示合併一示範性垂直電荷控制結構與一經屏蔽閘結構之一功率MOSFET的簡化橫剖視圖；

第7圖顯示合併一示範性垂直電荷控制結構與一雙閘結構之另一功率MOSFET的簡化橫剖視圖；

第8圖顯示具有垂直電荷控制結構及經整合蕭特基二極體(Schottky diode)之一經屏蔽閘功率MOSFET的一範例；

第9A、9B及9C圖描繪具有經整合蕭特基二極體的功率

MOSFET之各種不同示範性實施例；

第9D、9E及9F圖顯示用於將蕭特基二極體晶胞散佈於一功率MOSFET的主動晶胞陣列內之示範性佈局變異；

第10圖提供一具有經埋設二極體電荷平衡結構的示範性溝道功率MOSFET之簡化橫剖視圖；

第11及12圖分別顯示合併了具有經埋設二極體電荷平衡的經屏蔽閘及雙閘技術之功率MOSFET的示範性實施例；

第13圖為合併了經埋設二極體電荷平衡技術與經整合蕭特基二極體之一示範用平面性功率MOSFET的簡化橫剖視圖；

第14圖顯示一具有對於電流流動呈平行排列的交替式傳導區之示範性累積模式功率電晶體的簡化實施例；

第15圖為基於電荷分散用途具有溝道式電極之另一累積模式元件的簡化圖；

第16圖為一示範性雙溝道累積模式元件之簡化圖；

第17及18圖顯示用於包含呈現相反極性外部襯墊之充填有介電質的溝道之示範性累積模式元件的其他簡化實施例；

第19圖為一採用一或多個經埋設二極體之累積模式元件的另一簡化實施例；

第20圖為一沿著矽表面包括經重度摻雜相反極性區之示範性累積模式電晶體的簡化等角圖；

第21圖顯示在電壓維持層中具有交替式相反極性區之

一超接面功率MOSFET的簡化範例；

第22圖顯示一在電壓維持層中的垂直方向中分佈有相反極性島部之超接面功率MOSFET的一示範性實施例；

第23及24層分別顯示具有雙閘及經屏蔽閘結構之超接面功率MOSFET的示範性實施例；

第25A圖顯示用於一溝道電晶體之主動及終止溝道佈局的俯視圖；

第25B-25F圖顯示用於溝道終止結構之替代性實施例的簡化佈局；

第26A-26C圖為示範性溝道終止結構之橫剖視圖；

第27圖顯示具有大曲率半徑之終止溝道的示範性元件；

第28A-28D圖為具有矽條柱電荷平衡結構之終止區的橫剖視圖；

第29A-29C圖為採用超接面技術的超高電壓元件之示範性實施例的橫剖視圖；

第30A圖顯示用於一溝道元件之邊緣接觸的範例；

第30B-30F圖顯示用於一溝道元件之邊緣接觸結構的示範性程序步驟；

第31A圖係為用於多重經埋設多晶矽層之一主動區域接觸結構的一範例；

第31B-31M圖顯示用來形成供一溝道所用之一主動區域屏蔽接觸結構的一示範性程序流；

第31N圖為用於一主動區域屏蔽接觸結構之一替代性

實施例的橫剖視圖；

第32A及32B圖為具有主動區域屏蔽接觸結構之一示範性溝道元件的佈局圖；

5 第32C-32D圖為用以對於一具有破裂溝道結構的溝道元件中之周邊溝道產生接觸的兩實施例之簡化佈局圖；

第33A圖為用以在主動區域中接觸溝道式屏蔽多晶矽層之一替代性實施例；

第33B-33M圖顯示用以接觸屬於第33A圖所示類型的一主動區域屏蔽結構之一程序流的一範例；

10 第34圖顯示具有一間隔件或緩衝(障壁)層以降低磊晶漂移區厚度之一磊晶層；

第35圖顯示用於一具有一障壁層的元件之一替代性實施例；

15 第36圖顯示一採用一深體部-磊晶接面來盡量降低磊晶層厚度之障壁層；

第37圖為採用一擴散障壁層的電晶體之井-漂移區接面的一簡化範例；

第38A-38D圖顯示一具有經埋設電極之經自我對準磊晶-井溝道元件的一範例之簡化程序流；

20 第39A-39B圖顯示一用於一斜角狀井植入之示範性程序流；

第40A-40E圖顯示一經自我對準磊晶井程序之一範例；

第40R-40U圖顯示一用於降低基材厚度之方法；

第41圖顯示一使用一化學程序作為最後薄化步驟之程

序流的一範例；

第42A-42F圖顯示經改良的蝕刻程序之範例；

第43A及43B圖顯示一可消除鳥喙(bird's beak)問題之溝道蝕刻程序的實施例；

5 第44A及44B圖顯示替代性蝕刻程序；

第45A-45C圖顯示一用於形成一經改良的間際多晶矽介電層(inter-poly dielectric layer)之程序；

第46A、46B及46C圖顯示一用於形成一IPD層之替代性方法；

10 第47A及47B圖為另一用於形成一高品質的間際多晶矽介電層之方法的橫剖視圖；

第48及49A-49D圖顯示用於形成一經改良的IPD層之其他實施例；

第50A圖顯示一用於IPD平面化之異向性電漿程序；

15 第50B圖顯示一使用一化學機械程序之替代性IPD平面化方法；

第51圖為一用於控制氧化速率之示範性方法的流程圖；

第52圖顯示一經改良的利用一次大氣性化學氣相沉積
20 程序來在一溝道底部形成厚氧化物之方法；

第53圖為一利用一方向性矽酸四乙酯程序來在一溝道底部形成厚氧化物之方法的示範性流程圖；

第54及55圖顯示用於形成厚底部氧化物之另一實施例；

第56-59圖顯示用於在一溝道的底部形成一厚介電層之另一程序；

第60圖為一具有一電流感測元件之MOSFET的簡化圖；

5 第61A圖為一具有一平面性閘結構及經隔離的電流感測結構之電荷平衡MOSFET的一範例；

第61B圖顯示將一電流感測元件與一溝道MOSFET加以整合之一範例；

● 第62A-62C圖顯示用於一具有串列溫度感測二極體之
10 MOSFET的替代性實施例；

第63A及63B圖顯示用於一具有ESD保護之MOSFET的替代性實施例；

第64A-64D圖顯示ESD保護電路之範例；

第65圖顯示一用於形成具有較低ESR之經電荷平衡功
15 率元件的示範性程序；

第66A及66B圖顯示一用以降低ESR之佈局技術；

● 第67圖顯示一使用功率切換之DC-DC轉換器電路；

第68圖顯示使用功率切換之另一DC-DC轉換器電路；

第69圖顯示一用於一雙閘MOSFET之示範性驅動器電
20 路；

第70A圖顯示一具有被分開驅動的閘電極之替代性實施例；

第70B圖顯示一說明第70A圖的電路運作之定時圖；

第71圖為一經模製封裝體之簡化橫剖視圖；及

第72圖為一未模製封裝體之簡化橫剖視圖。

【實施方式】

較佳實施例之詳細說明

可藉由功率MOSFET、IGBT、各種不同類型的閘流體
5 及類似物來實行功率開關。此處提出的許多新穎技術係基於例示用途就功率MOSFET加以描述。然而請瞭解，此處所描述的本發明各種不同實施例並不侷限於功率MOSFET而可適用於譬如包括IGBT等其他類型的功率開關技術及其他類型的雙極開關及各種不同類型的閘流體以及二極體
10 之其中許多種。並且，基於例示用途，將本發明的各種不同實施例顯示為包括特定的p及n型區。熟習該技術者瞭解，此處的教導係同樣適用於其中將各區的傳導性反轉之元件。

參照第1圖，顯示一示範性n型溝道功率MOSFET 100
15 的一部分之橫剖視圖。如同此處所描述的全部其他圖式，請瞭解圖中顯示的各種不同部件及組件之相對維度及尺寸並未精確地反映實際維度而只供例示用。溝道MOSFET 100係包括一形成於溝道102內側之閘電極，溝道102自基材頂表面延伸經過一p型井或體部區104，而終止於一n型漂移或
20 磊晶區106中。溝道102係襯有薄介電層108且大致充填有諸如經摻雜多晶矽等傳導材料110。N型源區112形成於與溝道102相鄰之體部區104內側。一用於MOSFET 100之汲終端係形成於連接至一經重度摻雜的n+基材區114之基材背側上。第1圖所示的結構係在一譬如由矽製成的共同基材上重

覆許多次，以形成一陣列的電晶體。此陣列可以此技術已知的各種不同蜂巢狀或條紋狀架構所構成。當電晶體接通時，一傳導通路沿著閘溝道102的壁垂直地形成於源區112與漂移區106之間。

5 因為其垂直閘結構之緣故，MOSFET 100係能夠具有比平面性閘元件更高的裝填密度，且較高的裝填密度可轉換成為相對較低的接通電阻。為了改良此電晶體的崩潰電壓效能，p+重體部區118係形成於p-井104內側藉以在p+重體部118與p-井104之間的介面上形成一驟然接面。藉由控制
10 相對於溝道深度及井深度之p+重體部118的深度，電壓施加至電晶體時所產生之電場係移動遠離溝道。這增加了電晶體的雪崩電流處理能力。此經改良結構及用於形成電晶體的程序之變異且特別是驟然接面係更詳細地描述於共同擁有之發證予莫(Mo)等人的美國專利案6,429,481號中，該案
15 以引用方式整體併入本文中。

雖然垂直溝道MOSFET 100展現良好的接通電阻及經改良的堅固性，其具有一相對較高的輸入電容。用於溝道MOSFET 100之輸入電容係具有兩種組份：閘至源電容 C_{gs} 及閘至汲電容 C_{gd} 。閘至源電容 C_{gs} 係導因於接近溝道頂部的源區112與閘傳導材料110之間的重疊。因為在典型的功率切換應用中電晶體的源電極及體部係短路在一起，閘與體部中經倒置通路之間所形成的電容亦對於 C_{gs} 產生貢獻。閘至汲電容 C_{gd} 係導因於各溝道底部的閘傳導材料110與連接至汲部的漂移區106之間的重疊。閘至汲電容 C_{gd} 或

米勒電容係限制了電晶體 V_{DS} 轉折時間。因此，較高的 C_{gs} 及 C_{gd} 導致可察覺的切換損失。隨著功率管理應用移往較高的切換頻率，這些切換損失變得益加重要。

一種降低閘至源電容 C_{gs} 的方式係為降低電晶體的通路長度。較短的通路長度係直接地降低 C_{gs} 的閘至通路組份。較短的通路長度亦與 R_{DSon} 直接成正比並能夠以較少閘溝道獲得相同的元件電流容載。這藉由減少閘至源以及閘至汲重疊量來降低 C_{gs} 及 C_{gd} 兩者。然而，較短的通路長度將在經逆向偏壓體部-汲接面所導致形成之空乏層推押深入體部區內而趨近源區時使得元件易被貫穿。藉由降低漂移區的摻雜濃度使其維持較多的空乏層，將具有增加電晶體的接通電阻 R_{DSon} 之不良效果。

得以降低通路長度且亦可有效解決上述缺陷之電晶體結構的一改良處係在於：使用與閘溝道呈側向分隔之額外的“屏蔽”溝道。參照第2A圖，顯示一雙溝道MOSFET 200的一示範性實施例。術語“雙溝道”係指具有兩不同類型的溝道而非類似的溝道總數之電晶體。除了與第1圖的MOSFET共同之結構性特性外，雙溝道MOSFET 200係包括介入相鄰閘溝道202之間的屏蔽溝道220。第2A圖所示的示範性實施例中，屏蔽溝道220係從表面延伸經過p+區218、體部區204而進入大幅位於閘溝道202深度以下之漂移區206。溝道220係襯有一介電材料222且大致充填有諸如經摻雜多晶矽等傳導材料224。一金屬層216係電性連接溝道220內側的傳導材料224以及n+源區212與p+重體部區218。此實

施例，溝道220因此可稱為源屏蔽溝道。此型雙溝道MOSFET之一範例及其製造程序與電路應用係更詳細地描述於共同讓渡之塞普(Steven Sapp)的名稱為“雙溝道功率MOSFET”的美國專利申請案No.10/209,110號中，該案以引用方式整體併入本文中。

較深源屏蔽溝道220的影響係為將經逆向偏壓體部-汲接面所導致形成的空乏層更加推押深入漂移區206內。因此，可導致一較寬的空乏層而不增加電場。這可讓漂移區被較重度摻雜而不降低崩潰電壓。一經較高摻雜的漂移區係降低電晶體的接通電阻。尚且，接近體部-汲接面處之經降低的電場係可讓通路長度顯著地降低而進一步降低了電晶體的接通電阻並顯著地降低了閘至源電容 C_{gs} 。並且，相較於第1圖的MOSFET，雙溝道MOSFET係能夠以遠為較少個閘溝道獲得相同之電晶體電流容載。這明顯地降低了閘至源及閘至汲重疊電容。請注意在第2A圖所示的示範性實施例中，閘溝道傳導層210係埋設在溝道內側，而不需要第1圖中MOSFET 100的溝道102上方所出現之間層介電圓頂。並且，如此處所教導的源屏蔽溝道之用途並不限於溝道閘式MOSFET，且當源屏蔽溝道採用在使閘水平地形成於基材頂表面上之平面性MOSFET中時將可獲得類似的優點。一用於具有源屏蔽溝道結構的平面性溝道MOSFET之示範性實施例係顯示於第2B圖中。

為了進一步降低輸入電容，可作出針對降低閘至源電容 C_{gd} 之額外結構性改良。如上述，閘至源電容 C_{gd} 係由溝

道底部之漂移區與閘之間的重疊所造成。一用於降低此電容之方法係增加溝道底部之閘介電層的厚度。再度參照第2A圖，將閘溝道202描繪為在與漂移區206(電晶體汲終端)呈重疊之溝道底部具有一比沿著閘溝道側壁的介電層更厚之介電層226。這降低了閘至汲電容 C_{gd} 而不劣化電晶體的正向傳導。可以數種不同方式在閘溝道底部生成一較厚的介電層。一用於生成較厚介電層之示範性程序係描述於共同擁有之發證予赫斯特(Hurst)等人的美國專利案6,437,386號中，該案以引用方式整體併入本文中。用於在一溝道底部形成一厚介電層之其他程序係進一步參照第56至59圖描述於下文中。盡量降低閘至汲電容之另一方式係將一配置於中央的第二介電核心包括在自溝道地板上的介電襯墊往上延伸之溝道內側。一實施例中，第二介電核心可一路往上延伸而接觸到溝道傳導材料210上方的介電層。此實施例的一範例及其變異係更詳細地描述於共同擁有之發證予申諾依(Shenoy)的美國專利案6,573,560號中。

另一種用以降低閘至汲電容 C_{gd} 之技術係包含利用一或多個經偏壓電極來屏蔽住閘。根據此實施例，在閘溝道內側及用於形成閘電極之傳導材料下方，形成有一或多個電極以屏蔽住閘不受到漂移區，藉以顯著地降低閘至汲重疊電容。參照第3A圖，顯示一經屏蔽閘溝道MOSFET 300A之一示範性實施例的部分。MOSFET 300A中的溝道302係包括一閘電極310以及此實施例中位於閘電極310底下的兩額外電極311a及311b。電極311a及311b係屏蔽住閘電極310

使其與漂移區306無任何顯著重疊而幾乎消除閘至汲重疊電容。屏蔽電極311a及311b可以最佳電位被獨立地偏壓。一實施例中，屏蔽電極311a或311b的一者可以與源終端相同的電位被偏壓。類似於雙溝道結構，屏蔽電極的偏壓亦可有助於加寬體部-汲接面上所形成之空乏區藉以進一步降低Cgd。請瞭解屏蔽電極311數量可依據切換應用且特別是依據應用的電壓需求而改變。同樣地，屏蔽電極的尺寸可在一給定溝道中變動。譬如，屏蔽電極311a可大於屏蔽電極311b。一實施例中，最小的屏蔽電極係最接近溝道底部，而其餘屏蔽電極隨其接近閘電極而逐漸增加尺寸。溝道內側之經獨立偏壓的電極係亦可使用於垂直電荷控制用途以改良較小的正向電壓損失及較高的阻絕能力。下文連同較高電壓元件所進一步描述之電晶體結構的此態樣係亦更詳細地描述於共同讓渡之柯康(Kocon)的名稱為“具有經改良的較小正向電壓損失及較高阻絕能力之半導體結構”的美國專利申請案09/981,583號中，該案以引用方式整體併入本文中。

第3B圖顯示用於一合併了第2A圖的雙溝道結構與第3A圖的經屏蔽閘結構之經屏蔽閘溝道MOSFET 300B的一替代性實施例。第3B圖所示的示範性實施例中，閘溝道301係類似MOSFET 300A的溝道302般地包括閘多晶矽310。然而，MOSFET 300B係包括基於垂直電荷控制用途可能比閘溝道302更深之非閘溝道301。雖然電荷控制溝道301可如同第2A圖具有在溝道頂部連接至源金屬之單層的傳導材料

(譬如多晶矽)，第3B圖所示的實施例係使用可獨立地被偏壓之多重堆積狀的多晶矽電極313。堆積在一溝道中之電極313數量係可依據應用需求而變，第3B圖所示的電極313尺寸亦然。電極可獨立地被電性偏壓或束縛在一起。並且，

5 一元件內側之電荷控制溝道數量將依據應用而定。

另一用於改良功率MOSFET的切換速度之技術係採用一雙閘結構來降低閘至汲電容 C_{gd} 。根據此實施例，溝道內側的閘結構係分割成兩分段：一第一分段，其進行接收切換訊號之習知的閘功能；及一第二分段，其屏蔽住第一閘

10 分段不受到漂移(汲)區且可獨立地被偏壓。這鉅幅地降低了MOSFET的閘至源電容。第4A圖為一雙閘溝道MOSFET 400A的一示範性實施例之簡化部分圖。如第4A圖所示，MOSFET 400A的閘係具有兩分段G1及G2。不同於第3A圖的MOSFET 300A中之屏蔽電極(311a及311b)，用於在

15 MOSFET 400A中形成G2之傳導材料係具有一與通路之重疊區401而因此作為一閘終端。然而，此次級閘終端G2係與主要閘終端G1獨立地被偏壓且不接收用於驅動切換電晶體之相同訊號。而是，一實施例中，G2以一恰高於MOSFET低限值電壓的固定電位被偏壓以使重疊區401中的通路倒

20 反。這將在從次級閘G2轉折至主要閘G1時確保形成一連續通路。並且，因為G2處的電位高於源電極而使 C_{gd} 降低，且離開漂移區進入次級閘G2內的電荷轉移將進一步有助於降低 C_{gd} 。另一實施例中，若不具有固定電位，次級閘G2可恰在一切換事件之前偏壓至一高於低限值電壓之電位。

其他實施例中，可使G2處的電位成為可變式且受到最佳調整以盡量減少閘至汲電容Cgd的任何邊際部分。雙閘結構可
使用在具有平面性閘結構之MOSFET及包括IGBT與類似物
等其他類型的溝道閘功率元件中。此等雙閘溝道MOS閘式
5 元件的變異及此等元件之製造程序係更詳細地描述於共同
讓渡之柯康(Kocon)等人的名稱為“經改良之用於降低的米
勒電容與切換損失的MOS閘道方法”的美國專利申請案
No.10/640,742號中，該案以引用方式整體併入本文中。

用於經改良的功率MOSFET之另一實施例係描述於第
10 4B圖中，其中一示範性MOSFET 400B係合併一平面性雙閘
結構與溝道式電極以供垂直電荷控制用。主要及次級閘終
端G1及G2係與第4A圖的溝道式雙閘結構具有類似的運作
方式，而深溝道420在漂移區中提供一電極以分散電荷並增
加元件的崩潰電壓。圖示實施例中，屏蔽或次級閘G2係重
15 疊於主要閘G1的上部並延伸於p井404與漂移區406上方。一
替代性實施例中，主要閘G1係延伸於屏蔽/次級閘G2上方。

至今所描述之諸如閘屏蔽及用於垂直電荷控制的溝道
式電極等各種不同技術係可合併以獲得功率元件，包括側
向及垂直MOSFET、IGBT、二極體及類似物，且其效能特
20 徵對於一給定應用加以最佳化。譬如，第4A圖所示的溝道
式雙閘結構係可有利地合併屬於第3B或4B圖所示類型之
垂直電荷控制溝道結構。此元件將包括一具有第4A圖所示
的雙閘結構之主動溝道以及大致充填有單層傳導材料(如
第4B圖的溝道420中)或充填有多重堆積狀傳導電極(如第

3B圖的溝道301中)之較深電荷控制溝道。對於其中汲終端定位在與源終端相同的基材表面上之側向元件(亦即，電流側向地流動)，電荷控制電極將側向地配置而形成場板，而非堆積在垂直溝道中。電荷控制電極的定向係概括平行於

5 漂移區中之電流流動方向。

一實施例中，雙閘及經屏蔽閘技術係被合併在相同溝道內側以提供切換速度及阻絕電壓增強作用。第4C圖顯示一MOSFET 400C，其中溝道402C係包括如圖示堆積在單一溝道中之一主要閘G1、一次級閘G2及一屏蔽層411。溝道

10 402C可製成應用所需要的深度且可包括應用所需要的屏蔽層411數量。對於電荷平衡及屏蔽電極使用相同溝道之方式，因為如此不需要兩溝道且將其合併成一者，故能夠具有較高密度。其亦能夠具有較大的電流分散作用並改良元件的接通電阻。

15 至今所描述的元件係採用經屏蔽閘、雙閘及其他技術之組合來降低寄生電容。然而，由於邊際效應(fringing effects)，這些技術無法完全使閘至汲電容 C_{gd} 達到最小。參照第4D圖，顯示具有深體部設計的MOSFET 400D之一示範性實施例的部分橫剖視圖。根據此實施例，體部結構係藉

20 由一蝕刻經過閘溝道402之間構成的台面中心之溝道418所形成，並延伸深達閘溝道402或更深處。體部溝道418如圖示充填有源金屬。源金屬層可在金屬-擴散邊界(未圖示)上包括一薄耐火金屬。此實施例中，體部結構進一步包括一大致圍繞體部溝道418之p+體部植入件419。p+植入層419

能夠具有額外屏蔽以改變元件內側且特別是接近閘電極處之電位分佈。第4E圖所示的一替代性實施例中，體部溝道418譬如利用選擇性磊晶成長(SEG)沉積大致的充填有磊晶材料。或者，體部溝道418E大致充填有經摻雜的多晶矽。

5 在這兩實施例的任一者中，若不植入p+屏蔽接面419，後續溫度處理將從經充填的體部使摻雜物擴散至矽內以形成p+屏蔽接面419。用於溝道式體部結構及成形的數種變異係更詳細地描述於共同讓渡之黃(Huang)的美國專利案No.6,437,399及6,110,799號中，該案以引用方式整體併入本文
10 文中。

第4D及4E圖所示的實施例中，閘溝道402與體部溝道418之間的距離L、以及兩溝道的相對深度係受到控制以盡量減小邊際閘至汲電容。在使用SEG或經多晶矽充填的體部溝道之實施例中，可藉由改變體部溝道418內側之SEG或多晶矽的摻雜濃度來調整層419外邊緣與閘溝道壁之間的
15 間隔。第4F及4G圖顯示溝道式深體部對於接近閘電極處的元件內側電位線分佈之影響。基於例示目的，第4F及4G圖使用具有經屏蔽閘結構之MOSFET。第4F圖顯示用於一具有溝道式深體部418的經逆向偏壓閘MOSFET 400F之電位
20 線，而第4G圖顯示用於一具有一淺體部結構的經逆向偏壓屏蔽閘MOSFET 400G之電位線。各元件中的輪廓線顯示當逆向偏壓時(亦即阻斷狀態)元件內側之電位分佈。白線顯示井接面且亦界定位於閘電極旁邊之通路底部。可從圖式看出，具有一較低電位及較低電場施加於第4F圖的溝道式深

體部MOSFET 400F所用之通路及周遭的閘電極上。此減小的電位能夠具有一降低的通路長度藉以降低元件之總閘電荷。譬如，閘溝道402的深度可降低至低於譬如0.5微米，並可製成比體部溝道418更淺且其中間隔L約為0.5微米或
5 更小。一示範性實施例中，間隔L係小於0.3微米。此實施例的另一優點係為閘-汲電荷 Q_{gd} 及米勒電容 C_{gd} 的降低。這些參數值愈低，元件能夠愈快地切換。經由閘電極旁邊所出現的電位之降低來實現此改良。經改良的結構係具有遠為較低之將被切換的電位，且閘中具有遠為較低之經感應
10 電容性電流。這則能夠使閘更快地切換。

連同第4D及4E圖所描述的溝道式深體部結構係可合併諸如經屏蔽閘或雙閘結構等其他電荷平衡技術，以進一步改良元件的切換速度、接通電阻及阻絕能力。

上述功率元件及其變異所提供的改良係已經產生供相
15 對較低電壓功率電子應用所使用之強固的切換部件。此處所用的低電壓係指譬如約30V-40V及以下範圍的電壓，但此範圍可能依據特定應用而變。需要顯著地高於此範圍的阻絕電壓之應用係必須對於功率電晶體作出某些類型的結構性修改。一般而言，功率半導體的漂移區中之摻雜濃度係
20 降低藉以使元件在阻絕狀態期間維持較高電壓。然而，一較輕度摻雜的漂移區係導致電晶體接通電阻 R_{DSon} 的增加。較高的電阻係數係直接地增加開關的功率損失。隨著近來半導體製造的進展使得功率元件的裝填密度進一步提高，功率損失已經變得更顯著。

已經嘗試改良元件接通電阻及功率損失，同時維持高阻絕電壓。其中許多這些嘗試係採用各種不同垂直的電荷控制技術來在半導體元件中垂直地生成一大體平坦的電場。已經提出此型的數種元件結構，包括共同擁有之馬臣 (Marchant) 的名稱為“具有一側向空乏結構之場效電晶體”的美國專利案6,713,813號中所揭露之側向空乏元件、以及共同擁有之柯康 (Kocon) 的美國專利案6,376,878號中所描述之元件，兩案皆以引用方式整體併入本文中。

第5A圖顯示一具有一平面性閘結構之示範性功率 MOSFET 500A的一部分之橫剖視圖。MOSFET 500A呈現出具有類似於第2B圖的平面性MOSFET 200B之結構，但與該元件的差異點在於兩明顯方面。並不採用傳導材料來充填溝道520，這些溝道充填有諸如二氧化矽等介電材料，且元件進一步包括與溝道520外側壁相鄰分隔之不連續性浮p型區。如同對於第2A圖的雙溝道MOSFET所描述，源溝道202中的傳導材料(譬如多晶矽)係藉由將空乏層推押更深入漂移區內而有助於改良晶胞崩潰電壓。因此，除非採用降低電場的其他手段，自溝道免除傳導材料將導致崩潰電壓降低。浮p區524係具有降低電場的作用。

參照第5A圖所示的MOSFET 500A，隨著汲電壓增加時電場的增加，浮p區524係獲得藉由其在空間電荷區中的位置所決定之一對應電位。這些p區524的浮電位係造成電場分散更深入漂移區內，而導致對於溝道520之間的台面區深度整體具有一更均勻的場。結果，使電晶體的崩潰電壓增

加。以絕緣材料來取代溝道中傳導材料之優點係在於：有一更大部分的空間電荷區出現於一絕緣體上、而非可能為矽的漂移區上。因為一絕緣體的電容率低於譬如矽的電容率，且因為溝道中空乏區的面積減小，元件的輸出電容係顯著地降低。這進一步增強了電晶體的切換特徵。充填有介電質之溝道520的深度係依據電壓需求而定，溝道愈深則阻絕電壓愈高。垂直電荷控制技術的一項附加優點在於其可讓電晶體晶胞側向地位移以供熱隔離之用而沒有可察覺的附加電容。一替代性實施例中，不採用浮p區，p型層係襯墊住充填有介電質之溝道的外側壁以達成類似的垂直電荷平衡。此實施例的簡化及部分橫剖視圖顯示於第5B圖中，其中溝道520外側壁係被一p型層或襯墊526覆蓋。第5B圖所示的示範性實施例中，閘亦為溝道式，而進一步改良了元件的互導(transconductance)。採用此技術變異的經改良功率元件之其他實施例係更詳細地描述於共同讓渡之賽普(Sapp)等人名稱為“具有低輸出電容之垂直電荷控制半導體元件”的美國專利申請案No.10/200,056號(事務所案號No.18865-0097/17732-55280)中，該案以引用方式整體併入本文中。

如上述，第5B圖的溝道MOSFET 500B係呈現降低的輸出電容及經改良的崩潰電壓。然而，因為主動溝道(閘溝道502)定位在充填有介電質的電荷控制溝道520之間，MOSFET 500B的通路寬度不像習知溝道MOSFET結構一樣大。這可能導致較高的接通電阻 R_{DSon} 。參照第5C圖，顯示

一免除了次級電荷控制溝道之具有垂直電荷控制的溝道 MOSFET 500C之一替代性實施例。MOSFET 500C中的溝道 502C係包括閘多晶矽 501及一延伸深入漂移區 506內之充填有介電質的下部。一實施例中，溝道 502C係延伸至約為漂
5 移區 506深度一半以下之深度。一p型襯墊 526C係如圖所示沿著各溝道下部圍繞外壁。此單溝道結構免除了次級電荷控制溝道，而允許具有增大的通路寬度及較低的 R_{DSon} 。在外壁上被一p型襯墊 526C圍繞之較深溝道 502C的下部係支持住電場的一主要部分藉以降低輸出電容及閘至汲電容。
10 一替代性實施例中，將p型襯墊 526C沿著溝道 502C側邊及底部製作在複數個不連續區內。可能藉由如上述合併單溝道電荷控制結構與經屏蔽閘或雙閘技術而產生其他實施例，以進一步降低元件寄生電容。

參照第6圖，顯示一適合亦需要較快切換的較高電壓應用之功率 MOSFET 600的簡化橫剖視圖。MOSFET 600係合併了用於改良崩潰電壓之垂直電荷控制與用於改良切換速度之經屏蔽閘結構。如第6圖所示，一屏蔽電極 611係在閘傳導材料 610與溝道底部之間定位於閘溝道 602內。電極 611係屏蔽住電晶體的閘不受到下方的汲區(漂移區 606)，藉以
15 顯著地降低電晶體的閘至汲電容且因此增高其最大切換頻率。包含經p摻雜襯墊 626之充填有介電質的溝道 620係有助於垂直地生成一大體平坦的電場以改良元件的崩潰電壓。操作時，包含p型襯墊 626之充填有介電質的溝道 620與經屏蔽閘結構之組合係降低了寄生電容並有助於使n漂移區空
20

乏藉以分散開電極邊緣部分上之電場濃度。此型元件可
用在RF放大器或高頻切換應用中。

第7圖描繪適合較高電壓、較高頻應用之另一功率
MOSFET的一替代性實施例。第7圖所示的簡化範例中，
5 MOSFET 700係合併用於改良崩潰電壓之垂直電荷控制與
用於改良切換速度之雙閘結構。類似於第6圖所示的元件，
利用包括經p摻雜襯墊726之充填有介電質的溝道720來實
行垂直電荷控制。利用一其中藉由一次級閘電極G2屏蔽住
一主要閘電極G1不受到汲部(n漂移區706)之雙閘結構來達
10 成寄生電容的降低。次級閘電極G2可被連續地偏壓或只在
一切換事件之前被偏壓藉以使區701中的通路倒反而在元
件接通時確保一不中斷的電流流動經過一連續通路。

另一實施例中，經屏蔽的垂直電荷控制MOSFET亦採
用經摻雜側壁之充填有介電質的溝道來實行一經整合的蕭
15 特基二極體。第8圖顯示根據此實施例一經屏蔽閘MOSFET
800的一範例。此範例中，溝道802下部中的電極811係屏蔽
住閘電極810不受到漂移區806以降低寄生閘至汲電容。在
外側壁上包含有經p摻雜襯墊之充填有介電質的溝道820係
提供垂直電荷控制。一蕭特基二極體828形成於用來構成一
20 呈寬度W的台面之兩溝道820A與820B之間。此蕭特基二極
體結構係散置於溝道MOSFET晶胞陣列上以增強MOSFET
開關的效能特徵。利用蕭特基結構828的低障壁高度來降低
正向電壓降。此外，此二極體相較於垂直功率MOSFET的
正常PN接面將具有一先天的逆向回復速度優點。譬如藉由

硼來摻雜充填有介電質的溝道820之側壁，可消除由於磷隔離導致之側壁洩漏路徑。可利用溝道程序的特性來使蕭特基二極體828的效能達到最佳化。譬如，一實施例中，調整寬度W使得蕭特基結構828的漂移區中之空乏被相鄰的PN
5 接面所影響及控制以增加蕭特基二極體828的逆向電壓能力。一經單調性整合的溝道MOSFET及蕭特基二極體之一範例請見於共同讓渡之賽普(Sapp)的美國專利案6,351,018號中，該案以引用方式整體併入本文中。

請瞭解一形成於充填有介電質的溝道之間的蕭特基二
10 極體係可與多種不同類型的MOSFET加以整合，包括具有一平面性閘結構之MOSFET、不具有任何屏蔽電極且在溝道底部上含有或不含厚介電質之溝道閘MOSFET等。一具有整合的蕭特基二極體之雙閘溝道MOSFET的一示範性實施例係顯示於第9A圖中。MOSFET 900A包括閘溝道902，
15 其中一主要閘G1係形成於一次級閘G2上方以降低寄生電容並增高切換頻率。MOSFET 900A亦包括沿其外側壁包含經p摻雜襯墊926之充填有介電質的溝道920以供垂直電荷控制來增強元件阻絕電壓。對於上述許多實施例之一用於形成襯墊之方法(譬如第5B、6、7、8及9A圖所示者)係使用
20 一電漿摻雜程序。蕭特基二極體928A係如圖所示形成於兩相鄰之充填有介電質的溝道920A及920B之間。另一變異中，形成一經單調性整合的蕭特基二極體及溝道MOSFET而不具有經充填介電質之溝道。第9B圖為根據此實施例之一示範性元件900B的橫剖視圖。MOSFET 900B係包括主動

溝道902B且其各具有埋設於一閘電極910底下之電極911。
一蕭特基二極體928B係如圖所示形成於兩溝道902L及
902R之間。經偏壓電極911的電荷平衡效應係得以增高漂移
5 區的摻雜濃度而不犧牲逆向阻絕電壓。漂移區中較高的摻
雜濃度則轉而降低此結構之正向電壓降。如同具有經埋設
電極之前述溝道MOSFET中，各溝道深度以及經埋設電極
的數量可能改變。第9C圖所示的一變異中，溝道902C只有一
經埋設電極911且蕭特基晶胞928C中的閘電極910S係如
圖所示連接至源電極。蕭特基二極體的閘可替代性連接至
10 MOSFET的閘終端。第9D、9E及9F圖顯示散佈於MOSFET
的主動晶胞陣列內之蕭特基二極體的示範性佈局變異。第
9D及9E圖分別顯示單台面蕭特基及雙台面蕭特基佈局，而
第9F圖則顯示一種使蕭特基區垂直於MOSFET溝道之佈
局。一經整合蕭特基二極體之這些及其他變異且包括交替
15 狀的多個蕭特基至MOSFET區係可與此處所述的任何電晶
體結構加以合併。

另一實施例中，利用埋設在一襯有介電質的溝道內
側、且對於元件漂移區中的電流流動呈平行排列之串列的
一或多個二極體結構，來增強一功率元件的電壓阻絕能
20 力。第10圖提供根據此實施例之一示範性溝道MOSFET
1000的經簡化橫剖視圖。二極體溝道1020係配置於一閘溝
道1002兩側其中任一側上，而延伸深入漂移區1006內。二
極體溝道1020係包括由用以在溝道內側形成一或多個PN接
面的相反傳導類型區1023及1025所構成之一或多個二極體

結構。一實施例中，溝道1020係包括與漂移區具有一相反極性之單區，故使單PN接面形成於與漂移區之介面上。可分別利用經P型及n型摻雜之多晶矽或矽來形成區1023及1025。亦可利用諸如碳化矽、砷化鎵、鍺化矽等其他類型的材料來形成區1023及1025。一沿著溝道內側壁延伸之薄介電層1021係使溝道中的二極體與漂移區1006絕緣。如圖所示，沿著溝道1020底部不具有介電層，因此可讓底部區1027與下方基材呈電性接觸。一實施例中，與用來決定閘氧化物1008的設計及製造之考慮因素相似之考慮因素係適用於介電層1021的設計及形成過程。譬如，介電層1021的厚度係取決於諸如其維持所需要電壓以及在漂移區中所感應引發之二極體溝道中的電場範圍(亦即經過介電層之耦合範圍)等因素。

操作時，當MOSFET 1000在其阻絕狀態中被偏壓時，二極體溝道1020內的PN接面係被逆向偏壓而其中峰值電場發生於各二極體接面處。經由介電層1021，二極體溝道中的電場係在漂移區1006中感應引發一對應電場。所引發的電場係在漂移區中以一上擺尖凸及漂移區中電場曲線的一概括增高之形式加以明示。此電場增高係導致電場曲線底下一較大的面積，轉而導致一較高的崩潰電壓。此實施例的變異更詳細地描述於共同讓渡之科康(Kocon)等人的名稱為“漂移區較高阻絕較低正向電壓降半導體結構”的美國專利申請案 10/288,982 號 (事務所案號 No.18865-117/17732-65560)中，該案以引用方式整體併入

本文中。

可能具有合併了用於電荷平衡的溝道式二極體及諸如經屏蔽閘或雙閘結構等用以降寄生電容的技術之功率元件的其他實施例。第11圖顯示根據此一實施例之一MOSFET 1100的一範例。MOSFET 1100係在閘電極1110底下的主動溝道1102內側使用一屏蔽電極1111，以對於如上文譬如就第3A圖的MOSFET 300A所述的電晶體來降低閘至汲電容 C_{gd} 。MOSFET 1100中係採用與MOSFET 1000不同數量之PN接面。第12圖為一合併了雙閘技術與溝道式二極體結構之MOSFET 1200的橫剖視圖。MOSFET 1200中的主動溝道1202係包括一主要閘G1及一次級閘G2並以與第4B圖所述的雙閘MOSFET中主動溝道相同之方式進行操作。二極體溝道1220係提供電荷平衡以增高元件阻絕電壓，雙閘主動溝道結構則改良元件的切換速度。

15 另一實施例係在如第13圖所示的一平面性MOSFET 1300中合併了溝道式二極體電荷平衡技術與經整合蕭特基二極體。可藉由如第8及9圖實施例所述般地整合蕭特基二極體1328及MOSFET來獲得類似的優點。此實施例中，基於例示目的顯示一平面性閘結構，熟習該技術者瞭解可在
20 一具有包括溝道閘、雙閘及屏蔽閘等任何其他類型的閘結構之MOSFET中採用一經整合蕭特基二極體與溝道式二極體結構之組合。所產生實施例的任一者亦可與溝道式體部技術加以合併來進一步盡量降低邊際寄生電容，如同第4D及4E圖的MOSFET 400D或400E所描述。亦可能具有其他變

異及均等物。譬如，二極體溝道內側之具有相反傳導性的區數可能改變，二極體溝道的深度亦然。具有相反傳導性的區之極性可反轉，MOSFET的極性亦然。並且，任何PN區(923、925或1023、1025等)係可視需要藉由使各別區沿著第三維度延伸、然後到達與其產生電性接觸之矽表面而獨立地被偏壓。並且，可依照元件大小與應用的電壓要件之需要來使用多個二極體溝道，且可以各種不同條紋或蜂巢狀設計來實行二極體溝道的間隔及排列。

另一實施例中，提供一種等級的累積模式電晶體，其採用各種不同電荷平衡技術以具有較小正向電壓損失及較高的阻絕能力。一典型的累積模式電晶體中，不具有阻絕接面且藉由輕微地倒反閘終端旁邊的通路區來鉗斷電流流動而使元件關斷。當電晶體藉由施加一閘偏壓而接通時，通路區中係形成一累積層而非一倒反層(inversion layer)。因為並未形成有倒反通路，故使通路電阻達到最小。此外，在一累積模式電晶體中不具有PN體部二極體，而使原本發生於諸如同步整流器等特定電路應用中之損失達到最小。習知累積模式元件的缺陷係在於：必須將漂移區輕度摻雜以當元件處於阻絕模式時支持一逆向偏壓電壓。一較輕度摻雜的漂移區係代表較高的接通電阻。此處所述的實施例係利用一累積模式元件中各種不同的電荷平衡技術來克服此限制。

參照第14圖，顯示一具有與電流流動呈平行排列的交替傳導性區之示範性累積模式電晶體1400的一經簡化實施

例。此範例中，電晶體1400係為一n通路電晶體且其具有一形成於溝道1402內側的閘終端、一形成於溝道之間的n型通路區1412、一包括相反極性的柱狀n型及p型段1403與1405之漂移區1406、及一n型汲區1414。不同於增強模式電晶體，累積模式電晶體1400並不包括內部形成有通路之阻絕(此範例中為p型)井或體部區。而是，在一累積層形成於區1412中時形成一傳導通路。依據區1412的摻雜濃度及閘電極的摻雜類型而定，電晶體1400通常為接通或關斷。當n型區1412完全空乏及輕微倒反時，其係為關斷。相反極性區1403及1405中的摻雜濃度係被調整以盡量加大電荷分散，藉以能夠使電晶體支持較高的電壓。利用平行於電流流之柱狀相反極性區係藉由不讓其遠離區1412及1406之間所形成接面呈線性減小而撫平電場分佈。此結構的電荷分散效應係可允許使用一用以降低電晶體接通電阻之經較高度摻雜的漂移區。各種不同區的摻雜濃度可能改變；譬如，n型區1412及1413可具有相同或不同的摻雜濃度。熟習該技術者瞭解可藉由反轉第14圖所示的元件之各種不同區的極性來獲得一經改良的p通路電晶體。漂移區內側之柱狀相反極性區的其他變異係連同下文進一步所述的超高電壓元件更詳細地加以描述。

第15圖為基於電荷分散目的具有溝道式電極之另一累積模式元件1500的簡化圖。所有區1512、1506及1504屬於相同的傳導類型，在此範例中為n型。對於一正常為關斷之元件，閘多晶矽1510製成p型。區1512的摻雜濃度係受到調

- 整以在無偏壓條件下形成一經空乏的阻絕接面。各溝道1502內側，一或多個經埋設電極1511形成於閘電極1510底下，皆被介電材料1508所圍繞。如同連帶第3A圖的增強模式MOSFET 300A所描述，經埋設電極1511係作為場板且可依需要被偏壓至一使其電荷分散功能達到最佳化之電位。因為可藉由獨立地偏壓經埋設電極1511來控制電荷分散，最大電場可顯著地增加。類似於MOSFET 300A中所使用的經埋設電極，此結構可能有不同的變異。譬如，溝道1502的深度及經埋設電極1511的尺寸與數量可依據應用而變。
- 10 利用類似於第3B圖中MOSFET 300B的溝道結構所示者的方式，電荷分散電極可埋設在與用於容置電晶體閘電極的主動溝道呈分離之溝道內側。此實施例的一範例顯示於第16圖中。第16圖所示的範例中，n型區1612係包括可選擇性添加之較重度摻雜的n+源區1603。經重度摻雜的源區1603
- 15 可如圖示沿著n型區1612頂邊緣延伸或可形成為沿著n型區1612頂邊緣與溝道壁相鄰之兩區(此圖未顯示)。部分實施例中，由於包括n+區1603係可能必須降低n型區1606的摻雜濃度計藉以確保電晶體可適當地關斷。此選擇性經重度摻雜的源區係可與此處所述的任一累積電晶體具有相同的使用
- 20 方式。

一經改良累積模式電晶體的另一實施例係採用包括一相反極性外觀墊之充填有介電質的溝道。第17圖為根據此實施例之一累積電晶體1700的簡化橫剖視圖。充填有介電質的溝道1720自矽表面往下延伸深入漂移區1706內。溝道

1720大致充填有諸如二氧化矽等介電材料。此示範性實施例中，電晶體1700係為一具有溝道式閘結構之n通路電晶體。一p型區1726係如圖示襯墊於充填有介電質的溝道1720之外壁。類似於連同第5A、5B及5C分別所述的增強模式電晶體500A、500B及500C，溝道1720係降低電晶體的輸出電容，而p型襯墊1726提供漂移區中的電荷平衡以增加電晶體的阻絕能力。第18圖所示的一替代性實施例中，經相反摻雜的襯墊1826N及1826P係形成為與一充填有介電質的溝道1820之相反側相鄰。亦即，一充填有介電質的溝道1820係具有一沿著一側上的外側壁延伸之p型襯墊1826P，及一沿著相同溝道另一側上的外側壁延伸之n型襯墊1826N。如同連帶對應的增強模式電晶體所描述，可能具有累積電晶體與充填有介電質的溝道之此組合的其他變異。這些變異譬如係包括：一累積電晶體，其具有一平面性(而非溝道式)閘結構及浮p型區而非如同第5A圖所示元件中之p型襯墊1726；一累積電晶體，其具有一只覆蓋住外側壁而非如同第5B圖所示元件中的溝道1726底部之p型襯墊；及一累積電晶體，其具有包含一覆蓋住如第5C圖所示元件中之溝道下部的p型襯墊之單一溝道結構，及其他。

20 另一實施例中，一累積模式電晶體係採用基於電荷平衡目的而串列式形成於一溝道內側之一或多個二極體。根據此實施例之一示範性累積模式電晶體1900的簡化橫剖視圖係顯示於第19圖中。二極體溝道1920係配置於一閘溝道1902的任一側上，而延伸深入漂移區1906內。二極體溝道

1920係包括由用於在溝道內側形成一或多個PN接面之相反傳導類型區1923及1925所構成之一或多個二極體結構。可利用經P型及n型摻雜多晶矽或矽來形成區1923及1925。一沿著溝道內側壁延伸之薄介電層1921係使溝道中的二極體與漂移區1906絕緣。如圖所示，沿著溝道1920底部不具有介電層，因此可讓底部區1927電性接觸到下方的基材。如同連帶第10、11、12及13圖所示的對應增強模式電晶體及其變異所描述，係可能具有累積電晶體與溝道式二極體之此組合的其他變異。

10 上述任一累積模式電晶體皆可採用頂(源)區中之一經重度摻雜的相反極性區。第20圖為一示範性累積模式電晶體2000的簡化立體圖，其顯示與其他變異合併之此特性。此實施例中，累積模式電晶體2000中的電荷平衡二極體係形成於與閘相同的溝道內側。溝道2002係包括閘電極2010且其下方係有n型2023及p型2025矽或多晶矽層形成了PN接面。一薄介電層2008係使二極體結構自閘終端2002以及漂移區2006分離。經重度摻雜的p+區2118係如圖示以間隔沿著源區2012中的溝道之間的台面長度而形成。經重度摻雜的p+區2118係降低n-區2012的面積並降低元件的洩漏。P+區2118亦可允許具有將改善雪崩中的電洞流流動且改善元件強固性之p+接觸。已經討論一示範性垂直MOS閘式累積電晶體的變異來例示此級元件的各種不同特性及優點。熟習該技術者瞭解可以包括側向MOS閘式電晶體、二極體、雙極電晶體及類似物等其他類型的元件加以實行。電荷分

散電極係可形成於與閘相同的溝道內側或可形成於分離的溝道內側。上述的各種不同示範性累積模式電晶體係具有終止於漂移區中之溝道，但其亦可終止於與汲部連接之經較重度摻雜基材中。各種不同電晶體可由包括六角或正方形電晶體晶胞等條紋或蜂巢狀架構形成。可能具有部分其他實施例所述之其他變異及組合，且其中多者進一步描述於先前引用的美國專利申請案No.60/506,194及60/588,845號中，兩案以引用方式整體併入本文中。

設計成使用在很高電壓應用(譬如500V-600V及以上)之另一等級的功率切換元件係在基材與井之間的磊晶區中採用交替式垂直段的經p摻雜及經n摻雜矽。參照第21圖，顯示一採用此型結構之MOSFET 2100的一範例。MOSFET 2100中，有時稱為電壓維持區或阻絕區之區2102係包含交替式n型段2104及p型段2106。此結構的效果係在於：當電壓施加至元件時，空乏區水平地分散至段2104及2106各側內。因為各垂直段2104、2106中的淨電荷量係小於產生崩潰場所需要者，在水平場夠高以產生雪崩崩潰之前阻絕層2102的整體垂直厚度係呈現空乏。在此區完全水平空乏之後，此場繼續垂直地累積直到抵達近似20至30伏特每微米的雪崩場為止。這大幅地增強了元件的電壓阻絕能力而使元件的電壓範圍延伸至400伏特及以上。此型超接面元件的不同變異係更詳細地描述於共同擁有之尼爾森(Nielson)的專利案6,081,009及6,066,878號中，該案以引用方式整體併入本文中。

超接面MOSFET 2100的一變異係在n型阻絕區中使用浮p型島部。利用浮p型島部而非條柱方式，將可使電荷平衡層的厚度減小而藉此降低 R_{DSon} 。一實施例中，不使p型島部均勻地分隔，而是使其分隔開來藉以維持此電場接近臨界電場。第22圖為一MOSFET 2200的簡化橫剖視圖，其顯示根據此實施例的一元件之一範例。此範例中，較深的浮p區2226係與上方者分隔較遠。亦即，距離L3大於距離L2，而距離L2大於距離L1。藉由此方式來操縱浮接面之間的距離，以較為粒狀的方式導入少數載體。這些載體的來源愈呈粒狀，則可產生愈低的 R_{DSon} 及愈高的崩潰電壓。熟習該技術者瞭解可能具有許多變異。譬如，垂直方向之浮區2226數量並不限於如圖所示的四個，最佳數量可能改變。並且，各浮區2226中的摻雜濃度可能改變；譬如，一實施例中，各浮區2226中的摻雜濃度係隨著區靠近基材2114而逐漸減小。

並且，如同連帶低電壓及中電壓元件所述，許多用於降低寄生電容以增強切換速度且包括經屏蔽閘及雙閘結構之技術係可與第21及22圖所述的高電壓元件及其變異加以合併。第23圖為一合併了超接面架構的一變異與一雙閘結構之高電壓MOSFET 2300的簡化橫剖視圖。MOSFET 2300具有與譬如上文第4B圖所示的雙閘電晶體相似地藉由閘終端G1及G2構成之一平面性雙閘結構。相反極性(此範例中為p型)區2326垂直地配置於p井2308底下的n型漂移區2306中。P型區2326的尺寸與間隔在此範例中係會變動，其中因

此使較靠近p井2308之較緊密配置區2326彼此產生接觸而進一步配置於下方之區2326則浮動且如圖示具有較小尺寸。第24圖描繪合併了超接面技術與經屏蔽閘結構之高電壓MOSFET 2400的另一實施例。MOSFET係為一具有一閘電極2410之溝道閘元件，且其藉由譬如類似於第3A圖的MOSFET 300A之一屏蔽電極2411受到屏蔽。MOSFET 2400亦包括與電流流動平行地配置於漂移區2406中之相反極性浮閘2426。

終止結構

上述各種不同類型的離散元件係具有一受到晶粒邊緣上空乏區的圓柱形或球形形狀所限制之崩潰電壓。因為圓柱形或球形崩潰電壓一般遠低於元件的主動區域中之平行平面崩潰電壓 BV_{pp} ，元件的邊緣係需要終止藉以使元件達成一接近主動區域崩潰電壓之崩潰電壓。已經發展出不同技術來使場及電壓均勻地分散於邊緣終止寬度上方以達成一接近 BV_{pp} 之崩潰電壓。其包括場板、場環、接面終止延伸部(JTE: junction termination extension)及這些技術的不同組合。上文所引用共同擁有之發證予莫(Mo)等人的美國專利案6,429,481號係描述一圍繞主動晶胞陣列包括一具有一鋪覆的場氧化物層之深接面(比井更深)之場終止結構的一範例。在一n通路電晶體的案例中，譬如，終止結構係包括一用於與n型汲區形成一PN接面之深p+區。

替代性實施例中，圍繞晶胞陣列周邊之一或多個環形溝道係具有減緩電場及增加雪崩崩潰之作用。第25A圖顯示

一供溝道電晶體用之常用的溝道佈局。主動溝道2502係被一環形終止溝道2503所圍繞。此結構中，在台面端點上以點狀圓形代表的區2506係比其他區更快速地空乏，在此區域中造成增高的場因此降低了逆向偏壓條件下的崩潰電壓。因此，此型佈局係只限於較低的電壓元件(譬如<30V)。第25B至25F圖顯示用於具有不同溝道佈局的終止結構之數項替代性實施例，以降低第25A圖所示的高電場區。如圖所示，這些實施例中，部分或全部的主動溝道係與終止溝道斷開。終止溝道與主動溝道的端點之間的間隙 W_G 係具有降低第25A圖所示結構中所觀察到的電場擁擠效應之功用。一示範性實施例中，使 W_G 成為近似溝道之間台面寬度的一半。對於較高電壓元件，可採用如第25F圖所示的多重終止溝道來進一步增加元件的崩潰電壓。以引用方式併入本文中之共同擁有的夏拉(Challa)之名稱為“用於半導體元件之溝道結構”的美國專利案6,683,363號係更詳細地描述某些該等實施例之變異。

第26A至26C圖描繪用於經電荷平衡的溝道MOSFET之各種不同示範性溝道終止結構的橫剖視圖。所顯示的示範性實施例中，MOSFET 2600A係使用一經屏蔽閘結構，其將一屏蔽多晶矽電極2611埋設在主動溝道2602內側的閘多晶矽2610底下。第26A圖所示的實施例中，終止溝道2603A係襯有一相對較厚層的介電質(氧化物)2605A並充填有諸如多晶矽2607A等傳導材料。氧化物層2605A的厚度、終止溝道2603A的深度及終止溝道與相鄰主動溝道之間的間隔

(亦即最後台面的寬度)係取決於元件逆向阻絕電壓。第26A圖所示的實施例中，溝道在表面上較寬(T-溝道結構)並在終止區上方使用一金屬場板2609A。一替代性實施例(未圖示)中，可藉由使多晶矽2607A在終止溝道2603A內側延伸於表面上方及終止區上方(第26A圖中終止溝道的左方)，以利用多晶矽來形成場板。可能有許多變異方式。譬如，為了具有更好的歐姆接觸，可添加一位居與矽的金屬接觸部底下之p+區(未圖示)。可選擇性移除與終止溝道2603A相鄰的最後台面中之p-井區2604及其各別的接觸部。並且，可將浮p型區添加至終止溝道2603A的左方(亦即，主動區域外側)。

另一變異中，不以多晶矽來充填終止溝道2603，一多晶矽電極係在一充填有氧化物的溝道內側埋設於溝道下部中。此實施例顯示於第26B圖中，其中近似一半的終止溝道2603B係充填有氧化物2605B且具有一多晶矽電極2607B的下半部被埋設在氧化物內側。溝道2603B的深度及埋設多晶矽2607B的高度可基於元件處理而不同。第26C圖所示的另一實施例中，一終止溝道2603C大致充填有介電質且其中未埋設傳導材料。對於第26A、B及C圖所示的所有三項實施例，用以分離終止溝道及最後主動溝道之最後台面的寬度係可能不同於兩主動溝道之間所形成的一典型台面之寬度，並且可加以調整來在終止區中達成最佳電荷平衡。第26A圖所示的結構之上述所有變異皆可適用於第26B及26C圖所示者。並且，熟習該技術者瞭解，雖然此處已經針對一經屏蔽閘元件來描述終止結構，可對於上述所有各種不

同基於溝道的元件將類似的結構實行成為終止區。

對於較低電壓元件，溝道終止環之角落設計可能不重要。然而，對於較高電壓元件，可能需要具有較大曲率半徑之終止環的角落圓弧化作用。元件電壓需求愈高，則終止溝道角落上之曲率半徑可能愈大。並且，終止環的數量可能隨著元件電壓增高而增多。第27圖顯示一具有兩個呈現相對較大曲率半徑之終止溝道2703-1及2703-2的示範性元件。溝道之間的時間亦可以元件電壓需求為基礎加以調整。此實施例中，終止溝道2703-1與2703-2之間的距離S1係近似為第一終止溝道2703-1與主動溝道端點之間距離的兩倍。

第28A、28B、28C及28D圖顯示用於具有矽條柱電荷平衡結構之各種不同終止區的示範性橫剖視圖。第28A圖所示的實施例中，場板2809A係接觸p型條柱2803A的每個環。如此可因為場板導致的側向空乏而允許具有較寬的台面區。崩潰電壓一般係依據場氧化物厚度、環的數量、及終止條柱2803A的深度與間隔而定。此型終止結構可能具有許多不同變異。譬如，第28B圖顯示一使一大場板2809-1覆蓋住最後條柱除外的所有條柱2803B之替代性實施例，最後條柱係連接至另一場板2809-2。藉由使大場板2809-1接地，p型條柱之間的台面區係快速地空乏而水平電壓降將不明顯，造成比第28A圖所示實施例更低之崩潰電壓。第28C圖所示的另一實施例中，終止結構在中條柱上不具有場板。因為中條柱上不具有場板，其具有較窄台面區以適當地空

乏。一實施例中，一朝向外環逐漸減小的台面寬度係產生最佳效能。第28D圖所示的實施例係如圖示藉由提供一較寬井區2808D及增加場氧化物層之間的間隔而有利於接觸至p型條柱。

- 5 在採用上述類型的各種不同超接面技術之超高電壓元件之案例中，崩潰電壓係遠高於習知的 BV_{pp} 。對於一超接面元件，電荷平衡或超接面結構(譬如，相反極性條柱或浮區、經埋設電極等)亦使用於終止區中。亦可使用與諸如元件邊緣處的頂表面上之場板等電荷平衡結構合併之標準邊緣終止結構。部分實施例中，可利用終止接面中一快速減小的電荷來消除頂部上之標準邊緣結構。譬如，終止區中的p型條柱可在遠離主動區域時形成有減小的電荷，而生成一淨n型平衡電荷。
- 10

- 一較佳實施例中，終止區中p型條柱之間的間隔係隨著條柱移動遠離主動區而變。根據此實施例的一元件2900A之一示範性實施例的高度簡化橫剖視圖係顯示於第29A圖中。在元件2900A的主動區域中，譬如由多重經連接p型球體製成的相反傳導性條柱2926A係在n型漂移區2904A中形成於p型井2908A底下。在元件邊緣處，終止區底下，p型終止條柱TP1、TP2至TPn係如圖示般地形成。並不像主動區域中具有均勻的間隔，終止條柱TP1至TPn之間的中心至中心間隔係隨著條柱移動遠離與主動區的介面而增大。亦即，TP2與TP3之間的距離D1係小於TP3與TP4之間的距離D2，而距離D2小於TP4與TP5之間的距離D3，依此類推。
- 15
- 20

此型超接面終止結構可能具有數種變異。譬如，不在電壓維持層2904A內側以變動距離形成p型終止條柱TP1-TPn，中心至中心間隔可保持均勻但各終端條柱的寬度可變動。第29B圖顯示根據此實施例之一終止結構的一簡化範例。此範例中，終止條柱TP1具有比終止條柱TP2的寬度W2更大之一寬度W1，而W2則製成比終止條柱TP3的寬度W3更大，依此類推。就終止區中相反極性電荷平衡區之間的間隔而論，即便元件2900B中溝道條柱之間的中心至中心間隔可能相同，元件2900B中所產生的結構係類似於元件2900A中者。第29C圖的簡化橫剖視圖所示之另一示範性實施例中，主動區中各相反極性條柱2926C的寬度係從頂表面減小至基材，而終止條柱TP1及TP2的寬度則保持大致相同。這達成了所需要的崩潰電壓同時利用較小的面積。熟習該技術者瞭解，上述各種不同終止結構可以任何所需要方式加以合併，譬如包括：第29C圖所示的元件2900C中之終止條柱的中心至中心間隔及/或整體寬度可如連同第29A及29B圖所示實施例描述般地加以改變。

處理技術

至今已經描述具有多重經埋設電極的溝道結構之數種不同元件。為了偏壓這些溝道式電極，這些元件可允許對於各經埋設層產生電性接觸。此處揭露數種用於形成具有經埋設電極的溝道結構及對於溝道內側的經埋設多晶矽層產生接觸之方法。一實施例中，在晶粒邊緣上產生對於溝道式多晶矽層之接觸。第30A圖顯示一溝道元件3000與兩多

晶矽層3010及3020之邊緣接觸的一範例。第30A圖描繪元件沿著一溝道的縱軸線之橫剖視圖。根據使溝道終止於接近晶粒邊緣處之此實施例，多晶矽層3010及3020係被帶到基材表面以供接觸用。介電質(或氧化物)層3030及3040中的開口3012及3022係得以與多晶矽層產生金屬接觸。第30B至30F圖顯示關於形成第30A圖的邊緣接觸結構之各種不同處理步驟。第30B圖中，一介電質(譬如二氧化矽)層3001被圖案化於磊晶層3006頂部上，而基材的經暴露表面係被蝕刻以形成溝道3002。一第一氧化物層3003隨後形成橫越基材頂表面且包括溝道，如第30C圖所示。一第一層的傳導材料(譬如多晶矽)3010隨後形成於氧化物層3003頂部上，如第30D圖所示。參照第30E圖，多晶矽層3010在溝道內側被蝕除且另一氧化物層3030形成於多晶矽3010上方。進行類似的步驟以如第30F圖所示形成第二氧化物-多晶矽-氧化物嵌夾部，其中將頂氧化物層3040顯示為被蝕刻以構成分別供對於多晶矽層3010及3020的金屬接觸層所用之開口3012及3022。可對於額外的多晶矽層重覆最後步驟，且多晶矽可依需要藉由鋪覆的金屬層束縛在一起。

另一實施例中，在元件的主動區域中而非沿著晶粒邊緣對於一給定溝道中多重的多晶矽層產生接觸。第31A圖描繪用於多重埋設多晶矽層之主動區域接觸結構的一範例。此範例中，沿著溝道縱軸線的橫剖視圖係顯示一多晶矽層3110，且其供應了用來提供兩屏蔽層之間終端及多晶矽層3111a及3111b。雖然將三個分離的金屬線3112、3122

及3132顯示為對於屏蔽多晶矽層產生接觸，其皆束縛在一起且連接至元件的源終端，或者可依照一特定應用所需要來使用任何其他的接觸組合。此結構的一優點係在於：相較於第30A圖所示的多層邊緣接觸結構，此接觸係具有平面性本質。

第31B至31M圖顯示一用以形成一供兩層多晶矽的一溝道所用之主動區域屏蔽接觸結構之程序流的一範例。第31B圖中溝道3102的蝕刻之後係為第31C圖中的屏蔽氧化物3108之成形。屏蔽多晶矽3111隨後係如第31D圖所示沉積及凹入溝道內側。屏蔽多晶矽3111在第31E圖中係更額外地凹入，但需要基材表面之屏蔽接觸的位置除外。第31E圖中，一罩幕3109係保護中溝道內側之多晶矽不受進一步蝕刻。一實施例中，此罩幕沿著不同溝道施加於不同位置，所以譬如對於中溝道而言，屏蔽多晶矽係在第三維度(未圖示)凹入溝道的其他部分中。另一實施例中，主動區域中之一或多個選擇溝道內側的屏蔽多晶矽3111係沿著溝道全長受到罩幕。屏蔽氧化物3108隨後如第31F圖所示被蝕刻，且罩幕3109移除之後，一薄層的開氧化物3108a形成橫越基材頂部，如第31G圖所示。接著係為開多晶矽沉積及凹入(第31H圖)，p井植入及驅動(第31I圖)，及n+源植入(第31J圖)。第31K、31L及31M係分別描繪BPSG沉積、接觸蝕刻及p+重體部植入、接著為金屬化之步驟。第31N圖顯示一主動區域屏蔽接觸結構之一替代性實施例的橫剖視圖，其中屏蔽多晶矽3111在屏蔽氧化物頂部上形成一相對較寬的平台。

這將有利於接觸屏蔽多晶矽，但導入可能進一步使製程變得複雜之拓樸結構。

一具有一主動區域屏蔽接觸結構之示範性溝道元件的經簡化俯視佈局圖係顯示於第32A圖中。一用於界定多晶矽凹部之罩幕係防止屏蔽多晶矽在位置3211C凹入主動區中及周邊屏蔽溝道3213中。此技術的一修改係對於屏蔽多晶矽凹入罩幕使用一類似“狗骨頭”形狀，其在與各溝道3202的交會部提供一較寬區來接觸屏蔽多晶矽。如此可讓經罩幕區中的屏蔽多晶矽亦凹入但台面的原始表面除外，因此消除了拓樸結構。一替代性實施例的俯視佈局圖顯示於第32B圖中，其中主動區域溝道係連接至周邊溝道。此實施例中，屏蔽多晶矽凹入罩幕係沿著一選定溝道(圖示範例中係為中溝道)長度防止屏蔽多晶矽的凹入，以使主動區域屏蔽溝道接觸至源金屬。第32C及32D為顯示用於在一具有破裂的溝道結構之溝道元件中與周邊溝道產生接觸之兩不同實施例的簡化佈局圖。這些圖中，主動溝道3202及周邊溝道3213基於例示目的係由單條線加以描繪。第32C圖中，來自周邊閘多晶矽流道3210的延伸部或指部係相對於周邊屏蔽多晶矽指部呈現交錯以使周邊接觸部與周邊溝道分隔開來。源及屏蔽接觸區域3215亦如圖所示在位置3211C中對於主動區中的屏蔽多晶矽產生接觸。第32D圖所示的實施例係消除了主動及周邊溝道之間的偏移，以避免溝道間距需求所導致之可能的限制。此實施例中，主動溝道3202及來自周邊溝道3213的水平延伸部係對準，而閘多晶矽流道3210

中的窗3217係可允許對於周邊周圍的屏蔽多晶矽產生接觸。如同先前實施例，在位置3211C中產生主動區域接觸。

一用於在主動區域中接觸溝道式屏蔽多晶矽層之替代性實施例係顯示於第33A圖。此實施例中，屏蔽多晶矽並不凹入，而是垂直地延伸於主動溝道的一顯著部分上方直到矽表面為止。參照第33A圖，屏蔽多晶矽3311在沿著溝道3302高度垂直地延伸時係將閘多晶矽3310分割成兩者。兩閘多晶矽分段係在溝道內側的一適當位置或當其離開溝道時於第三維度中被連接。此實施例的一優點在於：藉由在主動溝道內側產生源多晶矽接觸而非使用溝道式多晶矽接觸專用的矽空間所節省之面積。第33B至33M圖顯示一用於形成一屬於第33A圖類型的主動區域屏蔽接觸結構之程序流的一範例。第33B圖中之溝道3302的蝕刻之後係為第33C圖所示之屏蔽氧化物3308成形。屏蔽多晶矽3311隨後如第33D圖所示沉積於溝道內側。屏蔽多晶矽3311係如第33E圖所示蝕刻及凹入溝道內側。屏蔽氧化物3308隨後如第33F圖所示被蝕刻，留下用以在其位於溝道內側的側邊上形成兩槽之屏蔽多晶矽3311的一經暴露部。一薄層的閘氧化物3308a隨後係如第33G圖所示形成橫越基材頂部、溝道側壁及溝道內側的槽。接著係為閘多晶矽沉積及凹入(第33H圖)、p井植入及驅動(第33I圖)、及n+源植入(第33J圖)。第33K、33L及33M圖分別描繪BPSG沉積、接觸蝕刻及p+重體部植入、接著為金屬化之步驟。此程序流可能具有變異。譬如，藉由重新排定部分程序步驟的次序，可在形成屏蔽

多晶矽3311的步驟之前執行形成閘多晶矽3310之程序步驟。

已經熟知用於進行上述程序流中許多步驟之特定的程序配方及參數與其變異。對於一給定應用，可微調特定程序配方、化學作用及材料類型來增強元件的可製造性及效能。可由起始材料-亦即其頂上可供形成磊晶漂移區之基材來作出改良。在大部份的功率應用中，希望降低電晶體接通電阻 R_{DSon} 。一功率電晶體的理想接通電阻係為臨界場之一強烈函數，其中將臨界場定義為處於崩潰條件下之元件中的最大電場。如果以一具有比矽更高的臨界場之材料來製造此元件，在維持合理活動性之限制條件下，將可顯著地降低電晶體的特定接通電阻。雖然已經利用一矽基材為背景來描述至今所述的包括結構與程序等許多功率元件特性，亦可能具有使用矽以外的基材材料之其他實施例。根據一實施例，此處所述的功率元件係製造在一藉由譬如包括碳化矽(SiC)、氮化鎵(GaN)、砷化鎵(GaAs)、磷化銦(InP)、鑽石與類似物等寬帶隙材料製成之基材中。這些寬帶隙材料呈現出比矽的臨界場更高之臨界場，且可讓電晶體接通電阻具有顯著的降低。

對於電晶體接通電阻的另一主要貢獻者係來自於漂移區的厚度及摻雜濃度。漂移區一般係由磊晶成長的矽所形成。為了降低 R_{DSon} ，需要盡量降低此磊晶漂移區的厚度。磊晶層的厚度部分地取決於起始基材的類型。譬如，一經摻雜紅磷的基材係為用於離散半導體元件之一常見類型的

起始基材材料。然而，磷原子的性質係為其可在矽中快速地擴散。因此，決定基材頂上所形成的磊晶區厚度使其可容納磷原子自下方經重度摻雜基材之往上擴散。

為了盡量降低磊晶層的厚度，根據第34圖所示的一實施例，一諸如砷等具有相對較小擴散性的摻雜物之磊晶間隔件或緩衝(或障壁)層3415係形成於一磷基材3414上方。經合併之經摻雜磷的基材與經摻雜砷的緩衝層係對於磊晶漂移區3406的後續成形提供了基礎。層3415中的砷摻雜物濃度係取決於元件的崩潰電壓需求，而砷磊晶層3415的厚度取決於特定的熱預算(thermal budget)。隨後，一普通的磊晶層3406可沉積在砷磊晶頂部上，其厚度由元件需求加以決定。砷遠為較低的擴散性係可讓磊晶漂移區的整體厚度降低，導致電晶體接通電阻之降低。

一替代性實施例中，為了不使摻雜物物種自經重度摻雜基材往上擴散至磊晶層，在兩層之間採用一擴散障壁。根據第35圖所示的一示範性實施例，一譬如由碳化矽 $\text{Si}_x\text{C}_{1-x}$ 構成之障壁層3515係磊晶沉積在硼或磷基材3514上。磊晶層3506隨後沉積在障壁層3515頂上。厚度及碳組成物可能依據處理技術的熱預算而變。或者，碳摻雜物可首先植入基材3514內，然後熱處理使碳原子活化以在基材3514表面上形成一化合物 $\text{Si}_x\text{C}_{1-x}$ 。

用來限制降低磊晶厚度能力之特定溝道電晶體技術的另一態樣係為：有時使用在主動區中且有時使用在終止區中之深體部與磊晶層之間所形成的接面。此深體部區的成

形通常係包含位於程序早期的一植入步驟。由於場氧化物及閘氧化物的成形所需要之大的後續熱預算，深體部區及漂移區上的接面係評定為具有一大範圍。為了避免晶粒邊緣處的早期崩潰，需要一遠為較厚的漂移區而導致較高的

5 接通電阻。亦可在深體部-磊晶接面上採用一擴散障壁層來盡量降低所需要的磊晶厚度。根據第36圖所示的一示範性實施例，碳摻雜物係在進行深體部植入之前經由深體部窗植入。後續熱程序係活化碳原子以在深體部區3630的邊界上形成一層 $\text{Si}_x\text{C}_{1-x}$ 化合物3615。碳化矽層3615係作為一防

10 止硼擴散之擴散障壁。所產生的深體部接面係較淺以讓磊晶層3606厚度降低。可自一擴散障壁獲得利益之一典型溝道電晶體中的另一接面係為井-漂移區接面。一採用此障壁層之實施例的一簡化範例顯示於第37圖中。第31M圖的結構之示範性程序流中，一p井形成於第31H及31I圖所示的兩

15 步驟之間。井摻雜物(此示範性n通路實施例中為p型)植入之前，先植入碳。後續熱程序係活化碳原子以在p井磊晶接面上形成一層3715 $\text{Si}_x\text{C}_{1-x}$ 。層3715作為一擴散障壁以防止硼擴散藉以保存p井3704的深度。這有助於降低電晶體通路長度而不增高用於觸穿(reach-through)之電位。當前進空乏邊

20 界的邊緣隨著汲-源電壓增加而觸及源接面時係發生觸穿。層3715亦藉由作為擴散障壁來防止觸穿。

如上述，希望降低電晶體通路長度，因為如此將導致接通電阻減小。另一實施例中，利用磊晶成長的矽來形成井區藉以盡量降低電晶體通路長度。亦即，不使用包含植

入漂移磊晶層內、接著為一擴散步驟之用於形成井的習知方法，而是將井區形成於磊晶漂移層頂上。利用一磊晶井成形係可獲得除了通路長度較短以外之優點。經屏蔽閘溝道電晶體中，譬如，對於決定閘電荷 Q_{gd} 而言，閘電極在井底部下方延伸碰到溝道之距離(閘至汲重疊)係具有關鍵意義。閘電荷 Q_{gd} 直接地影響電晶體的切換速度。因此，需要能夠精確地盡量降低及控制此距離。然而，在如圖所示的井被植入及擴散至磊晶內之製程中，譬如上述的第31I圖中，將難以控制此距離。

為了更良好地控制井輪廓上之閘至汲重疊，提出各種不同用於形成一具有經自我對準井之溝道元件之方法。一實施例中，一包含沉積一磊晶井之程序流係能夠使體部接面底部自我對準至閘底部。參照第38A-38D圖，顯示一具有經埋設電極(或經屏蔽閘)之經自我對準的磊晶井溝道元件的一範例之簡化程序流。一溝道3802係蝕刻至一形成於基材3814頂上之第一磊晶層3806內。對於n通路電晶體，基材3814及第一磊晶層3806係屬於n型材料。

第38A圖顯示成長於包括在溝道3802內側的磊晶層3806頂表面上之一層屏蔽介電質3808A。諸如多晶矽等傳導材料3811隨後係沉積在溝道3802內側且在磊晶台面下方回蝕，如第38B圖所示。額外的介電材料3809S係沉積以覆蓋住屏蔽多晶矽3811。介電質回蝕以清除台面之後，如第38C圖所示，一第二層磊晶3804選擇性成長在第一磊晶層3806頂上。磊晶層3804所形成的台面係如圖所示在原始溝道

3802上方生成一上溝道部。此第二磊晶層3804具有與第一磊晶層3806呈相反極性(譬如p型)之摻雜物。第二磊晶層3804中的摻雜物濃度係設定為電晶體井區之所需要位準。用於形成層3804之選擇性磊晶成長(SEG)的步驟之後，一層
5 閘介電質3808G係形成於頂表面上且沿著溝道側壁形成。閘傳導材料(多晶矽)隨後係沉積以充填溝道3802的其餘部分，然後如第38D圖所示加以平面化。譬如在第31J到31M圖所示的程序流中繼續此程序以完成電晶體結構。

如第38D圖所示，此程序係導致與井磊晶3804呈現自我
10 對準之閘多晶矽3810。為了使閘多晶矽3810底部降低至磊晶井3804下方，如第38C圖所示，間隙多晶矽介電層3809A的頂表面可被輕微地蝕刻至溝道3802內側所需要的位置。因此，此程序係對於閘電極底部與井輪廓之間的距離提供精確的控制。熟習該技術者瞭解，SEG井成形程序並不限
15 於一經屏蔽閘溝道電晶體而可使用在許多其他溝道閘電晶體結構中且此處已經描述其中數者。其他用於形成SEG平台結構的方法係描述於共同讓渡之麥德森(Madson)等人的美國專利案6,391,699號及布魯須(Brush)等人的6,373,098號中，各案以引用方式整體併入本文中。

20 一基於自我對準用途來控制井的角落之替代性方法並不仰賴SEG井資訊，而是採用一包含斜角狀井植入之程序。第39A及39B圖顯示此實施例的一示範性程序流。並非譬如第31H及31I圖所示在溝道充填有閘多晶矽之後形成井，此實施例中，在屏蔽多晶矽嵌入溝道3902內側的介電

層3908內之後及溝道的其餘部分被充填之前，進行處於一
給定部分劑量的一第一井植入3905。隨後如第39B圖所示經
由溝道3902的側壁進行一第二但呈斜角狀的井植入。然後
完成驅動循環以對於溝道角落上之井至漂移磊晶介面獲得
5 所需要的輪廓。植入劑量、能量及驅動循環的特定細節將
依據元件的結構性需求而變。此技術可使用在數種不同的
元件類型中。一替代性實施例中，溝道間距及角度植入體
係受到調整，藉以當角度植入體擴散時，使其合併來自一
鄰近晶胞的區以形成一連續井，而不需要第一井植入。

10 一用於形成一溝道元件之經自我對準磊晶井程序的另
一實施例係連同第40A至40E圖加以描述。如上述，為了降
低閘至汲電容，部分溝道閘電晶體係採用一在閘多晶矽下
方的溝道底部處比沿著內垂直側壁的介電層更厚之閘介電
層。根據第40A至40E圖所示的示範性程序實施例，一介電
15 層4008B係首先形成於一磊晶漂移層4006頂上，如第40A圖
所示。介電層4008B形成溝道底部所需要的厚度，並隨後被
蝕刻而如第40B圖所示留下具有與隨後所形成的溝道呈相
同寬度之介電柱。接著，第40C圖中，進行一選擇性磊晶成
長步驟以在介電柱4008B周圍形成一第二磊晶漂移層
20 4006-1。第二漂移磊晶層4006-1係與第一磊晶漂移層4006
具有相同的傳導類型且可能由相同材料製成。或者，可能
對於第二磊晶漂移層4006-1使用其他類型的材料。一示範
性實施例中，第二漂移磊晶層4006-1係由一承受一矽化鍺
($\text{Si}_x\text{Ge}_{1-x}$)合金之SEG步驟所形成。SiGe合金係改良了接近

溝道底部的累積區之載體活動性。這改良了電晶體的切換速度並降低 R_{DSon} 。亦可能使用諸如GaAs或GaN等其他化合物。

一毯覆磊晶井層4004隨後係形成於頂表面上，然後蝕刻以形成溝道4002，分別如第40D及40E圖所示。接著係為閘氧化物成形及閘多晶矽沉積(未圖示)。所產生的結構係為一具有一經自我對準磊晶井之溝道閘。可使用習知的處理技術來完成其餘的程序步驟。熟習該技術者瞭解可能具有變異。譬如，並不形成一毯覆磊晶井層4004且隨後蝕刻溝道4002，磊晶井4002可以只選擇性成長在第二漂移磊晶層4006-1頂上而在其成長時形成溝道4002。

上述各種不同處理技術係著重在井區的成形以降低通路長度及 R_{DSon} ，藉以增強元件效能。可藉由改良程序流的態樣來達成類似的增強。譬如，可藉由降低基材厚度來進一步降低元件電阻。因此，通常進行一晶圓薄化程序藉以降低基材的厚度。一般藉由機械研磨及卷帶程序來進行晶圓薄化。研磨及卷帶程序係將機械力施加至晶圓上而會對於晶圓表面造成損傷，導致製造問題。

下述的一實施例中，一經改良的晶圓薄化程序係顯著地降低基材電阻。第40R、40S、40T及40U圖中顯示一用於降低基材厚度之方法。所需要的電路製造在一晶圓上之後，可供製造電路之晶圓頂部係暫時地結合至一載體。第40R圖顯示一經完成晶圓4001且其藉由一結合材料4003結合至一載體4005。經完成晶圓的背側隨後係利用一諸如研

磨、化學蝕刻或類似方式等程序拋光至所需要的厚度。第40S圖顯示已經薄化所完成晶圓4001之與第40R圖相同的嵌夾物。晶圓4001的背側拋光之後，晶圓背側係如第40T圖所示結合至一低電阻(譬如金屬)晶圓4009。可利用譬如在溫度
5 與壓力下採用一薄塗層的鍍料4007將金屬晶圓4009結合至經薄化完成晶圓4001之習知方法來達成此作用。載體4005隨後被移除，且經薄化完成晶圓4001的頂表面在進一步處理之前受到清理。高度傳導性金屬基材4009係利於散熱、降低電阻並對於經薄化晶圓提供機械強度。

10 一替代性實施例係利用一化學程序來進行最後薄化步驟以達成較薄的晶圓，而無習知機械程序之缺陷。根據此實施例，主動元件係形成於一厚玻璃覆矽(SOTG:silicon-on-thick-glass)基材的矽層中。在研磨階段，可利用在SOTG基材背側上將玻璃化學蝕除的方式藉以薄
15 化晶圓。第41圖描述根據此實施例之一示範性程序流。從一矽基材開始，首先在步驟4110，一諸如He或H₂等摻雜物係植入矽基材內。然後，在4112，矽基材結合至一玻璃基材。可使用不同的結合程序。一範例中，一矽晶圓及一玻璃晶圓係被嵌夾且加熱到約譬如400°C以結合兩基材。玻璃
20 譬如可為二氧化矽及類似物，且可具有譬如約600微米的厚度。接著係為4114中之矽基材的一選擇性劈切及形成SOTG基材。為了保護基材在操作及後續處理期間不受應力，結合程序可重覆進行以在基材另一側上形成SOTG層(步驟4116)。一磊晶層接著沉積在基材的矽表面上(步驟4118)。

除了前側外可在背側上進行此作用。背側磊晶的摻雜水準較佳係類似於背側矽，但前側磊晶係依據元件所需要加以摻雜。基材隨後在用以將主動元件形成於前側矽層上之製程中受到各種不同步驟。

5 一實施例中，為了進一步增強基材承受前側處理步驟所導入的應力之強度，背側基材可被圖案化以近似前側晶粒框架的一倒反結構。利用此方式，玻璃基材係蝕刻成一格柵以幫助薄基材在晶圓中維持應力。研磨時，首先，來自背側的矽層係藉由一習知研磨程序加以移除(步驟
10 4120)。接著係為另一用於移除玻璃一部分(譬如一半)之研磨步驟4122。玻璃的剩餘部分隨後係藉由一譬如使用氫氟酸的化學蝕刻程序加以移除。可進行背側玻璃的蝕刻而不具有對於主動矽層造成侵襲或機械損傷之危險。藉此不再需要將晶圓上卷帶，故免除了卷帶與再卷帶設備以及與各
15 該等操作相關之程序危險。為此，此程序係允許進一步將基材厚度盡量降低以增強元件效能。請瞭解此經改良的晶圓薄化程序可能具有許多變異。譬如，依據最後基材的所需要厚度而定，薄化步驟可能包含或不包含研磨且化學蝕刻可能已經足夠。並且，經改良的晶圓薄化程序係不限於
20 離散元件的處理而可使用在其他類型元件之處理中。其他晶圓薄化程序係描述於共同讓渡之普力契(Pritchett)的美國專利案6,500,764號中，該案以引用方式整體併入本文中。

具有數種可顯著地影響效能之功率電晶體及其他功率元件的其他結構性及處理態樣。溝道的形狀係為一範例。

為了降低傾向於集中在溝道角落周圍之潛在損害性電場，需要避免尖銳角落而是形成具有圓滑角落的溝道。為了改良可靠度，亦需要具有呈現平坦表面之溝道側壁。不同的蝕刻化學作用係提供了諸如下列數種回應之間的取捨關係：

5 矽蝕刻速率、對於罩幕層的敏感度、蝕刻輪廓(側壁角度)、頂角落圓滑化、側壁粗糙度、及溝道底部的圓滑化。一譬如 SF_6 等含氟化學作用係提供高的矽蝕刻速率(大於1.5微米/分鐘)、圓滑的溝道底部、及一直線狀輪廓。含氟化學作用的缺陷係為粗糙的側壁及難以控制溝道頂部(可為凹腔)。

10 一譬如 Cl_2 等含氯化學作用係提供較平坦的側壁、及溝道頂部與蝕刻輪廓之較良好控制。含氯化學作用之取捨關係在於較低的矽蝕刻速率(小於1.0微米/分鐘)、及較小之溝道底部圓滑化作用。

可將額外氣體添加至各化學作用以在蝕刻期間幫助鈍化側壁。利用側壁鈍化來盡量減少側向蝕刻，同時蝕刻至

15 所需要的溝道深度。可利用額外的處理步驟來撫平溝道側壁，並達成溝道底部及頂角落的圓滑化。溝道側壁的表面品質因為會影響一可成長在溝道側壁上之氧化物層的品質所以很重要。不論使用何種化學作用，通常在主蝕刻步驟

20 之前使用一突破步驟。突破步驟之目的在於移除可能在主蝕刻步驟期間罩幕住矽的蝕刻之矽表面上的任何原生氧化物。典型的突破蝕刻化學作用係包含 CF_4 或 Cl_2 。

第42A圖所示的一經改良蝕刻程序之一實施例係採用一氟基主矽溝道蝕刻，接著為一氟基蝕刻步驟。此程序的

一範例係採用 Cl_2/HBr 主蝕刻步驟，接著為一 SF_6 蝕刻步驟。利用含氟步驟來將主溝道蝕刻至所需要深度的一部分。這界定了具有部分推拔程度且具有平坦側壁之溝道輪廓。利用後續的含氟步驟來蝕刻溝道深度的其餘部分，使溝道底部圓滑化，並進一步撫平溝道側壁上之任何垂懸的矽結合部。含氟蝕刻步驟較佳係在相對較低的氟流率、低壓力及低功率進行以控制撫平及圓滑化。由於兩蝕刻化學作用之間的蝕刻速率差異，可平衡兩步驟的時間以藉由一可接受的整體蝕刻時間來達成較可靠且可製造的程序，同時維持所需要的溝道輪廓、側壁粗糙度及溝道底部圓滑化。

第42B圖所示的另一實施例中，一經改良之用於矽蝕刻的方法係包括一氟基主蝕刻步驟，接著係為一氟基第二蝕刻步驟。此程序的一範例係使用一 SF_6/O_2 主蝕刻，接著為一 Cl_2 步驟。利用氟步驟來蝕刻主溝道的大部份深度。此步驟產生一具有直線狀側壁及一圓滑溝道底部之溝道。可將氧選擇性添加至此步驟以提供側壁鈍化，並藉由降低側向蝕刻來幫助維持一直線狀側壁。一氟後續步驟係使溝道頂角落圓滑化並降低側壁的粗糙度。氟步驟的高矽蝕刻速率係藉由增加蝕刻系統的產出來提高此程序的可製造性。

如第42C圖所示，另一實施例中，藉由將氬添加至一氟基化學作用來獲得一經改良的矽蝕刻程序。根據此實施例的主蝕刻步驟所使用之一化學作用的一範例係為 $\text{SF}_6/\text{O}_2/\text{Ar}$ 。藉由使氬添加至蝕刻步驟將可增加離子轟擊且因此使蝕刻更為具體。這有助於控制溝道頂部，並解除溝

道頂部成為凹腔之趨勢。添加氬亦可增加溝道底部的圓滑化。對於側壁撫平可能需要一額外的蝕刻程序。

用於一經改良矽蝕刻程序之一替代性實施例係使用一氟基化學作用，且其自主蝕刻步驟的起點開始移除氧，如第42D圖所示。此程序的一範例係使用一 SF_6 步驟，接著係為一 SF_6/O_2 步驟。蝕刻的第一階段中，由於未出現 O_2 而缺乏側壁鈍化。這導致溝道頂部之側向蝕刻量的增加。然後，第二蝕刻步驟， SF_6/O_2 ，係以一直線狀輪廓繼續蝕刻溝道深度的其餘部分，且有一圓滑的溝道底部。這導致一在頂部較寬之溝道結構，有時稱為T溝道。採用T溝道結構之元件的範例係詳細地描述於共同讓渡之海瑞克(Robert Herrick)的名稱為“用於形成具有經自我對準特性的溝道MOSFET之結構及方法”的美國專利申請案No.10/442,670號(事務所案號18865-131/17732-66850)，該案以引用方式整體併入本文中。可調整兩主蝕刻步驟的時間長度以對於T溝道的各部分(頂T部、底直線側壁部)達成所需要之深度。可利用額外處理來打圓T溝道的頂角落並撫平溝道側壁。這些額外的方法可譬如包括：(1)溝道蝕刻配方終點之一氟基步驟，或(2)一分離的蝕刻系統上之一分離的氟基蝕刻，或(3)一可犧牲性氧化物，或任何其他的組合。可使用一化學機械平面化(CMP)步驟來移除溝道輪廓的頂凹腔部。亦可使用一 H_2 退火來幫助溝道輪廓變得圓滑並產生有利的斜率。

對於傾向於具有較深溝道之高電壓應用，具有額外考量。譬如，由於具有較深溝道，對於產生可製造性程序來

說，矽蝕刻速率係很重要。因為含氟蝕刻化學作用太緩慢，此應用的蝕刻化學作用通常係為一含氟化學作用。並且，需要一直線狀至推拔狀的溝道輪廓，且具有平坦側壁。由於溝道深度之故，蝕刻程序亦需對於罩幕層具有優良敏感5 度。如果敏感度不良則需要一較厚的罩幕層，而增加特性的整體尺寸比。側壁鈍化亦很關鍵；需達成微妙的平衡。側壁鈍化過大將造成溝道底部窄化到關閉的程度；側壁鈍化過小將導致增大的側向蝕刻。

一實施例中，提供一可最佳地平衡所有這些要求之深10 溝道蝕刻程序。如第42E圖所示，根據此實施例，蝕刻程序係包括一具有斜增(ramped)的 O_2 、斜增功率、及/或斜增壓力之氟基化學作用。一示範性實施例係以在整體蝕刻中維持蝕刻輪廓及矽蝕刻速率的方式來使用一蝕刻步驟。利用使 O_2 斜增，可在整體蝕刻中控制側壁鈍化量以避免增加的15 側向蝕刻(鈍化太少之案例中)或鉗除溝道底部(鈍化太多之案例中)。使用具有斜增氧氣流之氟基蝕刻的範例係詳細地描述於共同擁有之名稱為“具有增量式氧氣流之積體電路溝道蝕刻”的美國專利案6,680,232號，該案以引用方式併入本文中。功率及壓力的斜增將有助於控制離子通量密度並20 有助於矽蝕刻速率。如果當溝道蝕刻更深時矽蝕刻速率在蝕刻期間顯著地減小，總蝕刻時間將增長。這將對於蝕刻機上的程序導致低的晶圓產出。並且， O_2 的斜增可能有助於控制對於罩幕材料的敏感度。對於譬如比10微米更深的溝道之根據此實施例的一示範性程序係可在10-20瓦特每

分鐘的功率水準及2-3 mT每分鐘的壓力水準下具有3到5 sccm每分鐘之 O_2 流率。

一深溝道蝕刻程序的一替代性實施例係使用一諸如 NF_3 等較具侵略性的氟基化學作用。因為對於矽蝕刻而言
5 NF_3 比 SF_6 更具反應性，藉由 NF_3 程序可達成增高的矽蝕刻速率。可能需對於側壁鈍化及輪廓控制添加額外的氣體。

另一實施例中，一 NF_3 蝕刻步驟之後係為一 SF_6/O_2 程序。根據此實施例，利用 NF_3 步驟以高的矽蝕刻速率來蝕刻大部份的溝道深度。然後，利用 SF_6/O_2 蝕刻步驟來鈍化既
10 存的溝道側壁，並蝕刻溝道深度的其餘部分。第42F圖所示之此實施例的一變異中， NF_3 及 SF_6/O_2 蝕刻步驟以交替方式進行。如此產生一比直線 SF_6/O_2 程序具有更高矽蝕刻速率之程序。其在一快速蝕刻速率步驟(NF_3)與一供輪廓控制以產生側壁鈍化(SF_6/O_2)之步驟之間取得平衡。步驟的平衡
15 係可控制側壁的粗糙度。亦可能需要將蝕刻的 SF_6/O_2 部分之壓力、功率及 O_2 加以斜增來維持矽蝕刻速率，並產生足夠的側壁鈍化以幫助控制蝕刻輪廓。熟習該技術者瞭解，連同上述實施例所描述的各種不同步驟係可用不同方式合併以達成最佳的溝道蝕刻程序。亦瞭解這些溝道蝕刻程序
20 可使用於此處所述的任何功率元件中之任何溝道，亦可使用於其他類型積體電路中所用之任何其他類型的溝道。

溝道蝕刻程序之前，一溝道蝕刻罩幕形成於矽表面上且被圖案化以暴露出將被溝道化之區域。如第43A圖所示，一典型元件中，溝道蝕刻在蝕刻矽基材之前係首先蝕刻經

過一層氮化物4305及另一薄層的墊氧化物4303。在一氧化物層成形於溝道中的期間，溝道形成之後，墊氧化物4303亦可成長在溝道邊緣上而提升鋪覆的氮化物層。墊氧化物在氮化物層4305底下局部地成長於接近溝道邊緣時，這導致一常稱為“鳥喙”的結構4307。後續將呈鳥喙結構之在墊氧化物底下形成於溝道邊緣旁邊之源區係在接近溝道處較淺。這是非常不良的作用。為了消除鳥喙效應，一實施例中，如第43B圖所示，一層諸如多晶矽4309等非氧化性材料係嵌夾在氮化物4305與墊氧化物4303之間。多晶矽層4309可防止墊氧化物4303在後續溝道氧化物成形期間進一步氧化。另一實施例中，如第44A圖所示，蝕刻經過氮化物層4405及墊氧化物4403而界定溝道開口之後，一薄層諸如氮化物等的非氧化性材料4405-1係形成於表面結構上。保護層4405-1隨後自水平表面移除而沿著氮化物-墊氧化物結構垂直邊緣留下間隔件，如第44B圖所示。氮化物間隔件係保護墊氧化物4403在後續步驟期間不受進一步氧化而降低鳥喙效應。一替代性實施例中，為了降低任何鳥喙成形的程度，可合併第43B及44B圖所示的實施例兩者。亦即，除了第44A及44B圖所描述程序導致之間隔件外，可將一層多晶矽嵌夾在墊氧化物與鋪覆的氮化物之間。可能具有其他變異，譬如包括添加另一層(譬如氧化物)於氮化物頂上以幫助蝕刻矽溝道時之氮化物選擇性。

如同上文連同具有經屏蔽閘結構之各種不同電晶體所描述，一層介電材料係隔離屏蔽電極與閘電極。有時稱為

間際多晶矽介電質或IPD之此電極間介電層係必須以強固且可靠的方式形成使其可承受可能存在於屏蔽電極與閘電極之間的電位差異。再度參照第31E、31F及31G圖，顯示相關程序步驟的簡化流程。溝道內側的屏蔽多晶矽3111回蝕之後(第31E圖)，屏蔽介電層3108係回蝕至與屏蔽多晶矽3111相同的位準(第31F圖)。閘介電層3108a隨後係如第31G圖所示形成於矽的頂表面上。正是此步驟形成IPD層。屏蔽介電質凹入蝕刻之人為現象係在於：淺槽成形於留在屏蔽電極任一側上之屏蔽介電質的頂表面上。這顯示於第45A圖中。所產生之具有不平整拓撲的結構特別是對於後續充填步驟可能造成正形性(conformality)問題。為了消除此等問題，提出各種不同經改良之用於形成IPD之方法。

根據一實施例，屏蔽介電凹入蝕刻之後，譬如利用一低壓力化學氣相沉積(LPCVD)程序如第45B圖所示沉積一多晶矽(poly)襯墊4508P。或者，可利用多晶矽的一選擇性成長程序或多晶矽的經準直濺鍍使得多晶矽襯墊4508P只形成於屏蔽多晶矽及屏蔽介電質上方而讓溝道側壁大致仍無多晶矽。多晶矽襯墊4508P隨後氧化而轉變成二氧化矽。可藉由一習知的熱氧化程序來進行此作用。在無多晶矽形成於溝道側壁上之實施例中，此氧化程序亦形成閘介電層4508G。否則，自溝道側壁蝕刻經氧化的多晶矽層之後，形成一薄層的閘介電質4508G且留存的溝道腔穴充填有閘電極4510，如第45C圖所示。此程序的一優點在於：多晶矽係用高度正形性方式加以沉積。一旦多晶矽沉積在屏蔽介電

質及屏蔽電極頂上，這可盡量減少空隙及其他缺陷並生成更平整的表面。結果係為一更強固且可靠之經改良的IPD層。藉由在氧化前以多晶矽來襯墊溝道側壁及相鄰的矽表面區域，一後續氧化步驟係造成較小的台面消耗並盡量減少溝道的不良加寬。

一替代性實施例中，第46A、46B及46C圖所顯示的經簡化橫剖視圖中，屏蔽多晶矽凹入蝕刻所導致之溝道內側的腔穴係充填有一與屏蔽介電質4608S呈現相似蝕刻速率之介電充填材料4608F。可利用高密度電漿(HDP)氧化物沉積、化學氣相沉積(CVD)或旋塗玻璃(SOG)程序等其中任一者進行此步驟，接著係為一平面化步驟來在溝道頂部獲得一平面性表面。介電充填材料4608F及屏蔽介電材料4608S隨後被均勻地回蝕以使一層具有所需要厚度的絕緣材料留存在屏蔽電極4611上方，如第46B圖所示。溝道側壁隨後係襯有閘介電質，然後留存的溝道腔穴係充填有閘電極，如第46C圖所示。結果係為一無拓樸不均勻性之高度正形性IPD層。

另一用於形成高品質IPD之方法的一示範性實施例係顯示於第47A及47B圖的簡化橫剖視圖中。屏蔽介電層4708S成形於溝道內側及以屏蔽多晶矽4711來充填腔穴之後，進行一屏蔽多晶矽回蝕步驟以使屏蔽多晶矽凹入溝道內側。此實施例中，屏蔽多晶矽凹入蝕刻係將更多多晶矽留在溝道中以使經凹入屏蔽多晶矽的頂表面高於最後的目標深度。將屏蔽多晶矽頂表面上之多餘多晶矽的厚度設計

成近似與目標IPD厚度相同。屏蔽電極的此上部隨後係作物理性或化學性變更以進一步增強其氧化速率。可藉由分別將諸如氟或氫離子等雜質離子植入至多晶矽內來進行一用於化學性或物理性變更電極之方法，以增強屏蔽電極的氧化速率。較佳如第47A圖所示以零度亦即垂直於屏蔽電極來進行植入，藉以不會物理性或化學性變更溝道側壁。接著，屏蔽介電質4708S被蝕刻以從溝道側壁移除介電質。此屏蔽介電質凹入蝕刻係造成與屏蔽電極4711相鄰之留存的屏蔽介電質中之一輕微凹入(類似於第45A圖所示者)。接著係為一習知的氧化步驟，其中因此使屏蔽多晶矽4711頂部以比溝道側壁更快的速率氧化。這導致一顯著比沿著溝道矽表面的側壁更厚之絕緣體4708T成形於屏蔽電極上方。屏蔽電極上方的較厚絕緣體4708T係形成IPD。經變更的多晶矽係在側向方向中氧化，亦由於屏蔽介電質凹入蝕刻的緣故補償了屏蔽介電質頂表面中所形成之部分的槽。隨後進行習知步驟以在第47B圖所示結構導致之溝道中形成閘電極。一實施例中，屏蔽電極係變更以獲得位於2:1到5:1範圍之IPD對於閘氧化物厚度的比值。一範例中，對於屏蔽電極上方所形成之約2000Å的IPD，如果選擇一4:1比值，則沿著溝道側壁形成約500Å的閘氧化物。

一替代性實施例中，在一屏蔽介電質凹入蝕刻之後進行物理性或化學性變更步驟。亦即，屏蔽氧化物4708S係被蝕刻以從溝道側壁移除氧化物。這使矽及屏蔽電極的上部暴露於一如上述的物理性或化學性變更方法。由於溝道壁

側被暴露，變更步驟係侷限於水平表面，亦即只有矽台面及屏蔽電極。諸如摻雜物的離子植入等變更方法係將以零度(垂直於屏蔽電極)進行藉以不會物理性或化學性變更溝道側壁。隨後進行習知步驟以在溝道中形成閘電極藉以導

5 致屏蔽電極上方的較厚介電質。

用於形成一經改良IPD層之另一實施例係顯示於第48圖中。根據此實施例，一譬如由氧化物製成的厚絕緣體層4808T係形成於經凹入的屏蔽氧化物4808S及屏蔽電極4811上方。利用諸如高密度電漿(HDP)沉積或電漿增強式化學氣

10 相沉積(PECVD)等方向性沉積技術優先地形成(亦即“從底部往上充填”)厚絕緣體4808T。方向性沉積係導致一比起沿著垂直表面(亦即沿著溝道側壁)顯著更厚的絕緣體沿著水平表面(亦即在屏蔽電極及屏蔽氧化物上方)成形，如第48圖所示。隨後進行一蝕刻步驟以自側壁移除氧化物，同時

15 將足夠的氧化物留在屏蔽多晶矽上方。然後進行習知步驟將閘電極形成於溝道中。此實施例除了獲得正形性IPD外之一優點係為：因為經由一沉積程序而非氧化程序來形成IPD故可防止台面消耗及溝道加寬。此技術的另一利益係為：在溝道頂角落獲得圓滑化作用。

20 另一實施例中，屏蔽介電質及屏蔽多晶矽凹入之後，一薄層的篩網氧化物4908P係成長在溝道內側。然後，一層氮化矽4903係沉積以覆蓋住篩網氧化物4908P，如第49A圖所示。氮化矽層4903隨後異向性蝕刻以使其自溝道底表面(亦即屏蔽多晶矽上方)但非自溝道側壁被移除。所產生的結

構顯示於第49B圖中。晶圓隨後暴露於一氧化環境，造成一厚氧化物4908T形成於屏蔽多晶矽表面上，如第49C圖所示。因為氮化物層4903可抵抗氧化，沿著溝道側壁並未發生顯著的氧化物成長。氮化物層4903隨後譬如利用熱磷酸藉由濕蝕刻加以移除。接著係為習知的程序步驟以形成閘氧化物及閘介電質，如第49D圖所示。

部分實施例中，IPD層的成形係包含一蝕刻程序。譬如，對於其中使IPD膜沉積在拓樸結構上方之實施例，可能首先沉積一遠比所需要的最後IPD厚度更厚之膜層。完成此作用之目的在於得到一平面性膜層以盡量減少起始層呈盤狀凹陷至溝道內。可能完全地充填溝道及延伸於矽表面上方之較厚的膜隨後係被蝕刻以將其厚度降低至目標IPD層厚度。根據一實施例，此IPD蝕刻程序係以至少兩蝕刻步驟進行。第一步驟預定將膜平面化回到矽表面。此步驟中，蝕刻均勻度很重要。第二步驟預定將IPD層凹入至溝道內之所需要深度(及厚度)。此第二步驟中，IPD膜對於矽之蝕刻選擇性很重要。在凹入蝕刻步驟期間，暴露出矽台面，且矽溝道側壁及IPD層亦凹入溝道內。台面上之矽的任何損失皆會影響實際的溝道深度，且如果包含一T溝道，則T的深度亦受影響。

第50A圖所示的一示範性實施例中，利用一異向性電漿蝕刻步驟5002來將IPD膜往下平面化至矽表面。電漿蝕刻的一示範性蝕刻速率可能為5000 Å/分鐘。其後接著係為一等向性濕蝕刻5004以使IPD凹入溝道內。較佳利用一對於矽具

有選擇性之經控制溶液來進行濕蝕刻，藉以當暴露時不會侵襲矽側壁並提供一可重覆的蝕刻來獲得一特定的凹入深度。濕蝕刻的一示範性化學作用可能為6:1經緩衝氧化物蝕刻(BOE)，其在25C產生約1100 Å/分鐘的蝕刻速率。以引用

5 方式整體併入本文的共同讓渡之芮里(Rodney Ridley)的美國專利案6,465,325號係提供適合此程序的示範性電漿及濕蝕刻配方之細節。用於平面化的第一電漿蝕刻步驟係導致溝道上方的IPD層具有比起濕蝕刻更小之盤狀凹陷。凹入蝕刻之第二濕蝕刻步驟係導致比電漿蝕刻所發生者更良好之

10 對於矽的選擇性以及更小的損傷。第50B圖所示的一替代性實施例中，利用一化學機械平面化(CMP)來將IPD膜往下平面化至矽表面。其後接著係為一濕蝕刻以使IPD凹入溝道內。CMP程序導致溝道上方的IPD層較小之盤狀凹陷。凹入實施例的濕蝕刻步驟係導致比CMP更良好之對於矽的選擇

15 性及對於矽更小的損傷。這些程序亦可能具有其他組合。

在包括溝道及平面性閘介電質、間層介電質及類似物等IPD以外的結構中係需要形成一高品質絕緣層。最常用的介電材料係為二氧化矽。係具有數種用於界定高品質氧化物膜之參數。主要屬性係為均勻的厚度、良好整體性(低介

20 面陷阱密度)、高電場崩潰強度、及低洩漏位準與其他屬性。會影響許多這些屬性之因素之一係為氧化物的成長速率。需要能夠精確地控制氧化物的成長速率。在熱氧化期間，與晶圓表面上的帶電粒子具有一氣相反應。一實施例中，將一外部電位施加至晶圓來影響通常為矽及氧的電荷

粒子以增加或減小氧化速率，藉以實行一用於控制氧化速率之方法。這與電漿增強式氧化之差異在於：並無電漿(具有反應性物種)生成於晶圓上方。並且，根據此實施例，氣體並未朝向表面加速；僅防止其與表面起反應。一示範性

5 實施例中，可使用一具有高溫能力的反應性離子蝕刻(RIE)室來調節所需要的能量位準。RIE室不但使用於蝕刻，亦用來施加一DC偏壓以控制減慢及停止氧化所需要的能量。第51圖為根據此實施例之一示範性方法的流程圖。起初，RIE室係用來在一測試環境中將一DC偏壓施加至晶圓(5100)。

10 決定出抑止表面反應所需要的潛在能量之後(5200)，施加一夠大足以防止發生氧化之外部偏壓(5120)。然後，藉由諸如脈動或其他方法來操縱外部偏壓，可控制處於更極端高溫之氧化速率(5130)。此方法可以獲得高溫氧化之利益(較好的氧化物流、較低應力、消除各種不同結晶定向的差異性

15 成長等)而不具有快速及不均勻成長的缺陷。

雖然諸如上文連同第51圖所述之技術可改良所產生氧化物層的品質，尤其對於溝道閘式元件而言，氧化物可靠度仍是一項關心議題。一種主要的劣化機構係由於溝道角落處之高電場所致，其係導因於閘氧化物在這些點上的局部薄化。這導致高的閘漏電流及低的閘氧化物崩潰電壓。

20 隨著溝道元件進一步縮小以降低接通電阻且由於降低的閘電壓需求將造成較薄的閘氧化物，此效應預期將變得更嚴重。

一實施例中，利用比二氧化矽具有更高介電常數的介

電材料(高K介電質)減輕了閘氧化物可靠度之擔憂。這可允許以遠為更厚的介電質具有等效的低限值電壓及互導。根據此實施例，高K介電質係降低閘洩漏且增加閘介電崩潰電壓，而不劣化元件的接通電阻或汲崩潰電壓。可表現所需要的熱穩定度及適當的介面狀態密度以整合在溝道閘式及其他功率元件內之高K材料係包括 Al_2O_3 、 HfO_2 、 Al_xHfyO_z 、 TiO_2 、 ZrO_2 及類似物。

如上述，為了改良溝道閘式功率MOSFET的切換速度，需要盡量降低電晶體閘至汲電容 C_{gd} 。在溝道底部上利用一比溝道側壁更厚的介電層係為上述數種用於降低 C_{gd} 之方法的其中一種。一種用於形成厚底氧化物層之方法係包含沿著側壁及溝道底部形成一薄層的篩網氧化物。薄氧化物層隨後係被一層諸如氮化物等氧化抑止材料所覆蓋。氮化物層隨後被異向性蝕刻，使得所有氮化物自溝道的水平底表面移除但溝道側壁仍保持被氮化物層所塗覆。氮化物自溝道底部移除之後，一具有所需要厚度的氧化物層係形成於溝道底部上。其後，氮化物及篩網氧化物自溝道側壁移除之後係形成一較薄的通路氧化物層。此用於形成厚底部氧化物之方法及其變異係更詳細地描述於共同讓渡之赫斯特(Hurst)等人的美國專利案6,437,386號，該案以引用方式整體併入本文中。包含選擇性氧化物沉積之用於在溝道底部上形成厚氧化物之其他方法係描述於共同擁有之莫菲(Murphy)的美國專利案6,444,528號，該案以引用方式整體併入本文中。

一實施例中，一經改良用於在一溝道的底部上形成厚
氧化物之方法係使用次大氣化學氣相沉積(SACVD)程序。
根據此方法，其示範性流程圖顯示於第52圖中，溝道蝕刻
之後(5210)，使用SACVD來沉積一高度正形性氧化物膜
5 (5220)，譬如利用充填溝道而在氧化物中並無空隙之熱矽酸
四乙酯(TEOS)。SACVD步驟可以位於100托耳到700托耳之
間範圍的次大氣壓力及約450°C到約600°C範圍的示範性溫
度下進行。TEOS(以毫克/分鐘為單位)對於臭氧(以立方公
分/分鐘)的比值可設定在譬如2到3且較佳約2.4的範圍之
10 間。利用此程序，可形成一具有位於約2000Å到10,000Å中
任意值或更大厚度之氧化物膜。請瞭解這些數字只供示範
用且可能依據特定程序需求及諸如製造設施位置的大氣壓
力等其他因素而變。可藉由在沉積速率與所產生氧化物層
的品質之間取得平衡以獲得最佳溫度。較高溫度時，沉積
15 速率放慢而可能降低膜收縮。此膜收縮會造成有一閘沿著
接縫在溝道中心形成於氧化物膜中。

氧化物膜沉積之後，其自矽表面及溝道內側回蝕以在
溝道底部留下一具有所需要厚度之相對較扁平層的氧化物
(5240)。可譬如利用經稀釋的HF藉由一濕蝕刻程序或一濕
20 與乾蝕刻程序的組合來進行此蝕刻。因為SACVD所形成的
氧化物傾向於呈多孔狀，其在沉積後將吸收環境濕氣。一
較佳實施例中，在回蝕步驟之後進行一增密步驟5250以改
良此效應。可藉由譬如1000°C及約20分鐘的溫度處理來進
行增密。

此方法的一項附加利益係在於：SACVD氧化物的回蝕步驟期間罩蓋一終端溝道之能力(步驟5230)，而留下一充填有氧化物的終止溝道。亦即，對於包括一充填有介電質的溝道之上述終止結構的各種不同實施例，可使用相同的

5 SACVD以氧化物充填終止溝道。並且，藉由在回蝕期間罩幕住場終止區，相同SACVD程序步驟可導致場氧化物形成於終止區中，免除了形成熱場氧化物原本所需要之程序步驟。尚且，因為矽在SACVD沉積期間並未被熱氧化程序消耗而是設置於兩位置中，此程序中由於可將若被蝕刻過遠

10 的終止介電層及厚氧化物予以完整地再製故提供了額外的彈性。

另一實施例中，另一用於在溝道底部形成厚氧化物之方法係使用一方向性TEOS程序。根據此實施例，其一示範性流程圖顯示於第53圖中，TEOS的正形性質係與電漿增強

15 式化學氣相沉積(PECVD)的方向性本質合併藉以選擇性沉積氧化物(5310)。此組合係能夠在水平表面上具有比垂直表面更高的沉積速率。譬如，利用此程序所沉積的一氧化物膜係可在溝道底部具有約2500Å厚度及在溝道側壁具有約800Å平均厚度。氧化物隨後被等向性蝕刻直到來自側壁的所有氧化物皆移除為止，而在溝道底部留下一層氧化物。

20 蝕刻程序可包括一乾頂氧化物蝕刻步驟5320，接著係為一濕緩衝氧化物蝕刻(BOE)步驟5340。對於此處所述的示範性實施例，蝕刻之後在溝道底部留有一層具有譬如1250 Å厚度之氧化物，而所有側壁氧化物皆被移除。

一特定實施例中，採用一集中於結構頂表面上之乾頂
氧化物蝕刻，而以一加速速率在頂區域蝕除氧化物，同時
以遠為降低的速率來蝕刻溝道底部中的氧化物。此處稱為
“霧蝕刻(fog etch)”的此型蝕刻係包含在蝕刻條件與蝕刻化
5 學作用之間取得平衡以產生所需要的選擇性。一範例中，
利用一諸如LAM 4400等具有一頂功率源的電漿蝕刻器以
相對較低功率及低壓力來進行此蝕刻。功率及壓力的示範
值可能分別為200-500瓦特及250-500毫托耳範圍中的任意
數值。可使用不同的蝕刻化學作用。一實施例中，一譬如
10 C₂F₆等氟化學作用與氯係以譬如約5:1的最佳比值(譬如
C₂F₆為190 sccm，Cl為40 sccm)之組合產生所需要的選擇
性。因為氯更常用來蝕刻金屬或多晶矽且通常會抑止氧化
物的蝕刻，氯並不常用來作為氧化物蝕刻化學作用的部分。
然而，基於此型選擇性蝕刻的用途，因為C₂F₆係侵略
15 性蝕刻頂表面附近的氧化物且其中較高能量可讓C₂F₆克服
氯的影響而氯在較靠近溝道底部處將減慢蝕刻速率，故此
組合可良好地運作。此主要乾蝕刻步驟5320之後可能係為
位於BOE沾浸5340之前的一清除蝕刻5330。請瞭解根據此
實施例，藉由細微地調整可能依據電漿蝕刻機而變之壓
20 力、能量及蝕刻化學作用來達成最佳選擇性。

根據此實施例的PECVD/蝕刻程序可依需要重覆一或
多次以獲得一具有目標厚度之底氧化物。此程序亦導致厚
氧化物形成於溝道之間的水平台面上。此氧化物可在多晶
矽沉積在溝道中且在表面上被回蝕之後受到蝕刻，藉以保

護溝道底氧化物不受到後續蝕刻步驟。

可能具有其他種用於在溝道底部選擇性形成厚氧化物之方法。第54圖顯示一利用高密度電漿(HDP)沉積使得氧化物不會累積在溝道側壁上(5410)之示範性方法的流程圖。

- 5 HDP沉積的一性質在於：其係在沉積時產生蝕刻，導致比起方向性TEOS方法而言相對於溝道底部的氧化物具有較少氧化物累積在溝道側壁上。隨後可使用一濕蝕刻(步驟5420)從側壁移除部分氧化物或清除氧化物，同時在溝道底部上留下一厚的氧化物。此程序的一優點在於：溝道頂部的輪廓係從溝道(5500)呈斜面狀離開(5510)，如第55圖所示，故更容易達成無空隙的多晶矽充填。可採用一如上述的“霧蝕刻”(步驟5430)在多晶矽充填之前從頂部蝕除部分氧化物(步驟5440)，故在多晶矽蝕刻之後需從頂部蝕刻較少的氧化物。亦可使用HDP沉積程序將氧化物沉積在一具有
- 10 經理設電極之溝道(譬如，具有經屏蔽閘結構之溝道MOSFET)中的兩多晶矽層之間。
- 15

根據第56圖所示的另一方法，使用一選擇性SACVD來在溝道底部上形成一厚氧化物。此方法係利用SACVD在一較低的TEOS:臭氧比值時變成具有選擇性之能力。氧化物在氮化矽上具有極慢的沉積速率但在矽上則易於沉積。TEOS:臭氧的比值愈低，沉積變成愈具選擇性。根據此方法，溝道蝕刻之後(5610)，墊氧化物成長在溝道陣列的矽表面上(5620)。一薄層的氮化物隨後沉積在墊氧化物上(5630)。接著係為一異向性蝕刻以從水平表面移除氮化物，而在溝道

20

側壁上留下氮化物(5640)。選擇性SACVD氧化物隨後係譬如在約405°C以約0.6的TEOS:臭氧比值沉積(5650)在包括溝道底部之水平表面上。SACVD氧化物隨後藉由溫度處理加以選擇性增密(5660)。然後進行氧化物-氮化物-氧化物(ONO)蝕刻以清除溝道側壁上的氮化物及氧化物(5670)。

如上述，在閘溝道底部處使用一比起其側壁更厚的氧化物層之一項原因係在於：可降低Qgd或閘至汲電荷以改良切換速度。相同原因決定了溝道深度應該大約與井接面深度相同，以盡量減少漂移區內之溝道重疊。一實施例中，一用於在溝道底部形成較厚介電層之方法係使較厚的介電層在溝道側邊往上延伸。這使得底部氧化物的厚度與溝道深度及井接面深度呈現獨立，並可使溝道及溝道內側的多晶矽比井接面更深而不具有可察覺出增高的Qgd。

根據此方法之一用於形成厚底介電層之方法的一示範性實施例係顯示於第57至59圖中。第57A圖顯示一襯有一薄層的墊氧化物5710及已被蝕刻以只覆蓋住溝道側壁的氮化物層5720之溝道的經簡化部分橫剖視圖。這使得墊氧化物5710的蝕刻能夠暴露出溝道底部及晶粒頂表面的矽，如第57B圖所示。接著係為經暴露的矽之一異向性蝕刻，導致如第58A圖所示的一結構，其中頂矽及溝道底部的矽皆已被移除至所需要的深度。一替代性實施例中，頂矽上的矽可受到罩幕藉以在矽蝕刻期間只有溝道底部被蝕刻。接著，進行一氧化步驟以使厚氧化物5730成長在未被氮化物層5720覆蓋之位置中，導致第58B圖所示之結構。氧化物厚度譬如

可能約為1200Å到2000 Å。氮化物層5720隨後被移除且墊氧化物5710受到蝕除。墊氧化物的蝕刻將造成厚氧化物5730的部分薄化。此程序的其餘部分可採用標準流程來形成閘多晶矽及井及源接面，導致第59圖所示之示範性結構。

5 如第59圖所示，所導致的閘氧化物係包括一底厚層5730且其沿著溝道側壁延伸以覆蓋住區5740中之井接面。部分實施例中，其中溝道旁邊的井區中之通路摻雜係在接近汲側5740處評定為具有較輕微摻雜，此區通常將具有一比接近源部的區域更低之低限值電壓。藉由使較厚氧化物
10 沿著溝道側邊延伸而重疊至區5740中的通路內，因此將不會增高元件的低限值電壓。亦即，此實施例可使井接面深度及側壁氧化物達到最佳化以盡量減小 Q_{gd} 而不負面地影響到元件的接通電阻。熟習該技術者瞭解，此用於在溝道底部形成厚氧化物之方法可適用於上述多種不同元件，包
15 括經屏蔽閘、合併有各種不同電荷平衡結構之雙閘、及任何其他溝道閘元件。

熟習該技術者亦瞭解，任何上述用於在溝道底部形成厚氧化物及用於IPD之程序係皆可使用在用於形成此處所述的任何溝道閘式電晶體之程序中。這些程序可能具有其
20 他變異。譬如，如同第47A及47B圖所述的程序之案例中，矽的化學性或物理性變更可增強其氧化速率。根據一項此類示範性實施例，一譬如氟、溴等鹵素離子物種係在溝道底部以零角度植入矽內。可以大於 $1E^{14}$ (譬如 $1E^{15}$ 到 $5E^{17}$)的示範性劑量、900°C到1150°C範圍之間的示範性溫度及約15

仟電子伏特(KeV)或更小的示範性能量來發生植入。經鹵素植入的區域中，相較於溝道側壁而言，在溝道底部處之氧化物係以加快的速率成長。

數種上述的溝道元件係包括基於電荷平衡目的之溝道側壁摻雜。譬如，第5B及5C圖及第6至9A圖所示的所有實施例皆具有某類型的溝道側壁摻雜結構。由於狹窄、深溝道及/或溝道的垂直側壁之物理拘限，側壁摻雜技術略為受限。可利用氣態源或斜角狀植入來形成溝道側壁摻雜區。一實施例中，一經改良的溝道側壁摻雜技術係使用電漿摻雜或脈衝式電漿摻雜技術。此技術使用一脈衝式電壓，該脈衝式電壓係施加至一包圍在一摻雜物離子的電漿中之晶圓。所施加的電壓係使離子自一陰極覆套朝向晶圓加速並進入該晶圓內。所施加的電壓為脈衝式且其時程持續到抵達所需要劑量為止。此技術能夠以正形性摻雜技術來實行許多這些溝道元件。此外，此程序的高產出係降低了製程的整體成本。

熟習該技術者瞭解，電漿摻雜或脈衝式電漿摻雜技術的用途並不限於溝道電荷平衡結構，而是亦可適用於其他結構且包括溝道式終止結構及溝道式汲、源或體部連接。譬如，可利用此方法型態來摻雜經屏蔽溝道結構之溝道側壁，諸如連同第4D、4E、5B、5C、6、7、8及9A圖所描述者。此外，可使用此技術來生成一均勻摻雜的通路區。當功率元件逆向偏壓時，藉由接面兩側上的電荷濃度來控制空乏區至通路區內之穿透(p井接面)。磊晶層中具有高的摻

雜濃度，藉由空乏至接面內之方式將可允許貫穿以限制崩潰電壓或需要一比維持低接通電阻所需要者更長之通路長度。為了盡量減少空乏至通路內，可能需要較高的通路摻雜濃度而造成低限值提高。因為低限值取決於一溝道

- 5 MOSFET中源部下方的峰值濃度，通路中均勻的摻雜濃度係可提供通路長度與崩潰之間較良好的取捨關係。

可用來獲得較均勻通路濃度之其他方法係包括利用一磊晶程序形成通路接面、使用多重能量植入件、及其他用以生成一驟然接面之技術。另一技術係採用一具有一經輕
10 微摻雜蓋層之起始晶圓。利用此方式，盡量減少補償且可駕馭往上擴散來生成一較均勻的通路摻雜輪廓。

溝道元件係可利用藉由沿著溝道側壁的通路摻雜濃度來設定低限值之事實。一可具有遠離溝道的高摻雜濃度同時維持低的低限值之程序係有助於防止貫穿機構。藉由在
15 閘氧化程序之前提供p井摻雜將可隔離進入溝道氧化物內之譬如硼等井p型雜質，藉此降低低限值。藉由使其與上述技術合併將可提供一無貫穿之較短的通路長度。

部分功率應用係需要測量流過功率電晶體之電流量。通常利用隔離及測量總元件電流的一部分且其隨後用來外
20 插出流過元件的電總流，藉以達成此作用。總元件電流的經隔離部分係流過一電流感測或偵測元件且其產生一指示出經隔離電流量值且隨後用來決定總元件電流之訊號。此配置已知係為一電流監視器。電流感測電晶體通常係單調性設有功率元件且其中兩元件共用一共同基材(汲部)及

開。第60圖為一具有一電流感測元件6002之MOSFET 6000的簡化圖。流過主MOSFET 6000之電流係與各者主動區域成比例地的主電晶體與電流感測部6002之間被分割。因此，藉由測量經過感測元件的電流然後將其乘以主動區域的比值來計算出流過主MOSFET之電流。

用於隔離電流感測元件與主元件之各種不同的方法係描述於共同擁有之葉迪納克(Yedinak)等人的名稱為“用於隔離功率元件上的電流感測同時維持一連續條帶晶胞之方法”的美國專利申請案No.10/315,719號，該案以引用方式整體併入本文中。用於整合感測元件與各種不同功率元件(包括具有電荷平衡結構者)之實施例係描述於下文中。根據一實施例，一具有電荷平衡結構及單調性整合的電流感測元件之功率電晶體中，電流感測區域較佳係形成有相同的連續MOSFET結構及電荷平衡結構。若不維持電荷平衡結構中的連續性，元件崩潰電壓將由於電荷不匹配造成電壓支持區未完全空乏而產生劣化。第61A圖顯示一具有一平面性閘結構及經隔離的電流感測結構6115之電荷平衡MOSFET 6100的一示範性實施例。此實施例中，電荷平衡結構係包括形成於漂移區6104內側(n型)之相反傳導性(此範例中為p型)條紋6126。P型條柱6126譬如可形成為經摻雜多晶矽或磊晶經充填溝道。如第61A圖所描繪，電荷平衡結構係在電流感測結構6115底下維持連續性。覆蓋住電流感測元件6115的表面區域之感測墊金屬6113係藉由介電區6117而與源金屬6116電性分離。請瞭解具有類似結構的電流感測元

件係可與此處所述的任何其他功率元件加以整合。譬如，第61B圖顯示一電流感測元件可如何與一具有經屏蔽閘之溝道MOSFET加以整合之一範例，其中可藉由調整溝道深度及偏壓溝道內側的屏蔽多晶矽來獲得電荷平衡。

5 具有數種需將二極體整合在與功率電晶體相同的晶粒上之功率應用。此等應用係包括溫度感測、靜電放電(ESD)保護、主動鉗位、及電壓分割與其他應用。譬如，對於溫度感測，一或多個串聯連接的二極體係與功率電晶體呈單調性整合，其中因此引出二極體的陽極及陰極終止以分離
10 結合墊，或利用傳導性互連件連接至單調性控制電路組件。藉由一或多個二極體的正向電壓(V_f)變化來感測溫度。譬如，藉由對於功率電晶體的閘終端之適當互連，當二極體 V_f 隨著溫度而下降，閘電壓被拉低而使流過元件之電流降低直到抵達所需要溫度為止。

15 第62A圖顯示一具有串聯溫度感測二極體之MOSFET 6200A的一示範性實施例。MOSFET 6200A係包括一二極體結構6215，其中具有交替傳導性之經摻雜多晶矽係形成三個串聯溫度感測二極體。此示範性實施例中，元件6200A之MOSFET部分係採用p型磊晶經充填電荷平衡溝道而在n
20 型磊晶漂移區6204內側形成相反傳導性區域。如圖所描繪，電荷平衡結構較佳係在溫度感測二極體結構6215底下維持連續性。二極體結構係形成在位於矽表面上之一場介電(氧化物)層6219頂部上。一p型接面隔離區6221係可選擇性擴散於介電層6219底下。一不具有此p型接面之元件

6200B顯示於第62B圖中。為了確保能夠獲得串聯經正向偏壓二極體，使用短路金屬6223來短路被逆向偏壓之P/N+接面。一實施例中，p+係植入且擴散橫越接面以形成一N+/P/P+/N+結構，其中p+出現在短路金屬6223底下以獲得
 5 歐姆接觸。對於相反極性來說，N+亦可擴散橫越N/P+接面以形成P+/N/N+/P+結構。再者，熟習該技術者瞭解，此型溫度感測二極體結構可與此處所述的許多其他特性合併地使用在各種不同功率元件的任一者中。譬如，第62C圖描繪一具有一經屏蔽溝道閘結構之MOSFET 6200C，其中可對
 10 於電荷平衡使用屏蔽多晶矽。

另一實施例中，利用溫度感測二極體所用之元件6200中所示的類似隔離技術，可實行不對稱性ESD保護。基於ESD保護，二極體結構的一端係電性連接至源終端而另一端連接至元件的閘終端。或者，如第63A及63B圖所示藉由
 15 不使任何背對背的N+/P/N+接面產生短路而獲得對稱性ESD保護。第63A圖所示的示範性MOSFET 6300A係採用一平面性閘結構且使用相反傳導性條紋以供電荷平衡之用，同時第63B圖所示的示範性MOSFET 6300B係為一具有經屏蔽閘結構之溝道閘元件。為了防止電荷平衡的不均勻，
 20 電荷平衡結構係在閘結合墊金屬及任何其他控制部件結合墊底下呈現連續。

示範性ESD保護電路係顯示於第64A至64D圖中，其中包含被上述二極體結構所保護的閘之主元件係可為使用任一電荷平衡或其他技術之任一種此處所述的功率元件。第

64A圖顯示一不對稱經隔離多晶矽二極體ESD保護之簡化圖，而第64B圖描繪一標準背對背經隔離多晶矽二極體ESD保護電路。第64C圖所示的ESD保護電路係使用一NPN電晶體以供 BV_{cer} 彈回(snap-back)之用。 BV_{cer} 中的下標“cer”係指一經逆向偏壓集極-射極雙極電晶體接面，其中對於基極的一連接係使用一電阻器來控制基極電流。低電阻係造成大部份射極電流經由基極被移除而防止射極-基極接面的接通，亦即將少數載體注射回到集極內。可藉由電阻器數值來設定接通條件。當載體注射回到集極內時，射極與集極之間的維持電壓係降低--一種稱為“彈回”的現象。可藉由調整基極-射極電阻器 R_{BE} 的數值來設定使 BV_{cer} 彈回被觸發之電流。第64D圖顯示一如圖所示使用一矽控制式整流器或SCR及二極體之ESD保護電路。利用一閘陰極短路結構，可控制觸發電流。可利用二極體崩潰電壓來偏移令SCR產生門鎖之電壓。如上述的單調性二極體結構可使用在這些與其他ESD保護電路的任一者中。

部分功率應用中，一功率切換元件之一重要的效能特徵係在於其等效串聯電阻或ESR，且這是切換終端或閘的阻抗之一種測量方式。譬如，在使用功率MOSFET之同步公轉換器(synchronous buck converters)中，較低的ESR有助於降低切換損失。在溝道閘式MOSFET之案例中，其閘ESR大部份係取決於充填有多晶矽的溝道之尺寸。譬如，閘溝道的長度可能係被諸如最小導線結合墊尺寸等封裝限制加以拘限。已知藉由將一矽化物膜施加至多晶矽將降低閘的

電阻。然而，若要在溝道MOSFET中實行經矽化的多晶矽將構成數種挑戰。典型的平面性離散MOS結構中，閘多晶矽可在接面已經植入及驅動至其各別深度之後受到矽化。對於其中使閘多晶矽凹入之溝道閘元件，矽化物的施加變得
5 得更為複雜。利用習知的矽化物係將晶圓可承受後矽化物處理之最大溫度限制成為近似小於900°C。這在形成諸如源、汲及井等經擴散區時係對於製程的階段構成顯著的拘限。矽化物最常使用的金屬係為鈦。亦可使用諸如鎢、鉭、鈷及鉑等其他金屬以允許具有一較高熱預算後矽化物處理
10 藉以提供更大的處理餘地。亦可藉由各種不同的佈局技術來降低閘ESR。

下文描述用於形成具有較低ESR之經電荷平衡的功率切換元件的各種不同實施例。第65圖所示的一實施例中，一程序6500係包括基於屏蔽及/或電荷平衡目的來形成具
15 有一在溝道下部處所形成的下電極之溝道(步驟6502)。接著係為沉積及蝕刻一IPD層(步驟6504)。IPD層可藉由已知程序形成。或者，可使用上文連同第45至50圖所述的任一程序來形成IPD層。接著，在步驟6505利用已知程序來沉積及蝕刻一上電極或閘多晶矽。接著係植入及驅動井及源區(步
20 驟6508)。在步驟6508之後，矽化物係於步驟6510中施加至閘多晶矽。然後接著係為步驟6512之一介電質的沉積及平面化。此程序的一變異中，首先進行沉積及平面化介電場之步驟6512，然後開啟接觸孔以觸及源/體部與閘，隨後形成矽化物接觸部。這兩實施例係仰賴被一比矽化物膜轉變

點更低的低溫退火所活化之重體部植入區。

另一實施例中，多晶矽閘係被一金屬閘取代。根據此實施例，利用一經準直源藉由譬如沉積Ti來形成一金屬閘，以改良一溝道結構中的充填能力。金屬閘施加之後且一旦接面已經被植入及驅動，介電選項係包括HDP及TEOS以隔離閘與源/體部接觸部。替代性實施例中，使用一具有從鋁到銅頂金屬等各種不同金屬選項的鑲嵌或雙鑲嵌途徑來形成閘終端。

閘導體的佈局亦會影響閘ESR及元件的整體切換速度。第66A及66B圖所示的另一實施例中，一佈局技術係合併垂直經矽化表面多晶矽條紋與經凹入溝道多晶矽以降低閘ESR。參照第66A圖，顯示一高度簡化的元件結構6600且其中一塗有矽化物的多晶矽線6604係垂直於溝道條紋6602沿著矽化物表面延伸。第66B圖顯示元件6600沿著AA'軸線之簡化橫剖視圖。經矽化多晶矽線6604係在與溝道的交會部接觸到閘多晶矽。多重經矽化多晶矽線6604可延伸於矽表面頂上以降低閘電極的電阻係數。譬如藉由具有兩或多層互連件之程序，此佈局技術及其他佈局技術係可用來改良此處所述的任一溝道閘元件中之閘ESR。

20 電路應用

譬如藉由此處描述各種不同元件及程序技術所提供之元件接通電阻的鉅幅降低，可減小功率元件所佔用的晶片面積。結果，這些高電壓元件與低電壓邏輯及控制電路之單調性整合將變得可行。典型的電路應用中，可整合在

與功率電晶體相同的晶粒上之功能類型係包括功率控制、感測、保護及介面電路。功率元件與其他電路的單調性整合之一重要考量因素係在於用來電性隔離高電壓功率元件與低電壓邏輯或控制電路之技術。存在數種已知之達成此作用的途徑，包括接面隔離、介電隔離、矽晶絕緣體、及類似方式。

下文中，將描述用於功率切換之數種電路應用，其中各種不同電路組件可以不同程度地整合在相同晶片上。第67圖描繪一需要較低電壓元件之同步公轉換器(DC-DC轉換器)。此電路中，常稱為“高側開關”的n通路MOSFET Q1係設計為具有一適度的低接通電阻但呈現快速的切換速度以盡量減少功率損失。常稱為低側開關的MOSFET Q2係設計為具有一很低的接通電阻及適度的高切換速度。第68圖描繪另一種更適合中至高電壓元件之DC-DC轉換器。此電路中，主切換元件Qa係表現出快速的切換速度，及高的阻絕電壓。因為此電路使用一變壓器，低電流係流過電晶體Qa而可使其具有中至低的接通電阻。對於同步整流器Qs，可使用一具有低至很低接通電阻、快速切換速度、很低的逆向回復電荷及低的電極間電容之MOSFET。此等DC-DC轉換器之其他實施例及改良係更詳細地描述於共同讓渡之歐班郝依(Elbanhawy)的名稱為“用於降低DC-DC轉換器中的損失之方法及電路”的美國專利申請案No.10/222,481號(事務所案號No.18865-91-1/17732-51430)，該案以引用方式整體併入本文中。

可使用上述各種不同功率元件結構的任一者來實行第67及68圖的轉換器電路中之MOSFET。屬於第4A圖所示類型的雙閘MOSFET譬如係為用來實行同步公轉換器時可提供特定優點之一型元件。一實施例中，一特定驅動方案係

5 利用雙閘MOSFET所提供的全部特性之優點。此實施例的一範例顯示於第69圖，其中高側MOSFET Q1的一第一閘終端G2係使其電位由二極體D1、電阻器R1及R2及電容器C1所構成之電路加以決定。Q1的閘電極G2上之固定式電位可被調整以適應最好的 Q_{gd} ，使得電晶體的切換時間達到最佳

10 化。高側切換電晶體Q1的第二閘終端G1係從脈寬調變(PWM)控制器/驅動器(未圖示)接收正常閘驅動訊號。低側切換電晶體Q2的兩閘電極係被類似地驅動，如圖所示。

一替代性實施例中，其一範例顯示於第70A圖中，高側開關的兩閘電極皆被分開地驅動以進一步使電路具有最佳

15 化的效能。根據此實施例，不同波形係驅動高側開關Q1的閘終端G1及G2以在轉變期間達成最好的切換速度且在此週期其餘部分期間達成最好的接通電阻 RD_{Son} 。圖示範例中，切換期間一約5伏特的電壓 V_a 係將很低的 Q_{gd} 輸送至高側開關Q1的閘而導致高的切換速度，但轉變 td_1 及 td_2 之前

20 與之後的 RD_{Son} 並未處於其最低值。然而，因為在切換期間 RD_{Son} 並非顯著的損失貢獻者，這並未負面地影響電路的操作。為了確保脈衝時程的其餘部分期間具有最低的 RD_{Son} ，如第70B圖的定時圖所示在時間週期 t_p 期間，位於閘終端G2的電位 V_{g2} 係被驅動至一比 V_a 更高之第二電壓 V_b 。此驅動方

案係導致最佳效率。這些驅動方案的變異係更詳細地描述於共同讓渡之歐班郝依(Elbanhawy)的名稱為“用於雙閘MOSFET之驅動器”的美國專利申請案No.10/686,859號(事務所案號No.17732-66930)，該案以引用方式整體併入本文中。

封裝技術

對於所有功率半導體元件之一項重要考量因素係為用以將元件連接至電路之殼體或封裝體。半導體晶粒通常利用諸如鐸料等金屬結合層或充填有金屬的環氧樹脂黏劑附接至一金屬墊。導線通常係結合至晶片的頂表面且隨後結合至經由模製體部突起之引線。此總成隨後安裝至一電路板。殼體在半導體晶片與電子系統及其環境之間提供電性與熱性連接。低寄生電阻、電容及電感係為殼體之理想的電氣特性，藉以能夠對於晶片具有一較好的介面。

已經提供著重在封裝體中降低電阻及電感之封裝技術的改良。特定封裝技術中，鐸球或銅柱段(copper stud)係分佈在晶片之相對較薄(譬如2-5微米)的金屬表面上。藉由將金屬連接部分佈在大面積金屬表面上，使金屬中的電流路徑成為較短且降低金屬電阻。如果晶片的凸塊狀側連接至一銅引線框或連接至一印刷電路板上的銅跡線，功率元件的電阻比起導線結合的解決方案係相形降低。

第71及72圖分別顯示經模製及未經模製封裝體之簡化橫剖視圖，且其使用可將引線框連接至晶片的金屬表面之鐸球或銅柱段。如第71圖所示的經模製封裝體7100係包括

一引線框7106且其經由鐳球或銅柱段7104連接至一晶粒7102的一第一側。背離引線框7106之晶粒7102的第二側係經由一模製材料7108暴露出來。典型的垂直功率電晶體中，晶粒的第二側係形成汲終端。晶粒的第二側可形成對於電路板上的一墊之直接電性連接，因此對晶粒提供一低阻熱性與電性路徑。此型封裝體及其變異係更詳細地描述於共同讓渡之裘希(Joshi)等人的名稱為“經引線模製封裝體中的倒裝晶片及其製造方法”的美國專利申請案No.10/607,633號(事務所案號No.18865-42-1/17732-1342)，該案以引用方式整體併入本文中。

第72圖顯示一封裝體7200的一未經模製實施例。第72圖所示的示範性實施例中，封裝體7200係具有一多層基材7212，此多層基材7212係包括一譬如含有金屬的基層7220、及一被一絕緣層7222分離之金屬層7221。鐳料結構7213(譬如鐳球)係附接至基材7212。一晶粒7211附接至基材7212，其中鐳料結構7213配置於晶粒周圍。晶粒7211可由一諸如鐳料7230等晶粒附接材料耦合至基材7212。當圖示封裝體形成之後，其翻轉且安裝在一電路板(未圖示)或其他電路基材上。在使一垂直功率電晶體製造在晶粒7211上之實施例中，鐳球7230係形成汲終端連接部而晶片表面形成源終端。亦可能藉由逆轉晶粒7211至基材7212之連接來產生逆向連接。如圖所示，由於不需要模製材料，封裝體7200為薄形且未經模製。此型的未經模製封裝體之各種不同實施例係更詳細地描述於共同讓渡之裘希(Joshi)的名稱為“用

於半導體元件之未經模製封裝體”的美國專利申請案No.10/235,249號(事務所案號No.18865-007110/17732.26390.003)，該案以引用方式整體併入本文中。

已經提出藉由鐸料或傳導性環氧樹脂使晶片頂表面直接連接至銅之替代性方法。因為銅與矽晶片之間所引發的應力係隨著晶片面積而增加，因為鐸料或環氧樹脂介面只可受到破壞前的應力程度，直接連接方法可能受到限制。另一方面，凸塊可在破壞前具有更大位移且已經展現出可與很大的晶片一起運作。

封裝設計的另一項重要考量因素係為散熱。功率半導體效能的改良係時常導致較小的晶片面積。如果晶片中的功率消散並未減小，熱能係集中在較小面積中而會導致較高溫度及變差的可靠度。用於增大離開封裝體的熱傳速率之手段係包括：減少熱介面的數量、使用具有較高熱傳導率之材料、及降低諸如矽、鐸料、晶粒附接物及晶粒附接墊等層的厚度。以引用方式整體併入本文中的共同讓渡之裘希(Rajeev Joshi)的名稱為“具有經改良熱性與電性效能之半導體晶粒封裝體”之美國專利案6,566,749號係討論對於散熱問題之解決方案，特別是對於包括供RF應用所用的垂直功率MOSFET之晶粒。用於改良整體封裝體效能之其他技術係更詳細地描述於共同讓渡之皆為裘希(Rajeev Joshi)的美國專利案6,133,634及6,469,384號、以及裘希(Joshi)等人的名為“經引線模製封裝體中之薄型熱增強式倒裝晶片”之美國專利申請案No.10/271,654號(事務所案號

No.18865-99-1/17732.53440)。請瞭解此處所述的任何各種不同功率元件皆可容置在此處所述的任意封裝體或任意其他適當的封裝體中。

對於熱移除利用殼體的更大表面，亦可提高使諸如殼體頂及底部上的熱介面等殼體維持在較低溫度之能力。增大的表面積連帶這些表面周圍的氣流係可增高熱移除速率。殼體設計亦能夠容易與一外部排熱器形成介面。雖然熱傳導及紅外線輻射技術為常見的方法，亦可能應用其他冷卻方法。譬如，如以引用方式併入本文中的共同讓渡之羅塞提(Reno Rossetti)的名稱為“具有熱離子性冷卻系統之功率電路”美國專利申請案No.10/408,471號(事務所案號No.17732-66720)所描述之熱離子性發射係為一種可用來冷卻功率元件之熱移除方法。

要將包括功率輸送的其他邏輯電路以及控制功能整合在單一封裝體中係造成額外的挑戰。舉例來說，殼體需要較多針腳來與其他電子功能形成介面。封裝體應可容許具有封裝體中的高電流功率互連件及低電流訊號互連件。可解決這些挑戰之各種不同封裝技術係包括晶片至晶片導線結合(chip-to-chip wire bonding)以消除特殊的介面墊、疊置晶片(chip-on-chip)以節省殼體內的空間、及多晶片模組以容許不同矽技術合併在單一電子功能內。多晶片封裝技術之各種不同實施例係描述於共同讓渡之裘希(Rajeev Joshi)的名稱為“在經引線模製封裝技術中使用倒裝晶片之堆積式封裝體”的美國專利申請案No.09/730,932號(事務所案號

No.18865-50/17732-19450)、及亦為裘希(Rajeev Joshi)的名稱為“包括含有一陣列互連結構的基材之多晶片模組”之No.10/330,741(事務所案號No.18865-121/17732-66650.08)，兩案以引用方式整體併入本文中。

5 雖然上文完整地描述本發明的較佳實施例，可能具有許多替代方式、修改及均等物。譬如，許多電荷平衡技術在此處係就一MOSFET且特別就一溝道閘式MOSFET加以描述。熟習該技術者瞭解，相同的技術可適用於其他類型的元件，包括IGBT、閘流體、二極體及平面性MOSFET以
10 及側向元件。因此，基於此項與其他原因，上文描述不應視為限制住申請專利範圍所界定之本發明的範圍。

【圖式簡單說明】

第1圖顯示一示範性n型溝道功率MOSFET的一部分之橫剖視圖；

15 第2A圖顯示一雙重溝道功率MOSFET的一示範性實施例；

第2B圖顯示用於一具有源屏蔽溝道結構之平面性閘MOSFET的一示範性實施例；

第3A圖顯示一經屏蔽閘溝道功率MOSFET的一示範性
20 實施例的部分；

第3B圖顯示合併第2A圖的雙溝道結構與第3A圖的經屏蔽閘結構之用於一經屏蔽閘溝道功率MOSFET的一替代性實施例；

第4A圖為一雙閘溝道功率MOSFET的一示範性實施例

之簡化部分圖；

第4B圖顯示合併一平面性雙閘結構與溝道式電極以供垂直電荷控制之一示範性功率MOSFET；

第4C圖顯示在相同溝道內側合併雙閘與經屏蔽閘技術之一功率MOSFET的一示範性實行方式；

第4D及4E圖為用於一具有深體部結構的功率MOSFET之替代性實施例的橫剖視圖；

第4F及4G圖顯示溝道式深體部結構對於接近閘電極處之功率MOSFET內側的電位線分佈之影響；

第5A、5B及5C圖為顯示具有各種不同的垂直電荷平衡結構之示範性功率MOSFET的部分之橫剖視圖；

第6圖顯示合併一示範性垂直電荷控制結構與一經屏蔽閘結構之一功率MOSFET的簡化橫剖視圖；

第7圖顯示合併一示範性垂直電荷控制結構與一雙閘結構之另一功率MOSFET的簡化橫剖視圖；

第8圖顯示具有垂直電荷控制結構及經整合蕭特基二極體(Schottky diode)之一經屏蔽閘功率MOSFET的一範例；

第9A、9B及9C圖描繪具有經整合蕭特基二極體的功率MOSFET之各種不同示範性實施例；

第9D、9E及9F圖顯示用於將蕭特基二極體晶胞散佈於一功率MOSFET的主動晶胞陣列內之示範性佈局變異；

第10圖提供一具有經埋設二極體電荷平衡結構的示範性溝道功率MOSFET之簡化橫剖視圖；

第11及12圖分別顯示合併了具有經埋設二極體電荷平

衡的經屏蔽閘及雙閘技術之功率MOSFET的示範性實施例；

第13圖為合併了經埋設二極體電荷平衡技術與經整合蕭特基二極體之一示範用平面性功率MOSFET的簡化橫剖
5 視圖；

第14圖顯示一具有對於電流流動呈平行排列的交替式傳導區之示範性累積模式功率電晶體的簡化實施例；

第15圖為基於電荷分散用途具有溝道式電極之另一累積模式元件的簡化圖；

10 第16圖為一示範性雙溝道累積模式元件之簡化圖；

第17及18圖顯示用於包含呈現相反極性外部襯墊之充填有介電質的溝道之示範性累積模式元件的其他簡化實施例；

第19圖為一採用一或多個經埋設二極體之累積模式元
15 件的另一簡化實施例；

第20圖為一沿著矽表面包括經重度摻雜相反極性區之示範性累積模式電晶體的簡化等角圖；

第21圖顯示在電壓維持層中具有交替式相反極性區之一超接面功率MOSFET的簡化範例；

20 第22圖顯示一在電壓維持層中的垂直方向中分佈有相反極性島部之超接面功率MOSFET的一示範性實施例；

第23及24層分別顯示具有雙閘及經屏蔽閘結構之超接面功率MOSFET的示範性實施例；

第25A圖顯示用於一溝道電晶體之主動及終止溝道佈

局的俯視圖；

第25B-25F圖顯示用於溝道終止結構之替代性實施例的簡化佈局；

第26A-26C圖為示範性溝道終止結構之橫剖視圖；

5 第27圖顯示具有大曲率半徑之終止溝道的示範性元件；

第28A-28D圖為具有矽條柱電荷平衡結構之終止區的橫剖視圖；

第29A-29C圖為採用超接面技術的超高電壓元件之示範性實施例的橫剖視圖；

第30A圖顯示用於一溝道元件之邊緣接觸的範例；

第30B-30F圖顯示用於一溝道元件之邊緣接觸結構的示範性程序步驟；

第31A圖係為用於多重經埋設多晶矽層之一主動區域接觸結構的一範例；

第31B-31M圖顯示用來形成供一溝道所用之一主動區域屏蔽接觸結構的一示範性程序流；

第31N圖為用於一主動區域屏蔽接觸結構之一替代性實施例的橫剖視圖；

20 第32A及32B圖為具有主動區域屏蔽接觸結構之一示範性溝道元件的佈局圖；

第32C-32D圖為用以對於一具有破裂溝道結構的溝道元件中之周邊溝道產生接觸的兩實施例之簡化佈局圖；

第33A圖為用以在主動區域中接觸溝道式屏蔽多晶矽

層之一替代性實施例；

第33B-33M圖顯示用以接觸屬於第33A圖所示類型的一主動區域屏蔽結構之一程序流的一範例；

第34圖顯示具有一間隔件或緩衝(障壁)層以降低磊晶
5 漂移區厚度之一磊晶層；

第35圖顯示用於一具有一障壁層的元件之一替代性實施例；

第36圖顯示一採用一深體部-磊晶接面來盡量降低磊晶層厚度之障壁層；

10 第37圖為採用一擴散障壁層的電晶體之井-漂移區接面的一簡化範例；

第38A-38D圖顯示一具有經埋設電極之經自我對準磊晶-井溝道元件的一範例之簡化程序流；

第39A-39B圖顯示一用於一斜角狀井植入之示範性程
15 序流；

第40A-40E圖顯示一經自我對準磊晶井程序之一範例；

第40R-40U圖顯示一用於降低基材厚度之方法；

第41圖顯示一使用一化學程序作為最後薄化步驟之程序流的一範例；

20 第42A-42F圖顯示經改良的蝕刻程序之範例；

第43A及43B圖顯示一可消除鳥喙(bird's beak)問題之溝道蝕刻程序的實施例；

第44A及44B圖顯示替代性蝕刻程序；

第45A-45C圖顯示一用於形成一經改良的間隙多晶矽

介電層(inter-poly dielectric layer)之程序；

第46A、46B及46C圖顯示一用於形成一IPD層之替代性方法；

第47A及47B圖為另一用於形成一高品質的間際多晶
5 矽介電層之方法的橫剖視圖；

第48及49A-49D圖顯示用於形成一經改良的IPD層之其他實施例；

第50A圖顯示一用於IPD平面化之異向性電漿程序；

第50B圖顯示一使用一化學機械程序之替代性IPD平
10 面化方法；

第51圖為一用於控制氧化速率之示範性方法的流程圖；

第52圖顯示一經改良的利用一次大氣性化學氣相沉積程序來在一溝道底部形成厚氧化物之方法；

第53圖為一利用一方向性矽酸四乙酯程序來在一溝道
15 底部形成厚氧化物之方法的示範性流程圖；

第54及55圖顯示用於形成厚底部氧化物之另一實施例；

第56-59圖顯示用於在一溝道的底部形成一厚介電層
20 之另一程序；

第60圖為一具有一電流感測元件之MOSFET的簡化圖；

第61A圖為一具有一平面性閘結構及經隔離的電流感測結構之電荷平衡MOSFET的一範例；

第61B圖顯示將一電流感測元件與一溝道MOSFET加以整合之一範例；

第62A-62C圖顯示用於一具有串列溫度感測二極體之MOSFET的替代性實施例；

5 第63A及63B圖顯示用於一具有ESD保護之MOSFET的替代性實施例；

第64A-64D圖顯示ESD保護電路之範例；

第65圖顯示一用於形成具有較低ESR之經電荷平衡功率元件的示範性程序；

10 第66A及66B圖顯示一用以降低ESR之佈局技術；

第67圖顯示一使用功率切換之DC-DC轉換器電路；

第68圖顯示使用功率切換之另一DC-DC轉換器電路；

第69圖顯示一用於一雙開MOSFET之示範性驅動器電路；

15 第70A圖顯示一具有被分開驅動的開電極之替代性實施例；

第70B圖顯示一說明第70A圖的電路運作之定時圖；

第71圖為一經模製封裝體之簡化橫剖視圖；及

第72圖為一未模製封裝體之簡化橫剖視圖。

20 【主要元件符號說明】

100...n型溝道功率MOSFET(垂直溝道MOSFET)

102,202,302,402,502,602,902,1002,1902...開溝道

104...p型井或體部區

106...n型漂移或磊晶區

108,1021,1921,2008...薄介電層

110,224,3811...傳導材料

112...N型源區

114...經重度摻雜的n+基材區

118,218...p+重體部區

200B,1300B...平面性MOSFET

204...體部區

206,306,506,606,806,1006,1406,1706,1906,2006,2406,6104...漂移區

210...閘溝道傳導層

212...n+源區

216,7221...金屬層

220...屏蔽溝道

222,1508,3809S...介電材料

226,3908,4208B...介電層

300A...經屏蔽閘溝道MOSFET(增強模式MOSFET)

300B...經屏蔽閘溝道MOSFET

301,520...電荷控制溝道

310,810,910,910S,1110,1510,2010,2410,4510...閘電極

311,611,1111,2411,4811...屏蔽電極

311a,311b,811,911...電極

313...多重堆積狀的多晶矽電極

400A...雙閘溝道MOSFET...

400B,6300A,6300B...示範性MOSFET

400D...具有深體部設計的MOSFET

400F...具有溝道式深體部418的經逆向偏壓閘MOSFET

400G...具有一淺體部結構的經逆向偏壓屏蔽閘MOSFET

401...重疊區

402C,502C,802,820A,820B,902C,902L,902R,1402,1502,2002,3002,
3102,3202,3302,3802,4002...溝道

404,2308,3704...p井

406...漂移區

411屏蔽層

418,418E...體部溝道

419...p+屏蔽接面(p+體部植入件)

420...深溝道

500A...具有平面性閘結構之示範性功率MOSFET(增強模式電晶體)

500B...溝道MOSFET(增強模式電晶體)

500C...免除次級電荷控制溝道之具有垂直電荷控制的溝道
MOSFET(增強模式電晶體)

501,2610,3310,3810...閘多晶矽

524...浮p區

526...p型層或襯墊

526C,626,1826P...p型襯墊

600...適合亦需要較快切換的較高電壓應用之功率MOSFET

610...閘傳導材料

620,720,820,920,920A,920B,1720,1820...充填有介電質的溝道

701,1506,1504,1512,2506,5740...區

706...n漂移區

726,926...經p摻雜襯墊

800...經屏蔽閘MOSFET

828,928A,928B,1328...蕭特基二極體

902B,1102,1202,2502,2602,3202...主動溝道

923,925,1023,1025...PN區

928C...蕭特基晶胞

1000...示範性溝道MOSFET

1008,3108a,3308a...閘氧化物

1020,1220,1920...二極體溝道

1027,1927...底部區

1200...合併雙閘技術與溝道式二極體結構之MOSFET...

1400...具有與電流流動呈平行排列的交替傳導性區之示範性累積模式電晶體

1403,1405...相反極性的柱狀n型及p型段

1412...n型通路區

1413,1606,1612...n型區

1414...n型汲區

1500...累積模式元件

1511...經埋設電極

1603...較重度摻雜的n⁺源區

1700...累積電晶體

1726...p型區(p型襯墊)

1826N...n型襯墊

1900,2000...示範性累積模式電晶體

1923,1925...相反傳導類型區

2002...閘終端

2012...源區

2023...n型矽或多晶矽層

2025...p型矽或多晶矽層

2100...超接面MOSFET

2102...電壓維持區或阻絕區

2104...n型段

2106...p型段

2118...經重度摻雜的p+區

2226...浮區

2300...合併超接面架構的變異與雙閘結構之高電壓MOSFET

2306,2904A...n型漂移區

2326...P型區

2400...合併了超接面技術與經屏蔽閘結構之高電壓MOSFET

2426...相反極性浮閘

2503...環形終止溝道

2603,2603A,2603B,2603C...終止溝道

2604...p-井區

2605A...介電質(氧化物)

2605B...氧化物

2607A,4309...多晶矽

2607B...多晶矽電極

2609A...金屬場板

2611...屏蔽多晶矽電極

2703-1,2703-2...呈現相對較大曲率半徑之終止溝道

2803A...p型條柱(終止條柱)

2803B...條柱

2808D...較寬井區
 2809-1...大場板
 2809-2,2809A...場板
 2900A,2900B,6200...元件
 2904A...電壓維持層
 2908A...p型井
 2926A...相反傳導性條柱
 2926C...相反極性條柱
 3000...溝道元件
 3001,3030,3040...介電質(或氧化物)層
 3003...第一氧化物層
 3006,3406,3506,3606...磊晶層
 3010,3020,3110...多晶矽層
 3012,3022...開口
 3030...氧化物層
 3040...頂氧化物層
 3108,4708S...屏蔽介電層
 3108a,4508G...閘介電層
 3109...罩幕
 3111,3311,4711...屏蔽多晶矽
 3111a,3111b...閘終端及多晶矽層
 3112,3122,3132...分離的金屬線
 3210...周邊閘多晶矽流道
 3211C...位置
 3213...周邊屏蔽溝道

3215...源及屏蔽接觸區域

3217...窗

3308,4808S...屏蔽氧化物

3414...磷基材

3415...磊晶間隔件或緩衝(或障壁)層

3514...硼或磷基材

3515...障壁層

3615... $\text{Si}_x\text{C}_{1-x}$ 化合物(碳化矽層)

3630...深體部區

3715... $\text{Si}_x\text{C}_{1-x}$ (層)

3804...井磊晶(磊晶井,第二層磊晶)

3806...第一磊晶層

3808A,4608S...屏蔽介電質

3808G...閘介電質

3809A...間隙多晶矽介電層

3814...基材

3902...屏蔽多晶矽嵌入溝道

3905...第一井植入

4001...經完成晶圓

4003...結合材料

4004...毯覆磊晶井層

4005...載體

4006...第一磊晶漂移層

4006-1...第二磊晶漂移層

4008B...介電柱

- 4009...低電阻(譬如金屬)晶圓
- 4110...將He或H₂植入經重度參雜的矽基材內
- 4112...將矽基材結合至玻璃基材
- 4114...劈切矽基材及形成SOTG
- 4116...重覆上述程序以形成SOTG於基材的另一側上
- 4118...將磊晶沉積在矽表面上
- 4120...在研磨階段利用研磨從背側移除矽層
- 4122...將厚玻璃基材研磨至譬如300微米
- 4124...藉由化學蝕刻移除其餘的玻璃
- 4303,4403,5710...墊氧化物
- 4305...氮化物
- 4307...“鳥喙”結構
- 4405,5720...氮化物層
- 4405-1...非氧化性材料(保護層)
- 4508P...多晶矽(poly)襯墊
- 4608F...介電充填材料
- 4708T...較厚絕緣體
- 4808T...厚絕緣體層
- 4903...氮化矽
- 4908P...篩網氧化物
- 4908T,5730...厚氧化物
- 5002...電漿蝕刻以平面化IPD膜
- 5003...CMP以平面化IPD膜
- 5004...濕蝕刻移以使IPD凹入至目標深度
- 5005...濕蝕刻以使IPD凹入至目標深度

- 5100...在測試環境中將DC偏壓施加至晶圓
- 5110...決定出可抑止氧化之能量位準
- 5120...在氧化期間將外部偏壓施加至晶圓
- 5130...操縱外部偏壓以控制氧化速率
- 5210...溝道蝕刻(主動及終止)
- 5220...藉由SACVD來沉積氧化物
- 5230...罩蓋住終止溝道(選擇性)
- 5240...將氧化物回蝕至溝道內側之所需要厚度
- 5250...溫度處理以增密(選擇性)
- 5310...藉由PECVD來沉積氧化物
- 5320...乾頂部氧化物蝕刻(“霧蝕刻”)
- 5330...選擇性劈切
- 5340...濕BOE蝕刻
- 5350...底部氧化物是否等於所需要厚度?
- 5360...完成
- 5410...藉由HDE沉積來沉積氧化物
- 5420...濕蝕刻以移除側壁氧化物
- 5430...選擇性“霧蝕刻”
- 5440...多晶矽充填
- 5500...溝道
- 5510...斜面狀離開
- 5610...溝道蝕刻
- 5620...形成墊氧化物於矽表面上
- 5630...形成薄層的氮化物於墊氧化物上
- 5640...異向性蝕刻以從水平表面移除氮化物

- 5650...藉由選擇性SACVD將氧化物沉積於水平表面上
- 5660...增密SACVD氧化物(選擇性)
- 5670...溝道側壁的ONO蝕刻
- 6000...具有一電流感測元件6002之MOSFET
- 6002...電流感測元件
- 6100...具有一平面性閘結構及經隔離的電流感測結構6115之電荷平衡MOSFET...
- 6113...感測墊金屬
- 6115...經隔離的電流感測結構
- 6116...源金屬
- 6117...介電區
- 6126...p型條柱
- 6200A...具有串聯溫度感測二極體之MOSFET...
- 6200B...不具有p型接面之元件
- 6200C...具有一經屏蔽溝道閘結構之MOSFET...
- 6215...溫度感測二極體結構
- 6219...場介電(氧化物)層
- 6221...p型接面隔離區
- 6223...短路金屬
- 6500...程序
- 6502...形成具有屏蔽及/或電荷平衡結構之溝道
- 6504...沉積及蝕刻IPD
- 6506...沉積及蝕刻閘多晶矽
- 6508...植入及驅動井與源區
- 6510...將矽化物施加至閘多晶矽

6512...沉積及平面化介電膜

6600...高度簡化元件結構

6602...溝道條紋

6604...塗有矽化物的多晶矽線

7100...經模製封裝體

7102,7211...晶粒

7104...鐳球或銅柱段

7106...引線框

7108...模製材料

7200...封裝體

7212...多層基材

7213...鐳料結構

7220...含有金屬的基層

7222...絕緣層

7230...鐳料(鐳球)

C1...電容器

Cgd...閘至汲電容

Cgs...閘至源電容

D1...二極體

D1...TP2與TP3之間的距離

D2...TP3與TP4之間的距離

D3...TP4與TP5之間的距離

G1...主要閘

G2...次級閘

IPD...間際多晶矽介電質

L...閘溝道402與體部溝道418之間的距離

L1,L2,L3...距離

200...雙溝道MOSFET

300A,400C,400D,400E,700,900A,900B,1100,2200,2600A...MOSFET

Q1...高側開關(n通路MOSFET)...

Q2...低側開關(MOSFET)

Qa...主切換元件

Qs...同步整流器

R1,R2...電阻器

R_{DSon} ...汲至源接通電阻

td1,td2...轉變

TP1-TPn...p型終止條柱

Va...電壓

Vb...第二電壓

V_{DS} ...電晶體

V_{pp} ...平行平面崩潰電壓

W...寬度

W1...終止條柱TP1寬度

W2...終止條柱TP2寬度

W3...終止條柱TP3寬度

W_G ...終止溝道與主動溝道的端點之間的間隙

七、申請專利範圍：

1. 一種在一半導體晶圓上形成一氧化物層之方法，包含：

在一測試環境中將一DC偏壓施加至該半導體晶圓；

決定一可實質抑止與氧產生表面反應之DC偏壓條件；

在氧化期間將一外部偏壓施加至半導體晶圓；及
操縱該外部偏壓以使一氧化速率達到最佳化。

- 10 2. 一種在一半導體基材中所形成的一溝道之底部上形成厚氧化物之方法，包含：

藉由一次大氣性化學氣相沉積程序來形成一正形性氧化物膜且其係充填該溝道並覆蓋該基材的一頂表面；及

- 15 蝕除在該基材之頂表面及該溝道內側的氧化物膜而在該溝道之底部留下一具有一目標厚度之實質扁平層的氧化物。

3. 如請求項2之方法，進一步包含進行一溫度處理以增密該氧化物膜。

- 20 4. 一種在一半導體基材中所形成的一溝道之底部形成厚氧化物之方法，包含：

藉由一方向性矽酸四乙酯(TEOS)程序來沉積一氧化物膜且其在包括該溝道之底部的水平表面上形成一比包括溝道側壁的垂直表面更厚之氧化物膜；及

等向性蝕刻該氧化物膜直到溝道側壁上的所有氧化物皆被移除為止而在該溝道之底部留下具有一目標厚度之一層氧化物。

5. 如請求項4之方法，其中該蝕刻步驟係包含一乾式頂部氧化物蝕刻而接著係為一濕緩衝式氧化物蝕刻。
6. 如請求項5之方法，其中該乾式頂部氧化物蝕刻係包含一霧蝕刻程序且其相較於接近該溝道之底部的氧化物係以一加速速率來蝕刻接近該溝道的頂邊緣之氧化物。
7. 一種在一半導體基材中所形成的一溝道之底部形成厚氧化物之方法，包含：

藉由一高密度電漿沉積程序來沉積一氧化物膜且其在該溝道之底部形成一比溝道側壁上更厚的氧化物；及

- 藉由一濕式蝕刻程序從溝道側壁來移除氧化物，其中因此，該溝道的一輪廓係自接近該溝道之頂部處遠離該溝道而呈斜面狀。

8. 一種在一半導體基材中所形成的一溝道之底部形成厚氧化物之方法，包含：

形成一層襯填氧化物於該基材上；

沉積一薄層的氮化矽於該襯填氧化物上；

進行一異向性蝕刻以從水平表面移除氮化矽而在溝道側壁上留下氮化矽；

使用一次大氣性化學氣相沉積程序來沉積氧化物

於包括該溝道之底部的水平表面上；及

藉由一蝕刻程序從溝道側壁移除一三明治層的氧化物-氮化物-氧化物。

9. 一種在一半導體基材中所形成的一溝道之底部形成厚氧化物之方法，包含：

形成一薄層的襯填氧化物於該包括溝道側壁及底部之基材上；

形成一層氮化物於該襯填氧化物的頂部上且蝕除水平表面上的氮化物而留下與溝道側壁上的襯填氧化物相鄰的一層氮化物；

從水平表面移除該襯填氧化物而暴露出該基材的頂表面及溝道底表面；

進行該經暴露的水平表面之一異向性蝕刻以將半導體材料自該溝道的底部移除直至一所需要的深度而形成一下溝道部；

在未被氮化物所覆蓋之位置且包括該下溝道部中成長一層氧化物；及

移除該氮化物及襯填氧化物，

其中因此使得一厚底部氧化物沿著該溝道的側壁延伸。

10. 一種形成於單一半導體基材上之功率元件，包含：

一功率電晶體，其具有一形成於一溝道內側之電荷平衡結構；

一電流感測元件，其與該功率電晶體相鄰地形成

且藉由一介電區與之隔離；及

一或多個電荷平衡溝道，其形成於該電流感測元件下方，

其中，橫跨整個該半導體基材維持有電荷平衡的連續性。

11. 一種製造半導體元件的方法，該半導體元件包括一電荷控制溝道及一具有一厚氧化物底部的主動控制溝道，該方法包含：

形成一漂移區，其具有第一導電型；

形成一井區，其延伸於該漂移區上方且具有與該第一導電型相反的第二導電型；

形成一主動溝道，其延伸通過該井區而進入該漂移區；

形成一電荷控制溝道，其比該主動溝道更深入地延伸至該漂移區中；

形成一氧化物薄膜，其充填該主動溝道、該電荷控制溝道並且覆蓋該基材的頂表面；

蝕刻該基材之頂表面及該主動溝道內側的氧化物薄膜而在該主動溝道之底部留下具有一目標厚度的一實質扁平層之厚氧化物；

形成一電極於該主動溝道中；及

形成具有第一導電型之源極區於該井區中且鄰近該主動溝道。

12. 如請求項11之方法，更包含遮罩該電荷控制溝道，以

使得該電荷控制溝道維持著實質充填有氧化物。

13. 一種製造半導體元件的方法，該半導體元件包括一電荷控制溝道及一具有一厚氧化物底部的主動控制溝道，該方法包含：

- 5 形成一漂移區，其具有第一導電型；

- 形成一井區，其延伸於該漂移區上方且具有與該第一導電型相反的第二導電型；

- 形成一主動溝道，其延伸通過該井區而進入該漂移區；

- 10 形成一電荷控制溝道，其比該主動溝道更深入地延伸至該漂移區中；

- 形成一層襯填氧化物於該基材上；

- 沉積一薄層的氮化矽於該襯填氧化物上；

- 15 進行一異向性蝕刻以從水平表面移除氮化矽而在主動溝道側壁上留下氮化矽；

- 使用一次大氣性化學氣相沉積程序來沉積氧化物於包括該溝道之底部的水平表面上；及

- 藉由一蝕刻程序從主動溝道側壁移除一三明治層的氧化物-氮化物-氧化物；

- 20 形成一電極於該主動溝道中；及

- 形成具有第一導電型之源極區於該井區中且鄰近該主動溝道。

14. 一種製造半導體元件的方法，該半導體元件包括一電荷控制溝道及一具有一厚氧化物底部的主動控制溝

道，該方法包含：

形成一漂移區，其具有第一導電型；

形成一井區，其延伸於該漂移區上方且具有與該第一導電型相反的第二導電型；

5 形成一主動溝道，其延伸通過該井區而進入該漂移區；

形成一電荷控制溝道，其比該主動溝道更深入地延伸至該漂移區中；

10 在該主動溝道之底部形成具有一目標厚度的一實質扁平層之氧化物；

以一氧化物材料襯裏該主動溝道之側壁；

沉積一第一導電層於該主動溝道之底部的厚氧化物層上方；

沉積一極間介電材料於該第一導電層上方；

15 沉積一第二導電層於該極間介電材料上方；及

形成具有第一導電型之源極區於該井區中且鄰近該主動溝道。

15. 一種製造半導體元件的方法，該半導體元件包括一電荷控制溝道及一具有一厚氧化物底部的主動控制溝道，該方法包含：

20

形成一漂移區，其具有第一導電型；

形成一井區，其延伸於該漂移區上方且具有與該第一導電型相反的第二導電型；

形成一主動溝道，其延伸通過該井區而進入該漂

移區；

形成一電荷控制溝道，其比該主動溝道更深入地
延伸至該漂移區中；

5 在該主動溝道之底部形成具有一目標厚度的一實
質扁平層之氧化物；

形成一電極於該主動溝道中；及

形成具有第一導電型之源極區於該井區中且鄰近
該主動溝道；

10 於該電荷控制溝道中沉積多數導電層，該等導電
層係垂直地堆疊且藉由介電材料彼此隔開並且與該溝
道側壁隔開；

其中該電荷控制溝道裡面的該等多數導電層之厚
度是不同的。

16. 一種製造半導體元件的方法，該半導體元件包括一電
15 荷控制溝道及一具有一厚氧化物底部的主動控制溝
道，該方法包含：

形成一漂移區，其具有第一導電型；

形成一井區，其延伸於該漂移區上方且具有與該
第一導電型相反的第二導電型；

20 形成一主動溝道，其延伸通過該井區而進入該漂
移區；

形成一電荷控制溝道，其比該主動溝道更深入地
延伸至該漂移區中；

在該主動溝道之底部形成具有一目標厚度的一實

質扁平層之氧化物；

形成一電極於該主動溝道中；及

形成具有第一導電型之源極區於該井區中且鄰近該主動溝道；

5 於該電荷控制溝道中沉積多數導電層，該等導電層係垂直地堆疊且藉由介電材料彼此隔開並且與該溝道側壁隔開；

 其中位於該電荷控制溝道內較深處的第一導電層之厚度係小於位於該第一導電層上方之第二導電層的厚度。

10 17. 一種製造半導體元件的方法，包含：

 形成一漂移區，其具有第一導電型；

 形成一井區，其位於該漂移區上方且具有與該第一導電型相反的第二導電型；

15 形成一主動溝道，其延伸通過該井區而進入該漂移區；

 形成與該主動溝道之第一側壁接觸的一第一源極區、及與該主動溝道之第二側壁接觸的一第二源極區；

 形成一電荷控制溝道，其通過該井區之一部分且比該主動溝道更深入地延伸至該漂移區中；該電荷控制溝道與該主動溝道平行排列且藉由一台面區與該主動溝道橫向地隔開，該井區之該一部分係與該電荷控制溝道接觸且不包括任何源極區；

 形成沿著該主動溝道之底部的一氧化物，其具有

的厚度係大於沿著該主動溝道之第一側壁的一氧化物的厚度；

形成一電極於該主動溝道中；及

形成具有第一導電型之一源極區於該井區中。

5 18. 如請求項17之方法，其中形成該氧化物係更包含：

藉由一次大氣性化學氣相沉積程序來形成一正形性氧化物膜且其係實質充填該主動溝道並覆蓋一半導體基材的頂表面之至少一部份；及

10 蝕除在該半導體基材之頂表面的氧化物膜之至少第一部分；及

自該溝道內側蝕除該氧化物膜之至少第二部分，而留下沿該主動溝道之底部的一實質扁平層之氧化物。

15 19. 如請求項17之方法，其中沿該主動溝道之底部的氧化物及沿該主動溝道之第一側壁的氧化物係利用一溫度處理以增密該氧化之至少一部份而形成者。

20. 如請求項17之方法，其中形成該氧化物係更包含：

20 藉由一方向性矽酸四乙酯(TEOS)程序來沉積該氧化物且其在包括該主動溝道之底部的水平表面上形成一比包括該主動溝道之第一側壁的垂直表面更厚之氧化物膜；及

等向性蝕刻該氧化物直到該主動溝道之第一側壁上的所有氧化物皆被移除，而沿該主動溝道之底部留下具有一目標厚度之該氧化物。

21. 如請求項 17 之方法，其中沿該主動溝道之底部的氧化物及沿該主動溝道之第一側壁的氧化物係利用一乾式頂部氧化物蝕刻緊接著一濕緩衝式氧化物蝕刻而形成者。

5 22. 如請求項 17 之方法，其中沿該主動溝道之底部的氧化物及沿該主動溝道之第一側壁的氧化物係利用一乾式頂部氧化物蝕刻而形成者，該乾式頂部氧化物蝕刻包含一霧蝕刻程序且其相較於接近該主動溝道之底部的氧化物之一部分係以一加速速率來蝕刻接近該主動溝道的頂邊緣之氧化物的一部分。

10

23. 如請求項 17 之方法，其中形成沿該主動溝道之底部的氧化物及沿該主動溝道之第一側壁的氧化物係包含利用一高密度電漿沉積程序來進行沉積；

該方法更包含：

15 藉由一濕式蝕刻程序從該主動溝道之第一側壁來移除該氧化物之至少一部份，使得該主動溝道的一輪廓係自接近該主動溝道之頂部處遠離該主動溝道而呈斜面狀。

24. 一種方法，包含：

20 形成一溝道於一半導體基材中；

形成一層襯填氧化物於該半導體基材上；

沉積一層氮化矽於該襯填氧化物上；

進行一異向性蝕刻，以移除該溝道之底部的至少一部分上的氮化矽，而在該溝道之一側壁上留下該一

層氮化矽的至少一部分；

5 使用一次大氣性化學氣相沉積程序來沉積一氧化物於該溝道之底部的該部分上，該襯填氧化物、該氮化矽及使用該次大氣性化學氣相沉積程序所沉積出的該氧化物共同地界定一三明治層氧化物-氮化物-氧化物之至少一部分；

使用一蝕刻程序來移除該溝道之側壁上的該三明治層氧化物-氮化物-氧化物；及

形成一源極區於鄰近該溝道之側壁處；及

10 形成一電荷控制溝道，其藉由一台面區與該溝道橫向地隔開，該電荷控制溝道與該溝道平行排列。

25. 一種方法，包含：

形成一溝道於一半導體基材中；

15 形成一層襯填氧化物於該半導體基材上，包含於該溝道之側壁上及於該溝道之底部上；

形成一層氮化物於該襯填氧化物之頂部；

移除該溝道之底部上的該層氮化物之第一部分，而留下該溝道之一側壁上鄰近該襯填氧化物的該層氮化物之第二部分；

20 移除該襯填氧化物的一部分而暴露出該溝道之底部的表面；

對該溝道之底部的經暴露之表面進行一異向性蝕刻以形成一下溝道部；

形成一層氧化物於該下溝道部；

形成至少二電極於該溝道中；及

形成一電荷控制溝道，其藉由一台面區與該溝道橫向地隔開，該電荷控制溝道與該溝道平行排列。

26. 一種製造半導體元件之方法，包含：

5 形成一漂移區，其具有第一導電型；

形成一井區，其延伸於該漂移區上方且具有與該第一導電型相反的第二導電型；

形成一主動溝道，其延伸通過該井區而進入該漂移區；

10 形成與該主動溝道之第一側壁接觸的一第一源極區、及與該主動溝道之第二側壁接觸的一第二源極區；

形成一電荷控制溝道，其通過該井區之一部分且比該主動溝道更深入地延伸至該漂移區中；該電荷控制溝道與該主動溝道平行排列且藉由一台面區與該主動溝道橫向地隔開，該井區之該一部分係與該電荷控制溝道接觸且不包括任何源極區；

15 形成沿著該主動溝道之底部的一氧化物，其具有的厚度係大於沿著該主動溝道之第一側壁的一氧化物的厚度，形成該氧化物係包含移除多數水平表面上的一襯填氧化物，該等多數水平表面包括該溝道之底部的一部分；

20 形成一電極於該主動溝道中；及

形成具有第一導電型之該第一源極區於該井區中。

27. 一種製造半導體元件之方法，包含：

形成一漂移區，其具有第一導電型；

形成一井區，其延伸於該漂移區上方且具有與該第一導電型相反的第二導電型；

5 形成一主動溝道，其延伸通過該井區而進入該漂移區；

形成與該主動溝道之第一側壁接觸的一第一源極區、及與該主動溝道之第二側壁接觸的一第二源極區；

10 形成一電荷控制溝道，其通過該井區之一部分且比該主動溝道更深入地延伸至該漂移區中；該電荷控制溝道與該主動溝道平行排列且藉由一台面區與該主動溝道橫向地隔開，該井區之該一部分係與該電荷控制溝道接觸且不包括任何源極區；

15 形成沿著該主動溝道之底部的一氧化物，其具有的厚度係大於沿著該主動溝道之第一側壁的一氧化物的厚度；

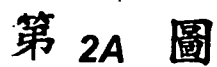
形成一第一電極於該主動溝道中；

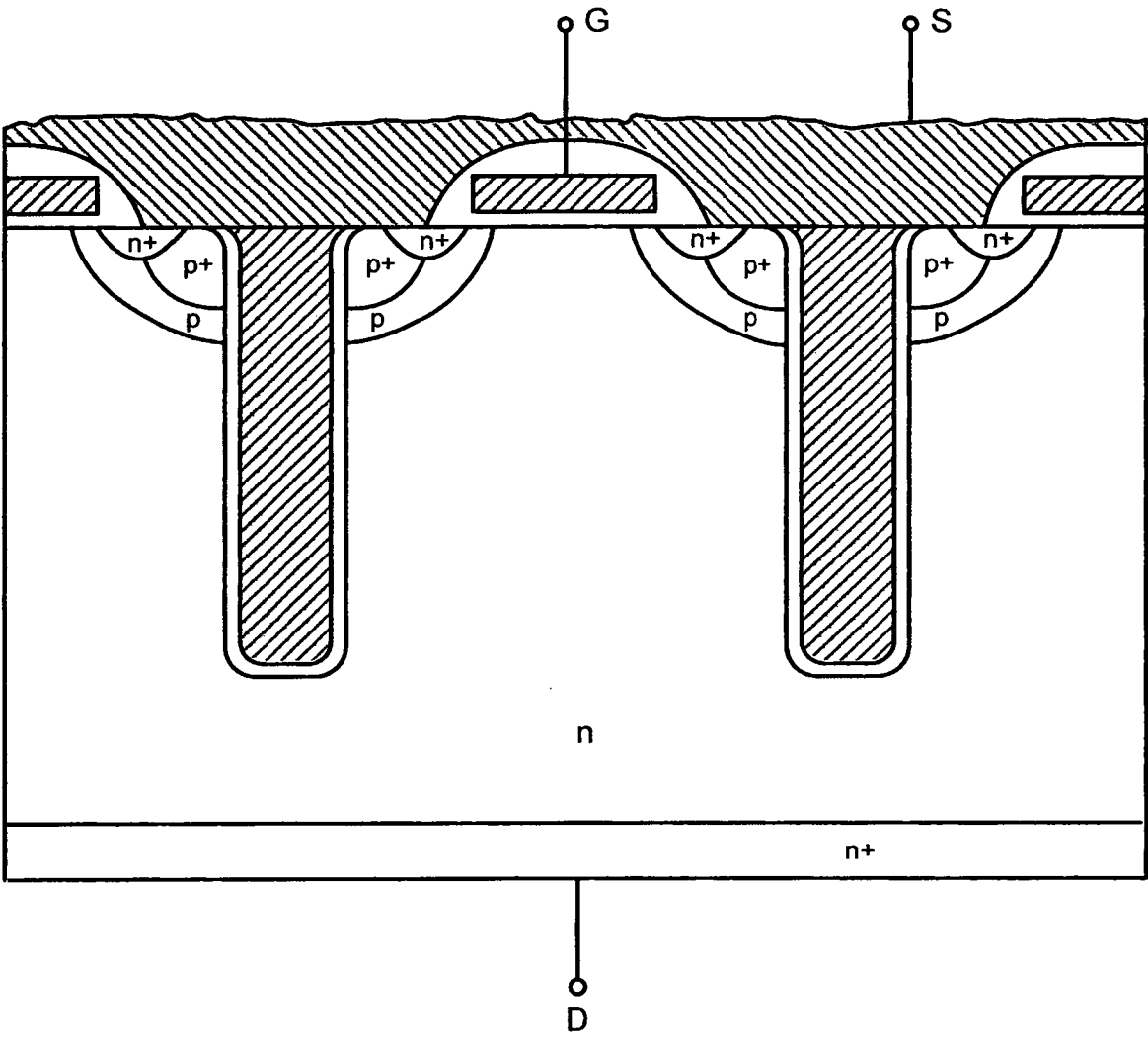
形成一第二電極於該主動溝道中且位於該第一電極下方；及

20 形成具有第一導電型之該第一源極區於該井區中。

28. 如請求項27之方法，更包含：

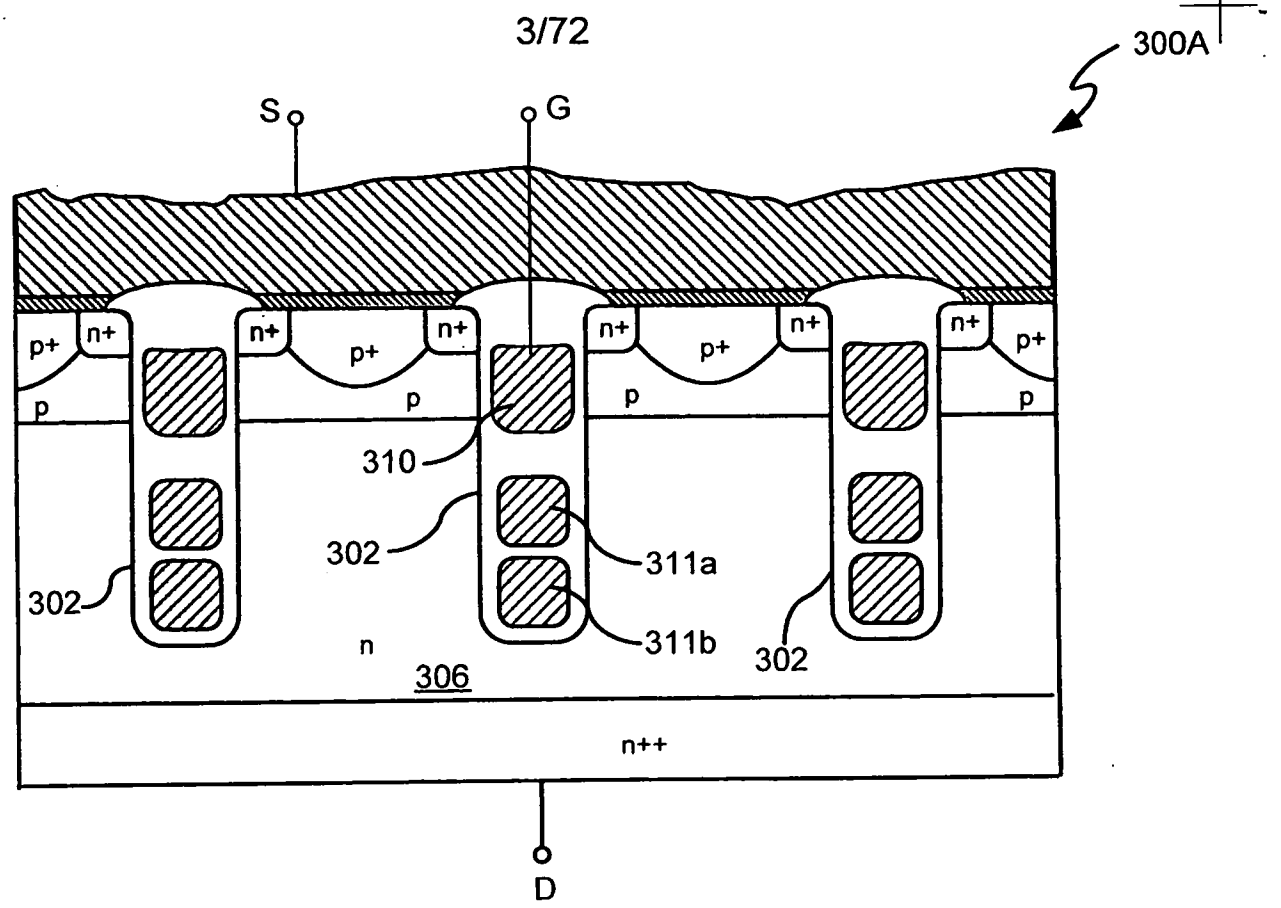
形成一第三電極於該電荷控制溝道中，該主動溝道包括一與該電荷控制溝道不同的電極數量。



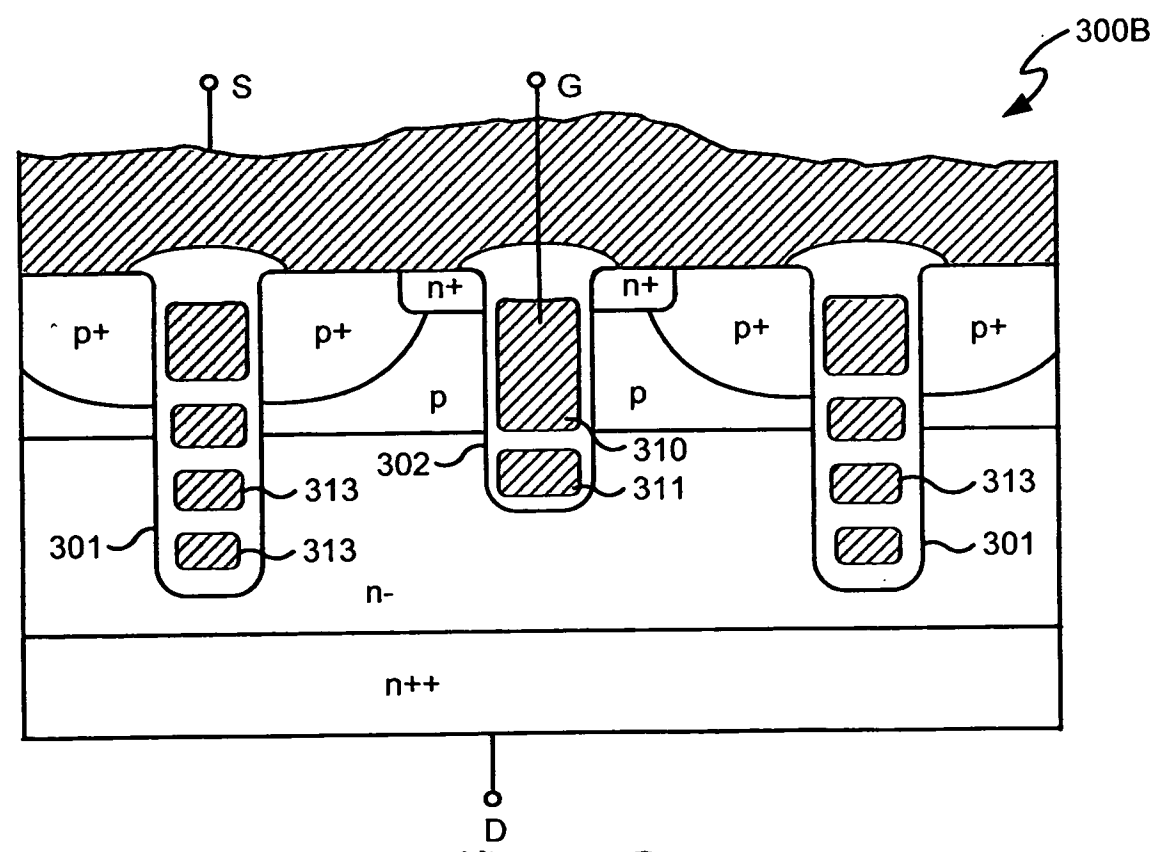


第 2B 圖



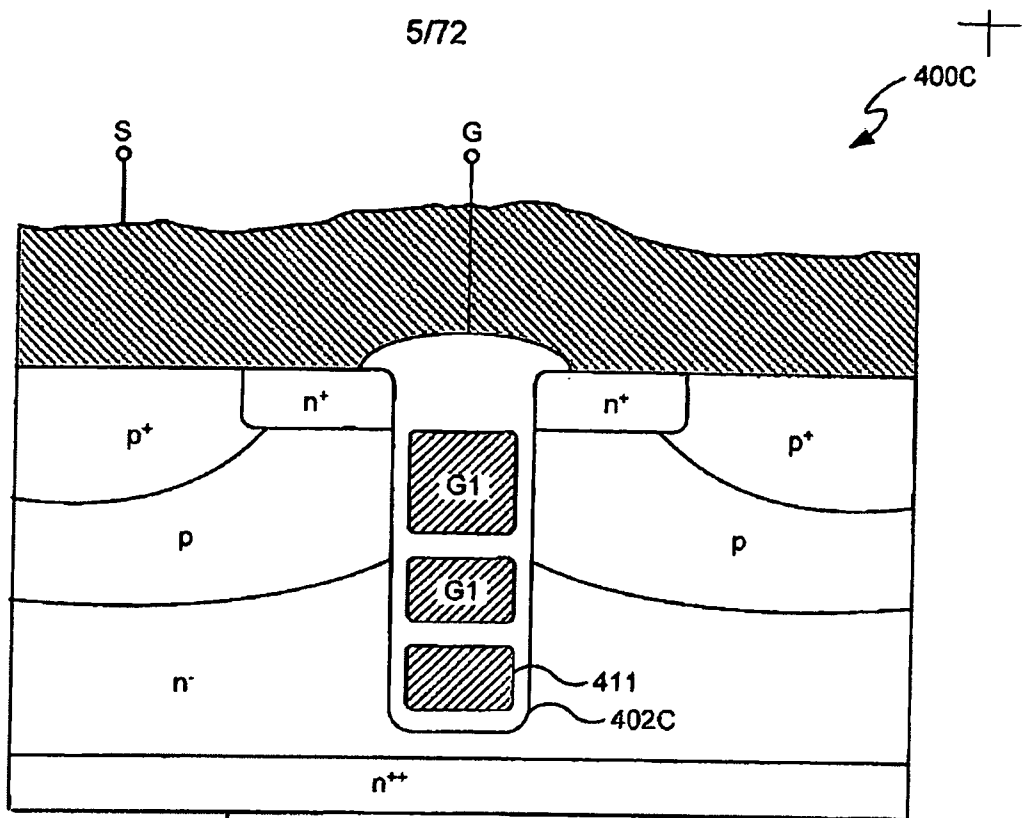


第 3A 圖

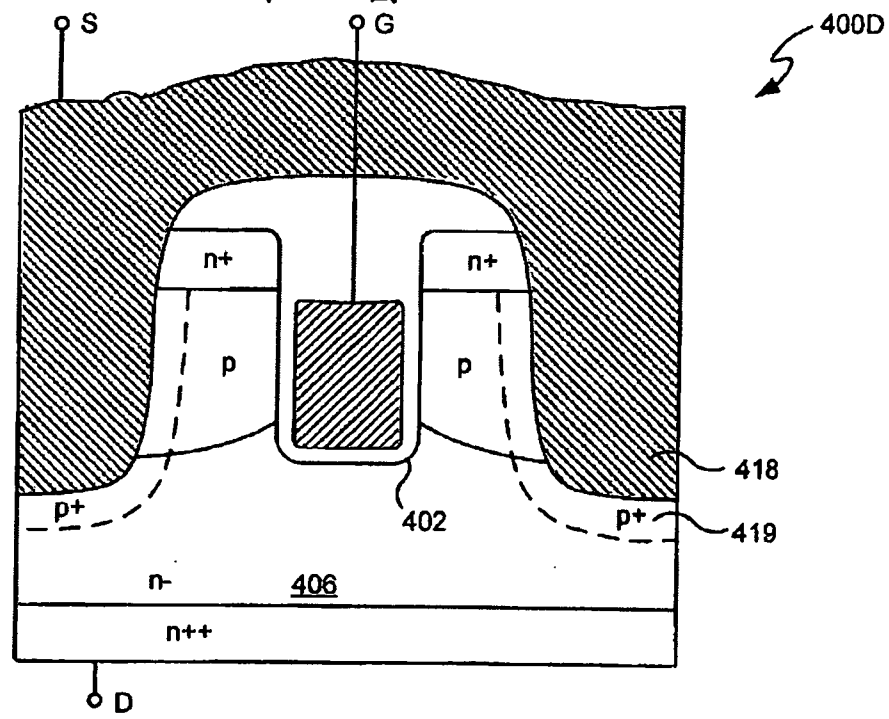


第 3B 圖

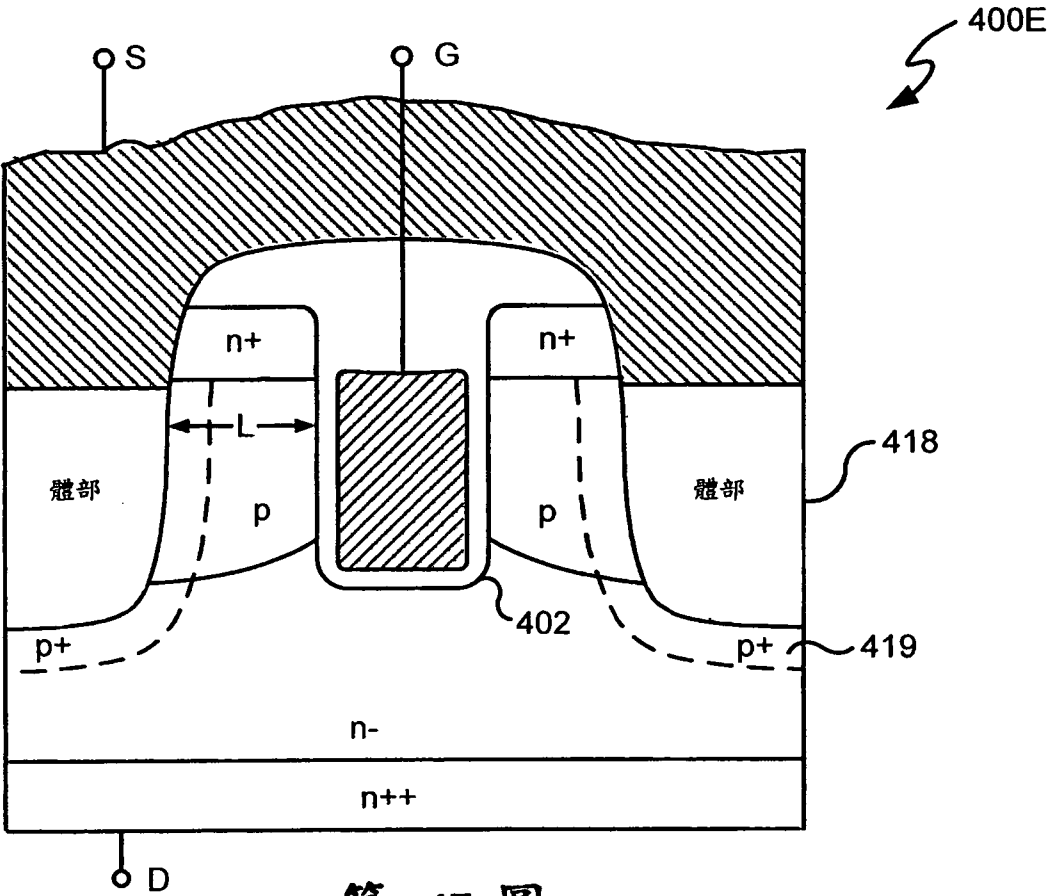




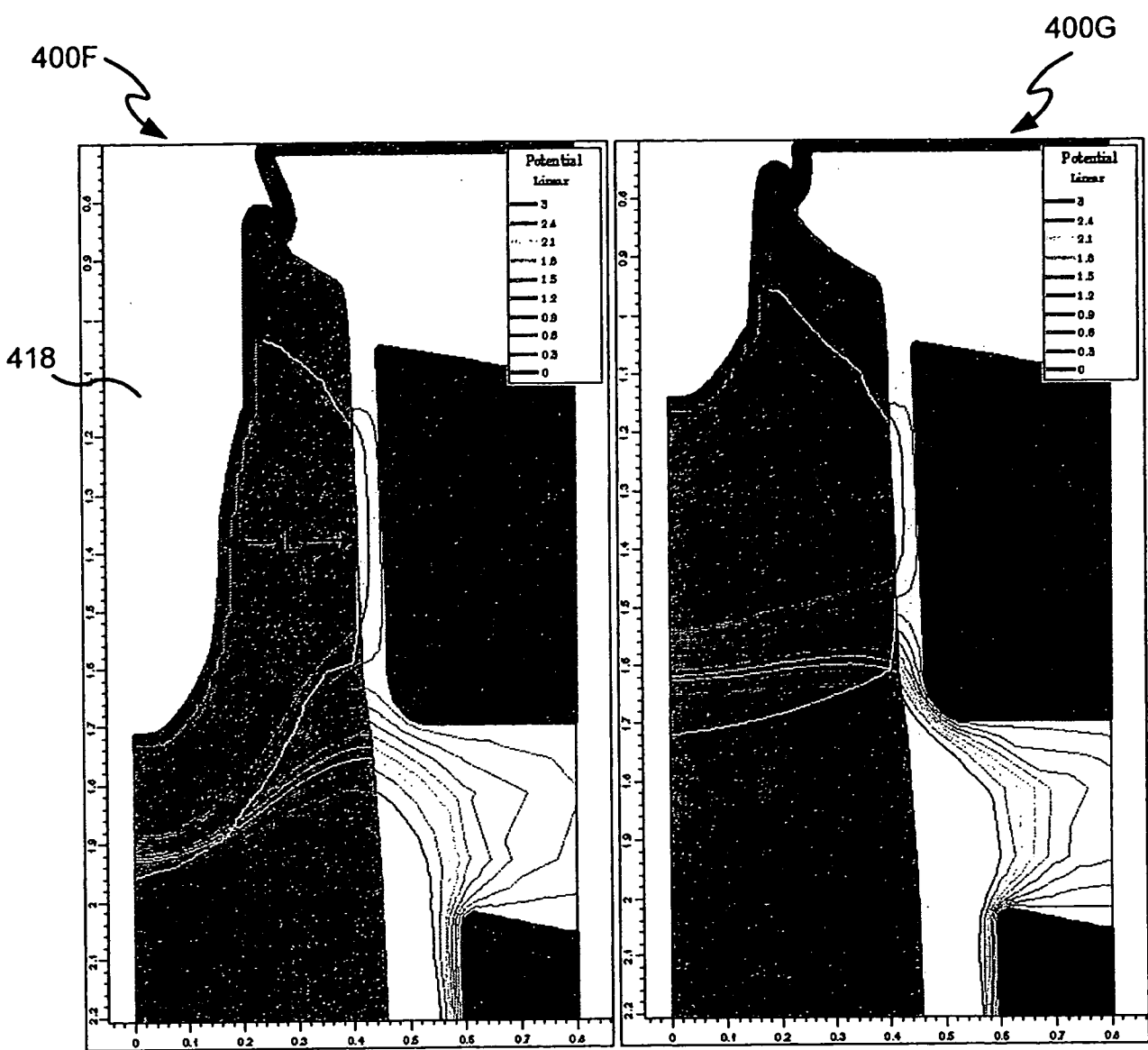
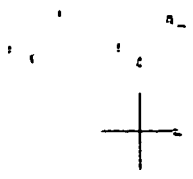
第 4C 圖



第 4D 圖



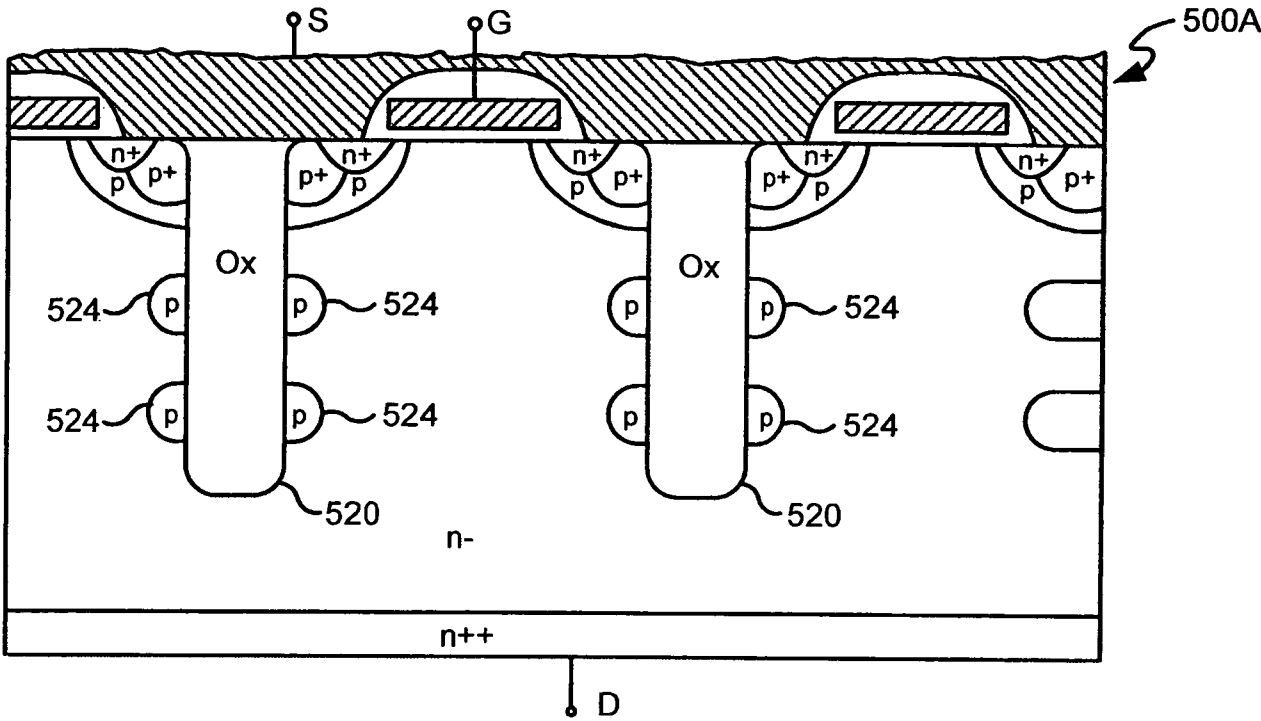
第 4E 圖



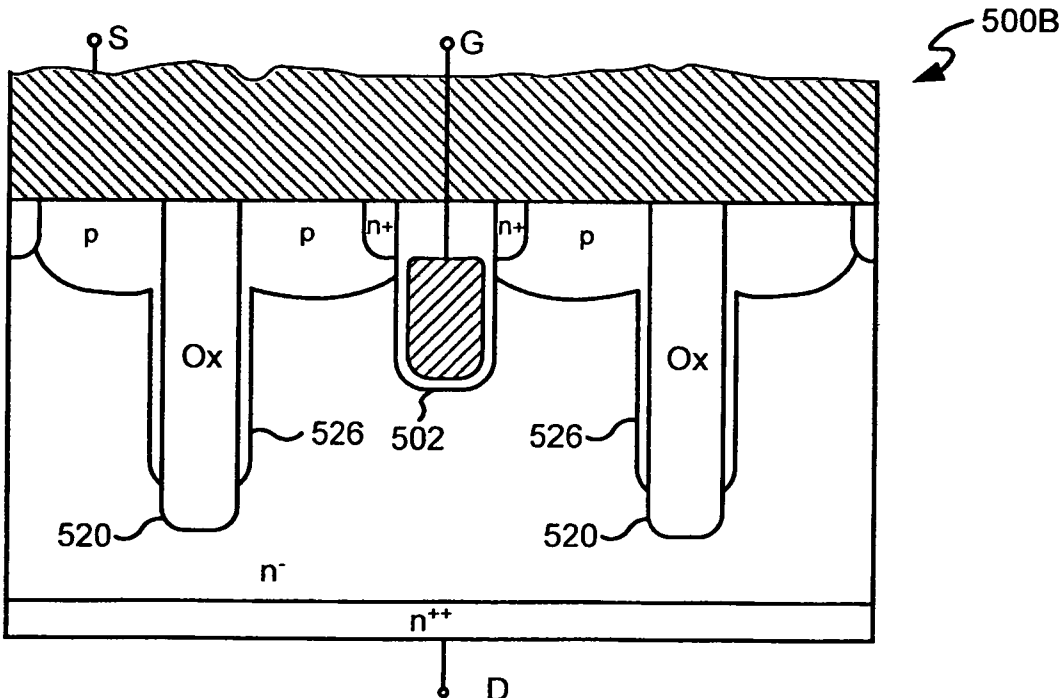
第 4F 圖

第 4G 圖

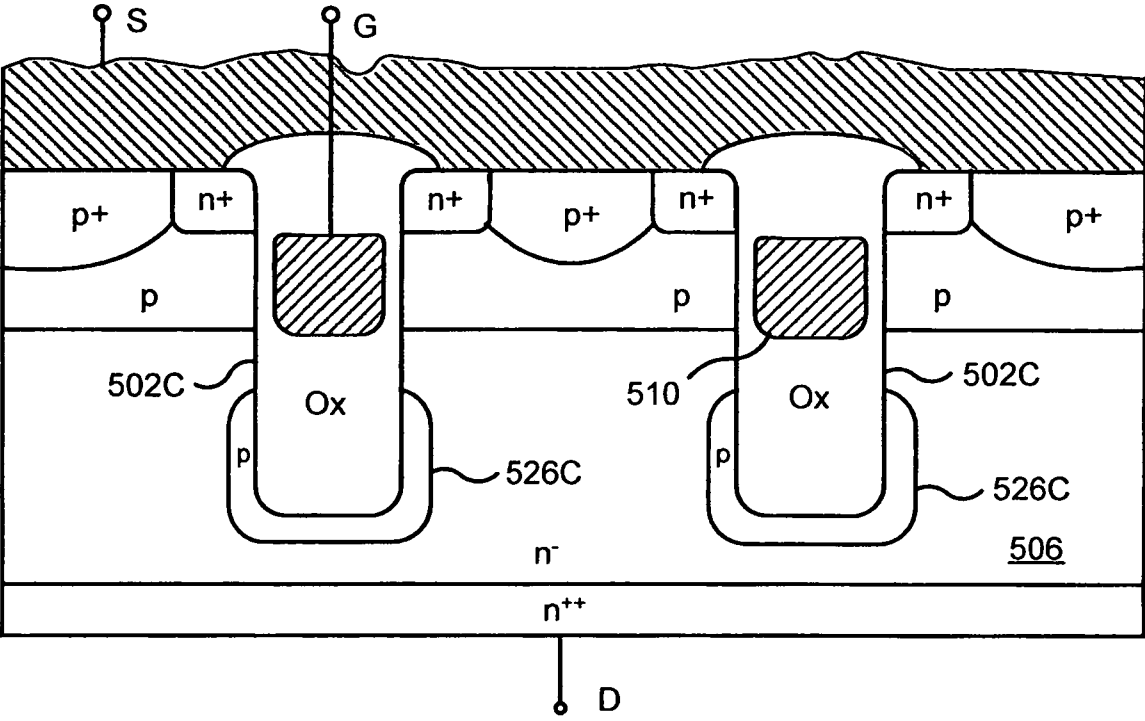




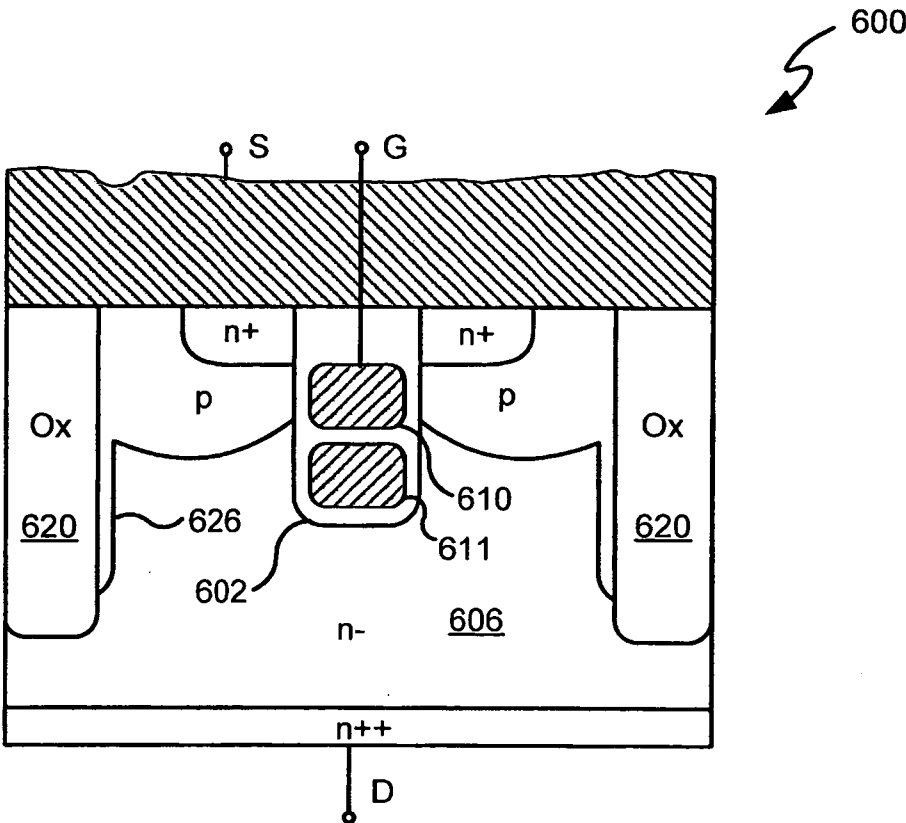
第 5A 圖



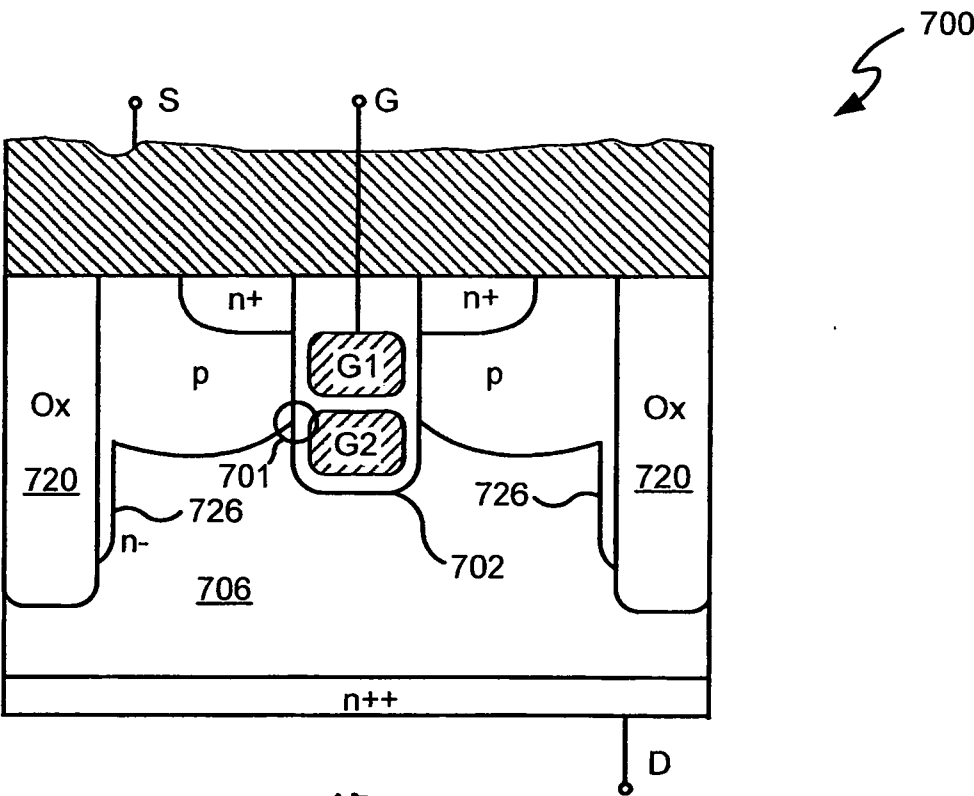
第 5B 圖



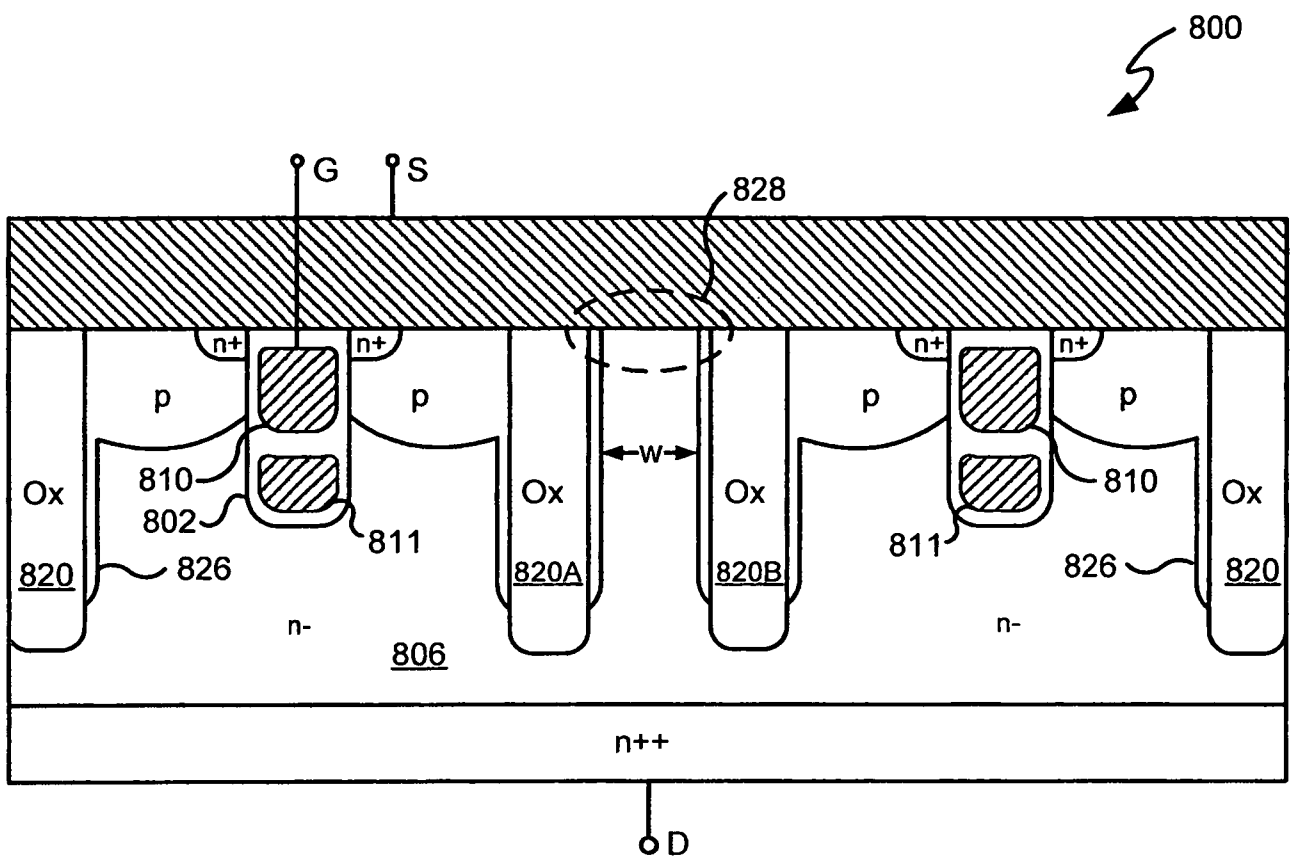
第 5C 圖



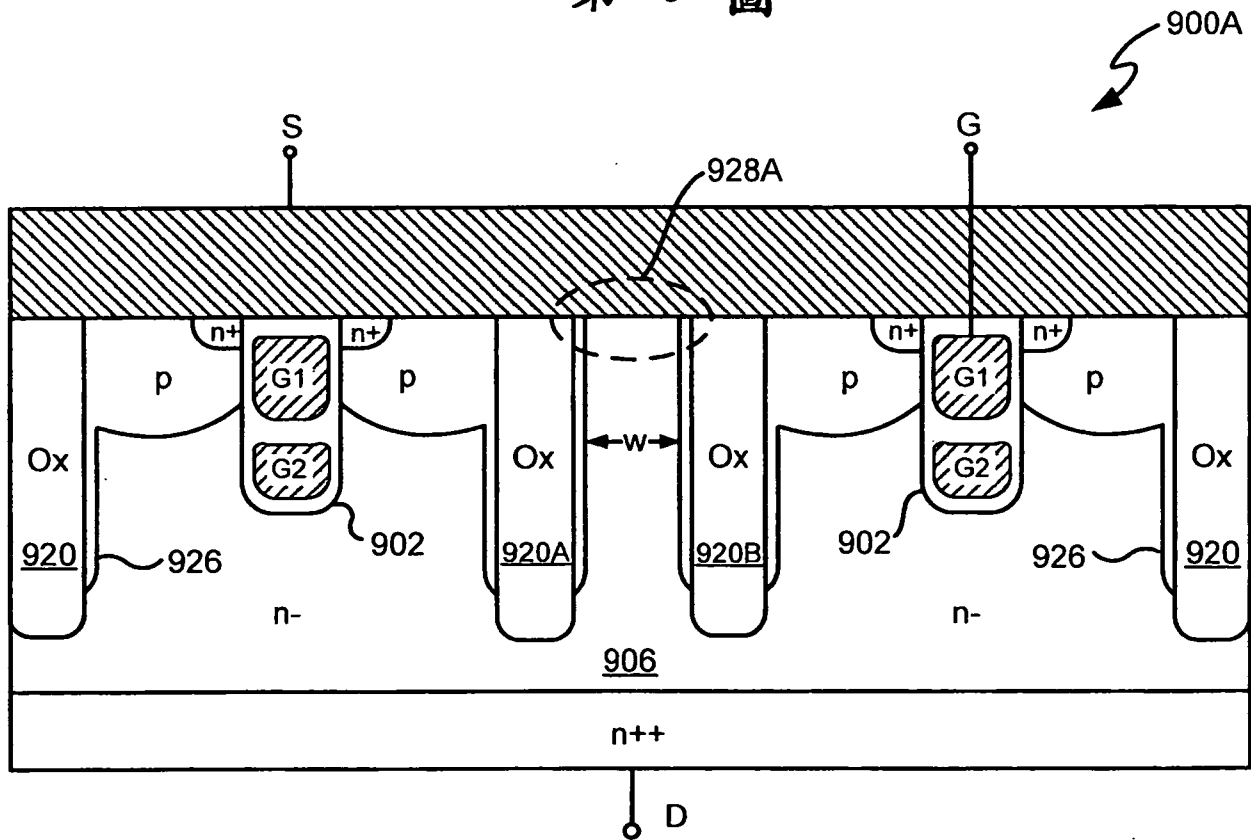
第 6 圖



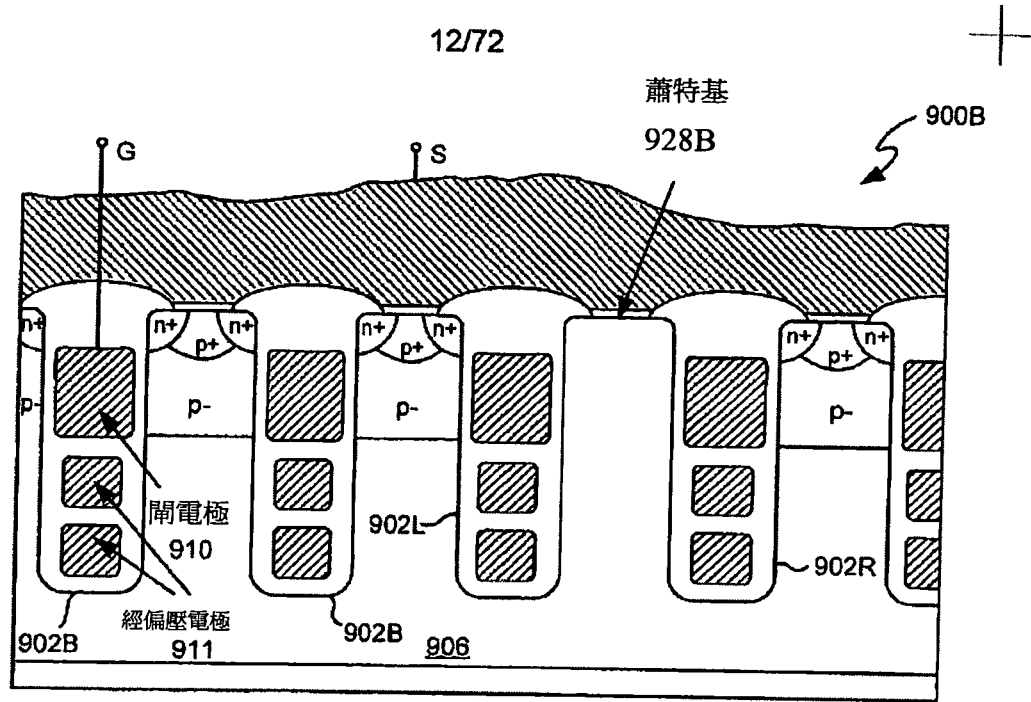
第 7 圖



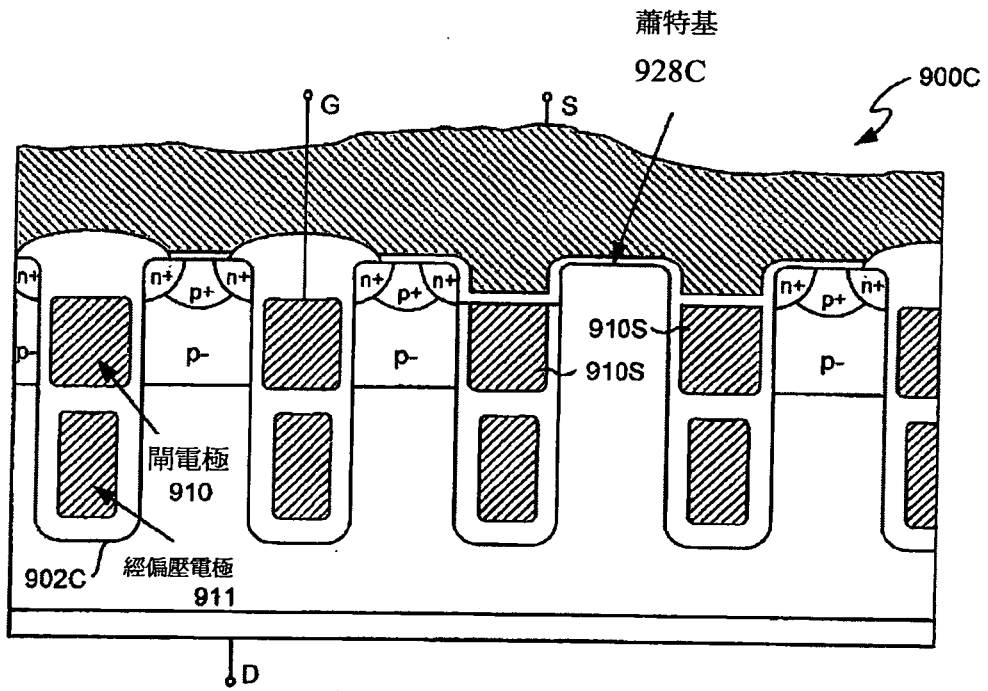
第 8 圖



第 9A 圖

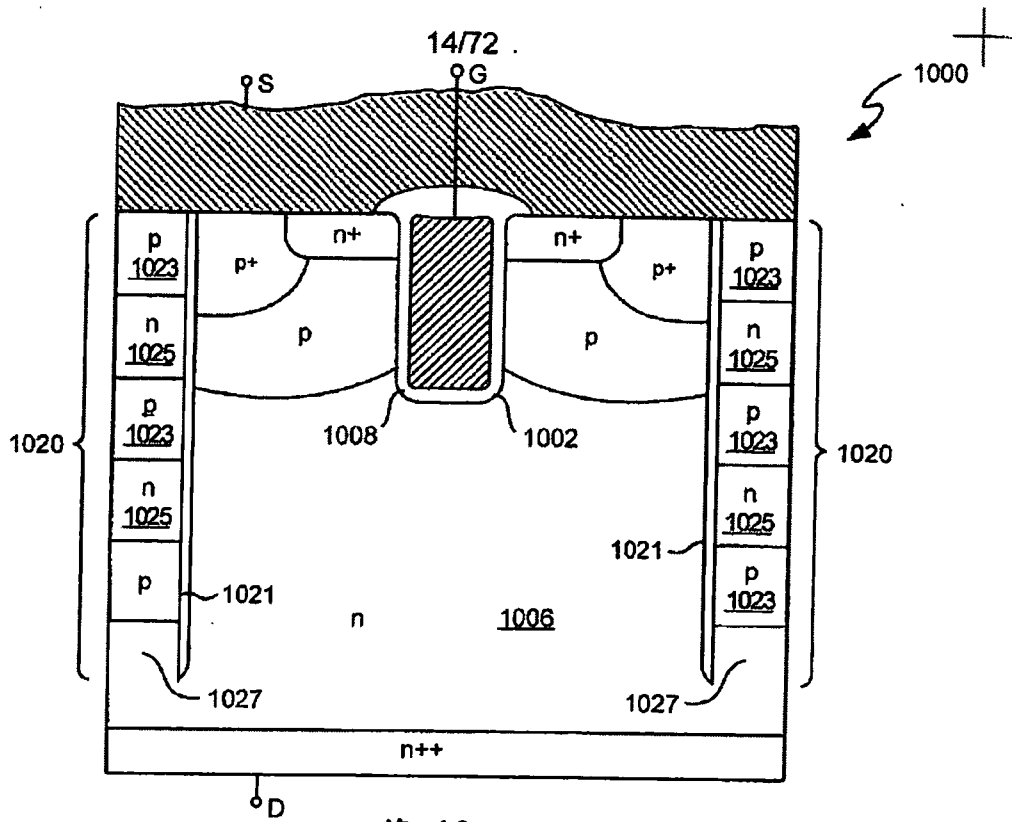


第 9B 圖

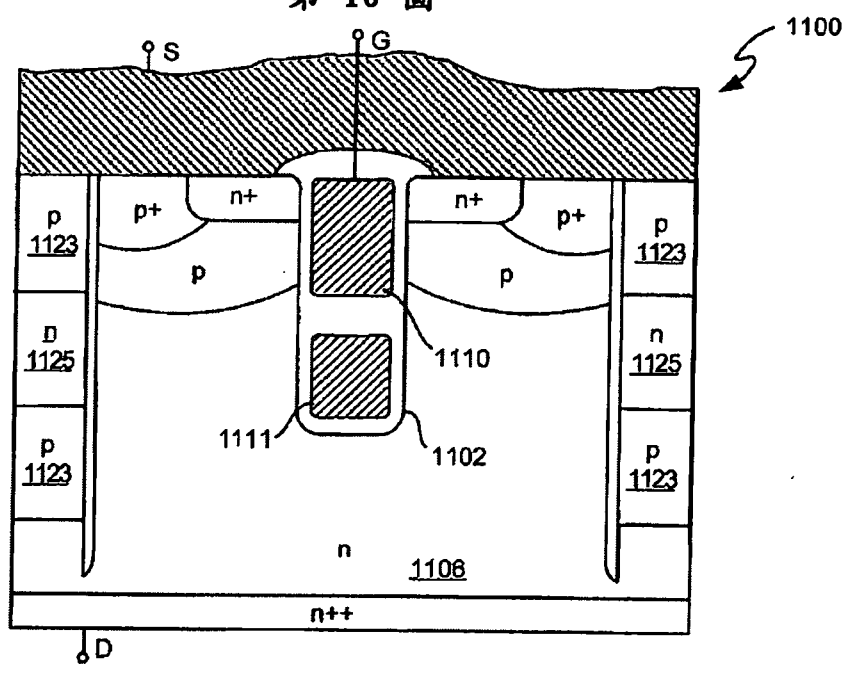


第 9C 圖

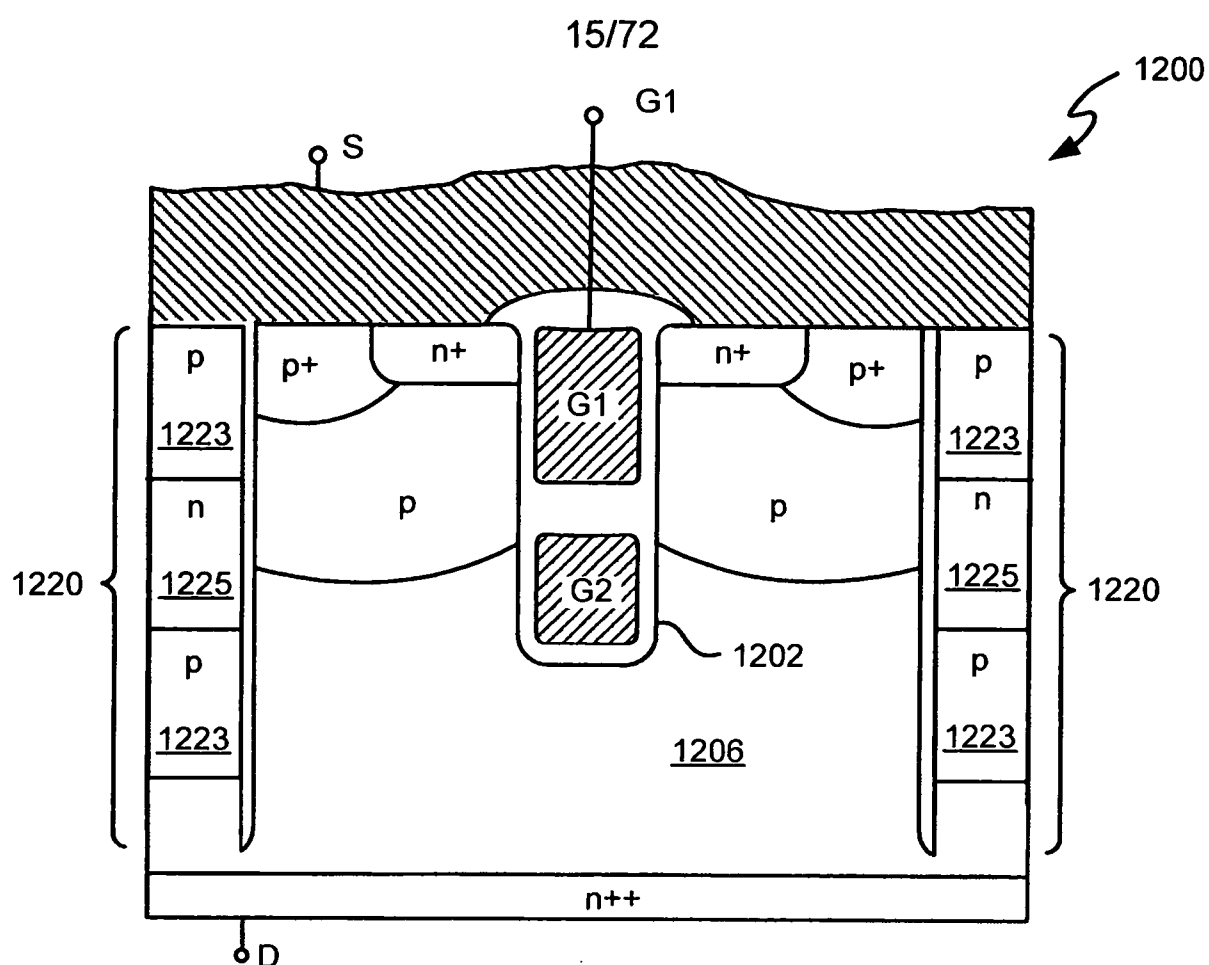




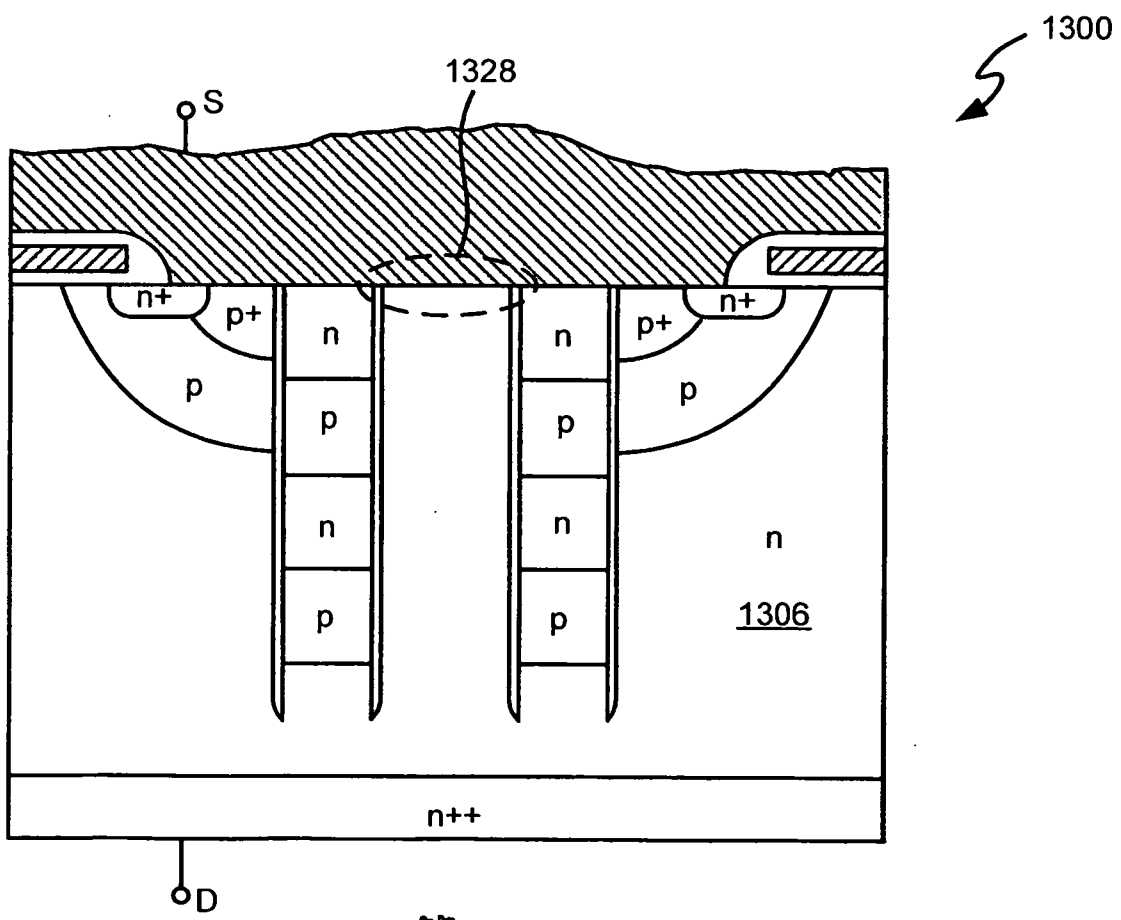
第 10 圖



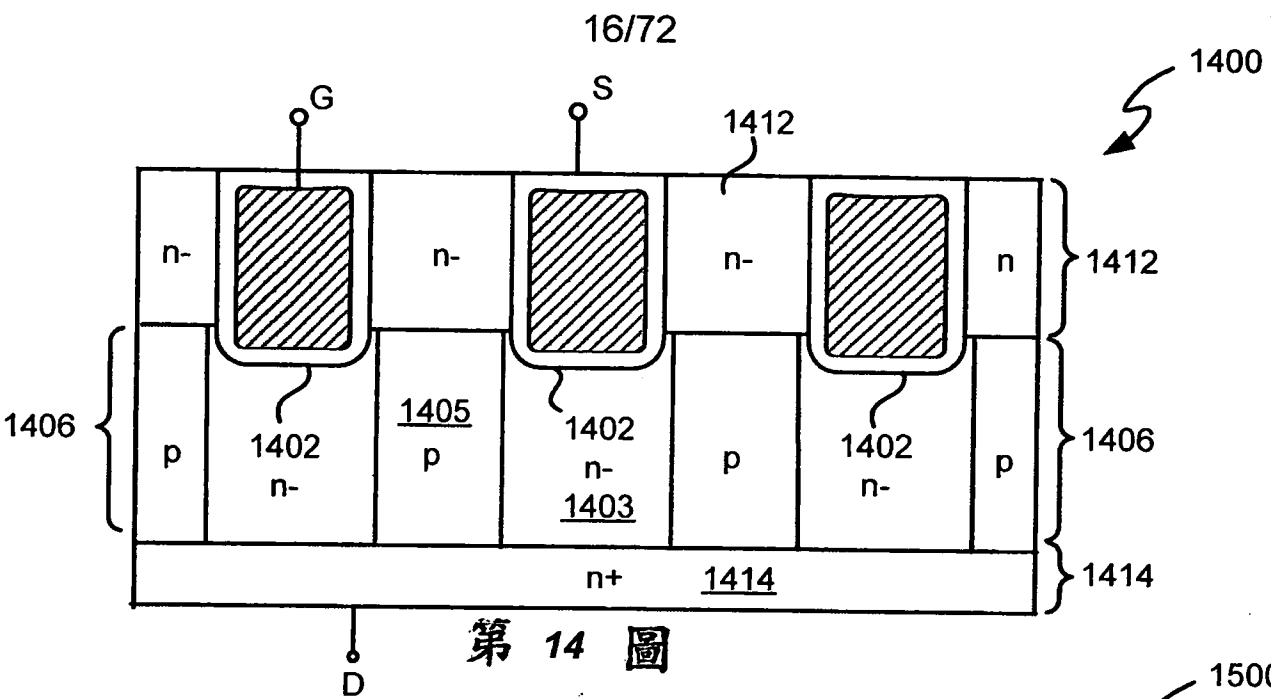
第 11 圖



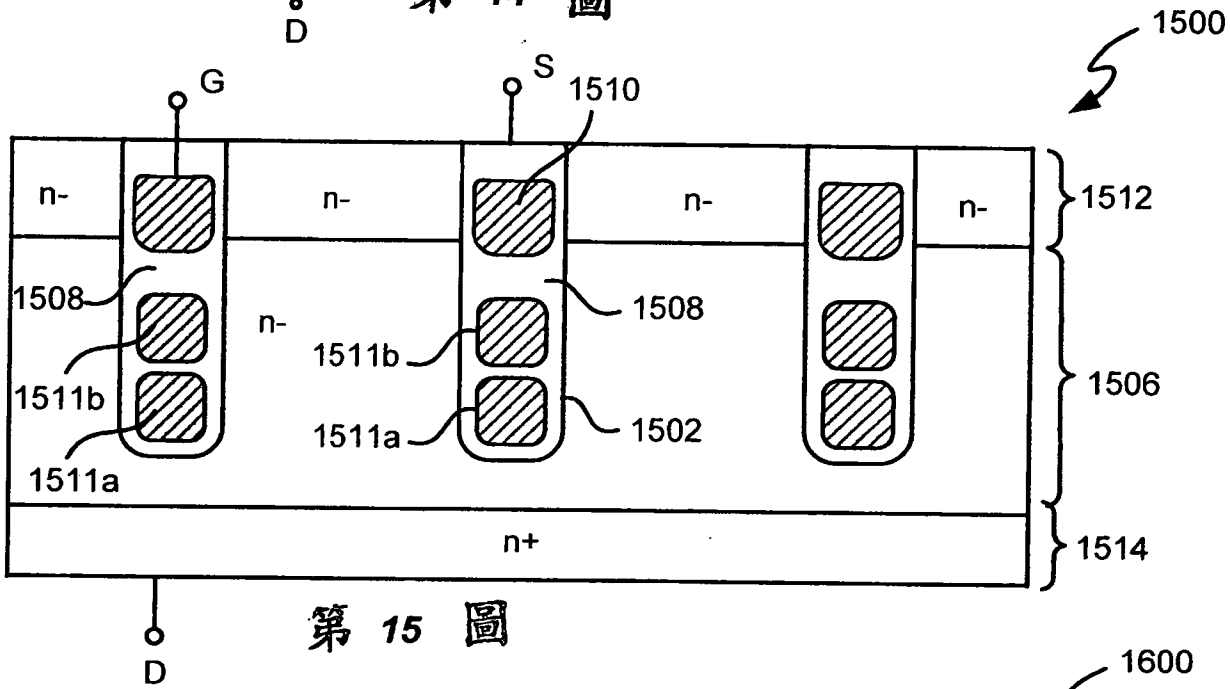
第 12 圖



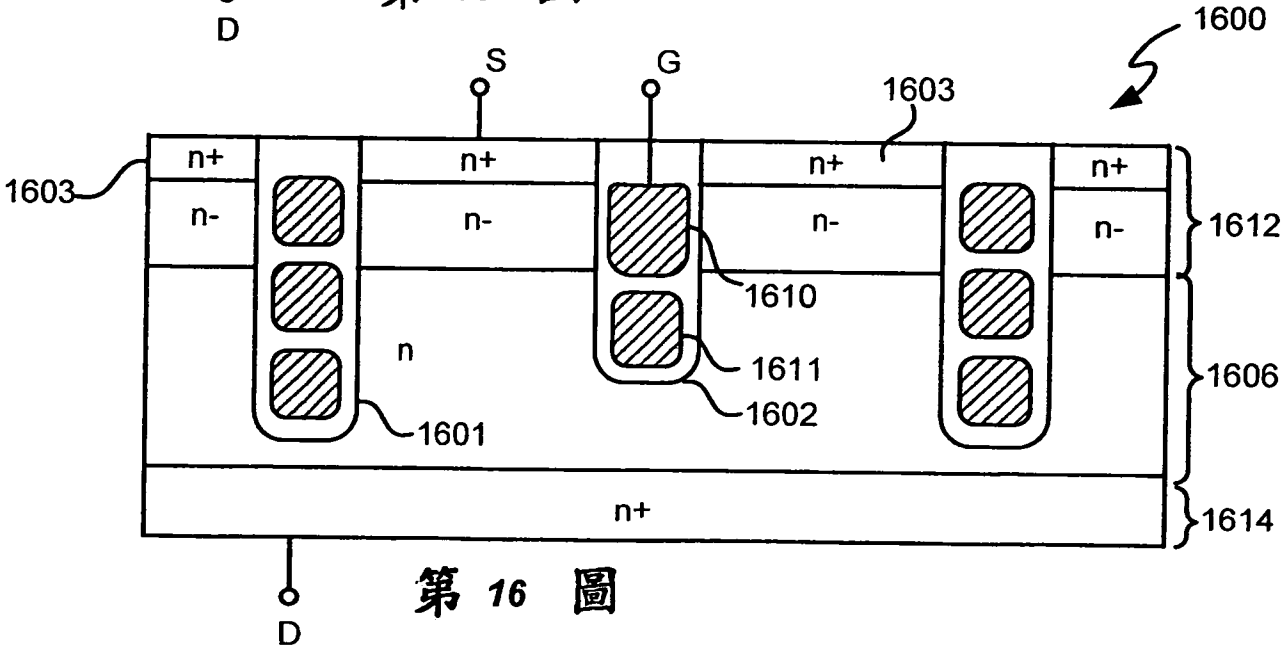
第 13 圖



第 14 圖

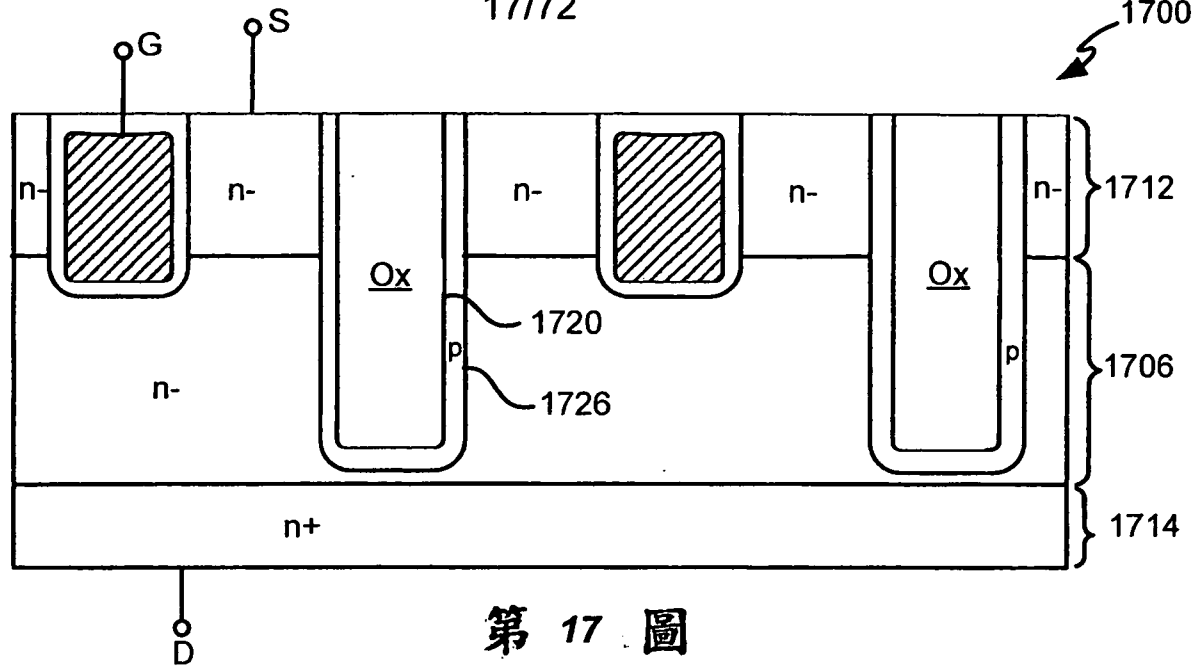


第 15 圖

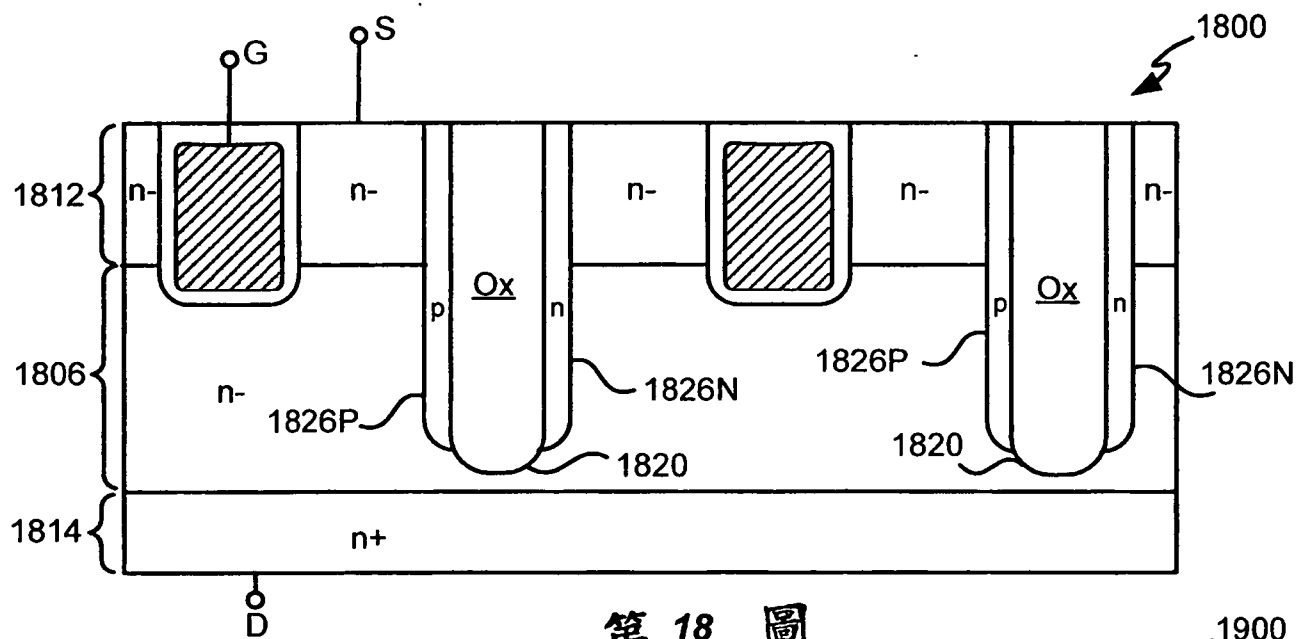


第 16 圖

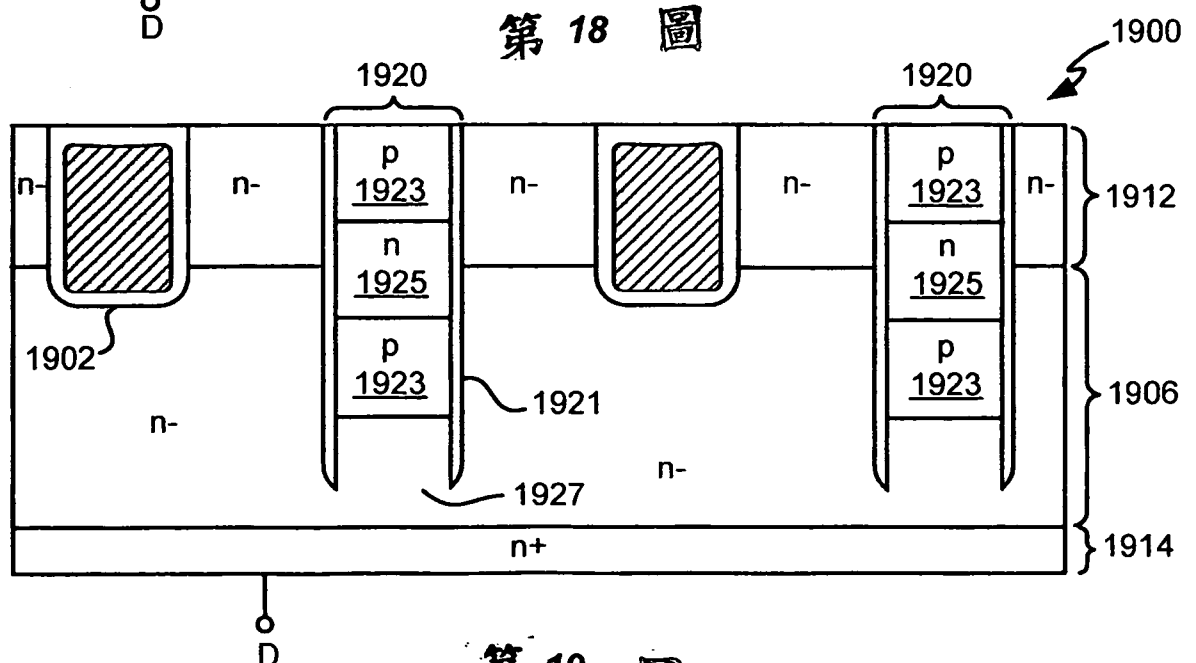
17/72



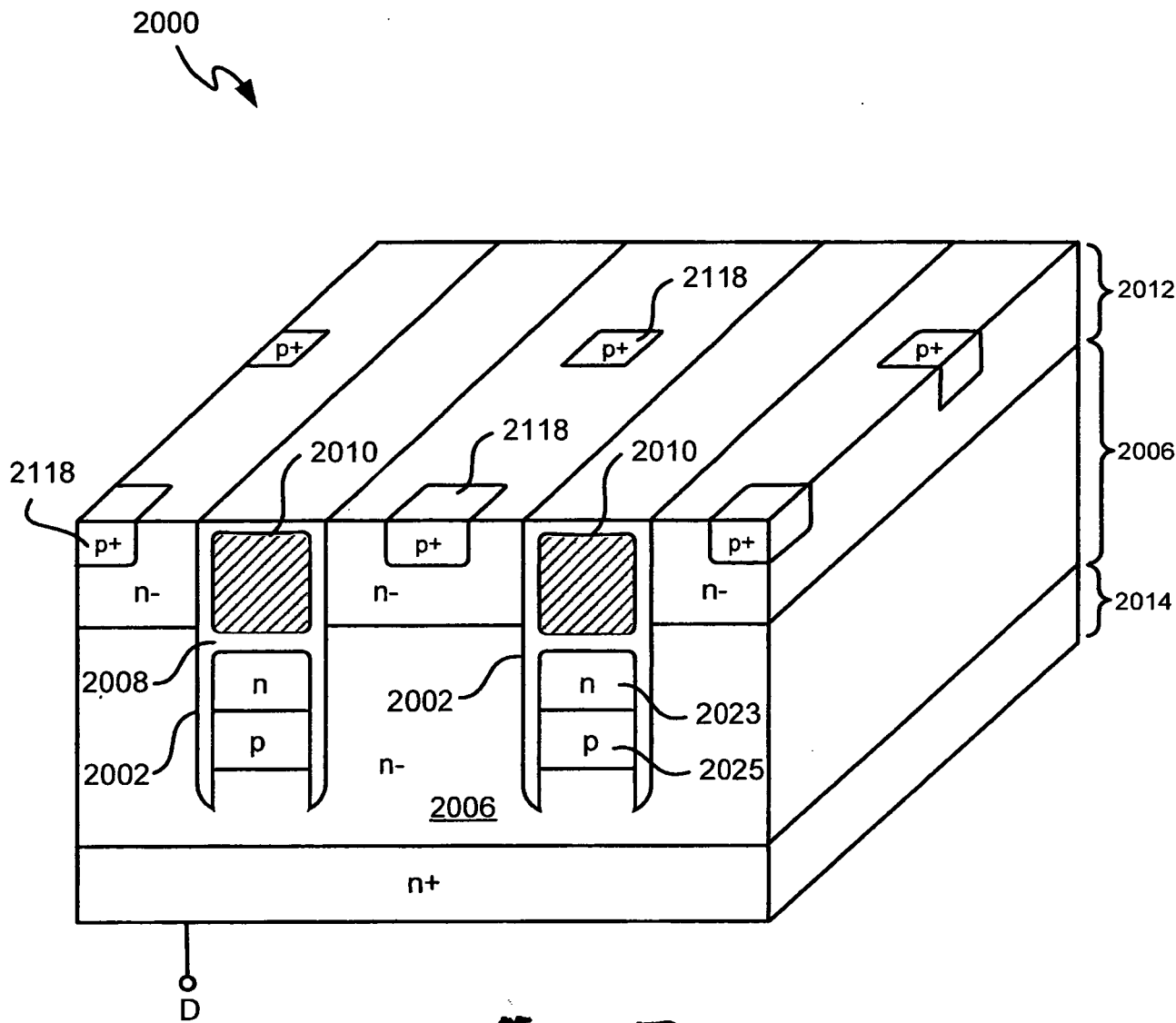
第 17 圖



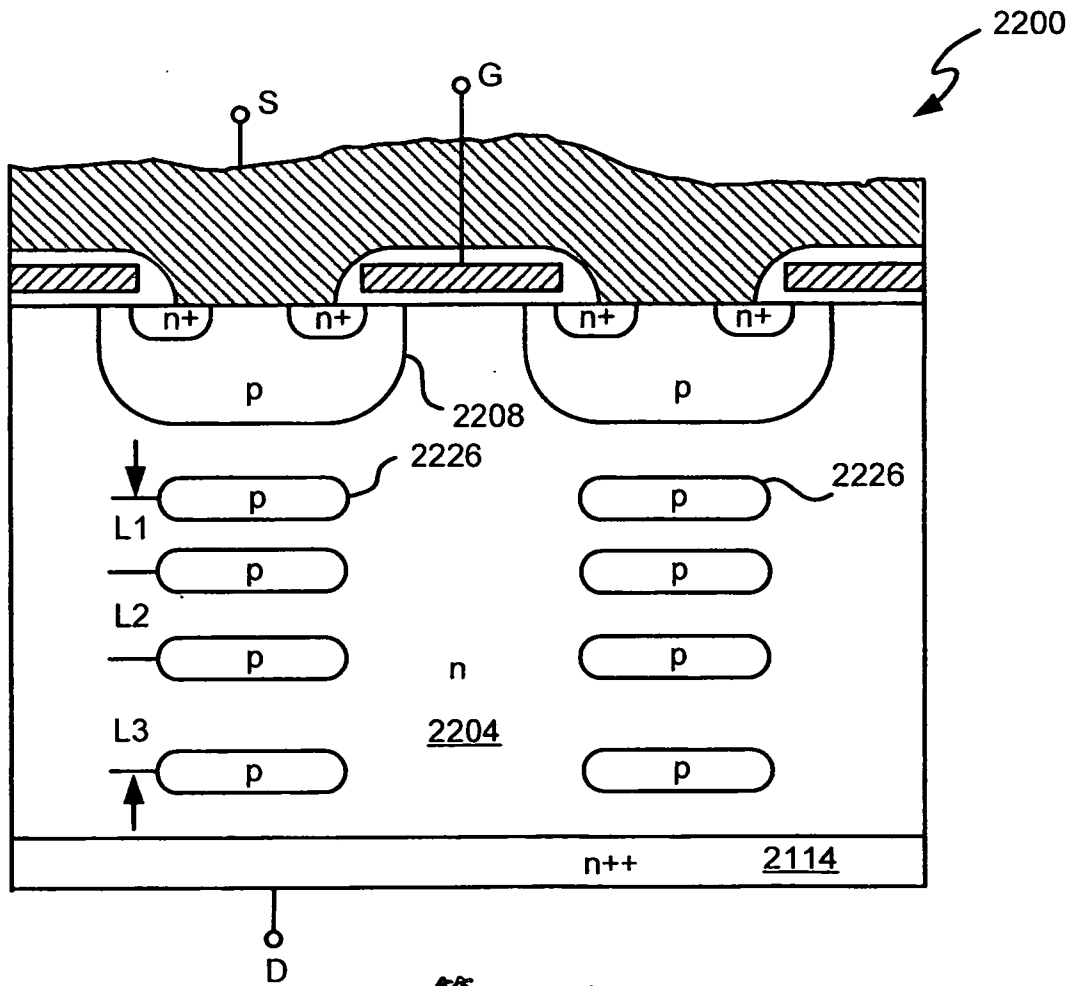
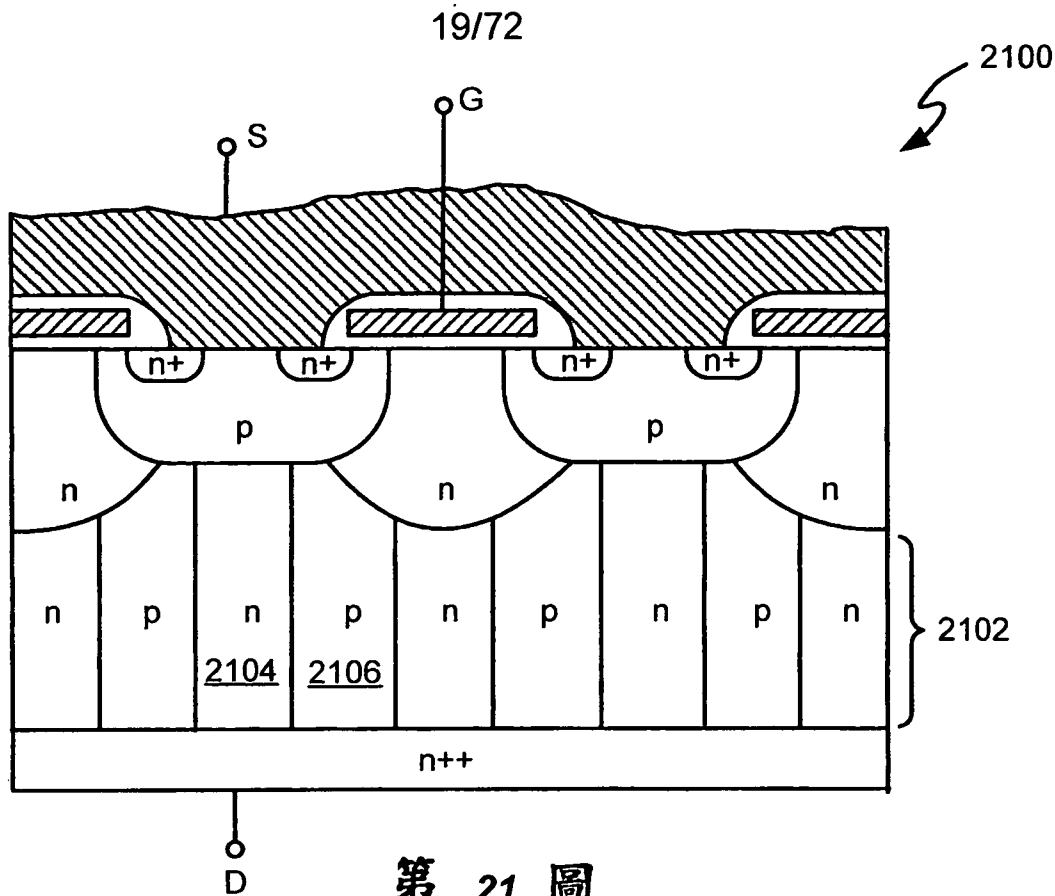
第 18 圖

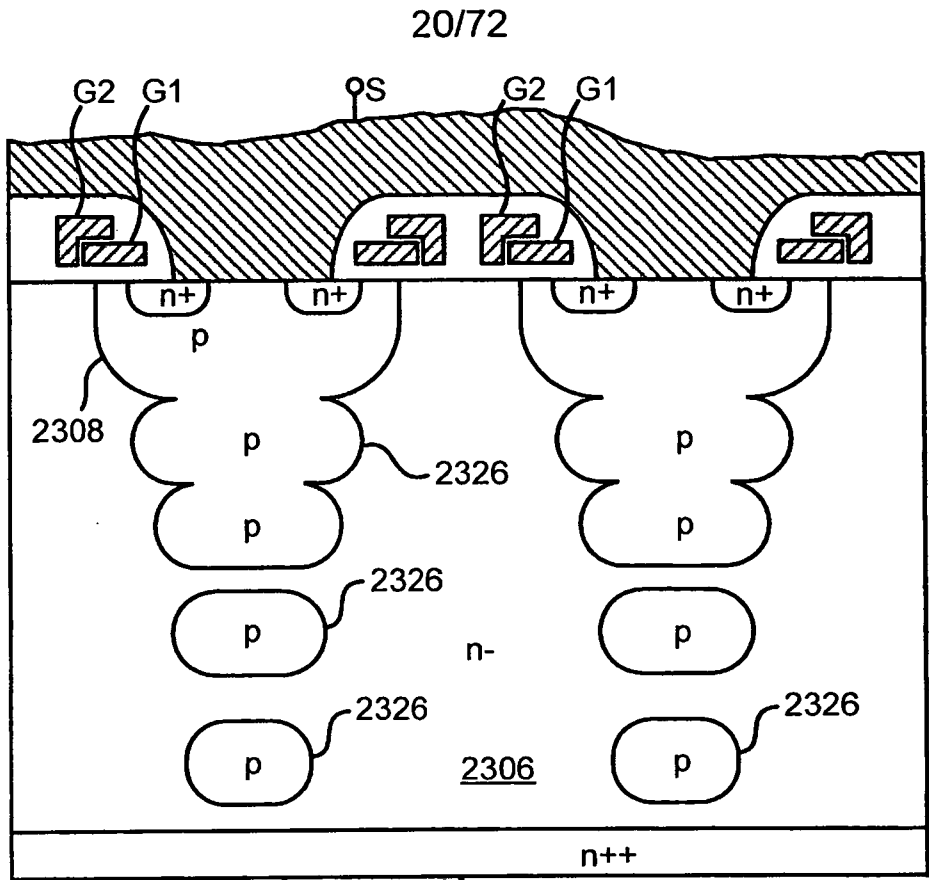


第 19 圖

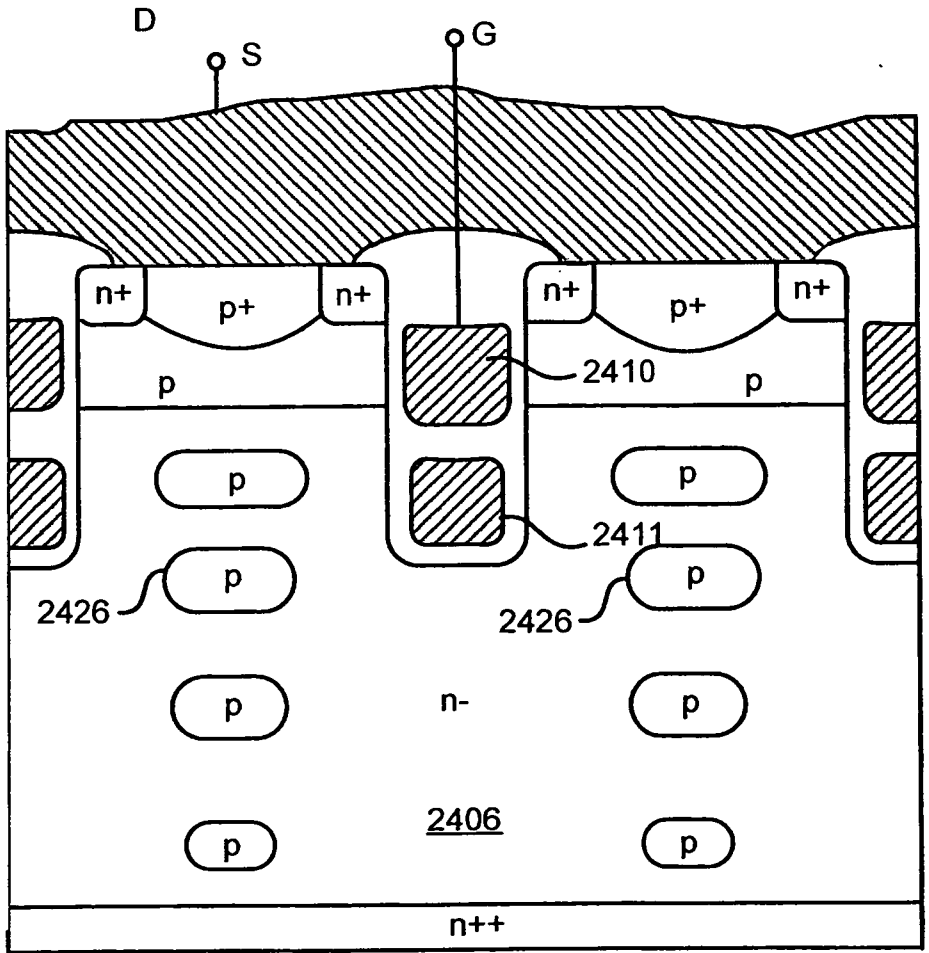


第 20 圖

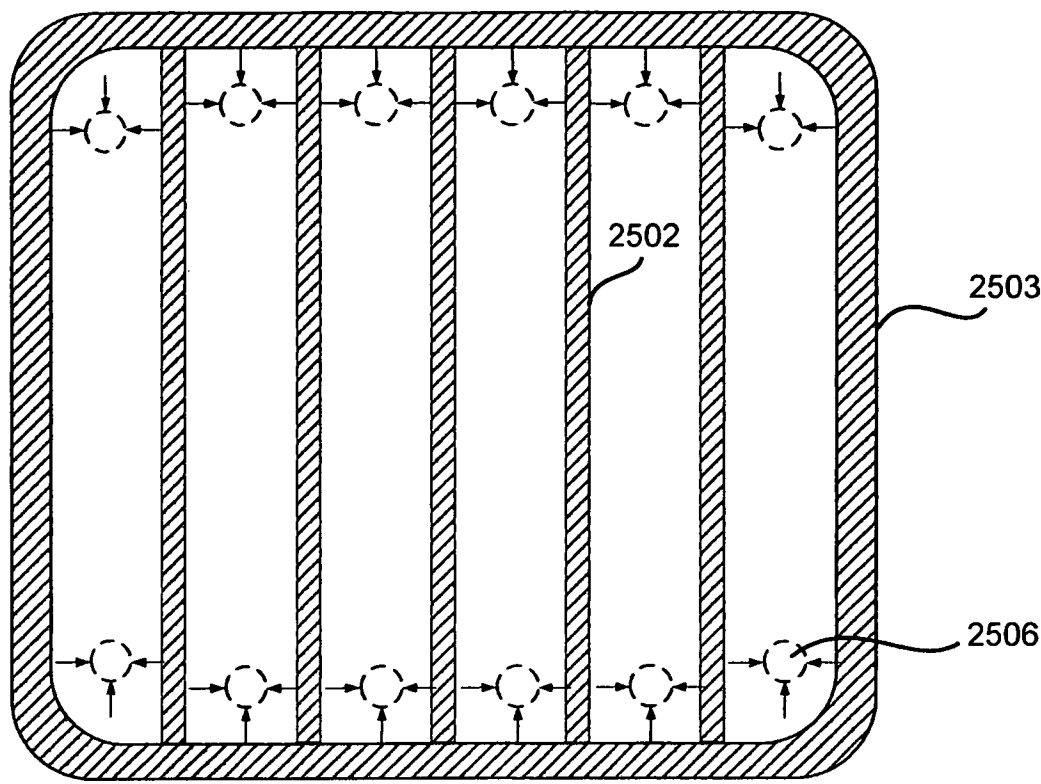




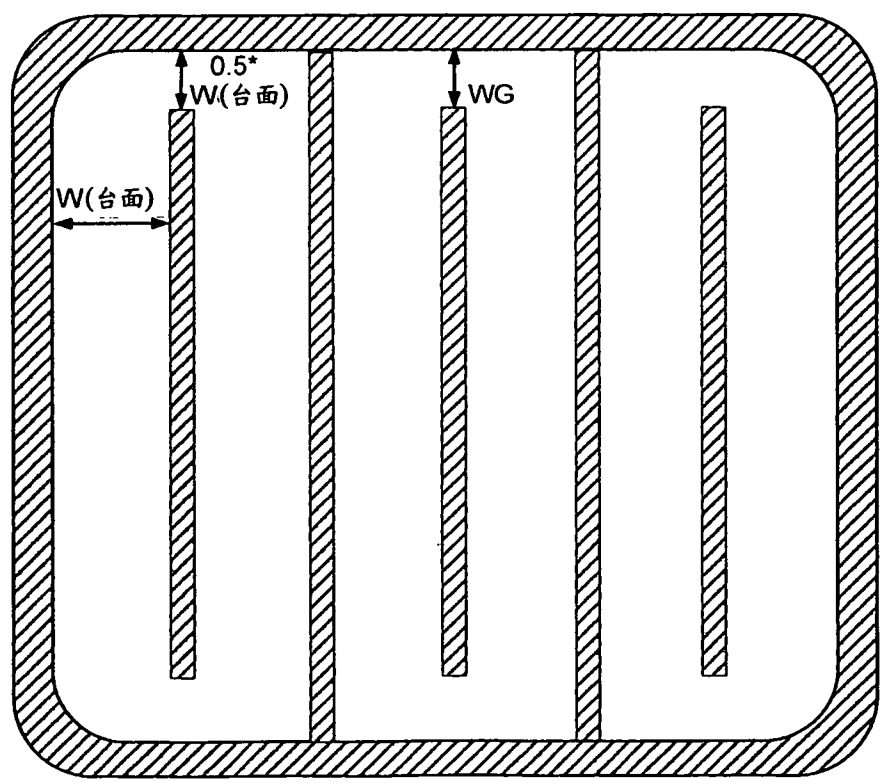
第 23 圖



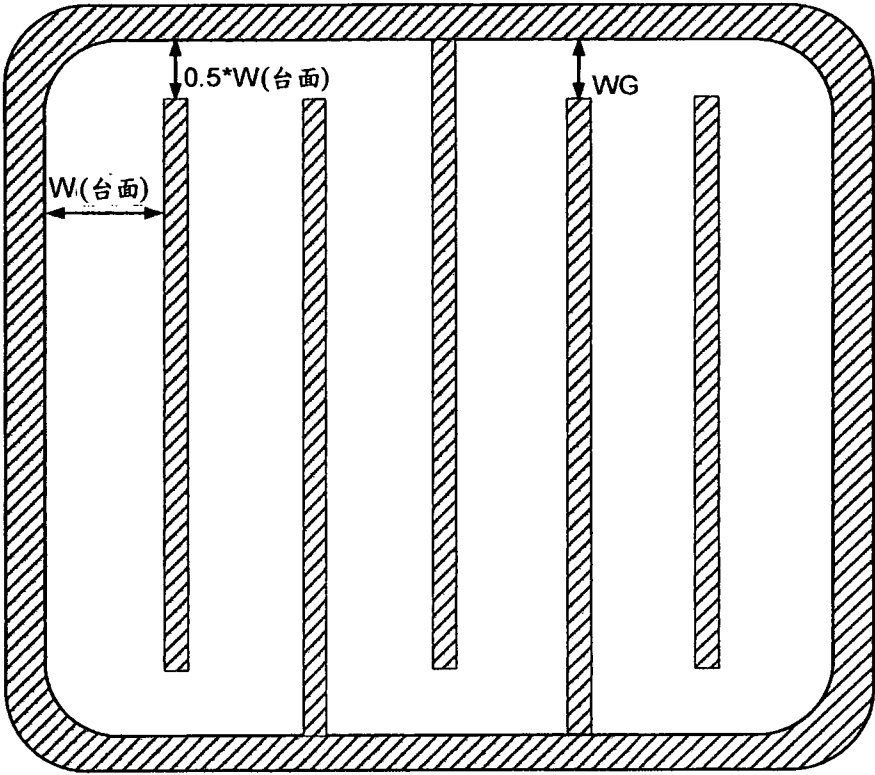
第 24 圖



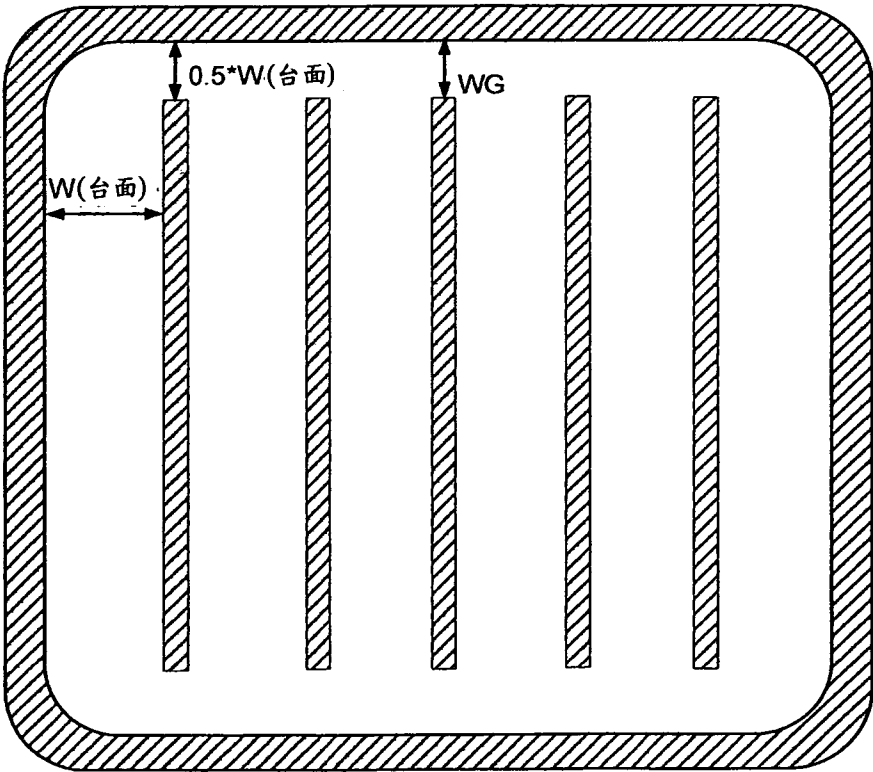
第 25A 圖



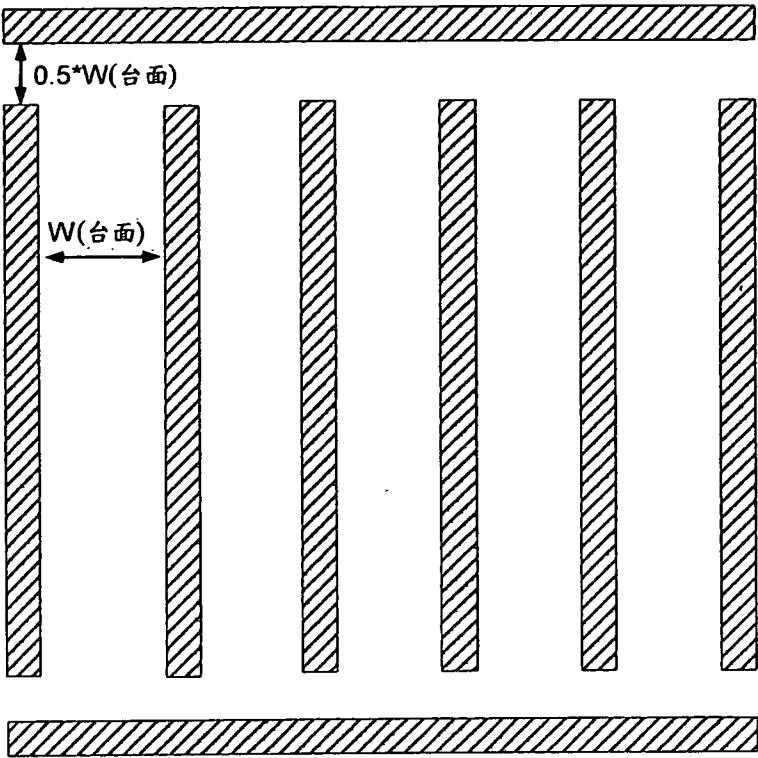
第 25B 圖



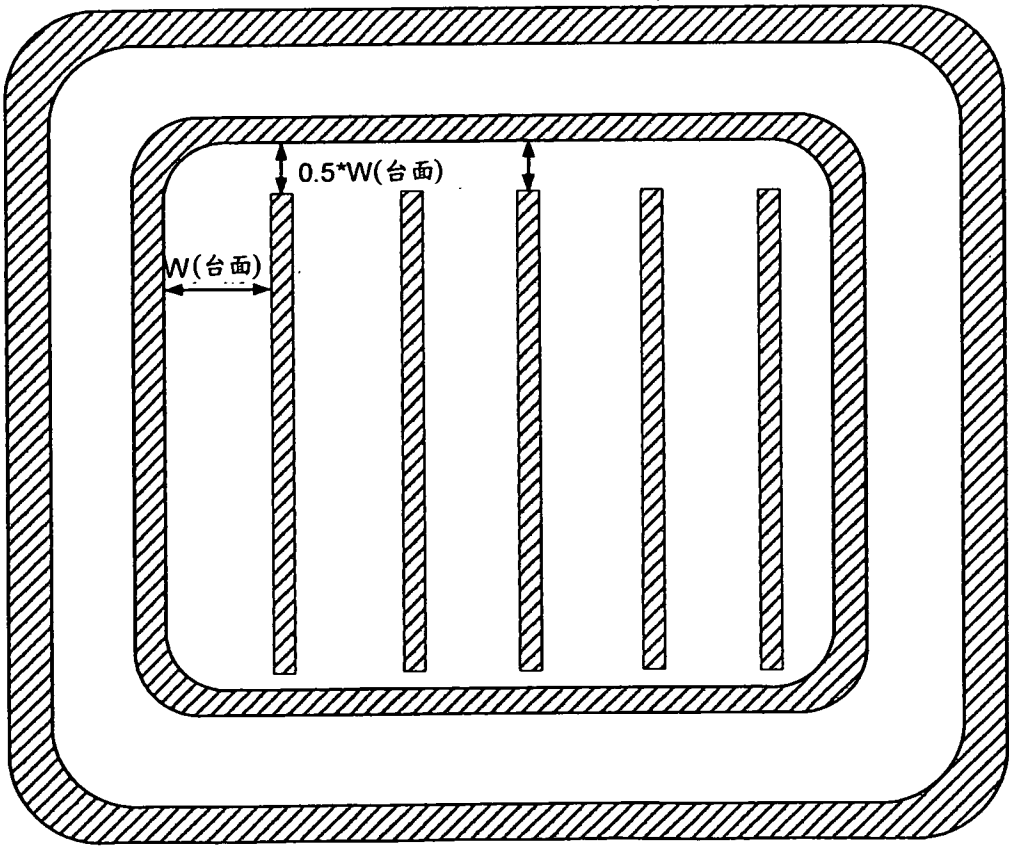
第 25C 圖



第 25D 圖



第 25E 圖



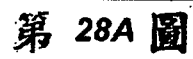
第 25F 圖

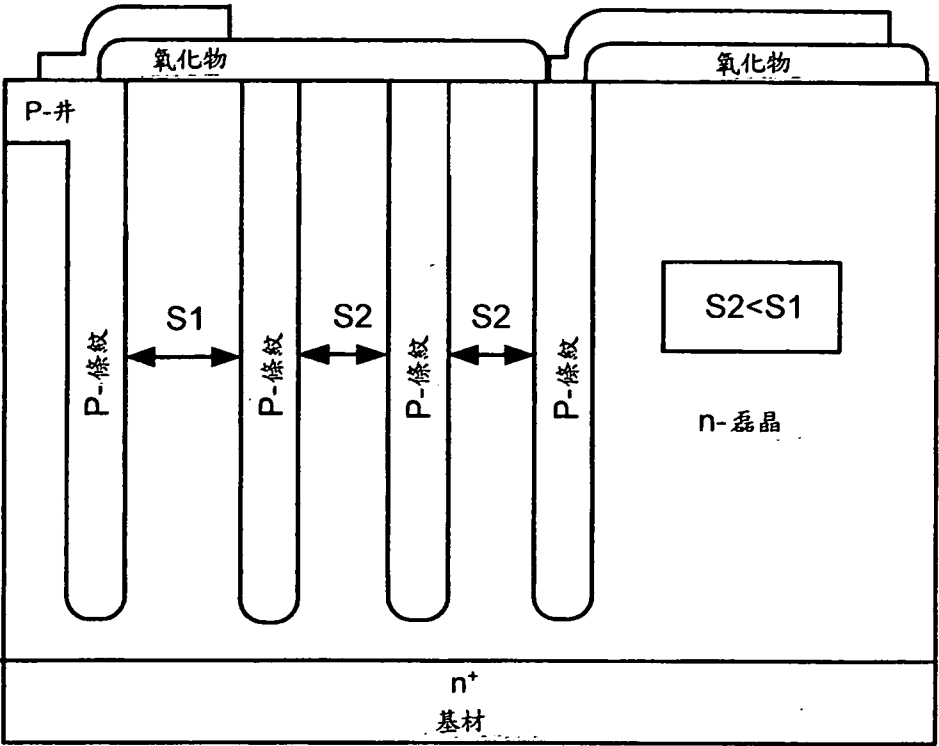




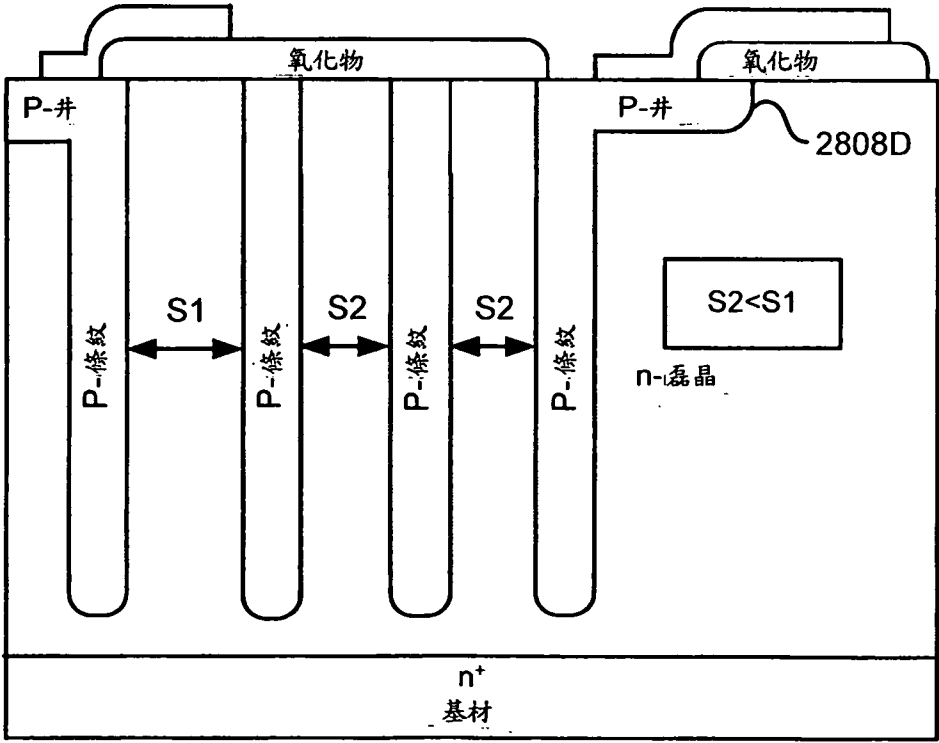
第 26B 圖







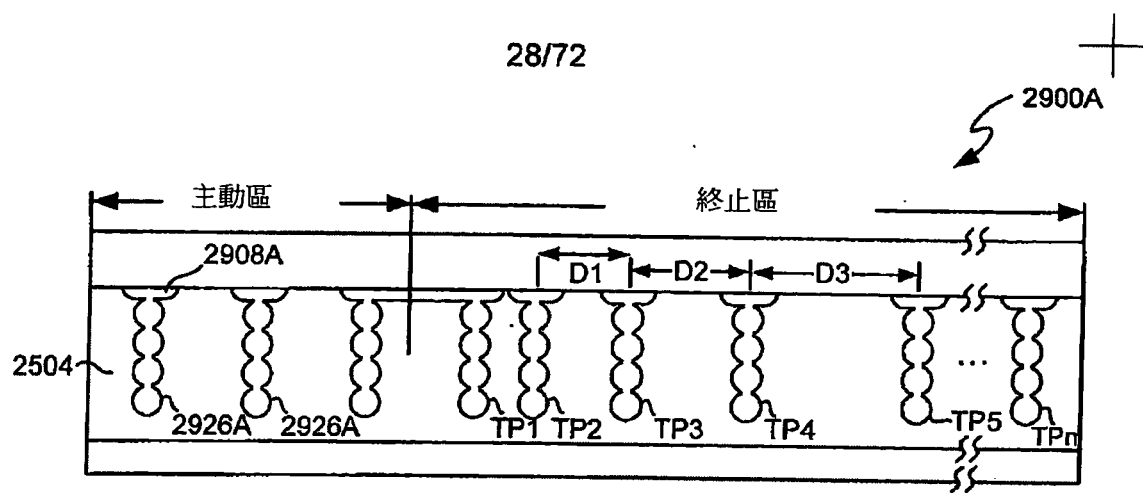
第 28C 圖



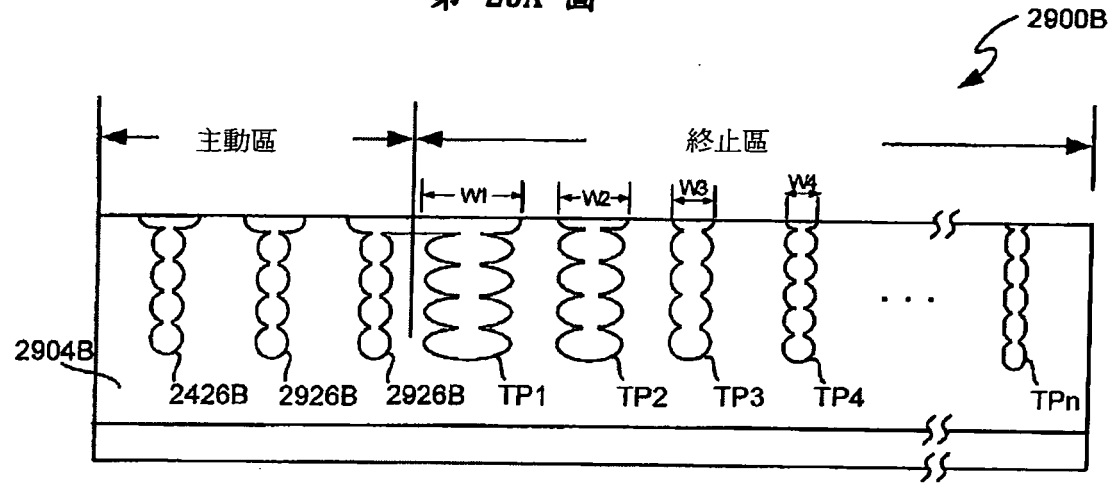
第 28D 圖



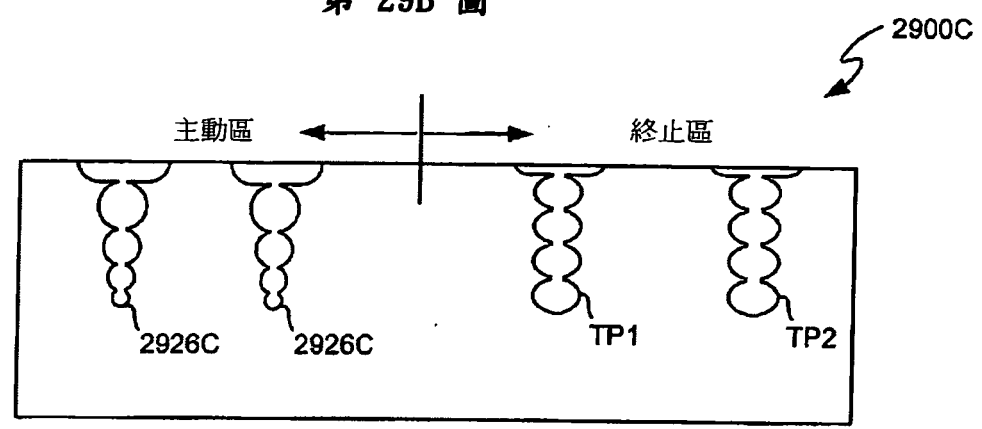
28/72



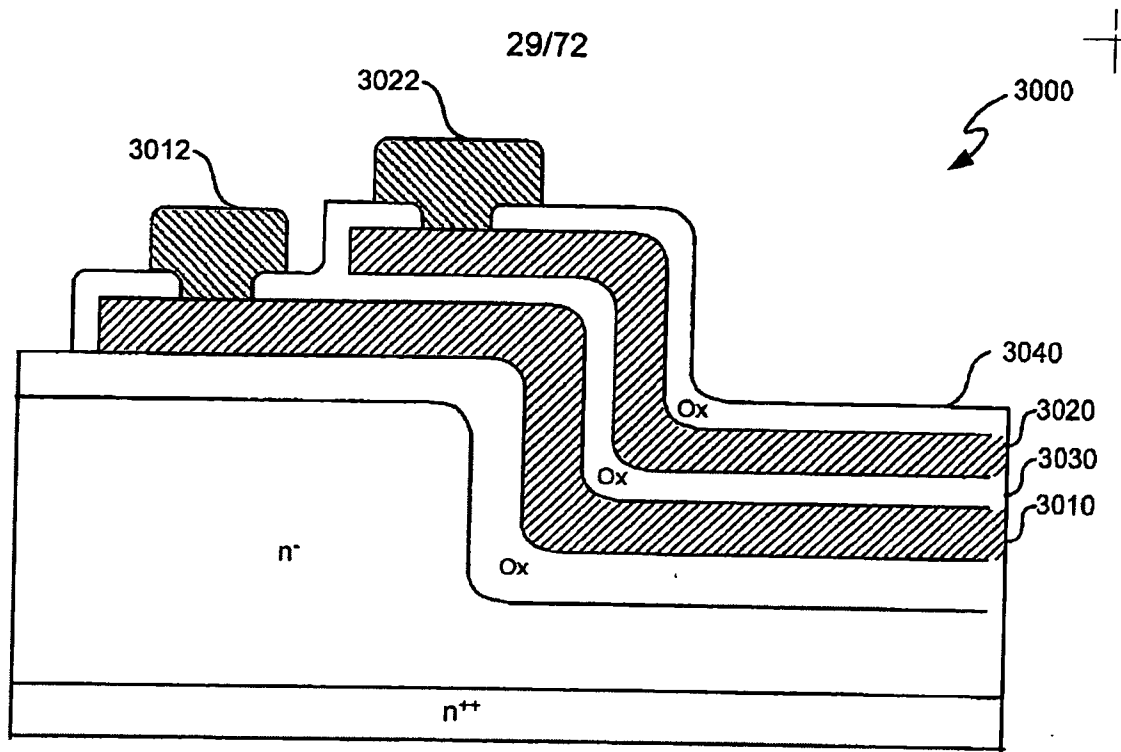
第 29A 圖



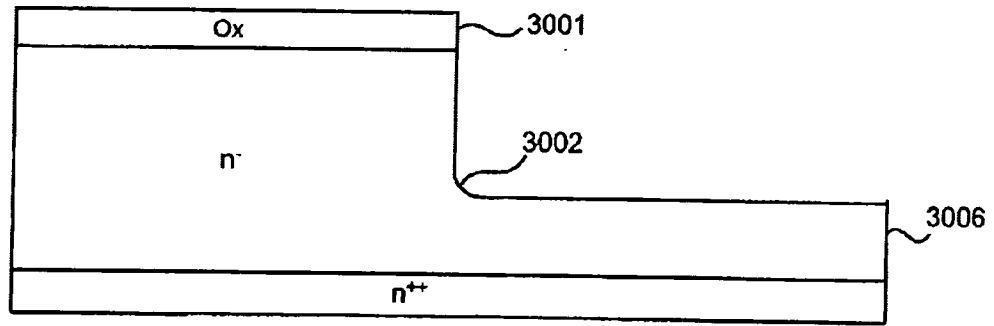
第 29B 圖



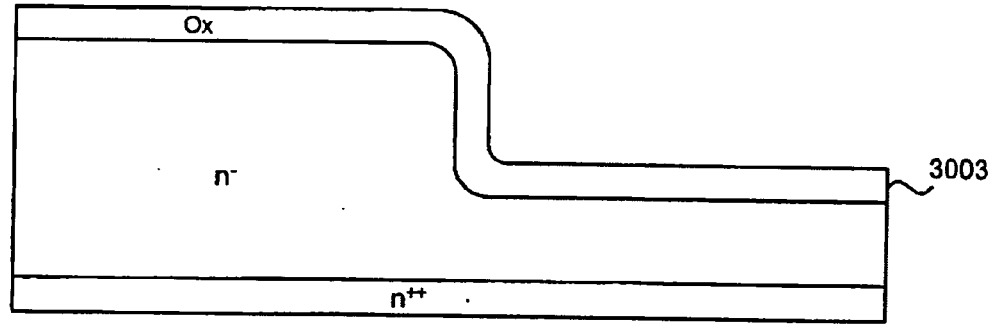
第 29C 圖



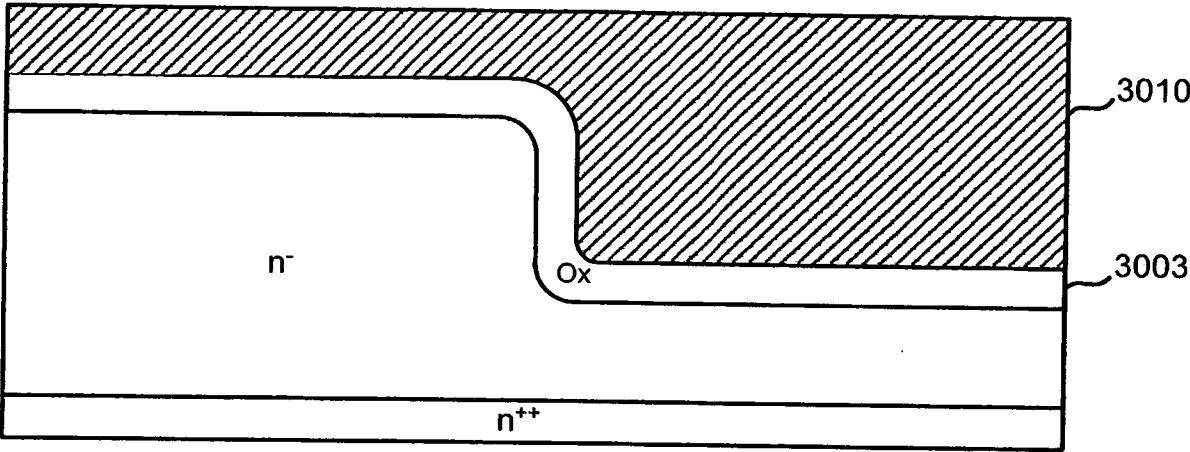
第 30A 圖



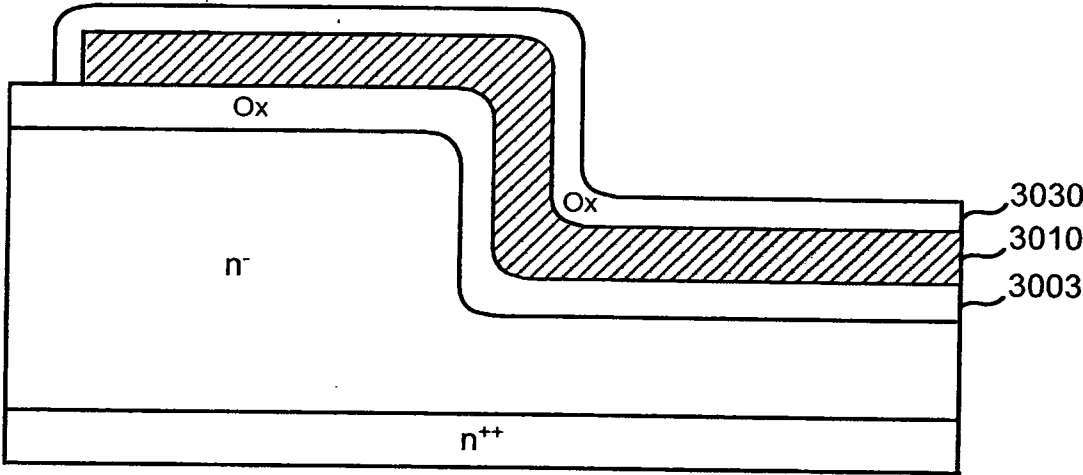
第 30B 圖



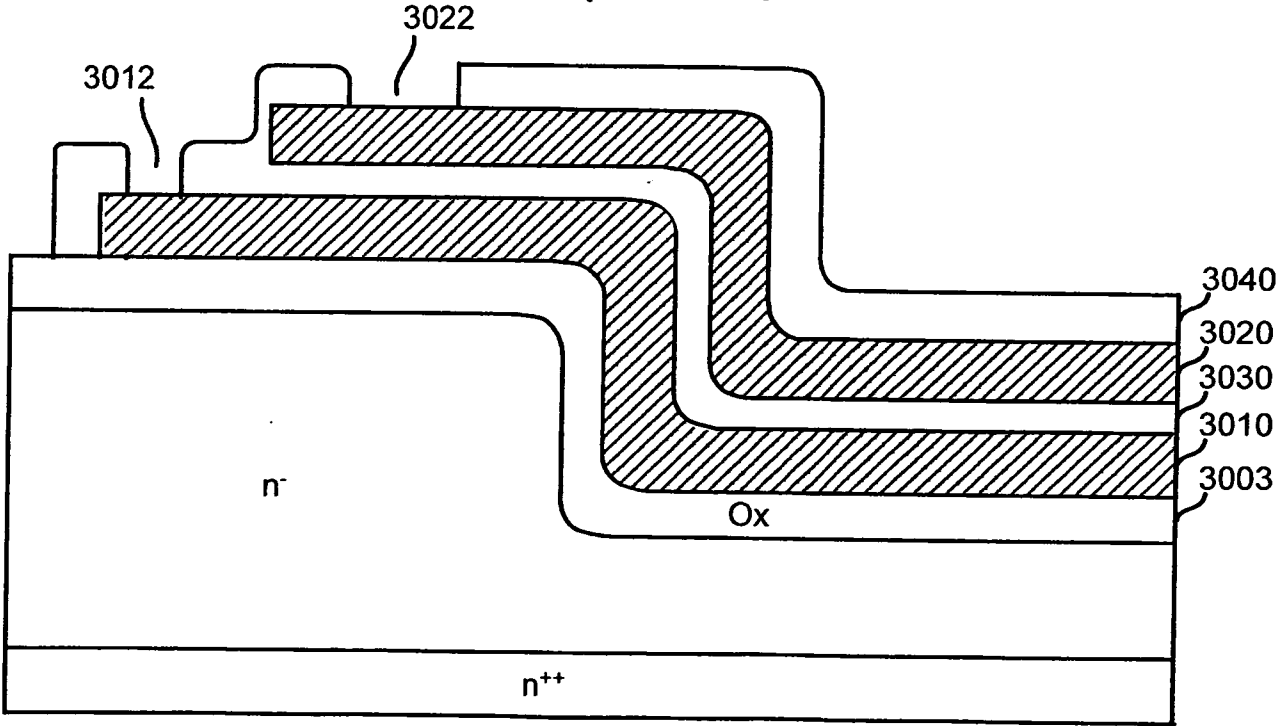
第 30C 圖



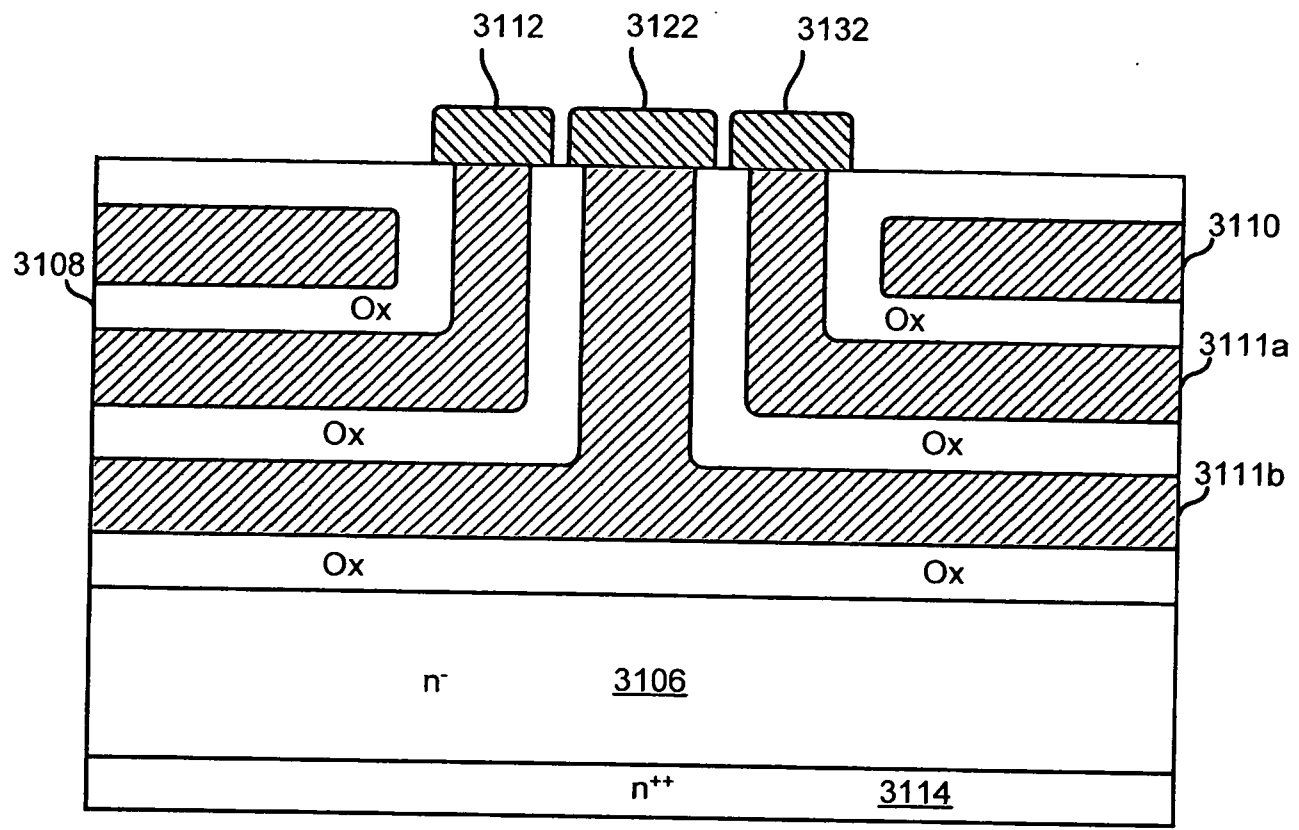
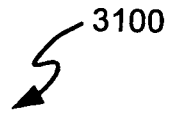
第 30D 圖



第 30E 圖

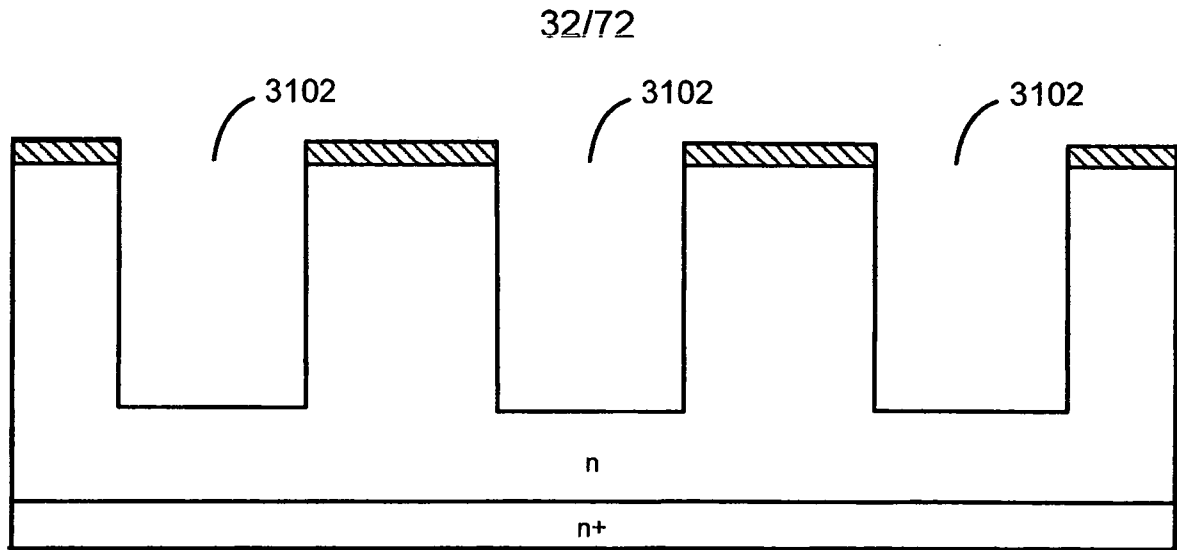


第 30F 圖

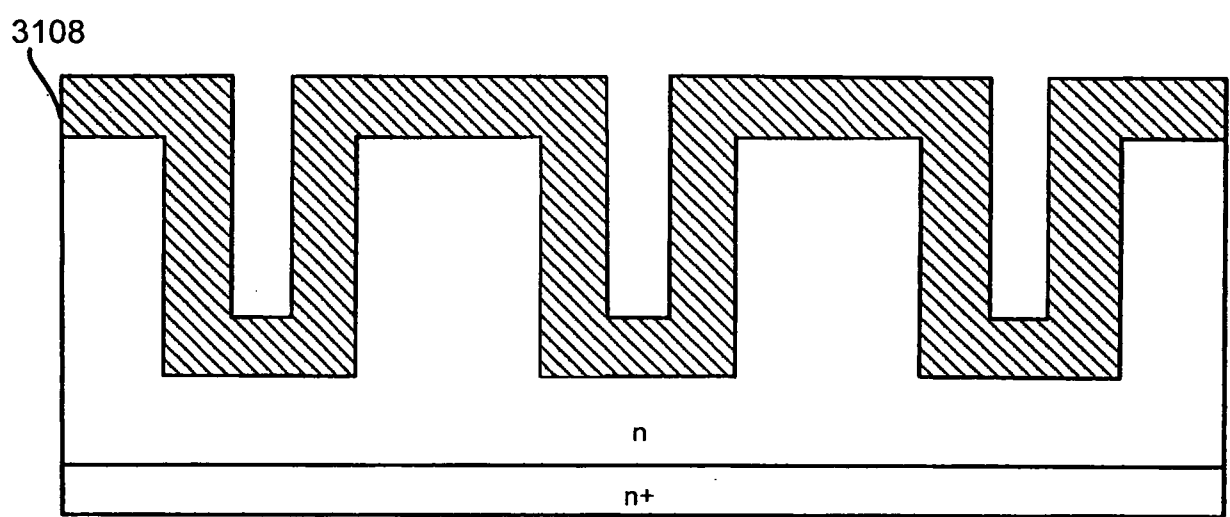


第 31A 圖

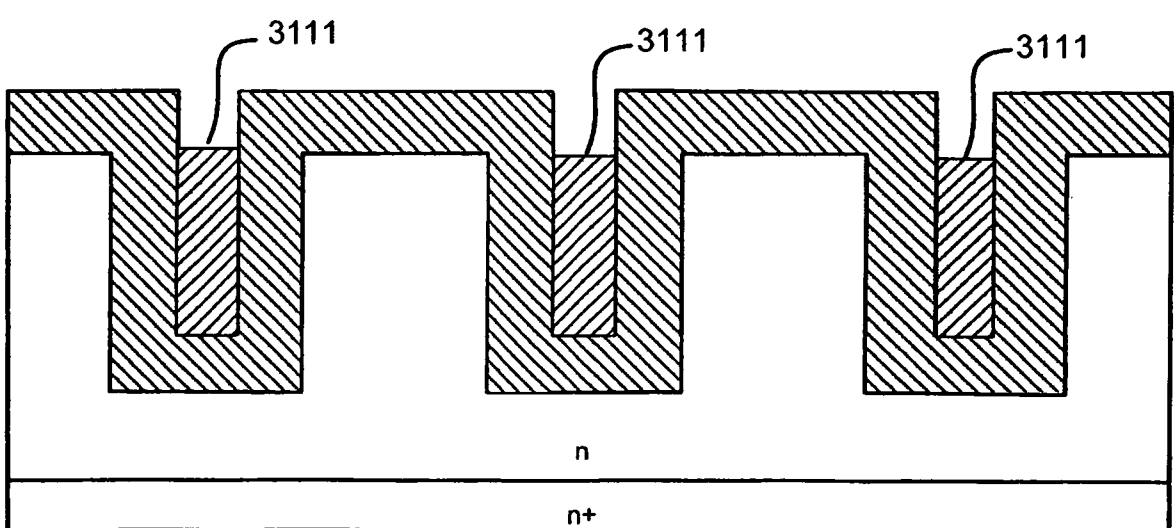




第 31B 圖

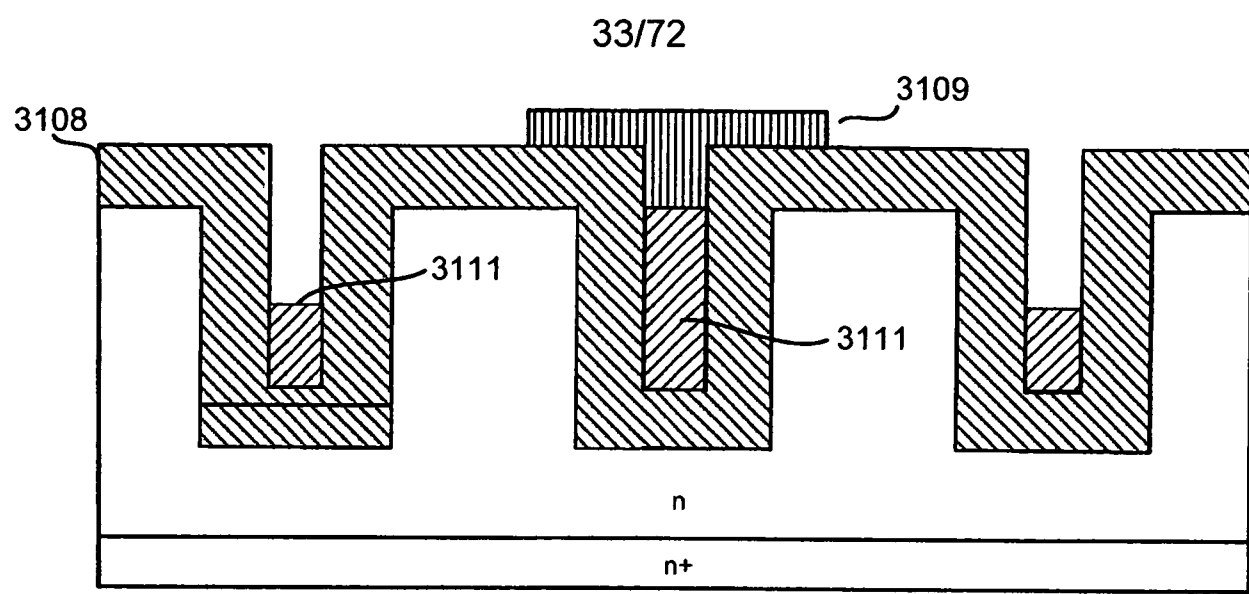


第 31C 圖

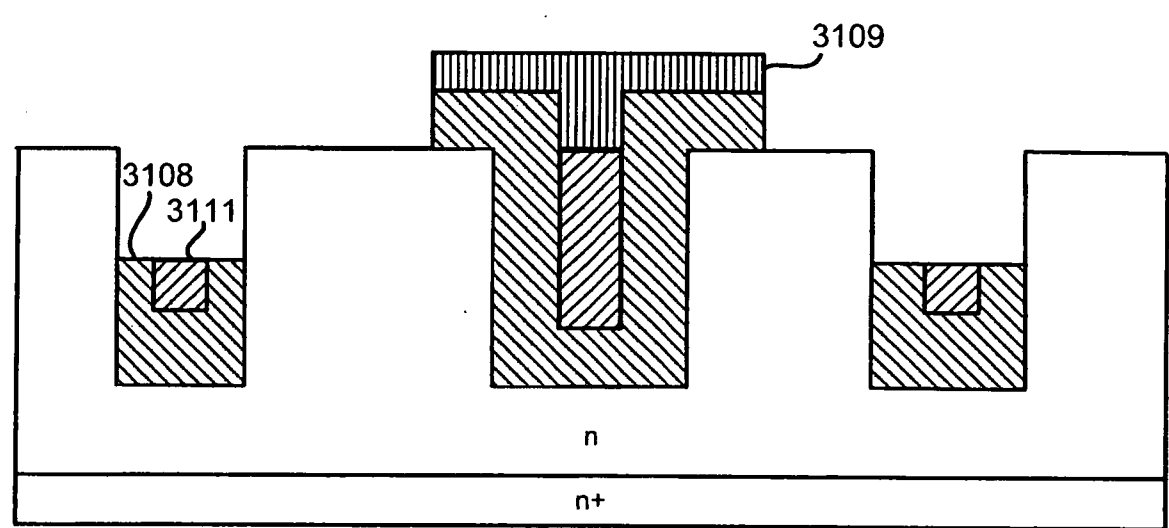


第 31D 圖

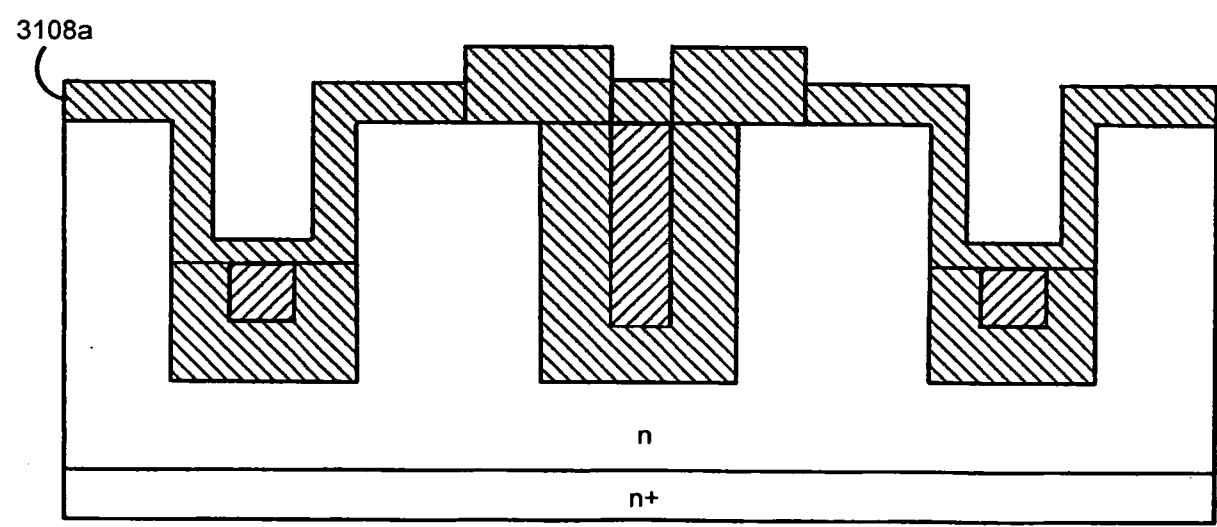




第 31E 圖



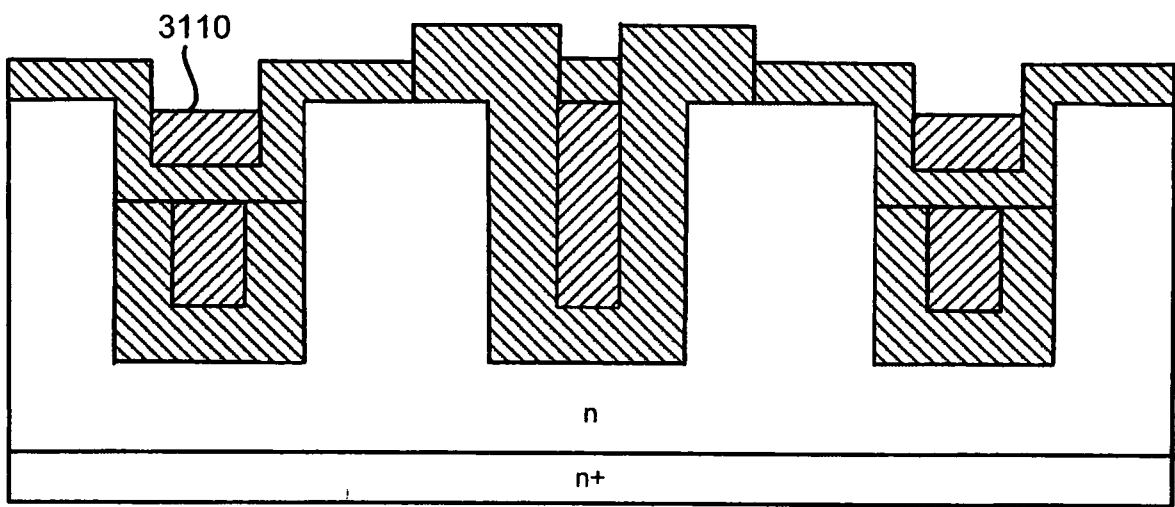
第 31F 圖



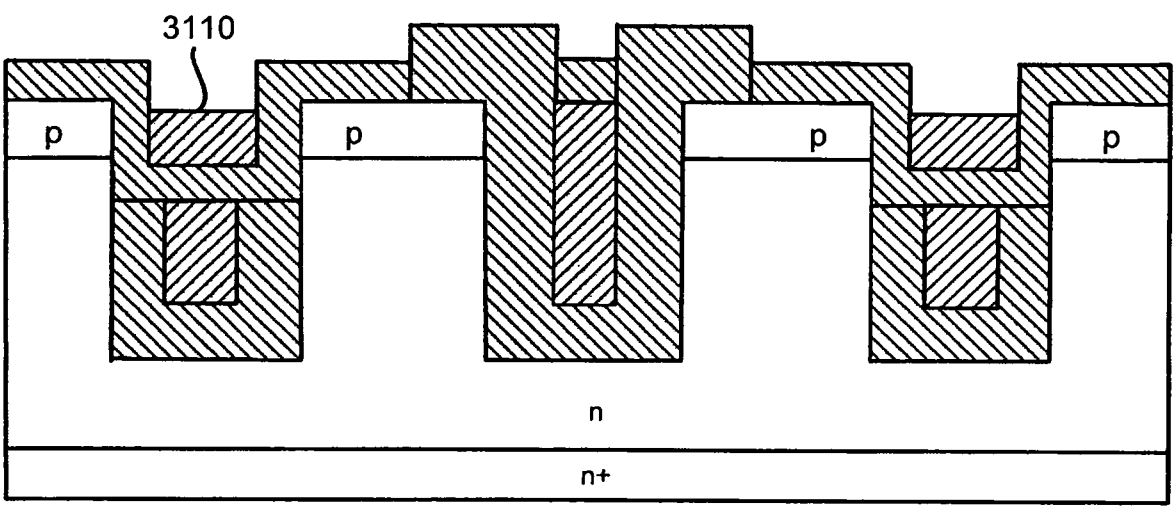
第 31G 圖



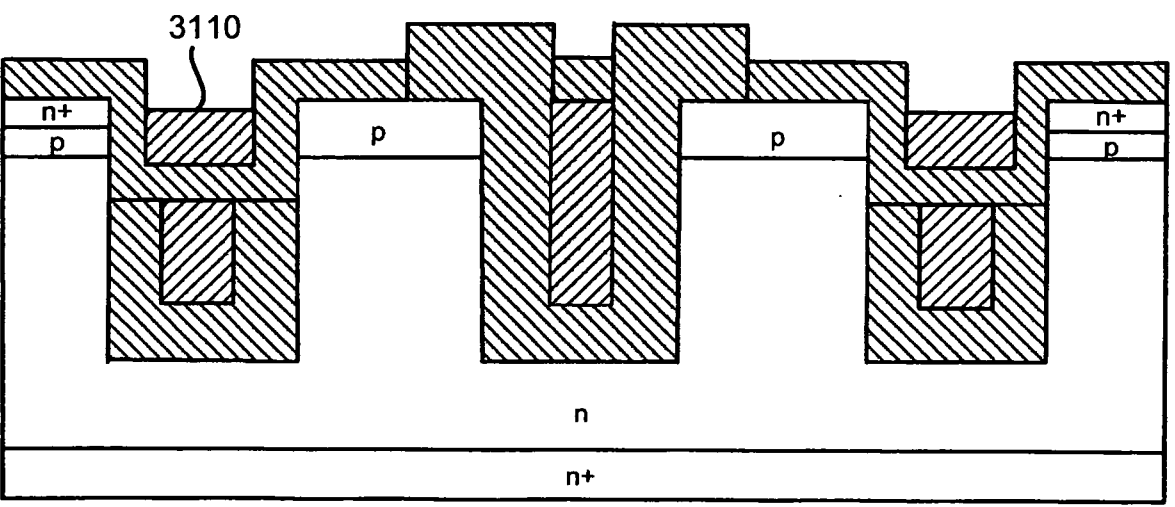
34/72



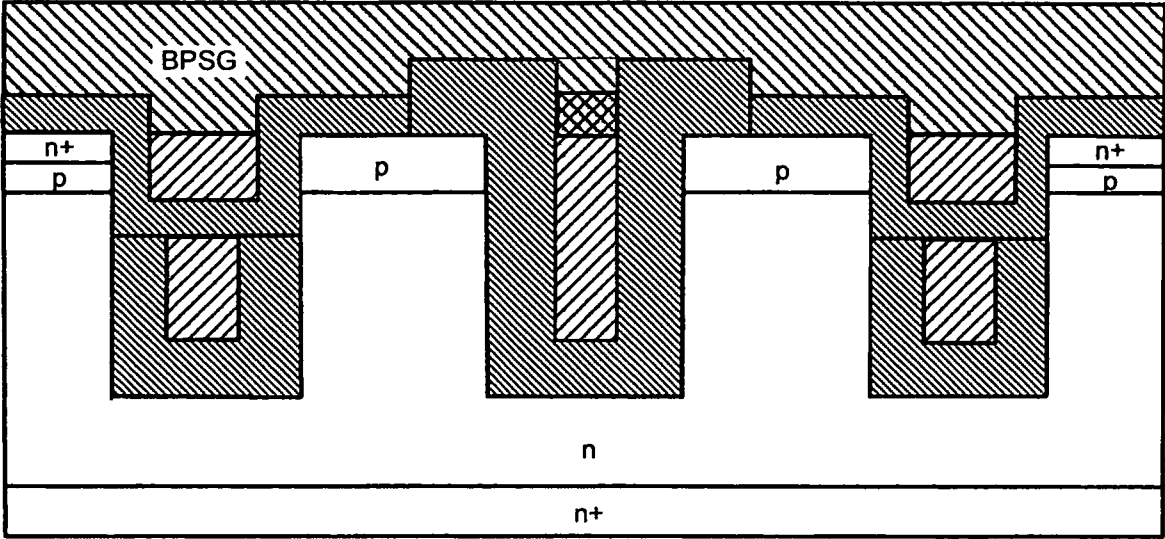
第 31H 圖



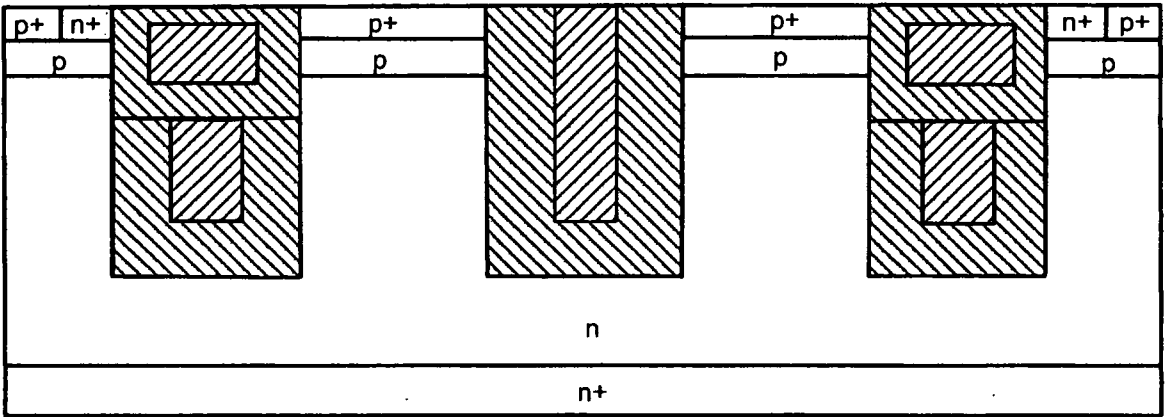
第 31I 圖



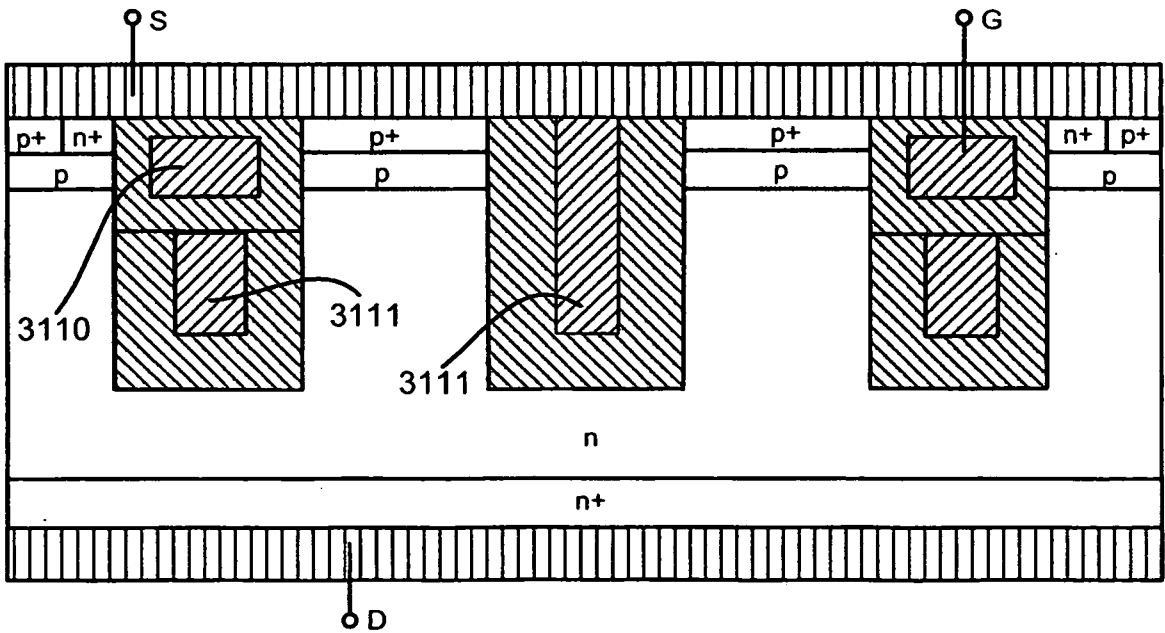
第 31J 圖



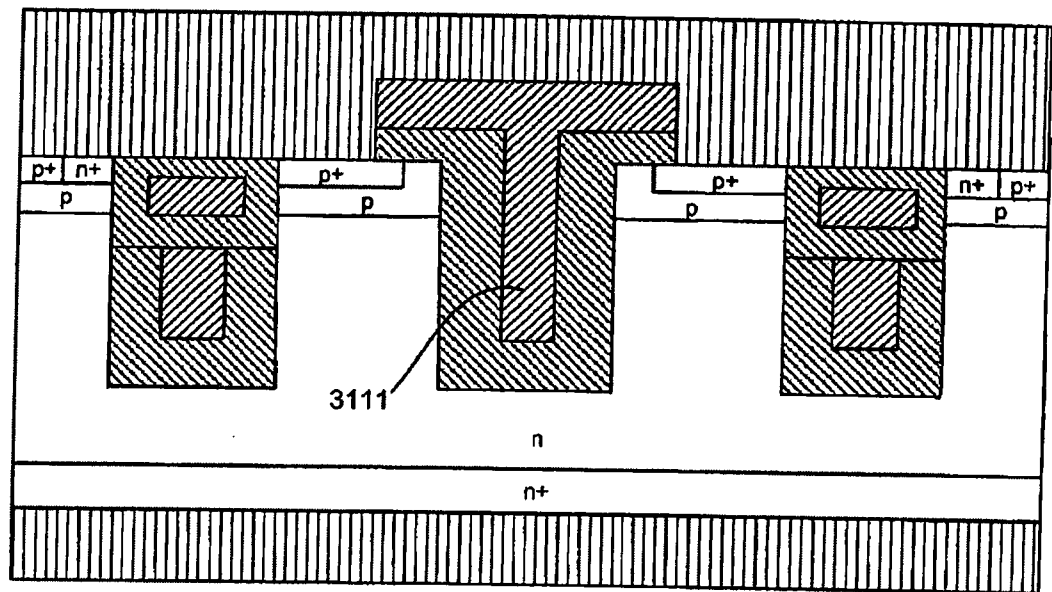
第 31K 圖



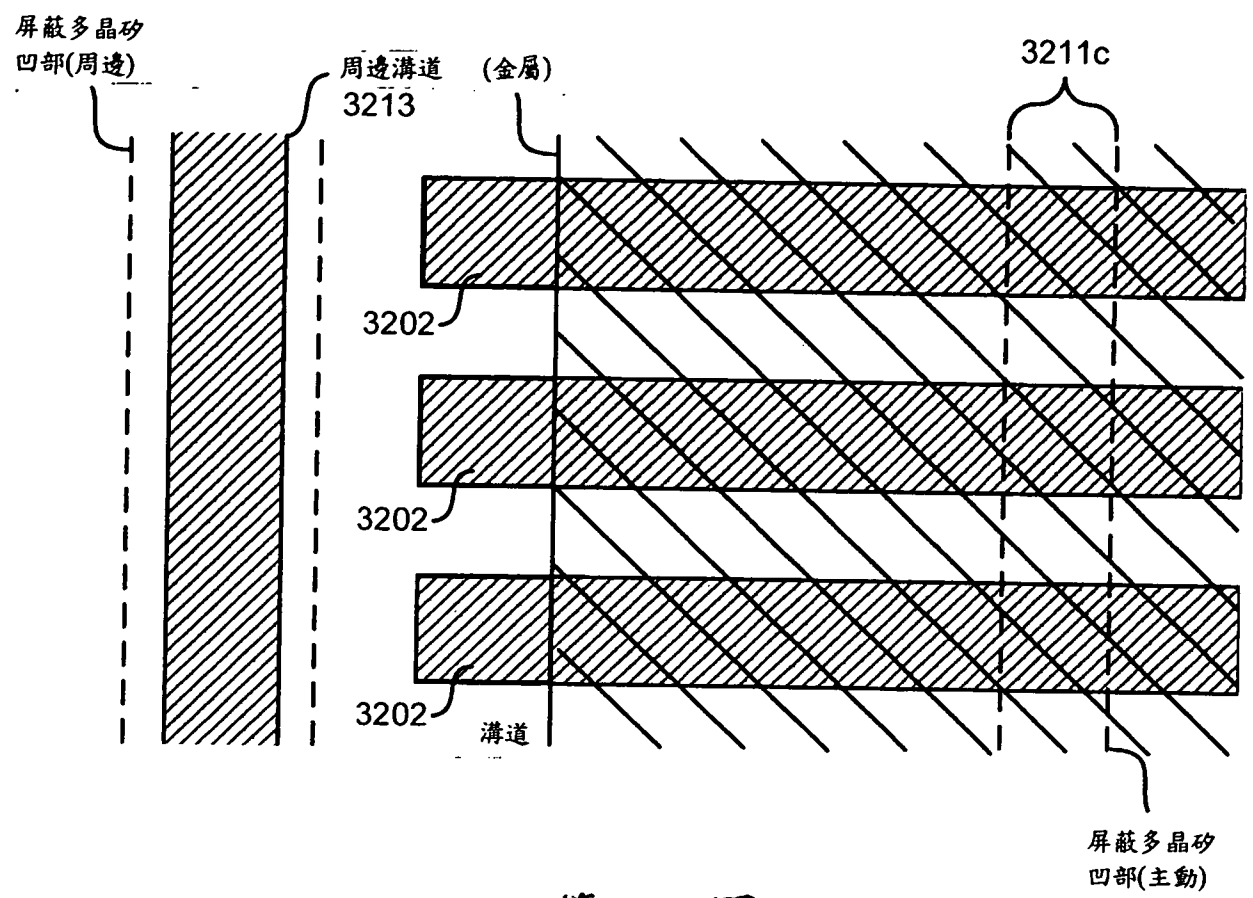
第 31L 圖



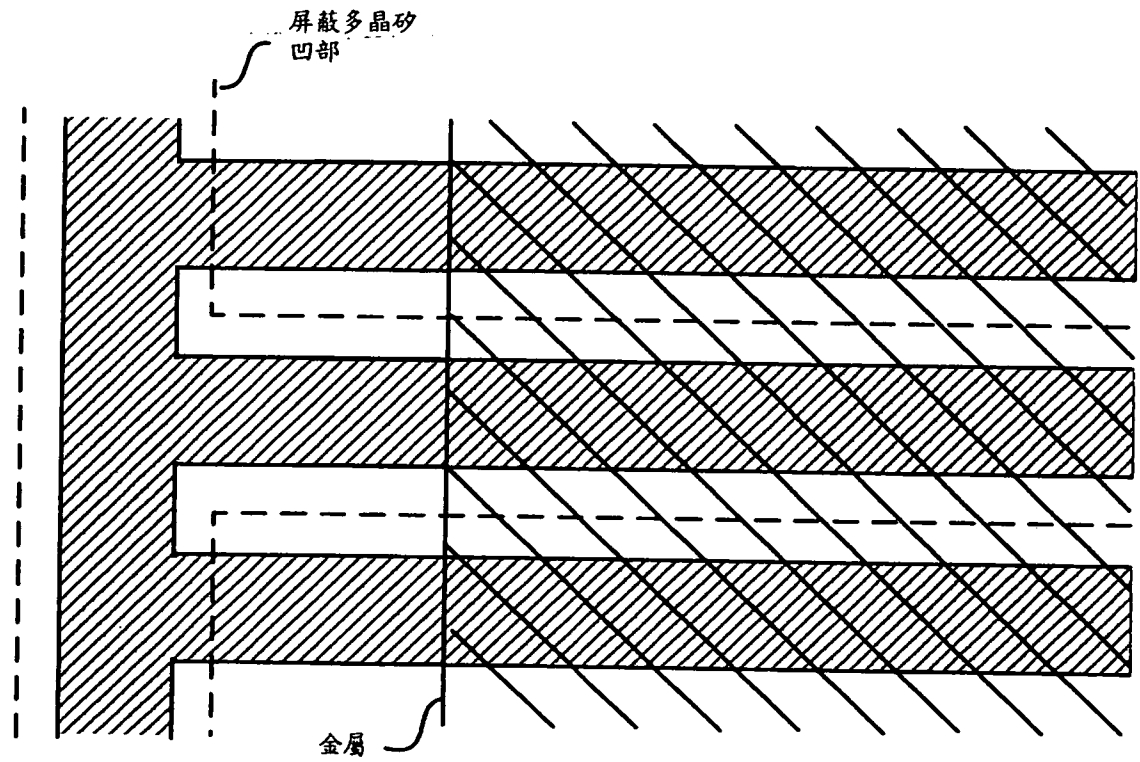
第 31M 圖



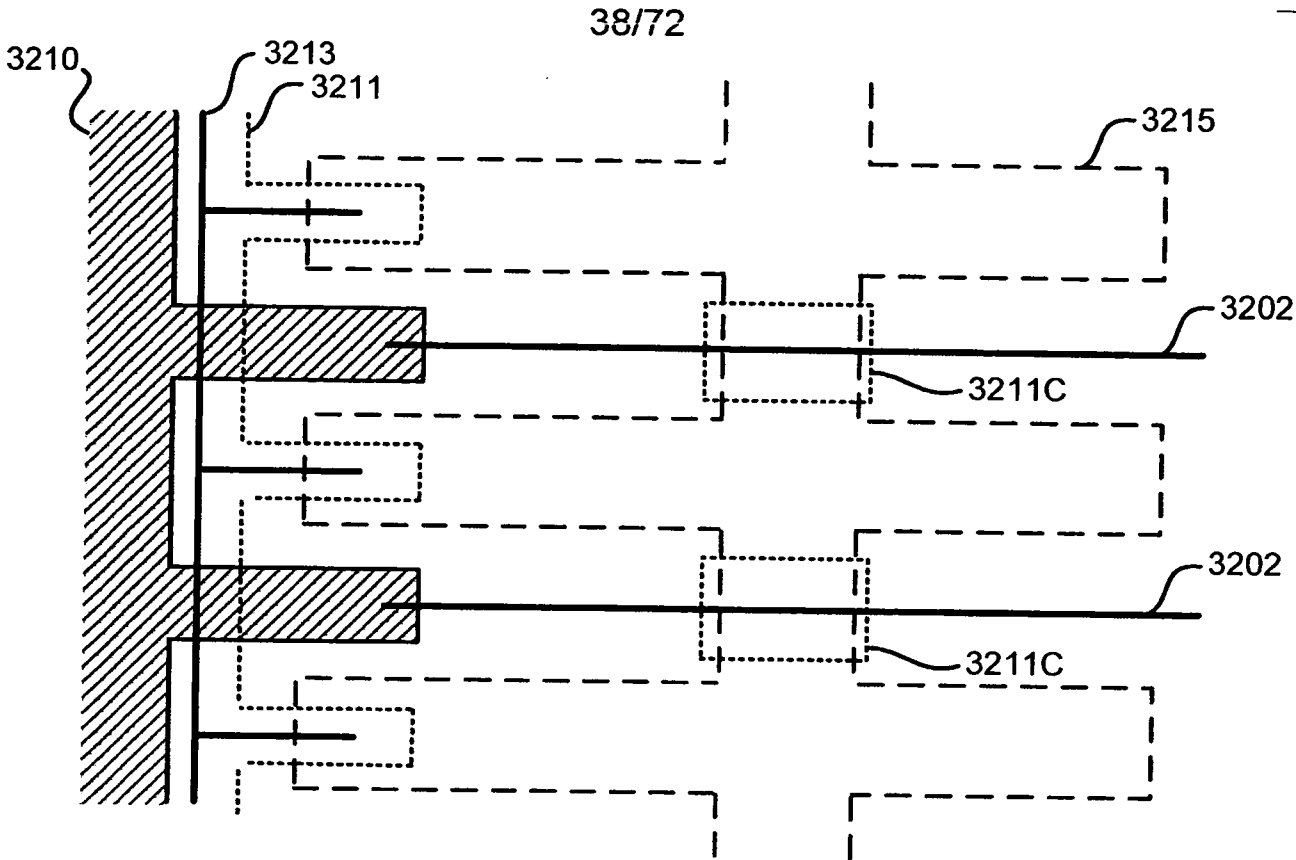
第 31N 圖



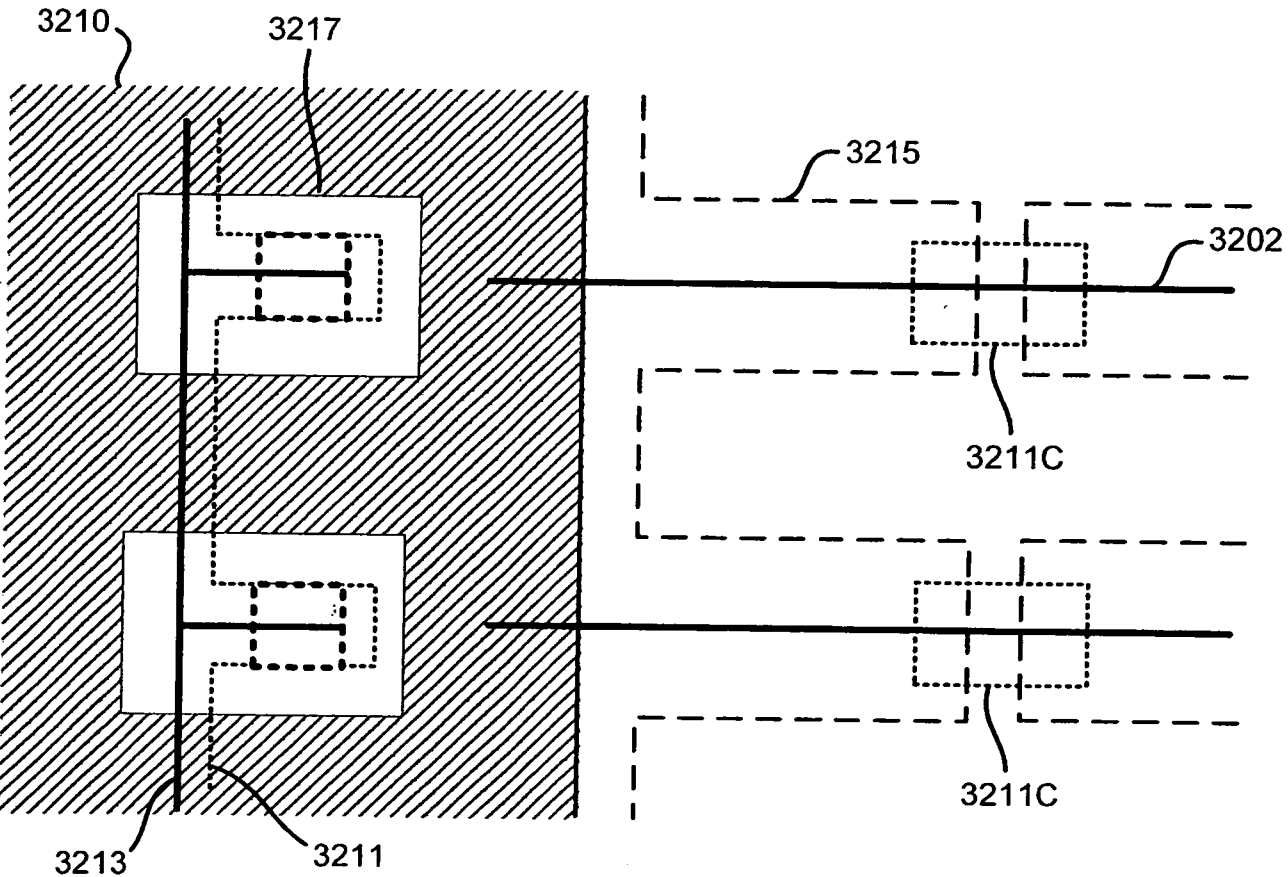
第 32A 圖



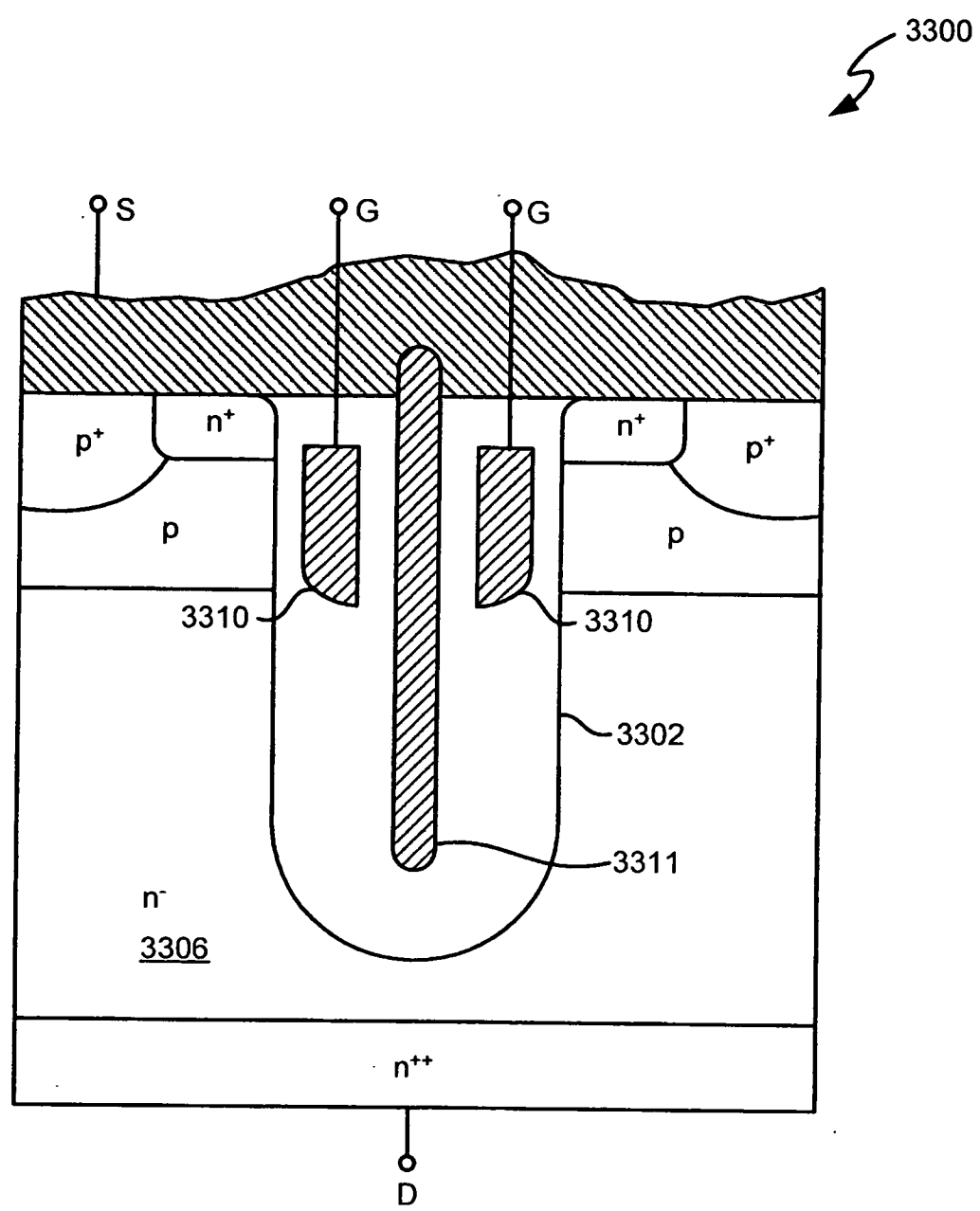
第 32B 圖



第 32C 圖

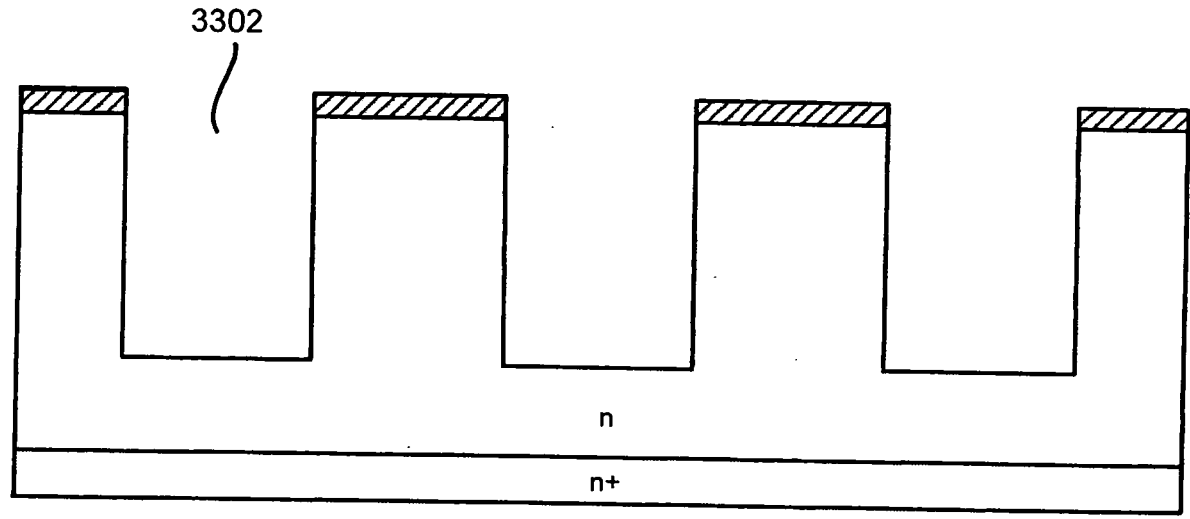


第 32D 圖

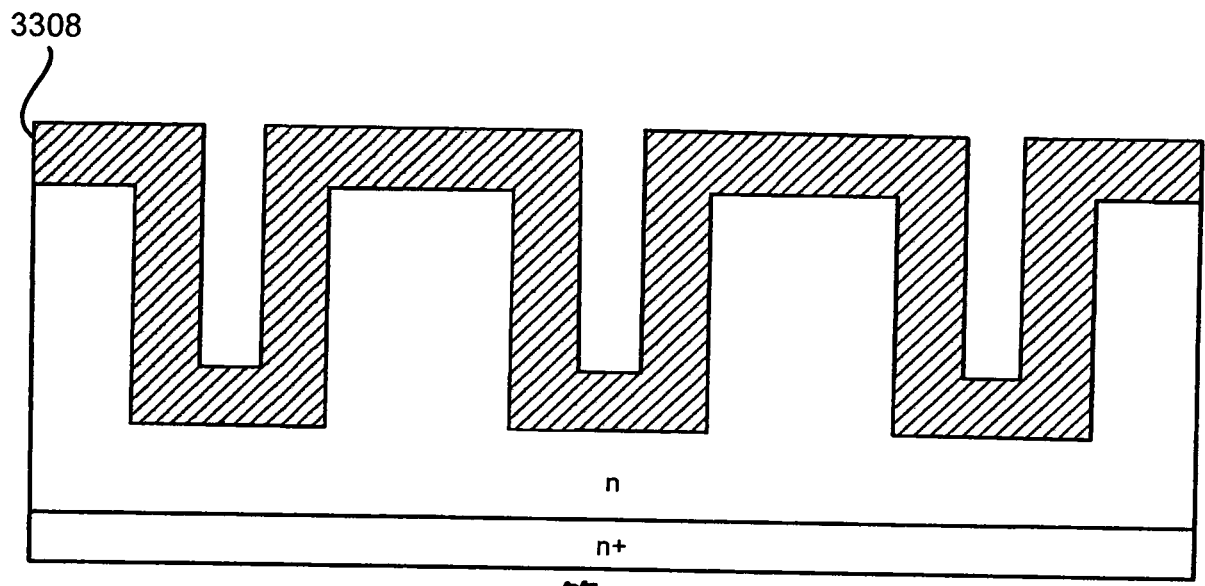


第 33A 圖

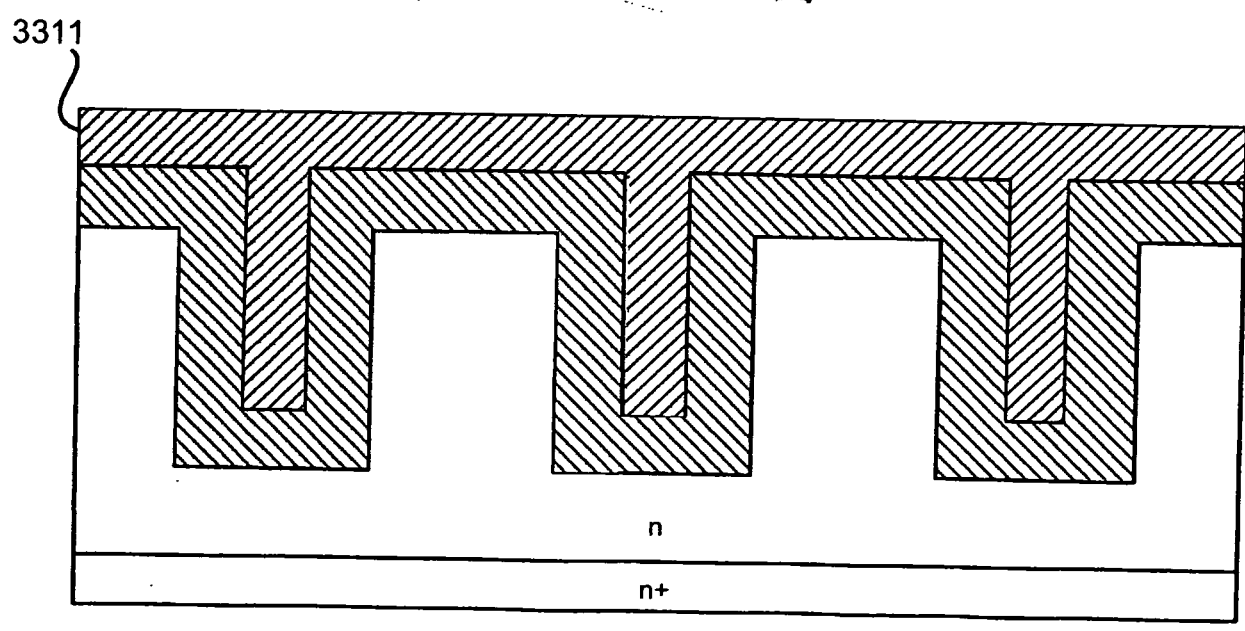
40/72



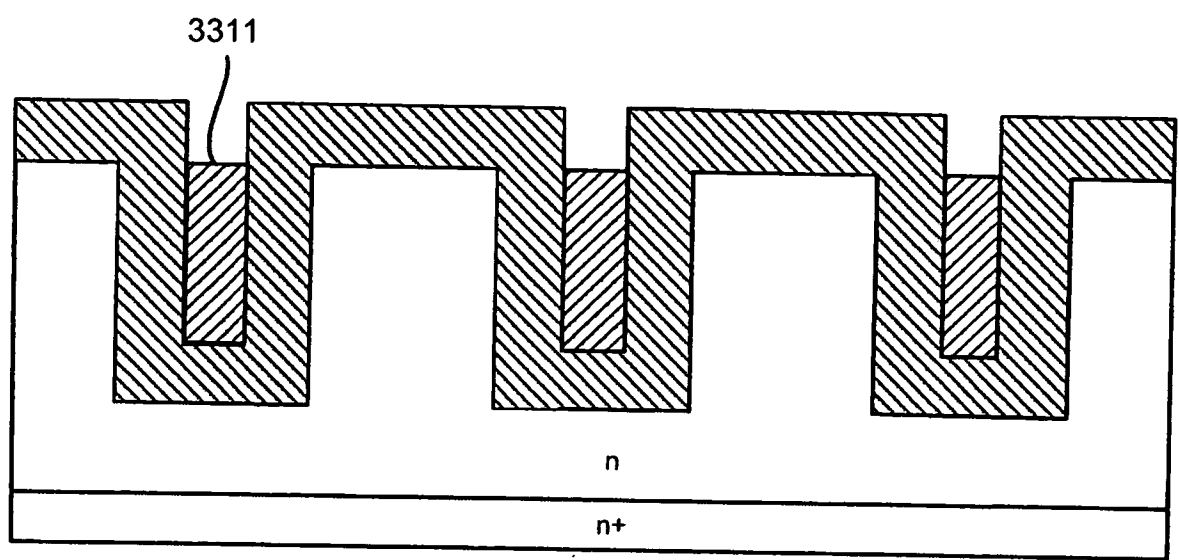
第 33B 圖



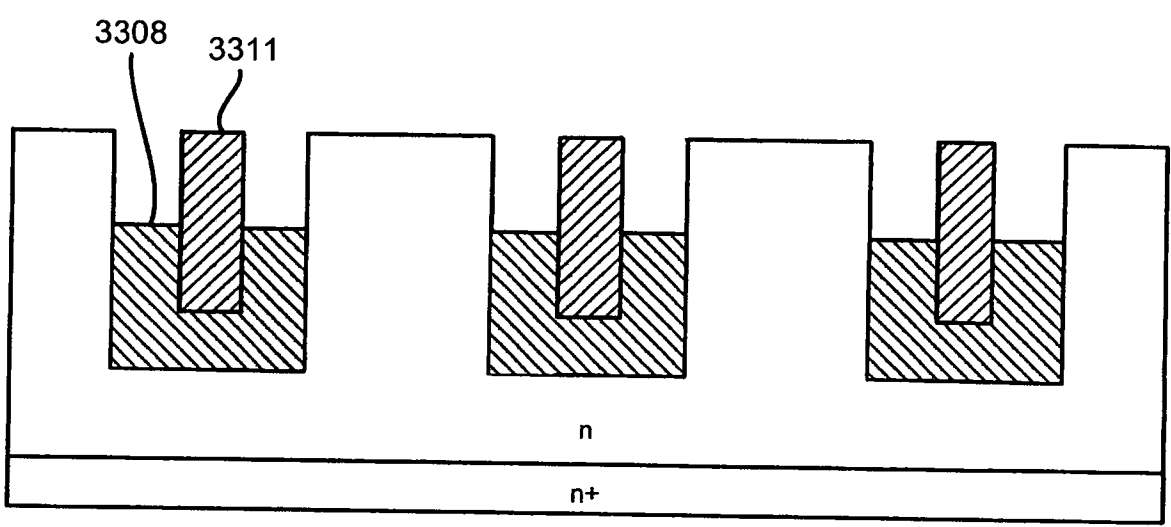
第 33C 圖



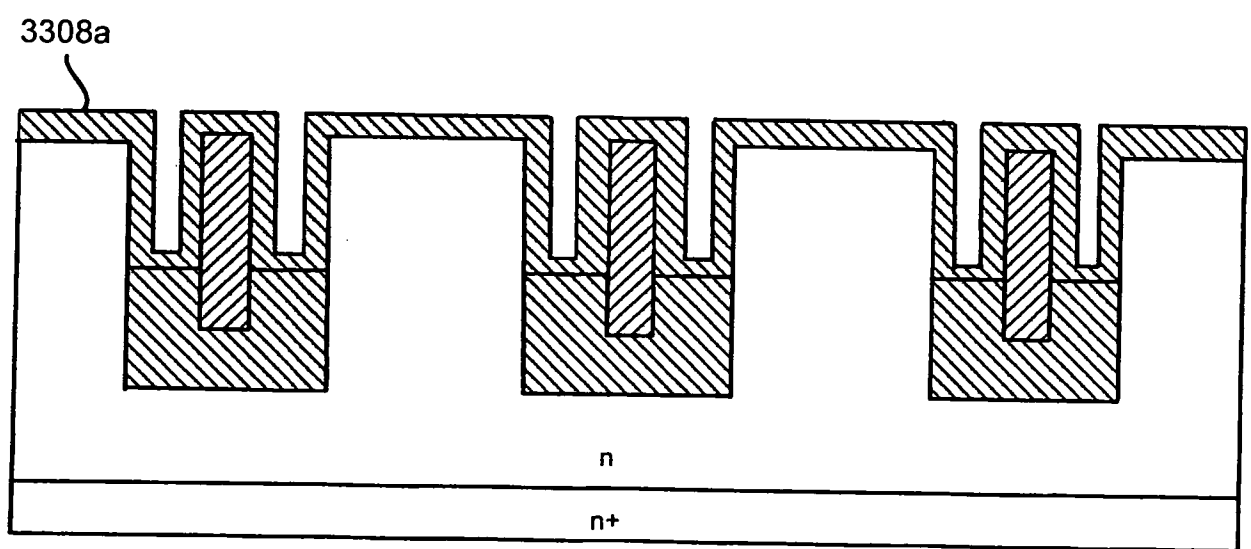
第 33D 圖



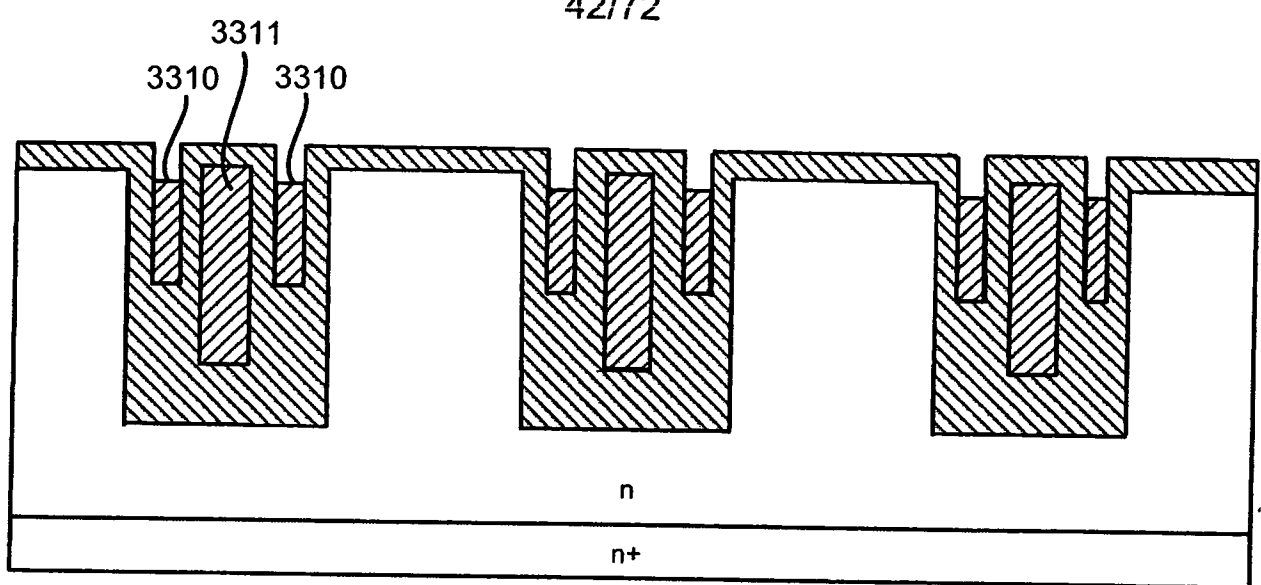
第 33E 圖



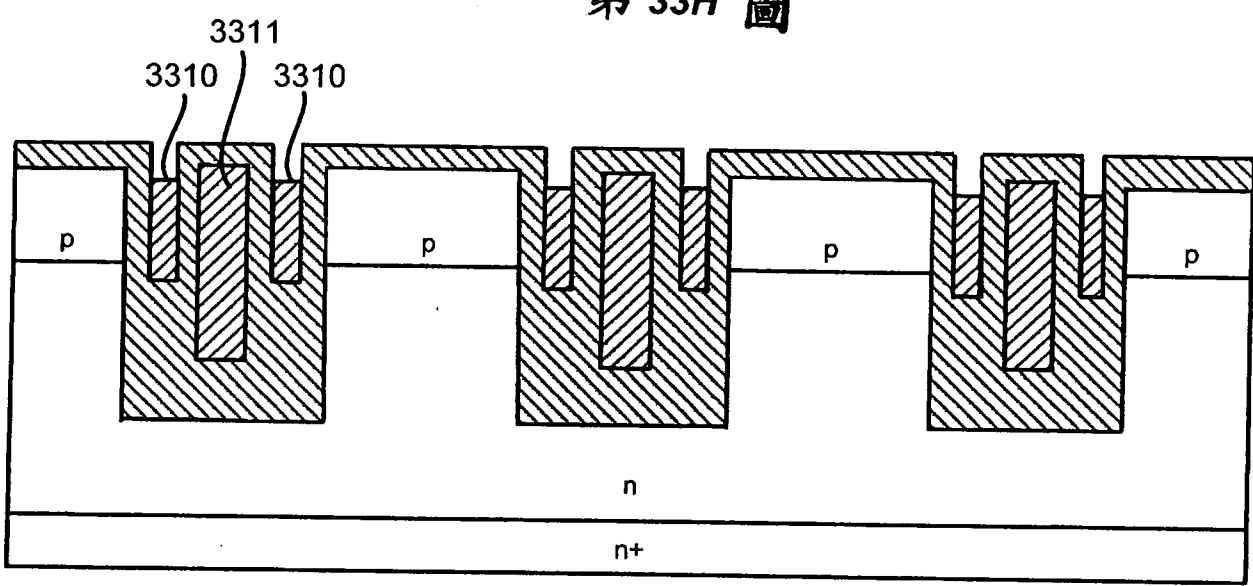
第 33F 圖



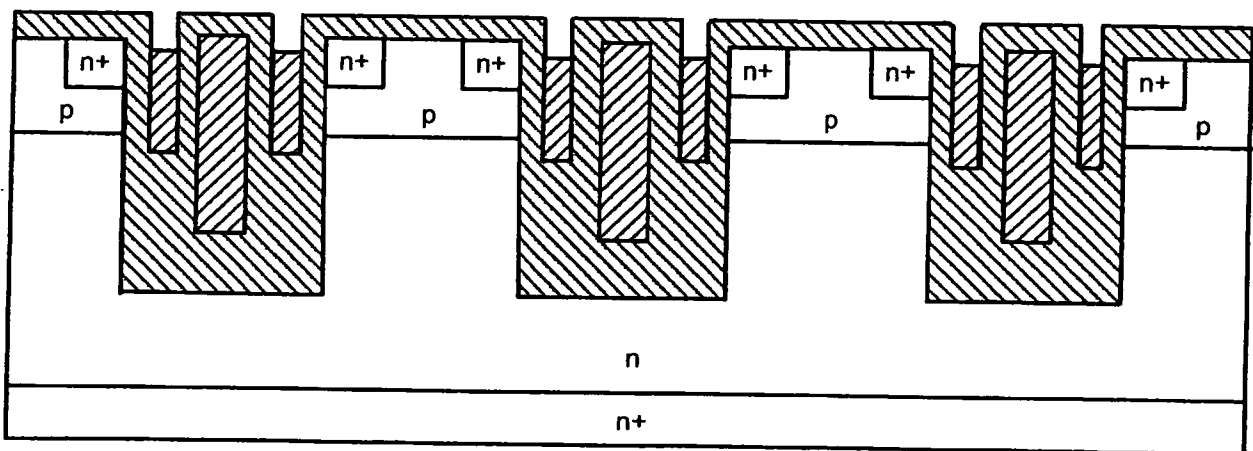
第 33G 圖



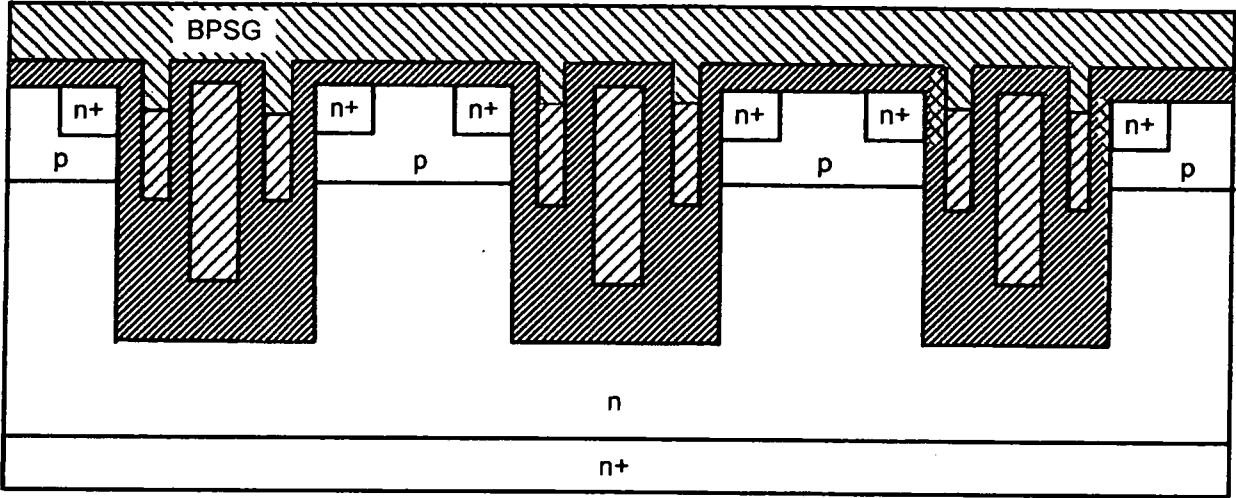
第 33H 圖



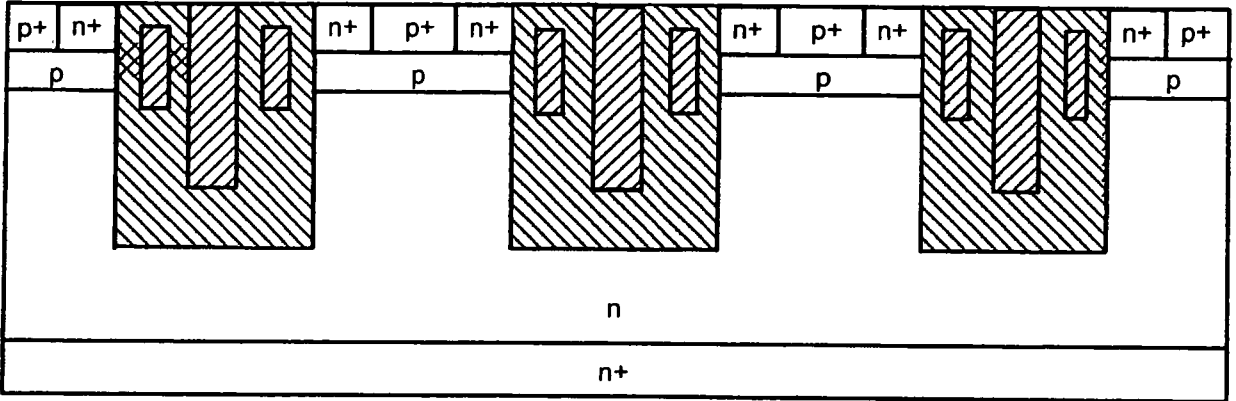
第 33I 圖



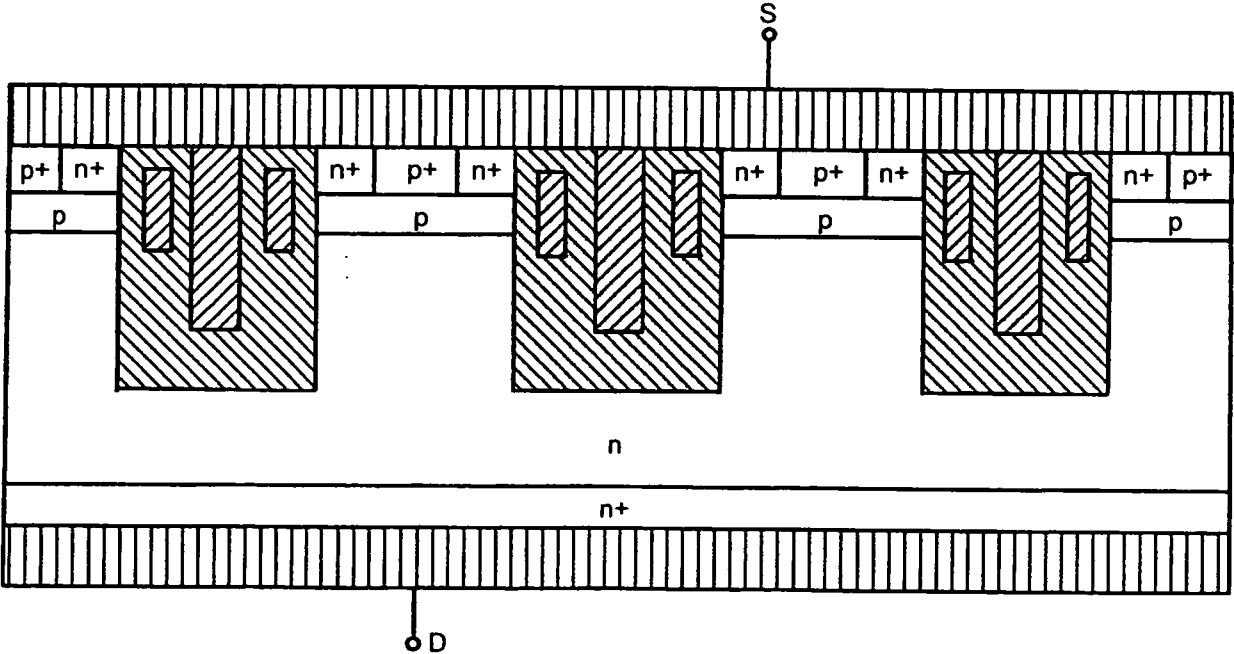
第 33J 圖



第 33K 圖



第 33L 圖

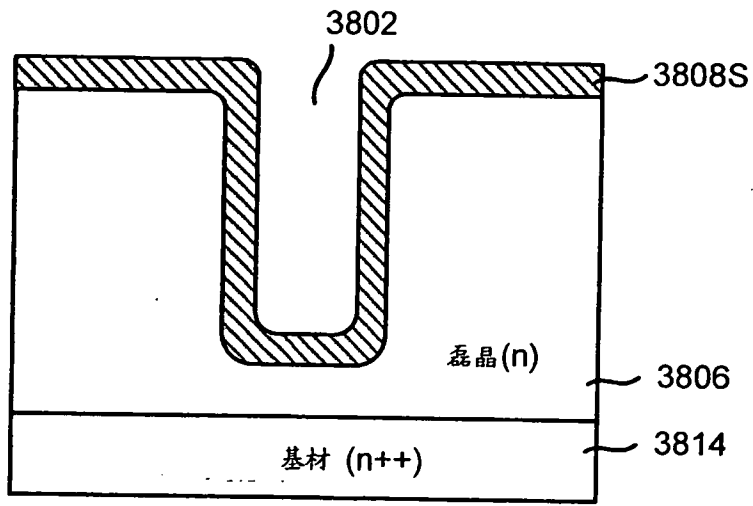


第 33M 圖

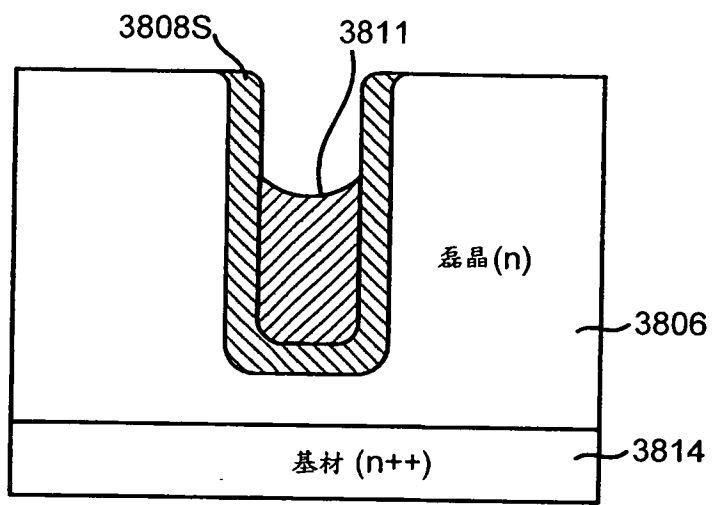


+

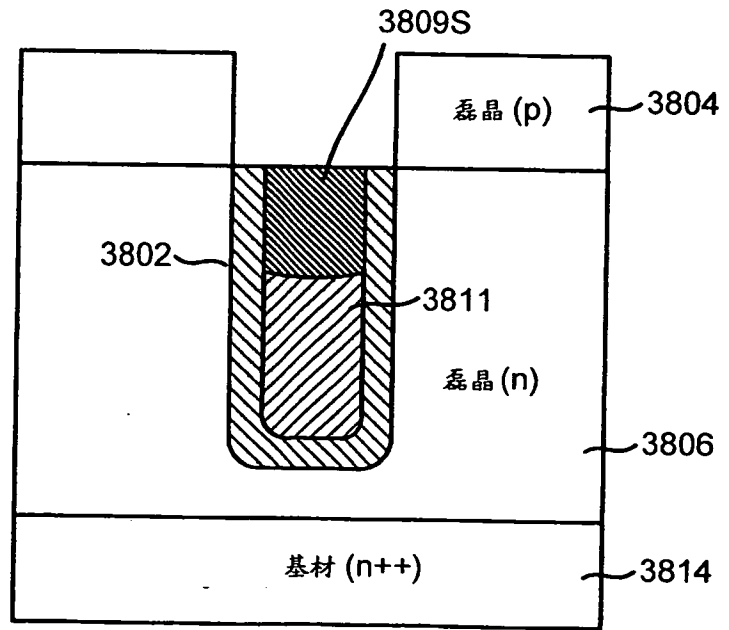
45/72



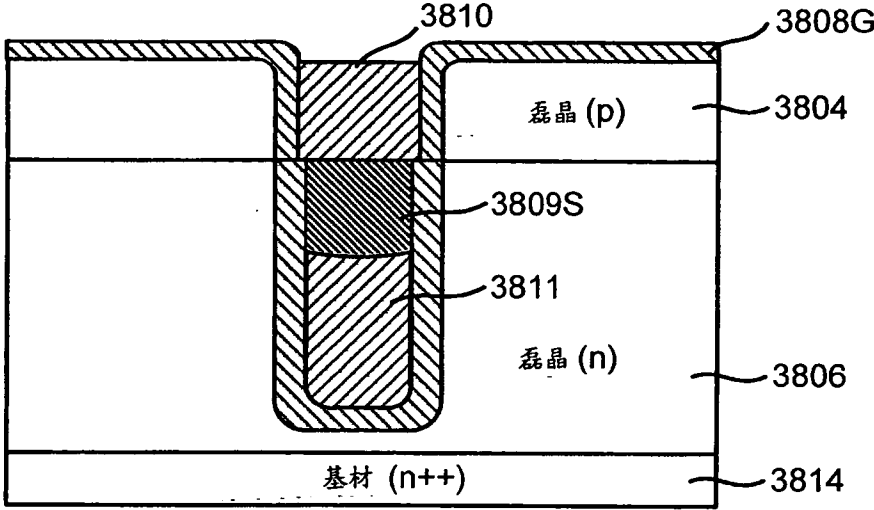
第 38A 圖



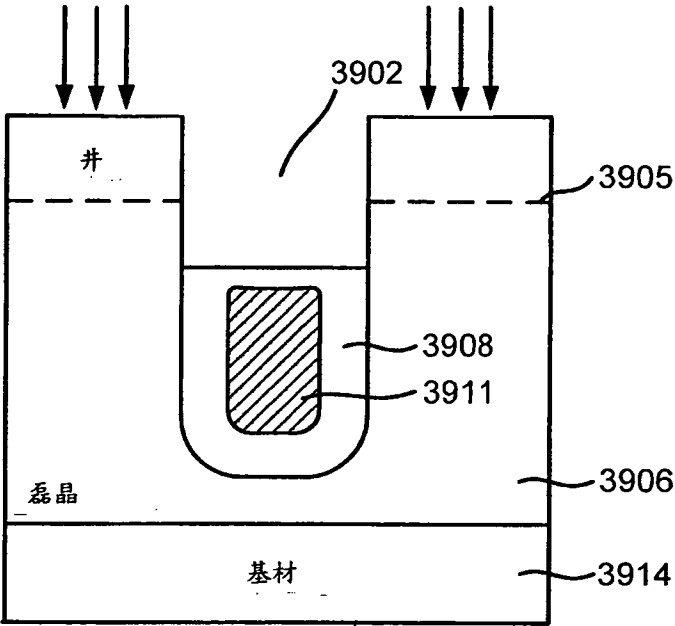
第 38B 圖



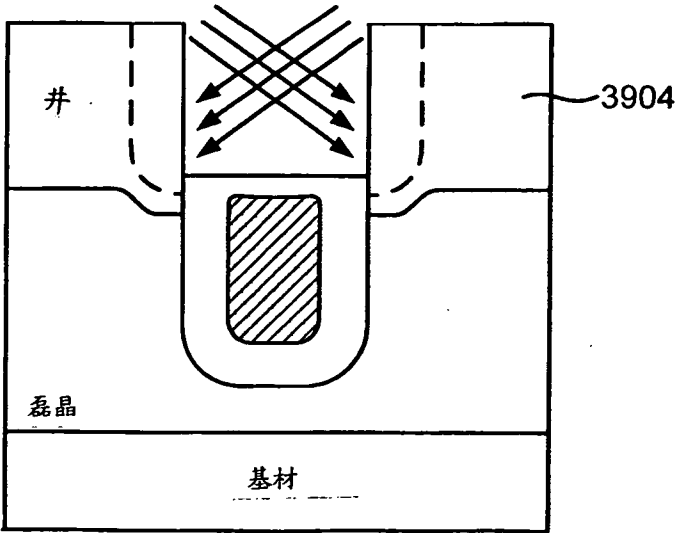
第 38C 圖



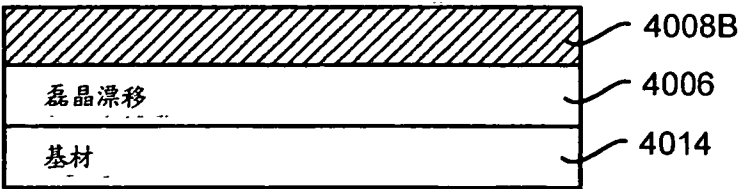
第 38D 圖



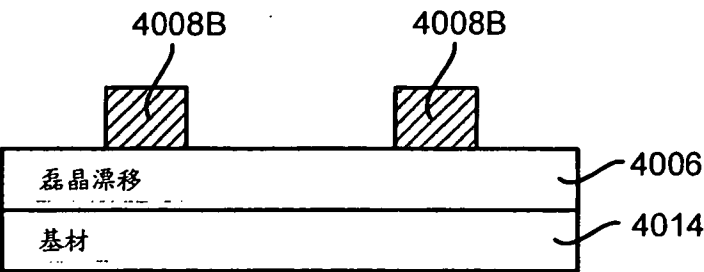
第 39A 圖



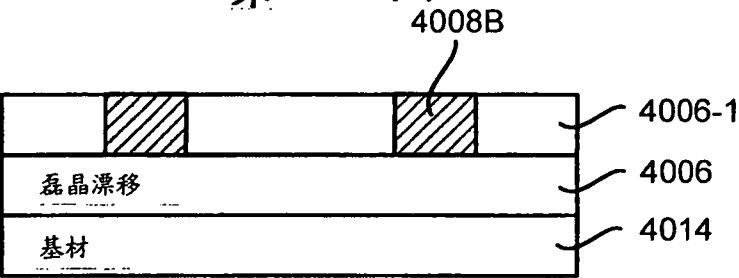
第 39B 圖



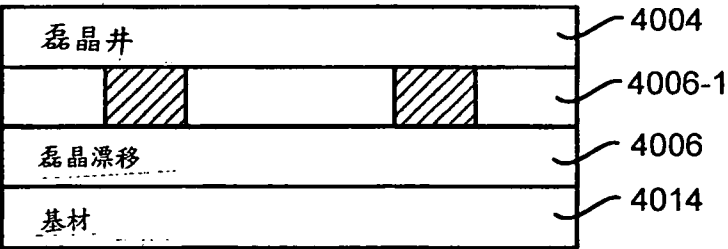
第 40A 圖



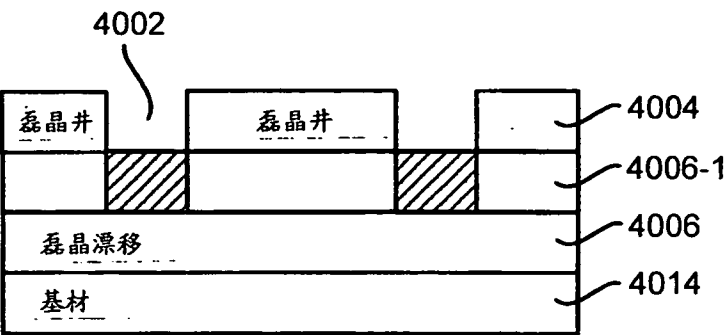
第 40B 圖



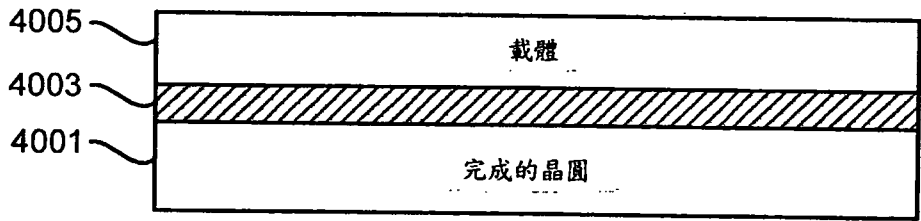
第 40C 圖



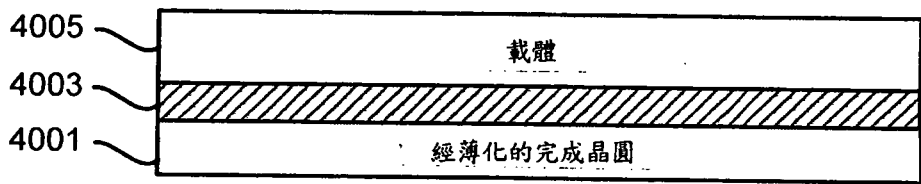
第 40D 圖



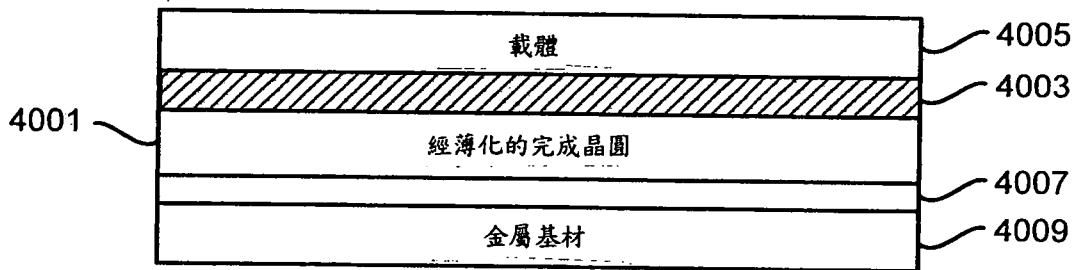
第 40E 圖



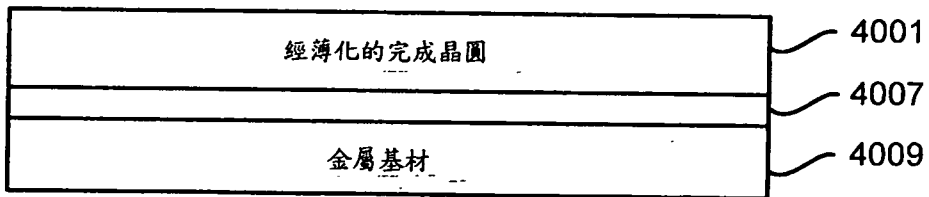
第 40R 圖



第 40S 圖

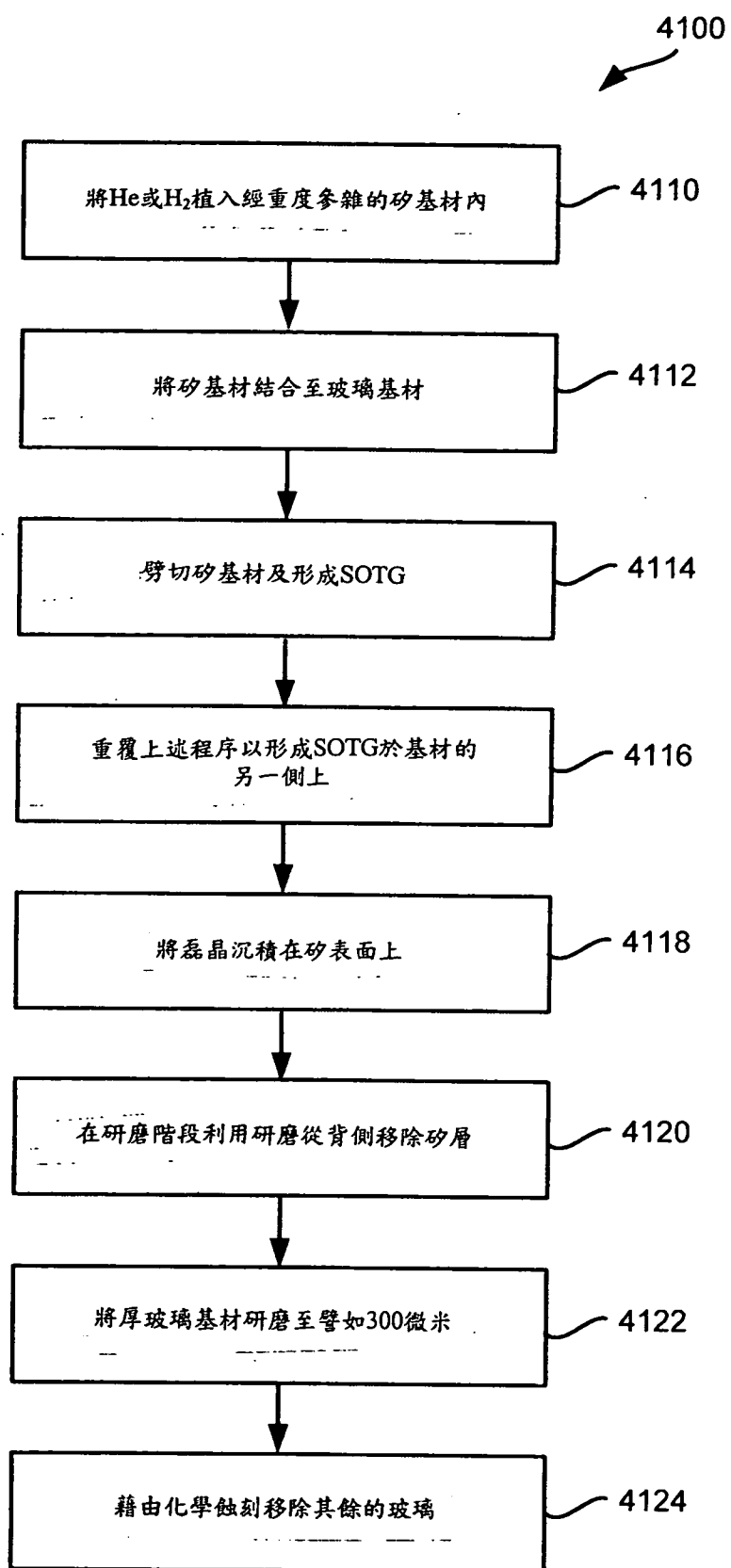


第 40T 圖

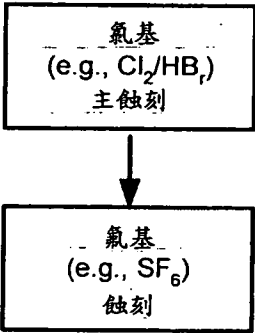


第 40U 圖

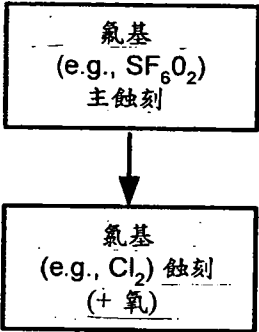
49/72



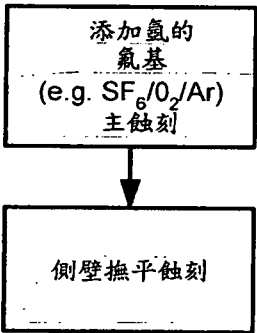
第 41 圖



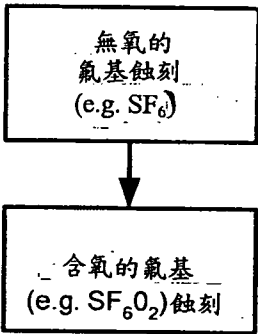
第 42A 圖



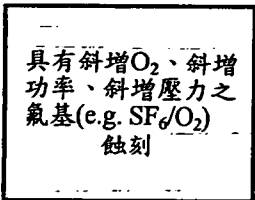
第 42B 圖



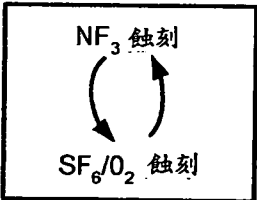
第 42C 圖



第 42D 圖

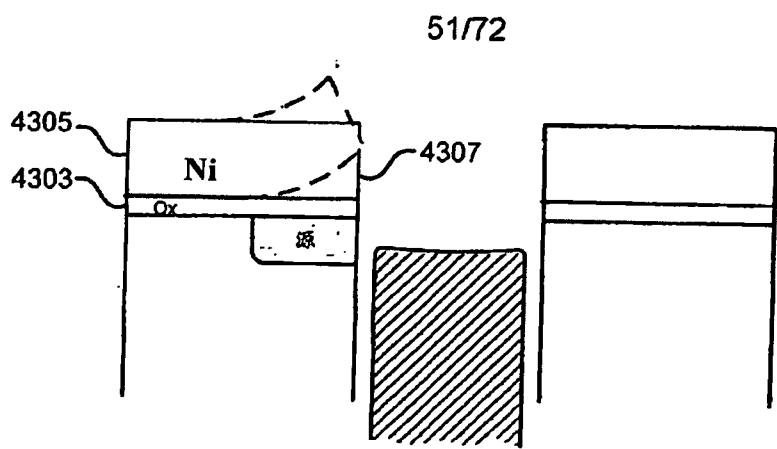


第 42E 圖

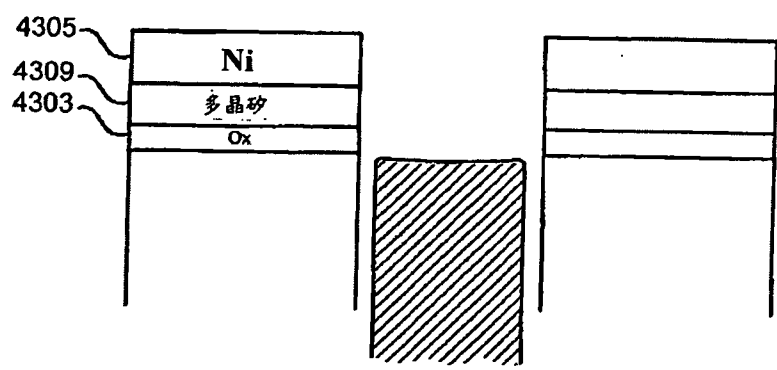


第 42F 圖

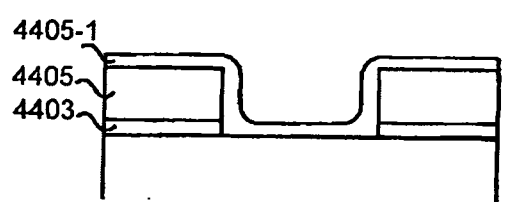




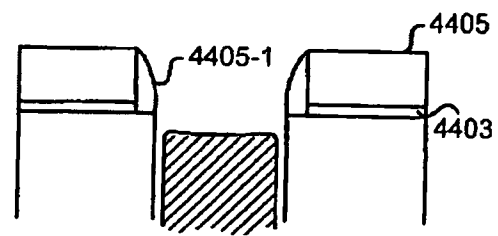
第 43A 圖



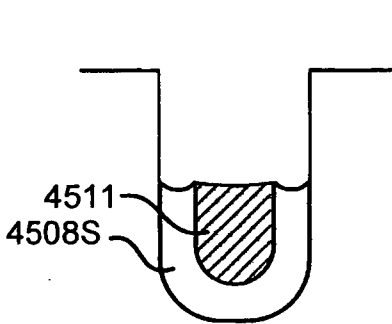
第 43B 圖



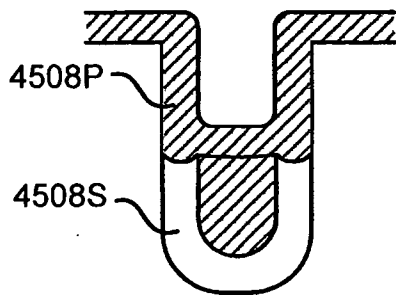
第 44A 圖



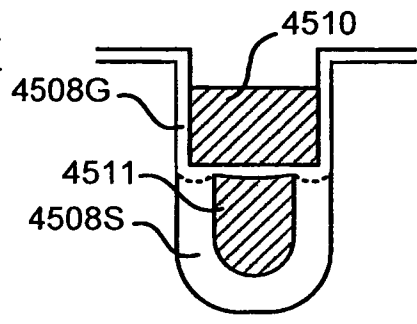
第 44B 圖



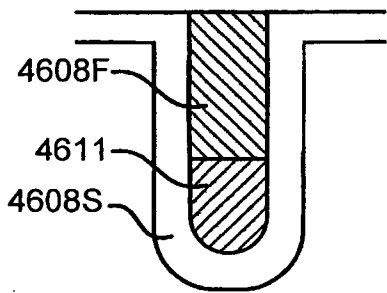
第 45A 圖



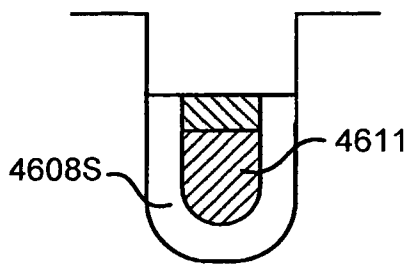
第 45B 圖



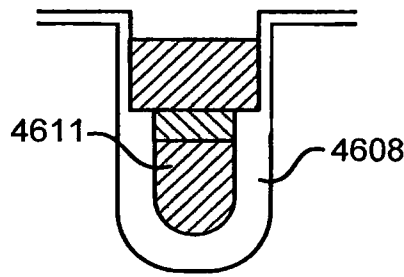
第 45C 圖



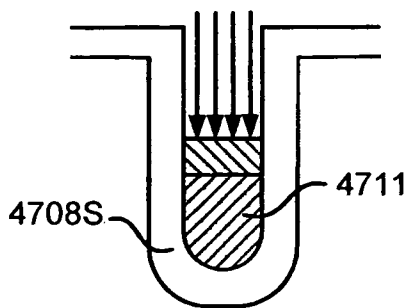
第 46A 圖



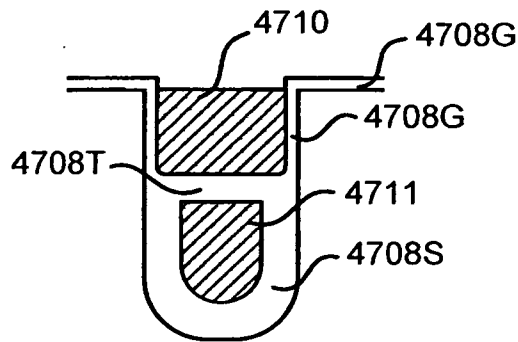
第 46B 圖



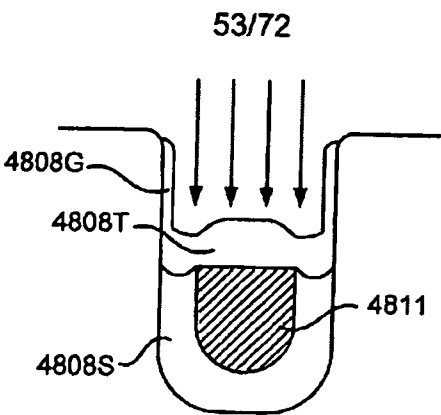
第 46C 圖



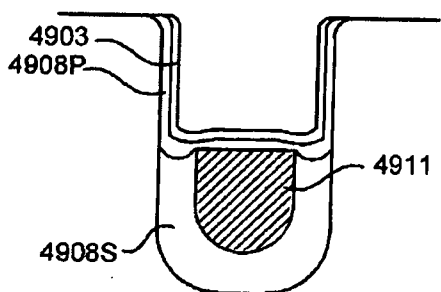
第 47A 圖



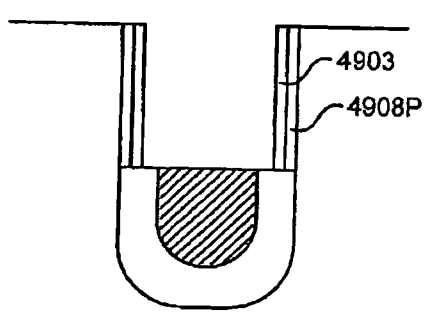
第 47B 圖



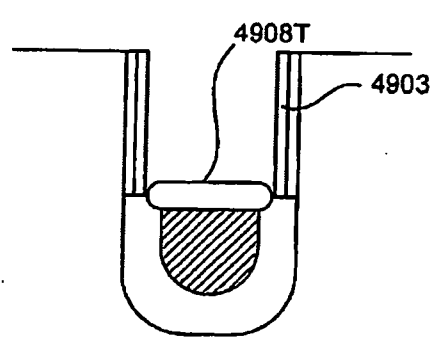
第 48 圖



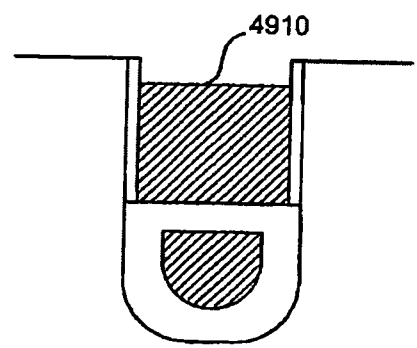
第 49A 圖



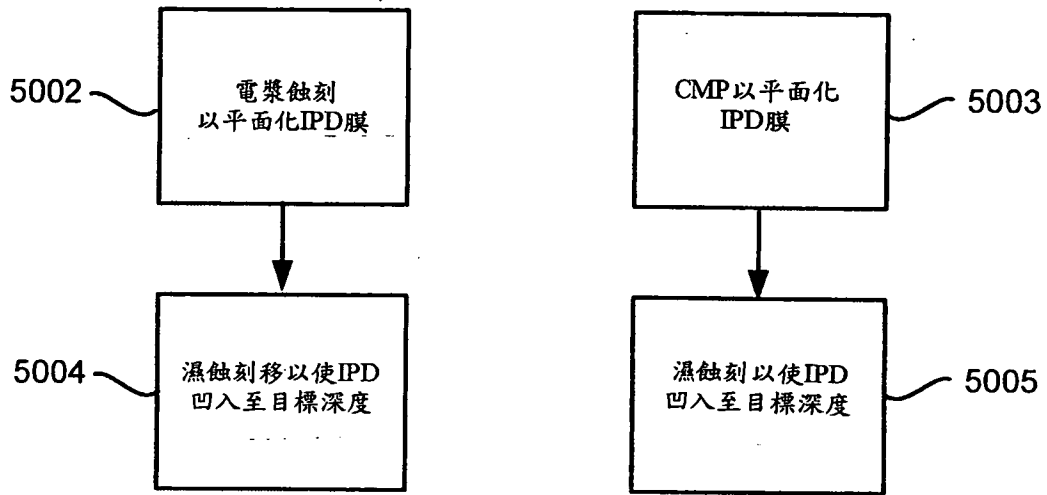
第 49B 圖



第 49C 圖

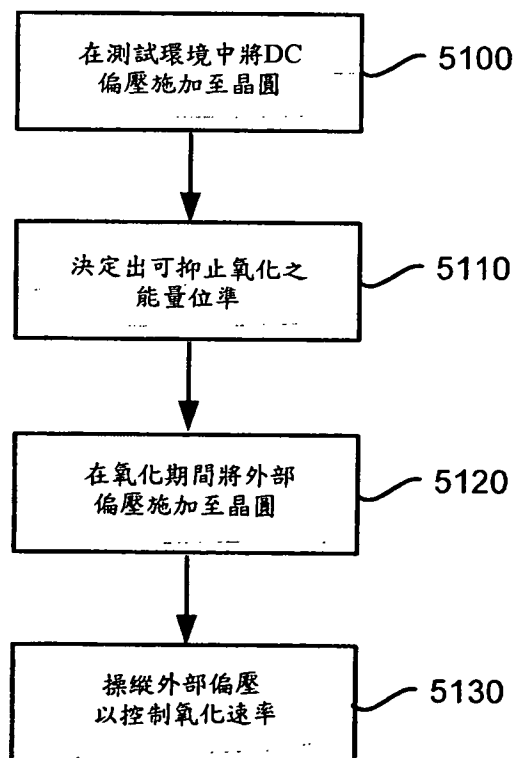


第 49D 圖

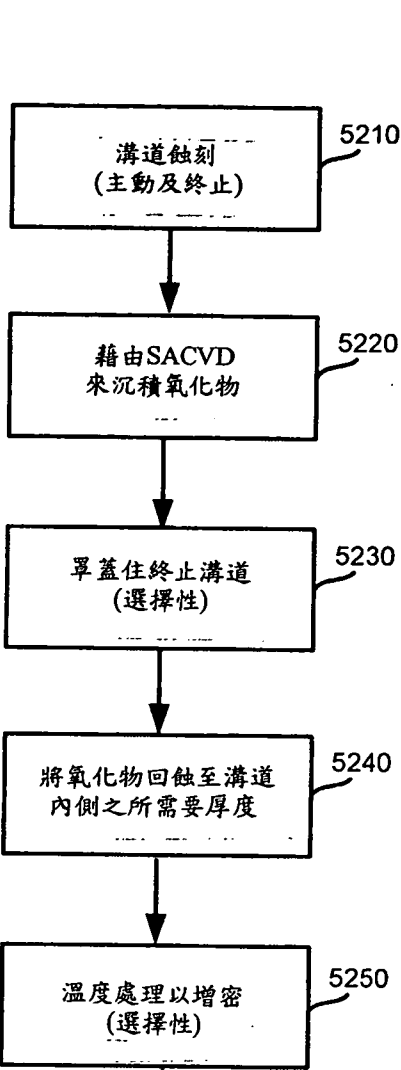


第 50A 圖

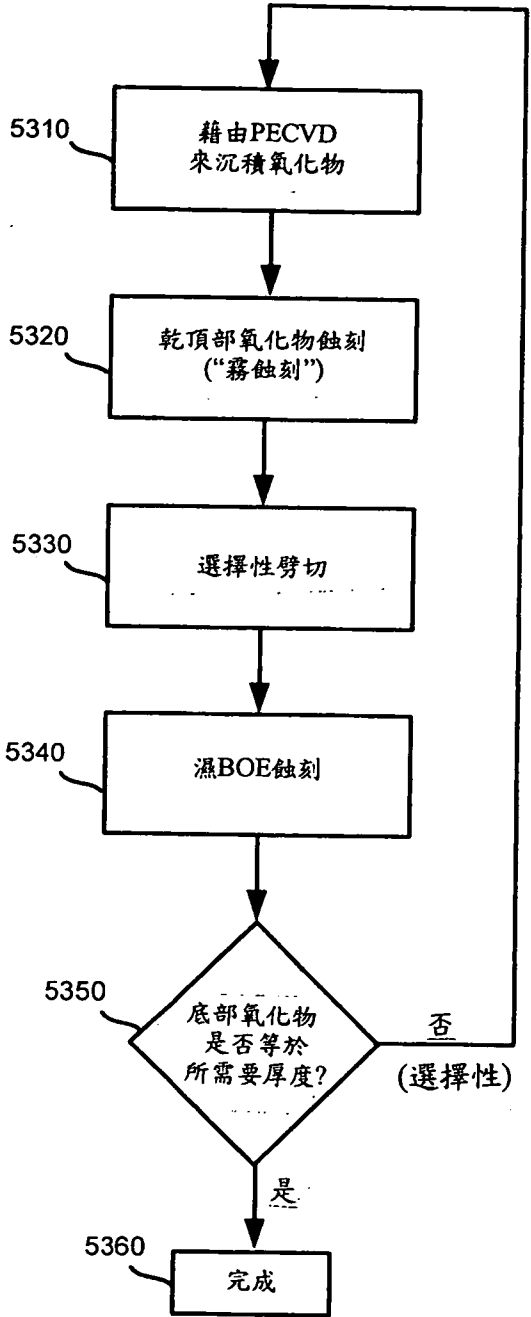
第 50B 圖



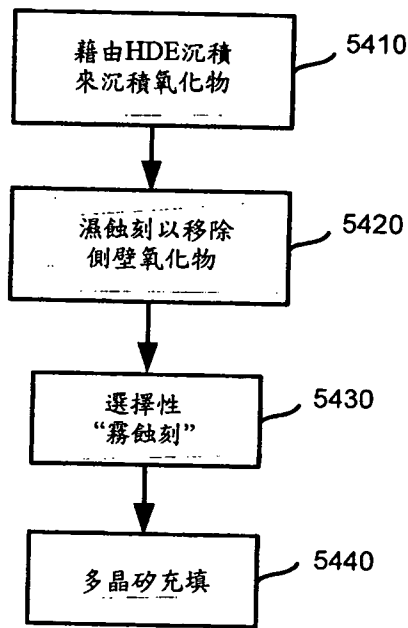
第 51 圖



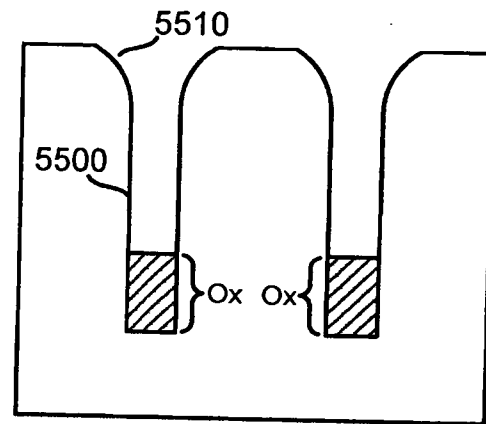
第 52 圖



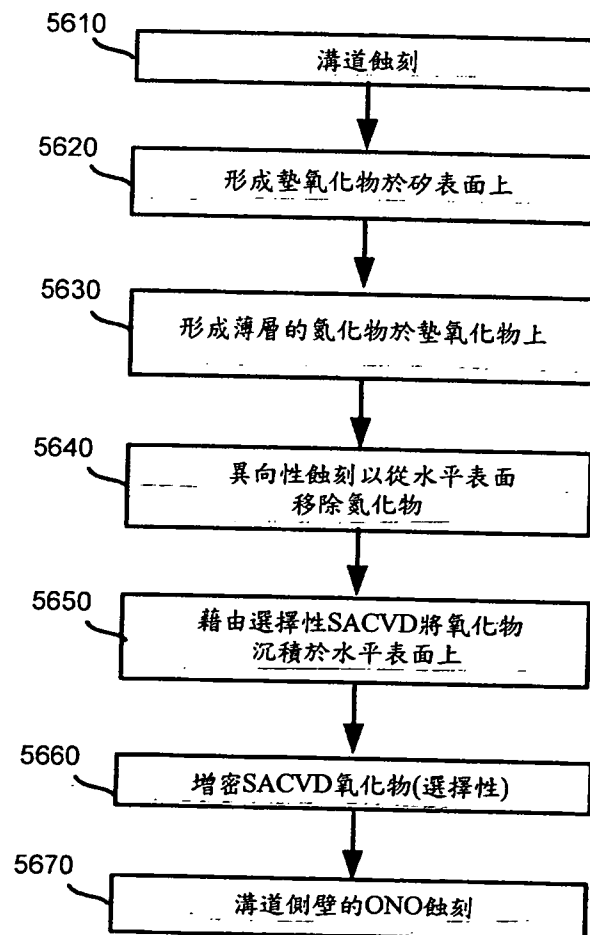
第 53 圖



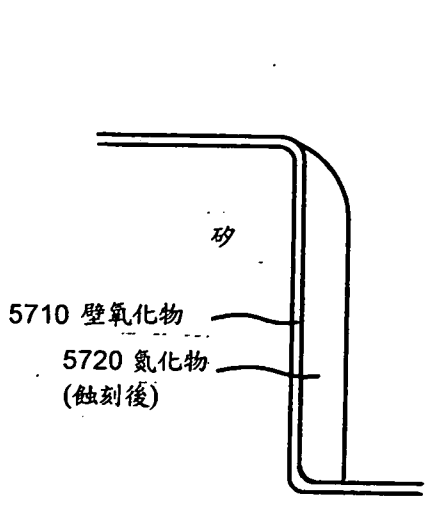
第 54 圖



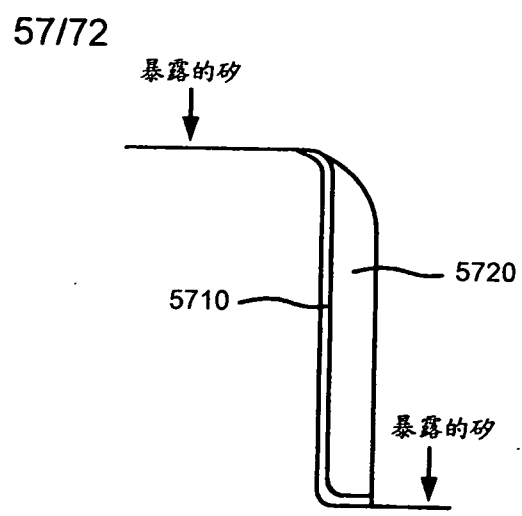
第 55 圖



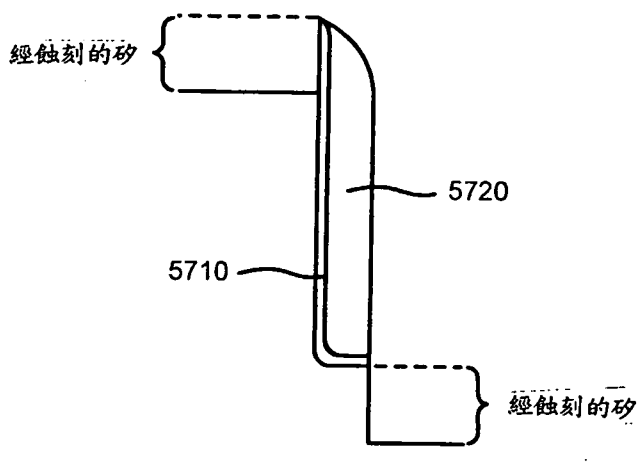
第 56 圖



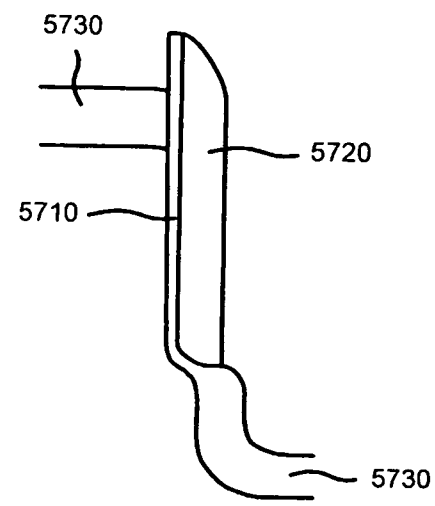
第 57A 圖



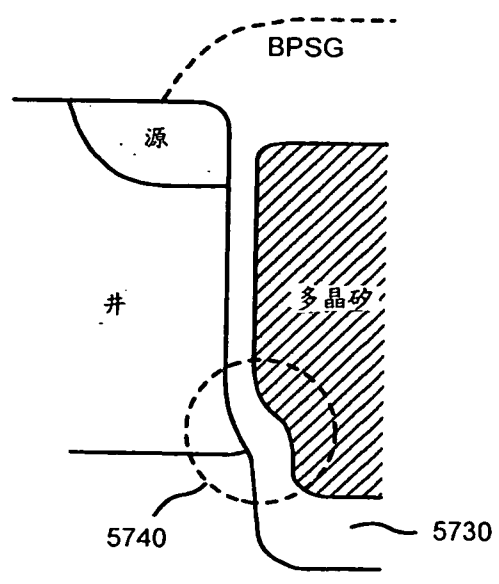
第 57B 圖



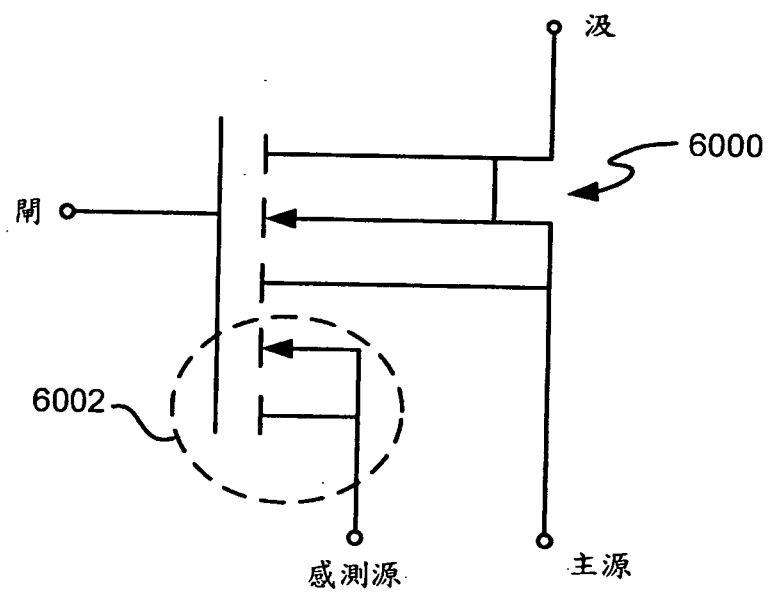
第 58A 圖



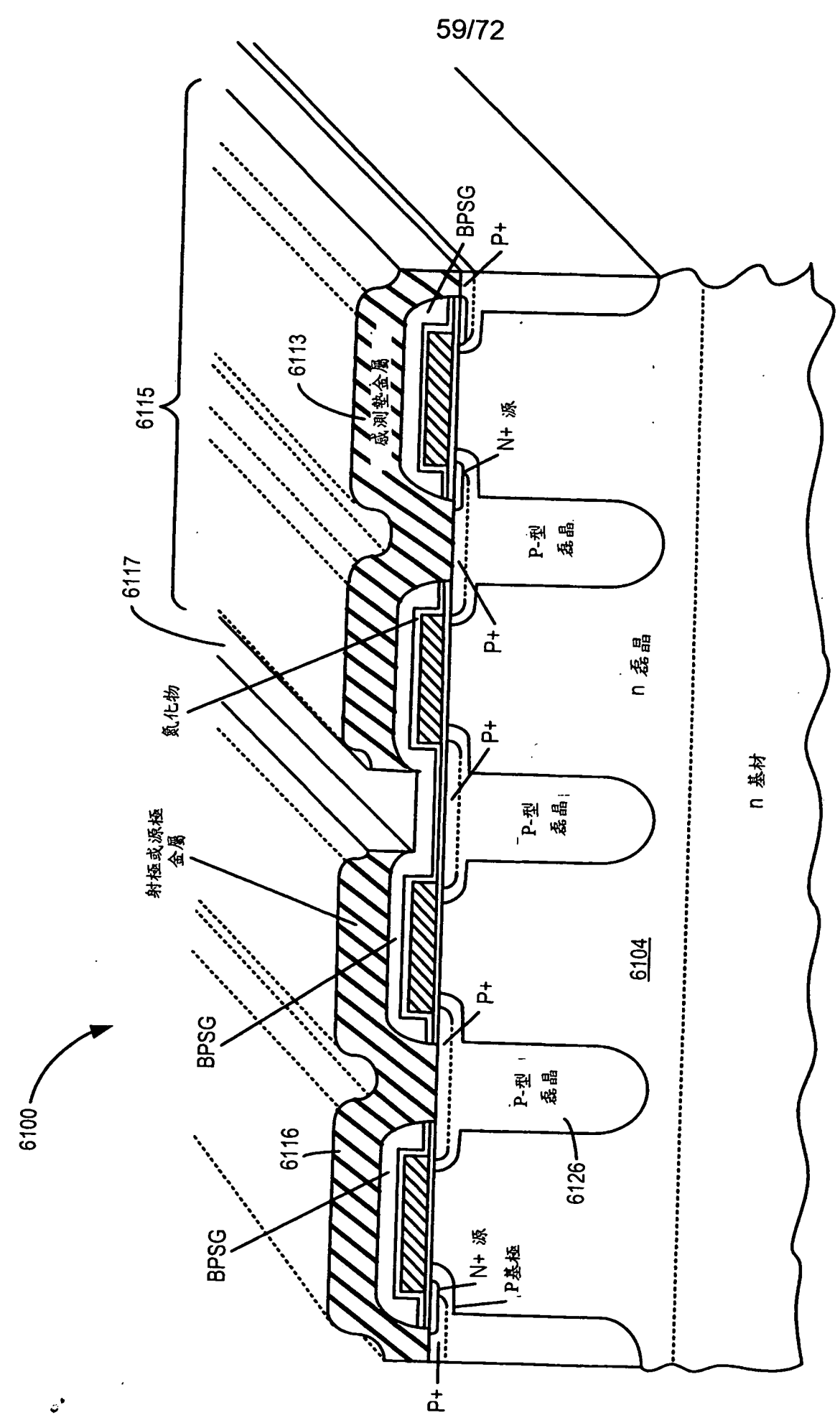
第 58B 圖



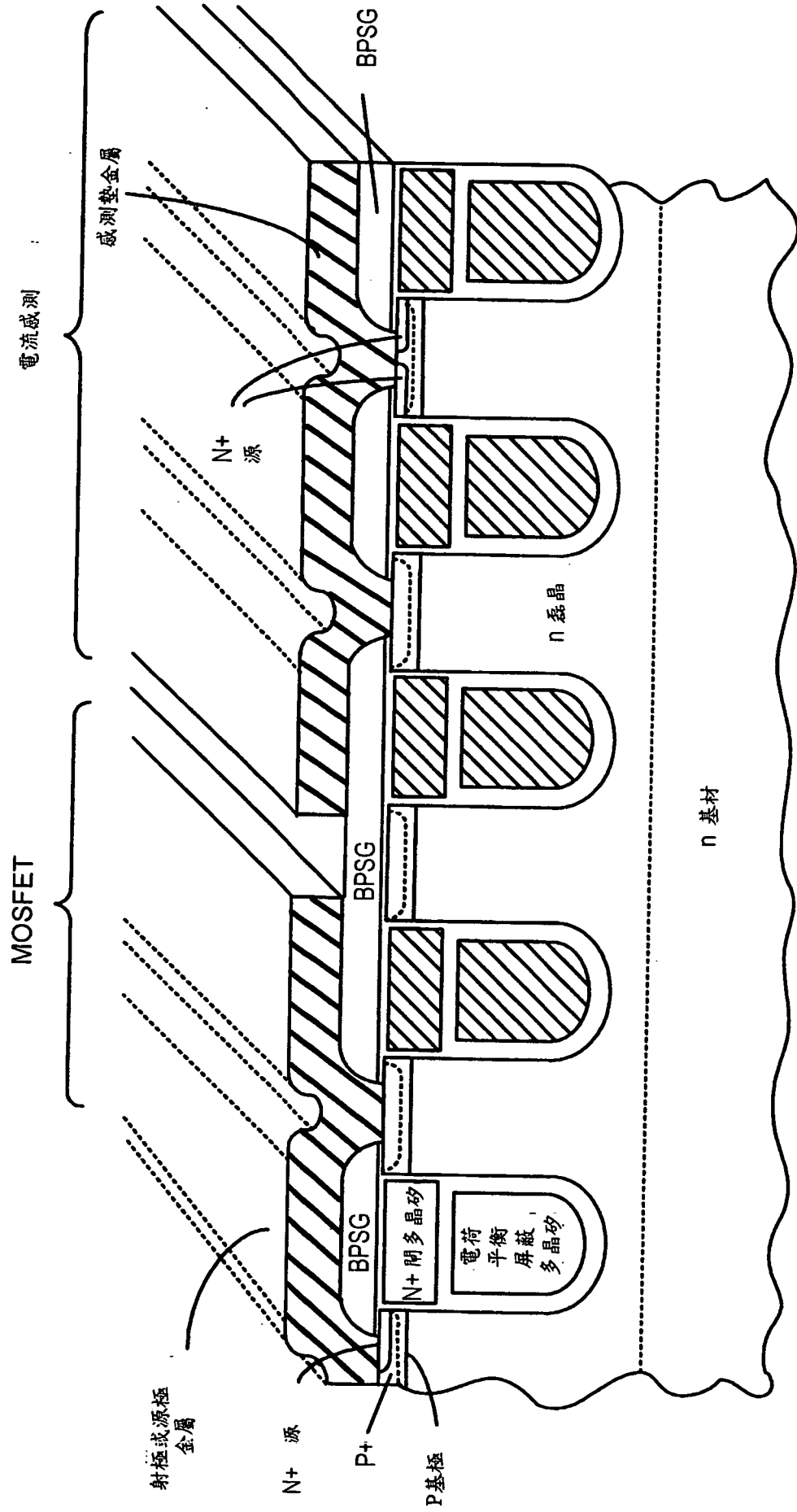
第 59 圖



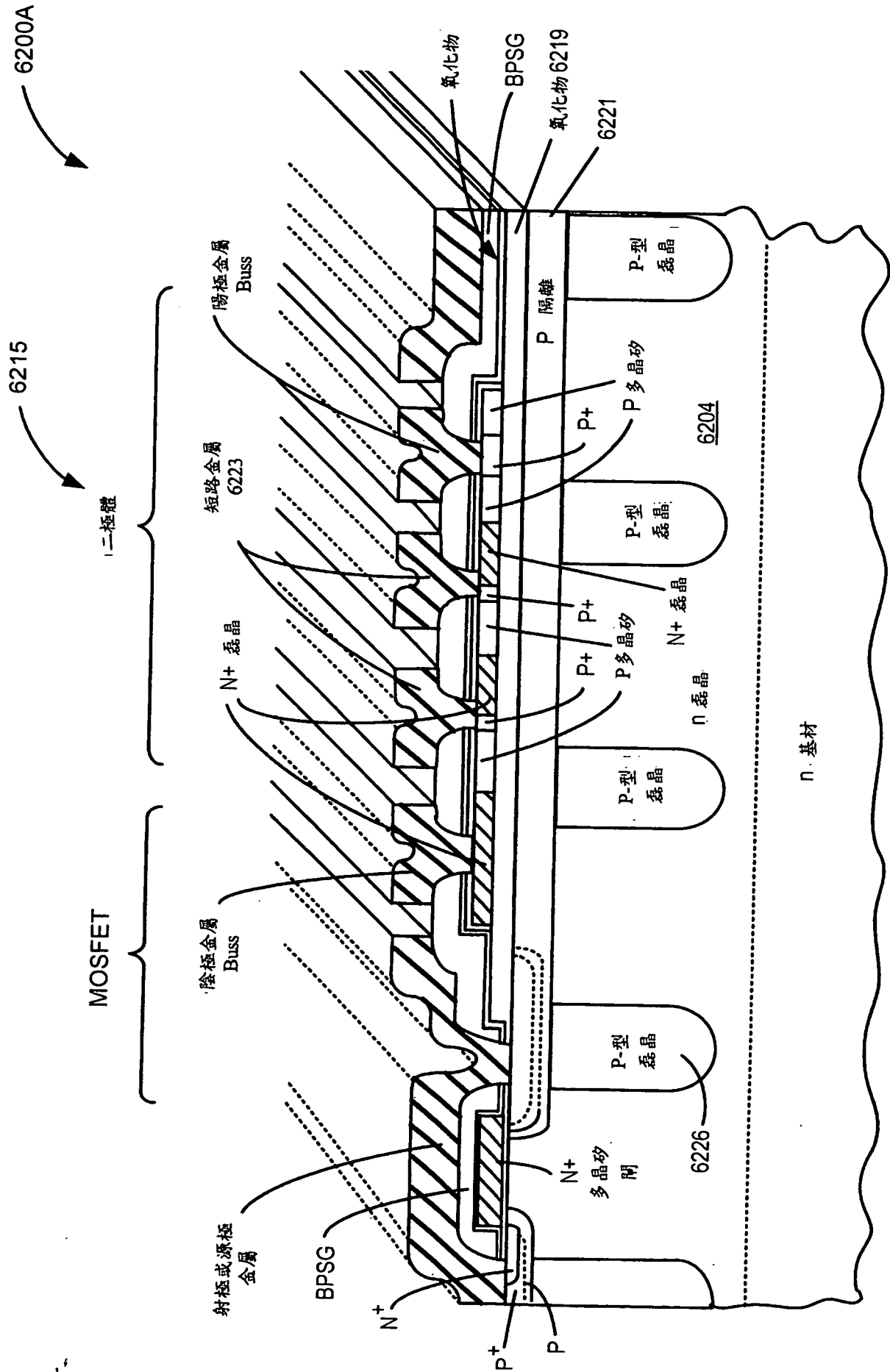
第 60 圖



第 61A 圖



第 61B 圖



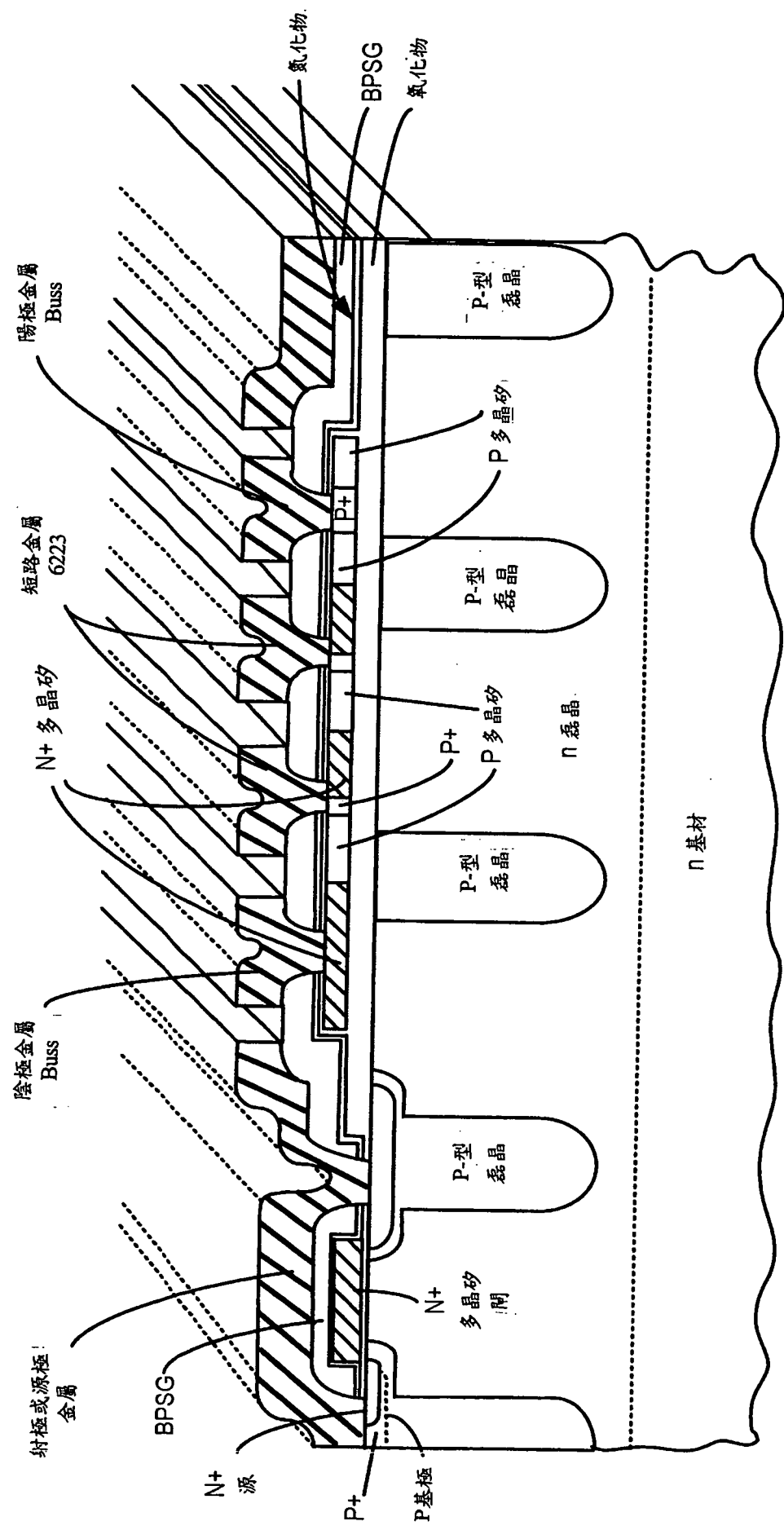
第 62A 圖



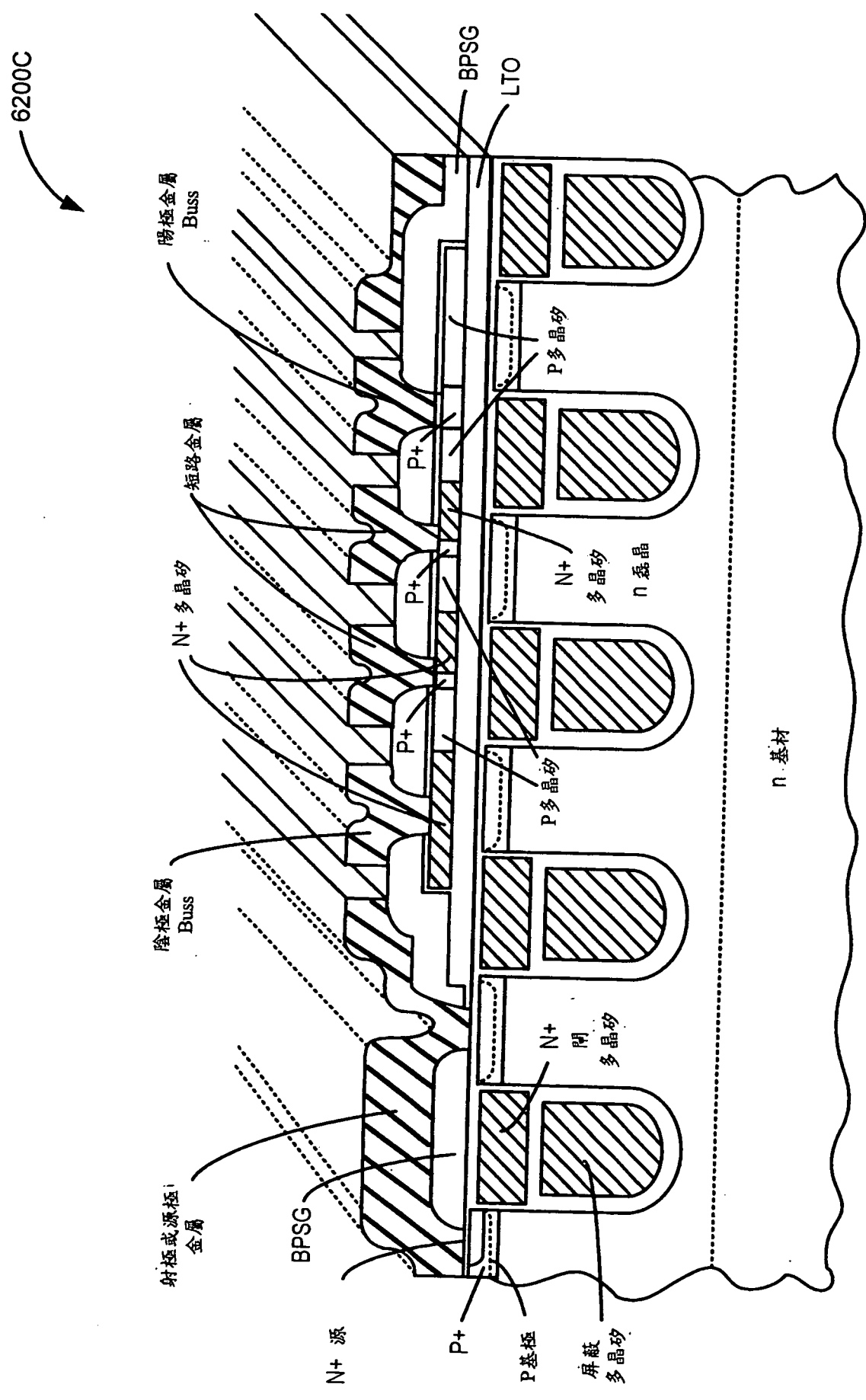
6200B



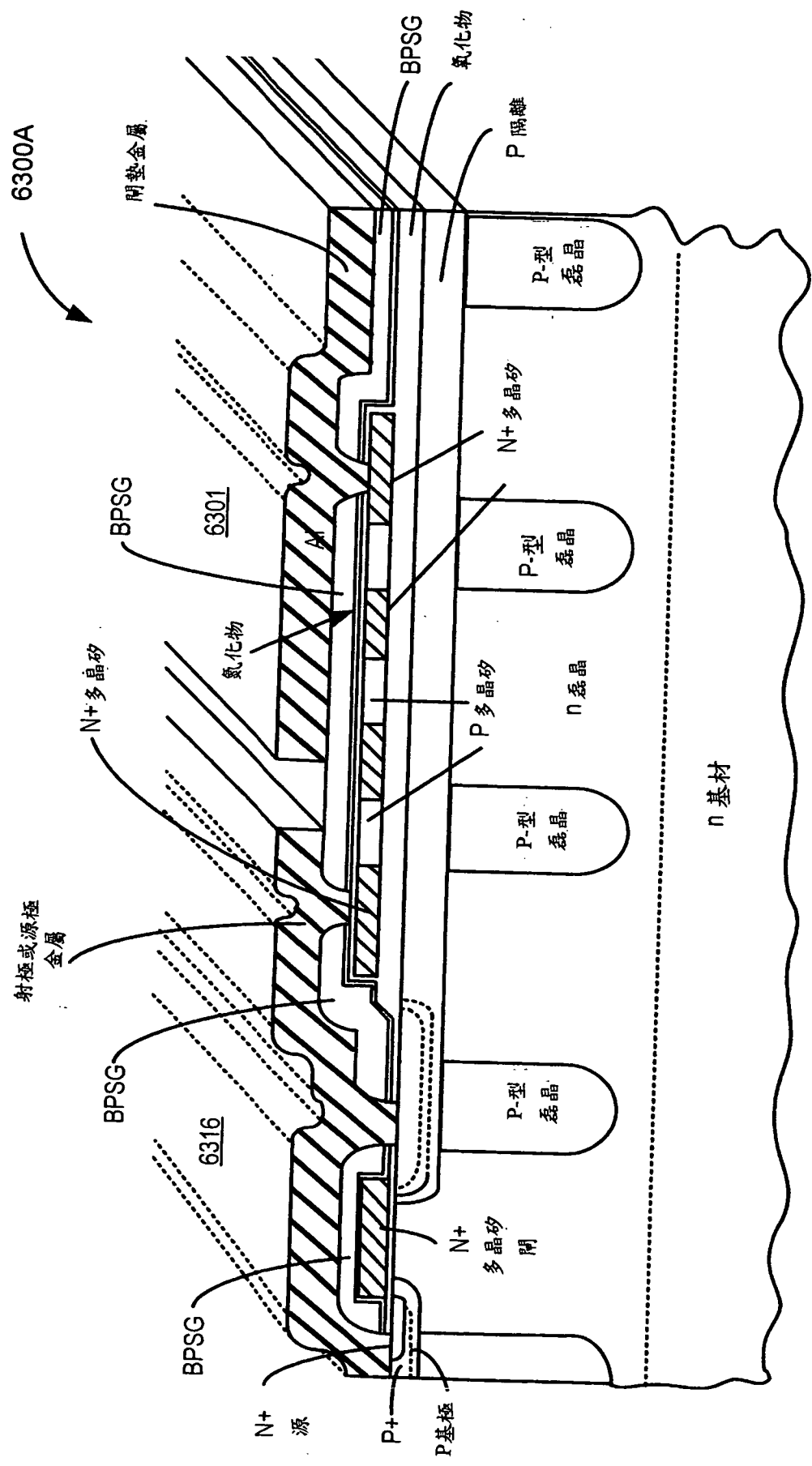
62/72



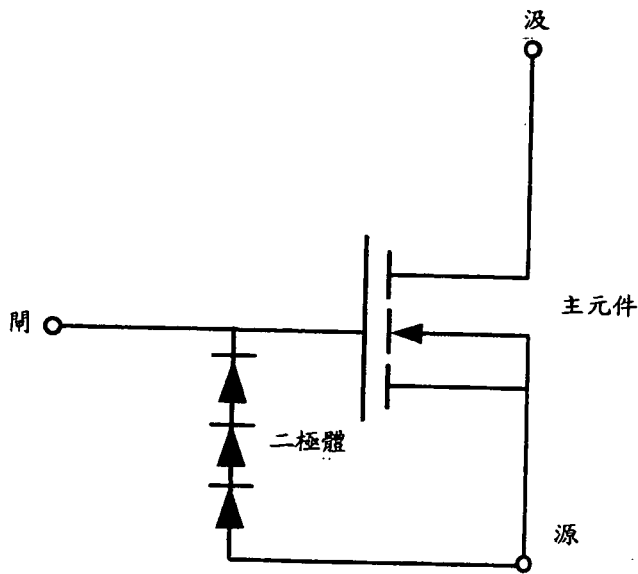
第 62B 圖



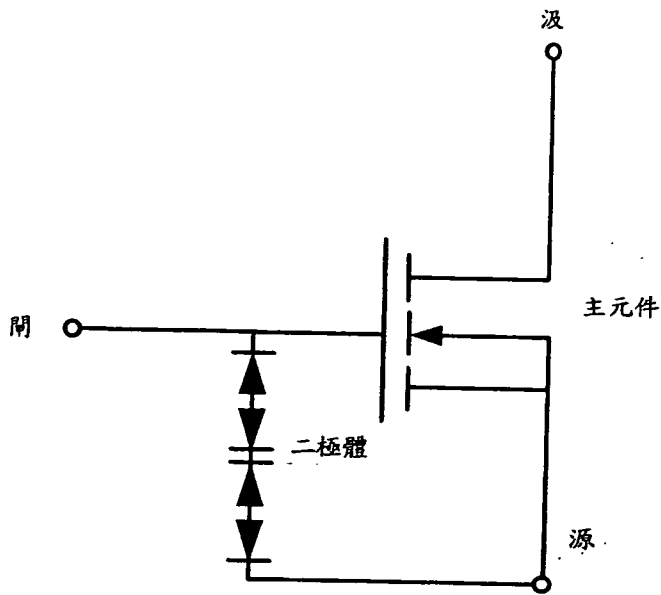
第 62C 圖



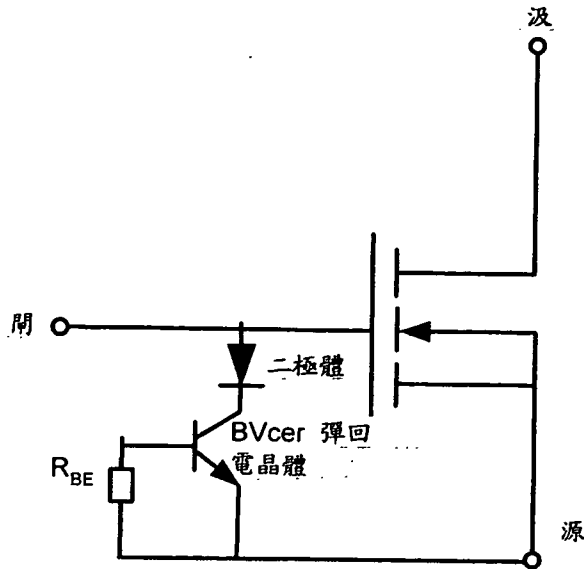
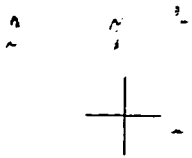
第 63A 圖



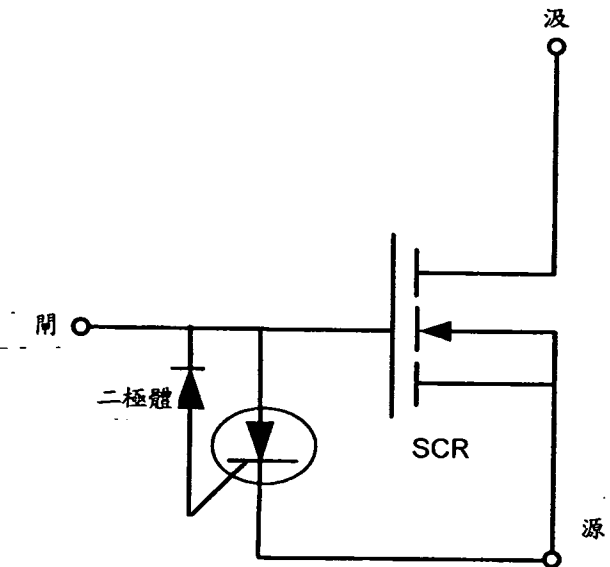
第 64A 圖



第 64B 圖



第 64C 圖

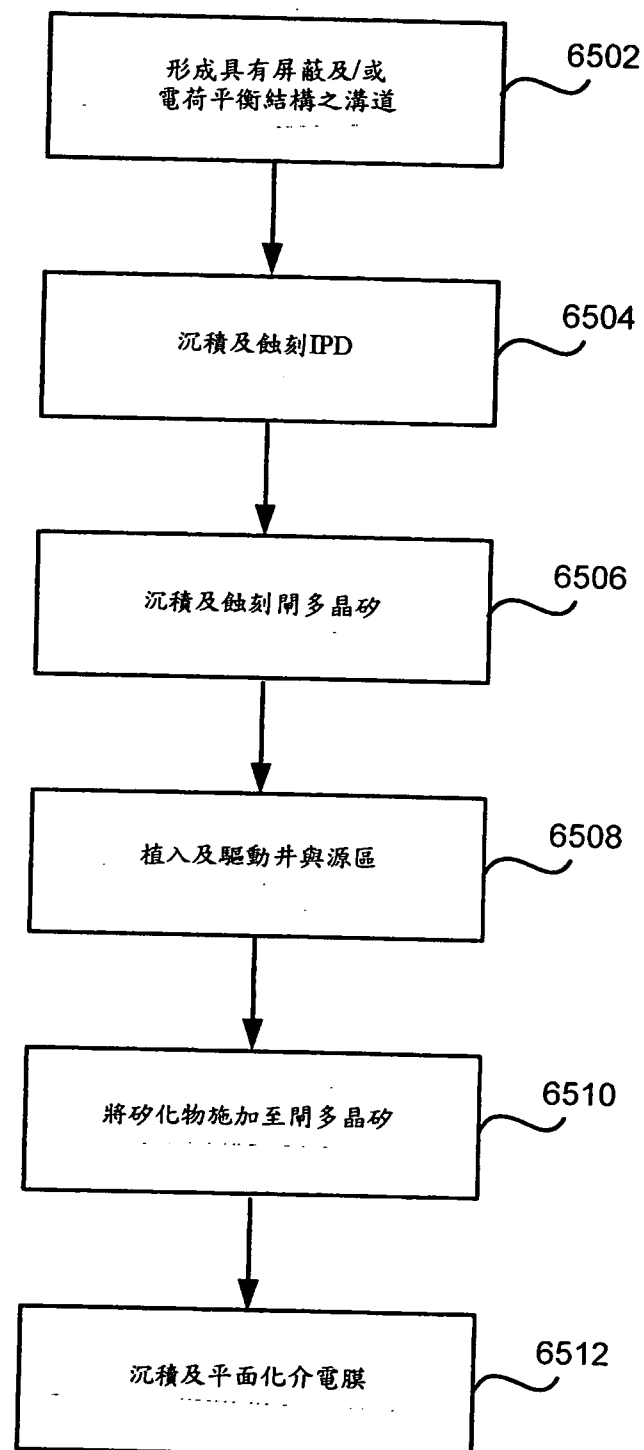


第 64D 圖

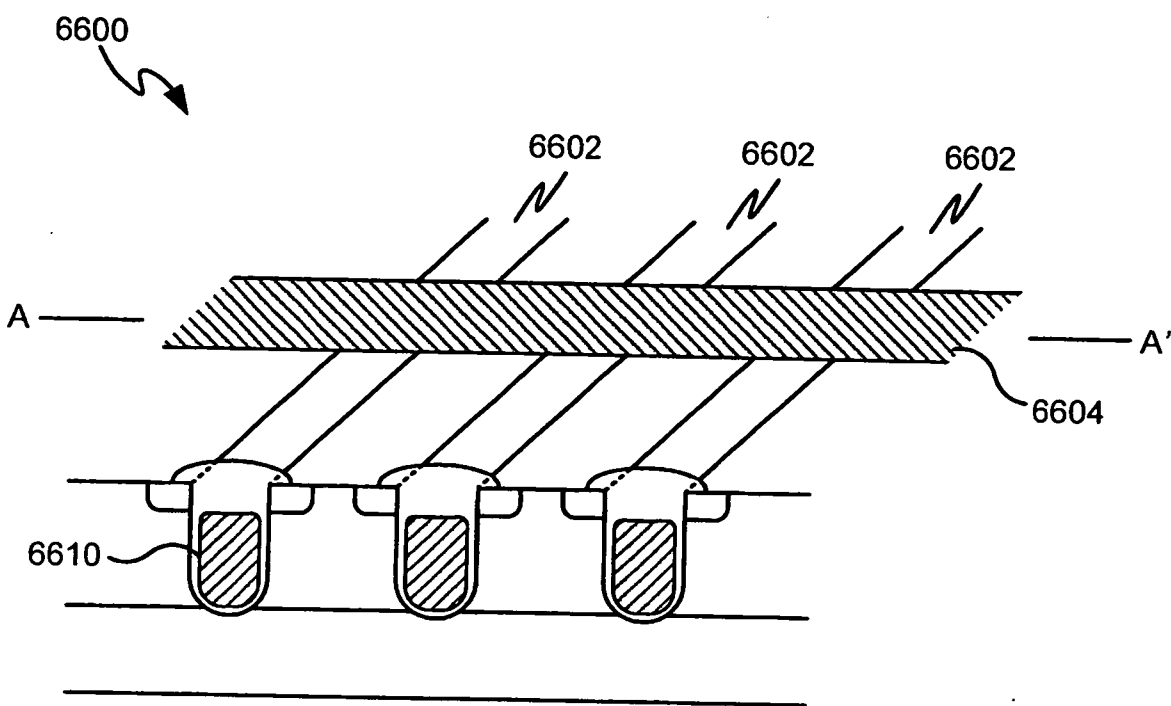


68/72

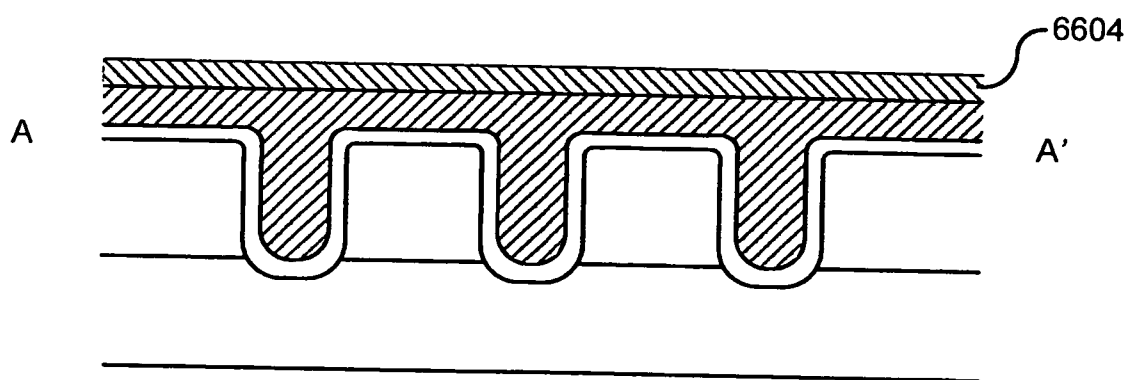
6500



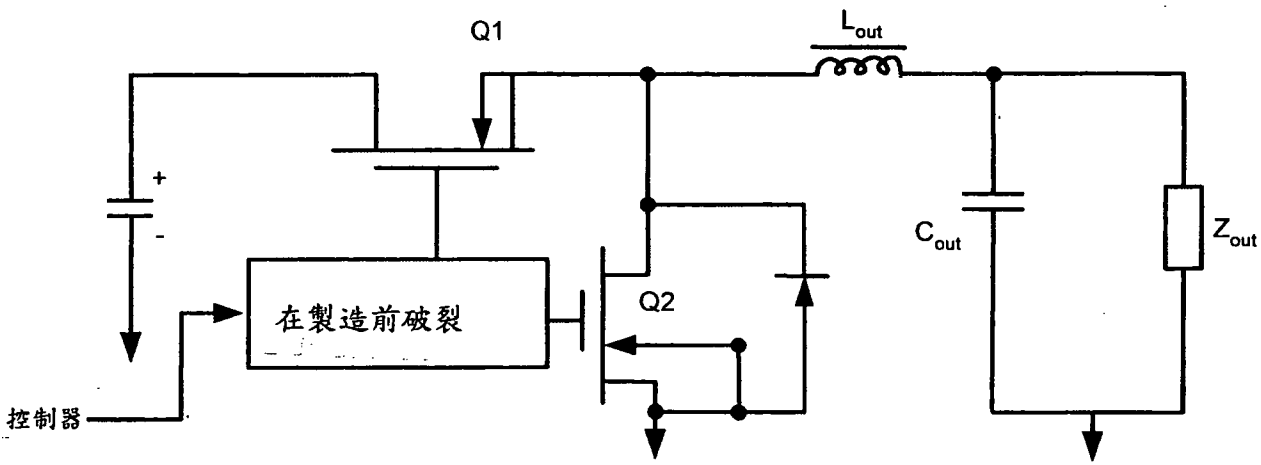
第 65 圖



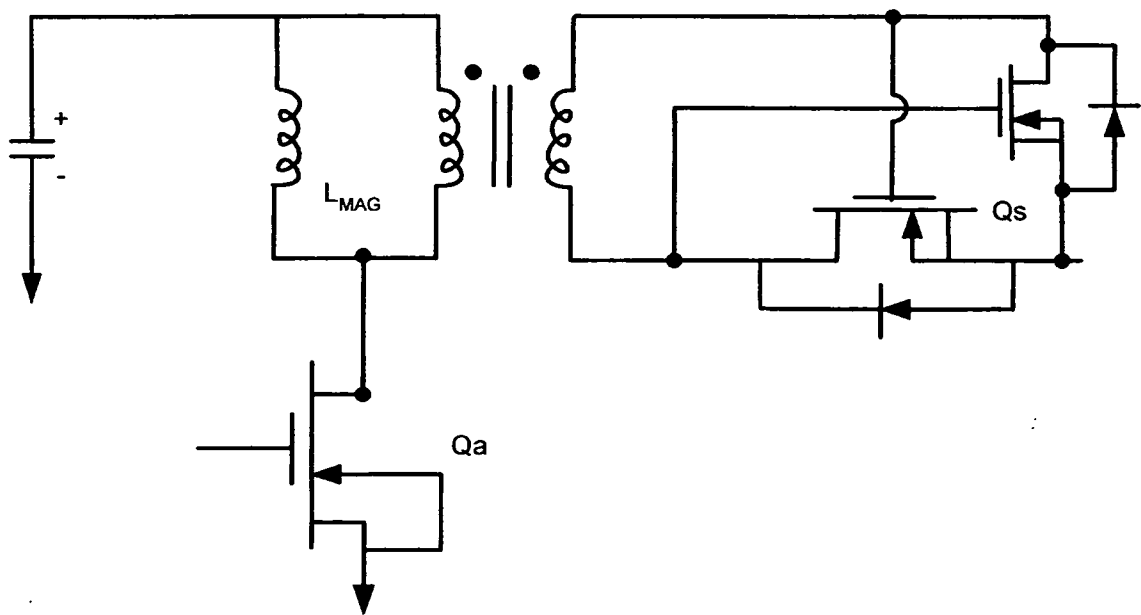
第 66A 圖



第 66B 圖

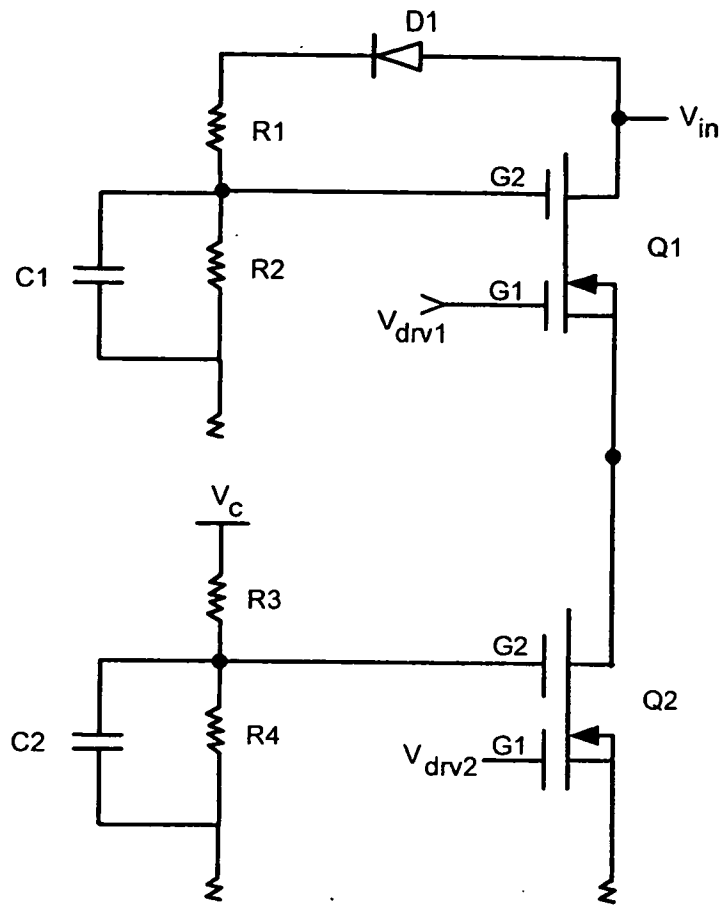


第 67 圖

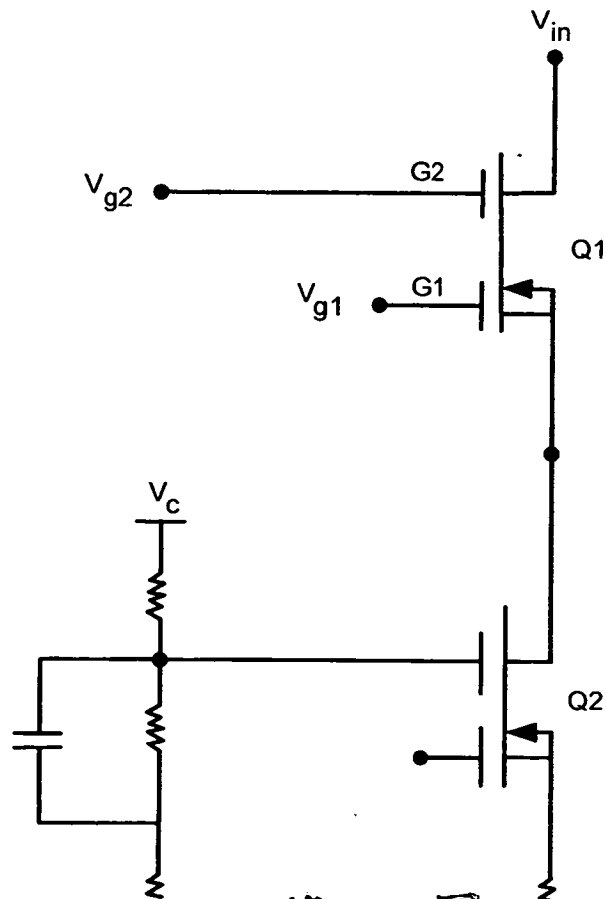


第 68 圖

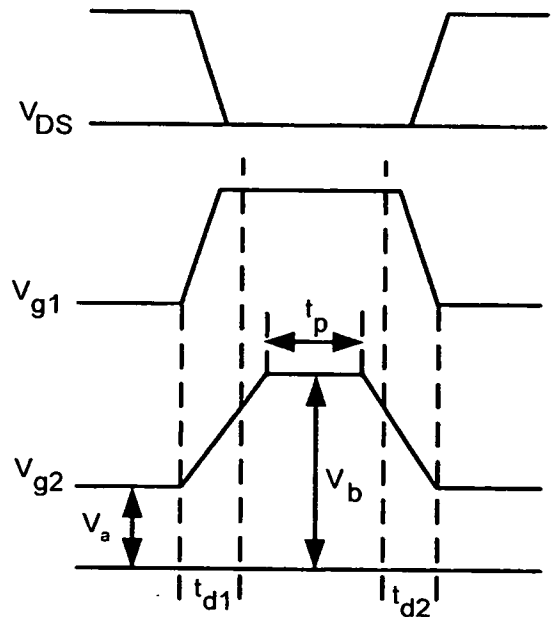
71/72



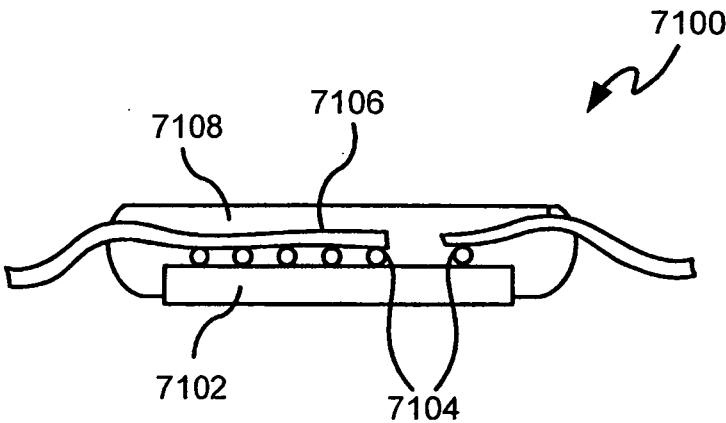
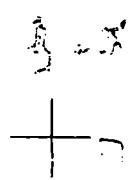
第 69 圖



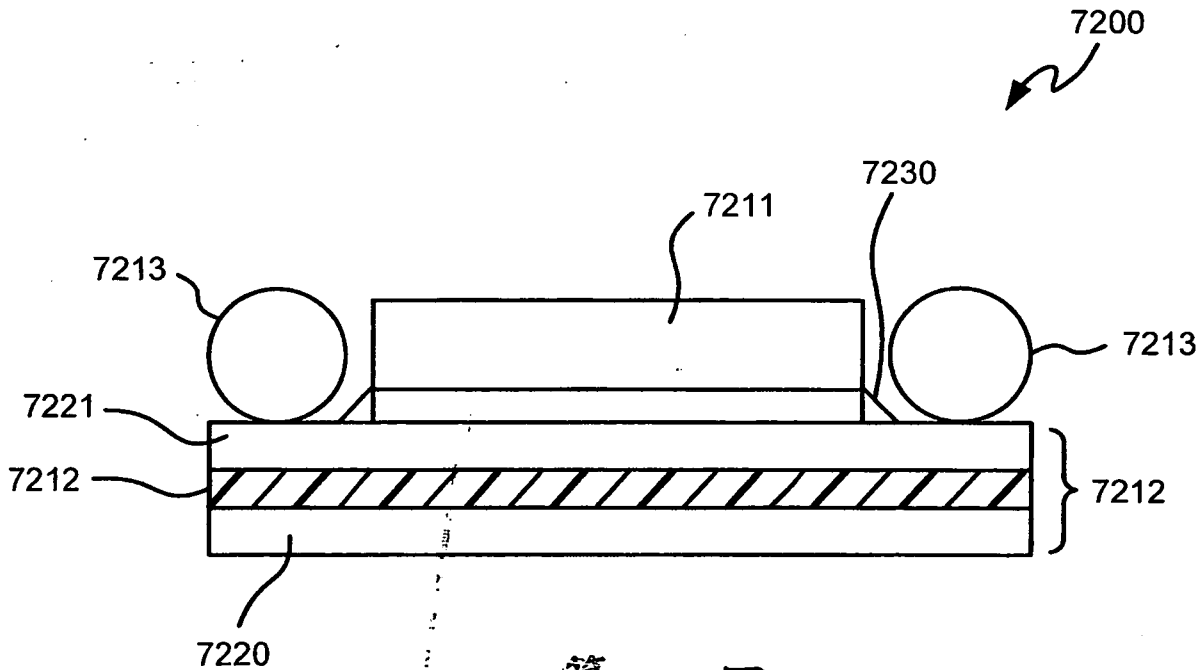
第 70A 圖



第 70B 圖



第 71 圖



第 72 圖

