

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成21年3月5日(2009.3.5)

【公開番号】特開2006-311489(P2006-311489A)

【公開日】平成18年11月9日(2006.11.9)

【年通号数】公開・登録公報2006-044

【出願番号】特願2005-326340(P2005-326340)

【国際特許分類】

H 03 L 7/093 (2006.01)

H 04 B 1/04 (2006.01)

H 04 L 7/033 (2006.01)

H 03 L 7/197 (2006.01)

【F I】

H 03 L 7/08 E

H 04 B 1/04 H

H 04 L 7/02 B

H 03 L 7/18 A

【手続補正書】

【提出日】平成21年1月16日(2009.1.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の電圧制御発振器と、

前記第1の電圧制御発振器の出力が接続される第1の周波数変換回路と、

前記第1の周波数変換回路の出力が第1の入力に接続され、第2の入力に第1の基準信号が接続される第1の位相比較器と、

前記第1の位相比較器の出力が接続される第1のチャージポンプ回路と、

前記第1のチャージポンプ回路の出力が接続される第1のループフィルタとを具備し、前記第1のループフィルタの出力が前記第1の電圧制御発振器の入力に接続されて成り、

前記第1の位相比較器の前記第2の入力に、第1の基準信号と周波数が変化するループ特性検出用の第1の信号源とを選択的に接続可能に構成され、

前記第1の信号源は、前記第1の基準信号を発生させる過程で生じる遅延を補償する構成を有することを特徴とする位相同期ループ回路。

【請求項2】

請求項1において、

前記第1の電圧制御発信器の出力に接続された第1のカウンタと、

前記第1のカウンタの出力に接続された第1の積分器と、

前記第1の積分器の検出結果に基いてループ特性を検出する制御部とを有することを特徴とする位相同期ループ回路。

【請求項3】

請求項1において、

前記周波数が変化する第1の信号源は、前記周波数をフラクショナル周波数に設定し得るものであることを特徴とする位相同期ループ回路。

【請求項 4】

請求項 1において、

前記周波数が変化する第1の信号源は、第1のシグマデルタ変調器を含むことを特徴とする位相同期ループ回路。

【請求項 5】

請求項 1において、

前記第1の位相比較器の前記第1の入力側に設けられた第1のスイッチと、前記第2の入力側に設けられた第2のスイッチとを備え、

前記第1のスイッチは、前記位相同期ループ回路の動作状態応じて、前記第1の入力を、前記第1の周波数変換回路の出力に直接的に接続された第1のバスと、前記第1の周波数変換回路の出力が分周器を経由して接続された第2のバスのいずれかに切替えられるよう構成され、

前記第2のスイッチは、前記位相同期ループ回路の動作状態応じて、前記第2の入力を、前記第1の基準信号もしくは前記周波数が変化する第1の信号源のいずれかに切替えられるよう構成されていることを特徴とする位相同期ループ回路。

【請求項 6】

請求項 2において、

前記第1の積分器を複数段の積分器で構成したことを特徴とする位相同期ループ回路。

【請求項 7】

請求項 2において、

前記第1の積分回路で用いるクロックとして、前記第1の位相比較器の第1の入力側の入力信号を用いることを特徴とする位相同期ループ回路。

【請求項 8】

請求項 5において、

前記第1の基準信号を生成するためのローカル信号と、前記第1の周波数変換回路へ入力するローカル信号とを、フラクショナル型の発信器からなる同一の高周波発信器で生成することを特徴とする位相同期ループ回路。

【請求項 9】

請求項 4において、

前記第1の信号源の分周器の出力信号を、前記シグマデルタ変調器のクロックとして使用することを特徴とする位相同期ループ回路。

【請求項 10】

請求項 9において、

ループ特性検出モードにおいて、前記第1のスイッチは、前記第1の周波数変換回路の出力が2分周器を経由して接続された第2のバスに接続され、通常モードの1/2の周波数を前記第1の位相比較器の入力信号として用いるように構成されていることを特徴とする位相同期ループ回路。

【請求項 11】

請求項 7において、

前記第1のシグマデルタ変調器を動作させた状態で位相同期ループをロック状態にし、異なる動作状態に変化させることで、ループ特性を検出するための信号を生成することを特徴とする位相同期ループ回路。

【請求項 12】

請求項 2において、

前記周波数が変化するループ特性検出用の第1の信号源は、ループ特性検出用の第1の周波数 f_1 と第2の周波数 f_2 のステップ状に変化する周波数を与えるものであり、前記ステップ入力後の第2の周波数 f_2 の継続時間は、時定数に基く所定の値であることを特徴とする位相同期ループ回路。

【請求項 13】

請求項 12において、

前記第1の周波数f₁の継続時間と前記第2の周波数f₂の継続時間を相違させたことを特徴とする位相同期ループ回路。

【請求項14】

請求項2において、

前記制御部は、

前記第1の位相比較器の前記第2の入力に、ループ特性検出用の第1の周波数f₁と第2の周波数f₂がステップ状に印加されたときの前記第1の積分器による測定時間を、前記第1の周波数f₁と前記第2の周波数f₂とで相違させたことを特徴とする位相同期ループ回路。

【請求項15】

請求項2において、

前記積分器のクロックとして、前記高周波発信器の出力信号を分周器で分周した信号を使用することを特徴とする位相同期ループ回路。

【請求項16】

第1の電圧制御発振器と、

前記第1の電圧制御発振器の出力が接続される第1の周波数変換回路と、

前記第1の周波数変換回路の出力が第1の入力に接続され、第2の入力に第1の基準信号が接続される第1の位相比較器と、

前記第1の位相比較器の出力が接続される第1のチャージポンプ回路と、

前記第1のチャージポンプ回路の出力が接続される第1のループフィルタとを有するオフセットPLL送信機であって、

前記第1の位相比較器の前記第2の入力に、周波数が可変でかつ分周数を変化させた周波数に設定し得るループ特性検出用の第1の信号源が接続可能に構成され、

前記第1の電圧制御発振器の出力側に接続された第1のカウンタと、

前記第1のカウンタの出力に接続された第1の積分器と、

前記第1の積分器の検出結果に基いてループ特性を検出し、検出結果を前記チャージポンプの電流値にフィードバックする制御部とを備えたことを特徴とするオフセットPLL送信機。

【請求項17】

PLL送信機を含むシンセサイザブロックを有する通信用高周波集積回路であって、

前記PLL送信機は、

第1の電圧制御発振器と、

前記第1の電圧制御発振器の出力が接続される第1の周波数変換回路と、

前記第1の周波数変換回路の出力が第1の入力に接続され、第2の入力に第1の基準信号が接続される第1の位相比較器と、

前記第1の位相比較器の出力が接続される第1のチャージポンプ回路と、

前記第1のチャージポンプ回路の出力が接続される第1のループフィルタとを有するPLL送信機であり、

前記第1の位相比較器の前記第2の入力に、周波数が可変でかつ分周数を変化させた周波数に設定し得るループ特性検出用の第1の信号源が接続可能に構成され、

前記第1の電圧制御発振器の出力側に接続された第1のカウンタと、

前記第1のカウンタの出力に接続された第1の積分器と、

前記第1の積分器の検出結果に基いてループ特性を検出し、検出結果を前記チャージポンプの電流値にフィードバックする制御部とを備えたことを特徴とする通信用高周波集積回路。

【請求項18】

請求項17において、

平面形状が実質的に矩形の半導体チップの第1の角に、前記第1の電圧制御発振器を位置させ、

前記第1の周波数変換回路を前記半導体チップの第2の角に位置させ、

前記第1の電圧制御発振器と前記第1の周波数変換回路との間に、前記第1のカウンタと前記第1の積分器および前記制御部とを配置した、
ことを特徴とする通信用高周波集積回路。

【請求項19】

請求項18において、

前記第1の基準信号を生成するためのローカル信号と前記第1の周波数変換回路へ入力するローカル信号とを生成するフラクショナル型の第2の電圧制御発振器と、該第2の電圧制御発振器の基準信号のクロック信号を生成するための電圧制御型水晶発振器とを有してなり、

前記半導体チップは平面形状がほぼ正方形であり、

前記第2の電圧制御発振器を、前記半導体チップの前記第1、第2の角を含まない辺の近傍に配置し、

前記電圧制御型水晶発振器を前記半導体チップの第3の角に位置させた、

ことを特徴とする通信用高周波集積回路。

【請求項20】

高周波集積回路部と、ベースバンド信号処理を行うLSI部とパワーアンプ部とアンテナ部と基準信号を生成するクリスタル部で構成された、マルチバンド方式の移動体通信システムであって、

前記高周波集積回路部は、PLL送信機を含むシンセサイザブロックを有しており、

前記PLL送信機は、

第1の電圧制御発振器と、

前記第1の電圧制御発振器の出力が接続される第1の周波数変換回路と、

前記第1の周波数変換回路の出力が第1の入力に接続され、第2の入力に第1の基準信号が接続される第1の位相比較器と、

前記第1の位相比較器の出力が接続される第1のチャージポンプ回路と、

前記第1のチャージポンプ回路の出力が接続される第1のループフィルタとを有するPLL送信機であり、

前記第1の位相比較器の前記第2の入力に、周波数が可変でかつ分周数を変化させた周波数に設定し得るループ特性検出用の第1の信号源が接続可能に構成され、

前記第1の電圧制御発振器の出力側に接続された第1のカウンタと、

前記第1のカウンタの出力に接続された第1の積分器と、

前記第1の積分器の検出結果に基いてループ特性を検出し、検出結果を前記チャージポンプの電流値にフィードバックする制御部とを備えたことを特徴とする無線通信システム。
。

【請求項21】

ベースバンド信号処理部と、送信系回路と、受信系回路と、分周比が可変なシンセサイザブロックとを持ち、複数の周波数帯に対応したマルチバンド方式の半導体回路装置であって、

前記受信系回路から出力される信号は前記ベースバンド信号処理部に入力され、

前記ベースバンド信号処理部から出力される信号は前記送信系回路に入力されて前記送信系回路に含まれる直交変調器により第1の基準信号となり、

前記シンセサイザブロックは、水晶発振器から入力されるクロック信号の周波数を変化させ、前記外部クロック信号をローカル信号として、前記送信系回路と、前記受信系回路とに供給し、

前記送信系回路は、オフセットPLL送信機を備えており、

前記オフセットPLL送信機は、

第1の電圧制御発振器と、

前記第1の電圧制御発振器の出力が接続される第1の周波数変換回路と、

第1の入力には前記第1の周波数変換回路の出力が入力され、第2の入力には、前記第1の基準信号と、第1の信号源の出力信号とが選択的に入力される第1の位相比較器と、

前記第1の位相比較器の出力が接続される第1のチャージポンプ回路と、
前記第1のチャージポンプ回路の出力が接続される第1のループフィルタと、
前記第1の電圧制御発振器の出力に接続された第1のカウンタと、
前記第1のカウンタの出力に接続された第1の積分器と、
前記第1の積分器の検出結果に基づいて前記オフセットPLL送信機のループ特性を検出し、検出結果を前記チャージポンプの電流値にフィードバックする制御部とを備え、
前記ローカル信号は、前記送信系回路の前記第1の周波数変換回路に入力され、
前記ループ特性は、前記第1の信号源の出力信号の周波数を変化させることによって検出されることを特徴とする半導体回路装置。

【請求項22】

請求項21において、

前記第1の信号源は、前記出力信号の周波数をフラクショナル周波数に設定し得るものであることを特徴とする半導体回路装置。

【請求項23】

請求項21において、

前記第1の信号源は、第1のシグマデルタ変調器を含むことを特徴とする半導体回路装置。

【請求項24】

請求項21において、

前記第1の位相比較器の前記第1の入力側に設けられた第1のスイッチと、前記第2の入力側に設けられた第2のスイッチとを備え、

前記第1のスイッチは、前記オフセットPLL送信機の動作状態に応じて、前記第1の入力を、前記第1の周波数変換回路の出力に直接的に接続された第1のバスと、前記第1の周波数変換回路の出力が分周器を経由して接続された第2のバスのいずれかに切替えられるように構成され、

前記第2のスイッチは、前記オフセットPLL送信機の動作状態応じて、前記第2の入力を、前記第1の基準信号もしくは前記第1の信号源のいずれかに切替えられるよう構成されていることを特徴とする半導体回路装置。

【請求項25】

請求項21において、

前記第1の積分器を複数段の積分器で構成したことを特徴とする半導体回路装置。

【請求項26】

請求項21において、

前記第1の積分回路で用いるクロックとして、前記第1の位相比較器の第1の入力側の入力信号を用いることを特徴とする半導体回路装置。

【請求項27】

ベースバンド信号処理部と、送信系回路と、受信系回路と、シンセサイザブロックとを持つた半導体回路装置であって、

前記受信系回路から出力される信号は前記ベースバンド信号処理部に入力され、前記ベースバンド信号処理部から出力される信号は前記送信系回路に入力されて前記送信系回路に含まれる直交変調器により第1の基準信号となり、

前記シンセサイザブロックは、水晶発振器から入力されるクロック信号からローカル信号を生成し、前記ローカル信号を前記送信系回路と、前記受信系回路とに供給し、

前記送信系回路は、オフセットPLL送信機を備えており、

前記オフセットPLL送信機は、

第1の電圧制御発振器と、

前記第1の電圧制御発振器の出力が接続される第1の周波数変換回路と、

第1の入力には前記第1の周波数変換回路の出力が入力され、第2の入力には、前記第1の基準信号と、第1の信号源の出力信号とが選択的に入力される第1の位相比較器と、

前記第1の位相比較器の出力が接続される第1のチャージポンプ回路と、
前記第1のチャージポンプ回路の出力が接続される第1のループフィルタと、
前記第1の電圧制御発振器の出力に接続された第1のカウンタと、
前記第1のカウンタの出力に接続された第1の積分器と、
前記第1の積分器の検出結果に基づいて前記オフセットPLL送信機のループ特性を検出し、検出結果を前記チャージポンプの電流値にフィードバックする制御部とを備え、
前記ローカル信号は、前記送信系回路の前記第1の周波数変換回路に入力され、
前記ループ特性は、前記第1の信号源の出力信号の周波数を変化させることによって検出されることを特徴とする半導体回路装置。

【請求項28】

請求項27において、

前記第1の信号源は、前記出力信号の周波数をフラクショナル周波数に設定し得るものであることを特徴とする半導体回路装置。

【請求項29】

請求項27において、

前記第1の信号源は、第1のシグマデルタ変調器を含むことを特徴とする半導体回路装置。

【請求項30】

請求項27において、

前記第1の位相比較器の前記第1の入力側に設けられた第1のスイッチと、前記第2の入力側に設けられた第2のスイッチとを備え、

前記第1のスイッチは、前記オフセットPLL送信機の動作状態に応じて、前記第1の入力を、前記第1の周波数変換回路の出力に直接的に接続された第1のバスと、前記第1の周波数変換回路の出力が分周器を経由して接続された第2のバスのいずれかに切替えられるように構成され、

前記第2のスイッチは、前記オフセットPLL送信機の動作状態応じて、前記第2の入力を、前記第1の基準信号もしくは前記第1の信号源のいずれかに切替えられるように構成されていることを特徴とする半導体回路装置。

【請求項31】

請求項27において、

前記第1の積分器を複数段の積分器で構成したことを特徴とする半導体回路装置。

【請求項32】

請求項27において、

前記第1の積分回路で用いるクロックとして、前記第1の位相比較器の第1の入力側の入力信号を用いることを特徴とする半導体回路装置。