发明名称
电源电路及显示装置

摘要
电源电路及显示装置。本发明的目的是在电荷泵方式的电源电路中抑制时钟频率反转时所产生的不必要的直流电流，且抑制输出电位的不足、消耗电力的增加。本发明的电源电路是为了抑制时钟频率反转时的过渡性直流电流（I1、I2），并且抑制输出电位的降低，而以配线（14）的电阻值（R4）＞配线（11）的电阻值（R1）、配线（14）的电阻值（R4）＞配线（12）的电阻值（R2）的方式设定电阻值（R1、R2、R4）。通过减小电阻值（R1、R2），可使时钟频率反转所致的电位的反转速度为进行，可抑制直流电流（I1、I2）。此外，通过将电阻值（R4）设定为比电阻值（R1、R2）大，可抑制直流电流（I1），且抑制输出电位的降低。
1、一种电源电路，其特征在于，具备：经串联连接的第一电荷输送晶体管及第二电荷传送晶体管；第一配线，用以将输入电位提供至前述第一电荷传送晶体管的源极；输出电容器，其连接于前述第二电荷传送晶体管的漏极；及快速电容器，其一方的端子经由第二配线连接于前述第一电荷传送晶体管与第二电荷传送晶体管的连接节点，而在另一方端子施加有时钟频率；

前述第一配线的电阻值比前述第二配线的电阻值大。

2、根据权利要求1所述的电源电路，其特征在于，前述第一配线的电阻值为不小于前述第二配线的电阻值的1.5倍。

3、根据权利要求1所述的电源电路，其特征在于，前述第一配线及第二配线的电阻值分别通过配线宽度来调整。

4、根据权利要求1所述的电源电路，其特征在于，具备用以将前述时钟频率进行波形整形的缓冲电路。

5、根据权利要求1所述的电源电路，其特征在于，前述快速电容器形成于与前述第一电荷传送晶体管及第二电荷传送晶体管相同的衬底上。

6、一种电源电路，其特征在于，具备：经串联连接的第一电荷传送晶体管及第二电荷传送晶体管；经串联连接的第三电荷传送晶体管及第四电荷传送晶体管；第一配线，用以将输入电位提供至前述第一电荷传送晶体管及第三电荷传送晶体管的共通源极；输出电容器，其连接于前述第二电荷传送晶体管及第四电荷传送晶体管的共通漏极；第一快速电容器，其一方的端子经由第二配线连接于作为前述第一电荷传送晶体管与第二电荷传送晶体管的连接节点的第一连接节点，而在另一方端子施加有时钟频率；及第二快速电容器，其一方端子
经由第三配线连接于作为前述第三电荷传送晶体管与第四电荷传送晶体管的连接节点的第二连接节点，而在另一方端子施加有与前述第一时钟频率反相的第二时钟频率；

前述第二连接节点连接于前述第一电荷传送晶体管及第二电荷传送晶体管的栅极，而前述第一连接节点连接于前述第三电荷传送晶体管及第四电荷传送晶体管的栅极；

前述第一配线的电阻值比前述第二配线及前述第三配线的各个电阻值大。

7、根据权利要求 6 所述的电源电路，其特征在于，前述第一配线的电阻值为不小于前述第二配线及第三配线的电阻值的 1.5 倍。

8、根据权利要求 6 所述的电源电路，其特征在于，前述第一配线、第二配线及第三配线的电阻值分别通过配线宽度来调整。

9、一种电源电路，其特征在于，具备：经串联连接的第一电荷传送晶体管及第二电荷传送晶体管；第一配线，用以将输入电位提供至前述第一电荷传送晶体管的源极；输出电容器，其经由第四配线而连接于前述第二电荷传送晶体管的漏极；及快速电容器，其一方的端子经由第二配线而连接于前述第一电荷传送晶体管与第二电荷传送晶体管的连接节点，而在另一方端子施加有时钟频率；

前述第四配线的电阻值比前述第二配线的电阻值大。

10、根据权利要求 9 所述的电源电路，其特征在于，前述第四配线的电阻值为不小于前述第二配线的电阻值的 2 倍。

11、根据权利要求 10 所述的电源电路，其特征在于，前述第四配线及第二配线的电阻值分别通过配线宽度来调整。

12、根据权利要求 9 所述的电源电路，其特征在于，前述快速电容器形成在与前述第一电荷传送晶体管及第二电荷传送晶体管相同的衬底上。
13. 一种电源电路，其特征在于，具备：经串联连接的第一电荷传送晶体管及第二电荷传送晶体管；经串联连接的第三电荷传送晶体管及第四电荷传送晶体管；第一配线，用以将输入电位提供至前述第一电荷传送晶体管及第三电荷传送晶体管的共通源极；输出电容器，其经由第四配线而连接于前述第二电荷传送晶体管及第四电荷传送晶体管的共通漏极；第一快速电容器，其一方的端子经由第二配线而连接于作为前述第一电荷传送晶体管与第二电荷传送晶体管的连接节点的第一连接节点，而在另一方端子施加有第一时钟频率；及第二快速电容器，其一方的端子经由第三配线而连接于作为前述第三电荷传送晶体管与第四电荷传送晶体管的连接节点的第二连接节点，而在另一方端子施加有与前述第一时钟频率反相的第二时钟频率；

前述第二连接节点连接于前述第一电荷传送晶体管及第二电荷传送晶体管的栅极，而前述第一连接节点连接于前述第三电荷传送晶体管及第四电荷传送晶体管的栅极；

前述第四配线的电阻值比前述第二配线及第三配线的电阻值大。

14. 根据权利要求 13 所述的电源电路，其特征在于，前述第四配线的电阻值为不小于前述第二配线及第三配线的电阻值的 2 倍。

15. 根据权利要求 13 所述的电源电路，其特征在于，前述第四配线、第二配线及第三配线的电阻值分别通过配线宽度来调整。

16. 一种显示装置，其特征在于，具备权利要求 1 所述的电源电路。

17. 一种如权利要求 16 所述的具备电源电路的显示装置，其特征在于，前述电源电路通过低温多晶硅 TFT 制造过程而形成于玻璃衬底上。

18. 一种显示装置，其特征在于，具备权利要求 9 所述的电源电路。
19、一种如权利要求 18 所述的具备电源电路的显示装置，其特征在于，前述电源电路通过低温多晶硅 TFT 制造过程而形成于玻璃衬底上。
电源电路及显示装置

技术领域

本发明涉及电源电路及具备该电源电路的显示装置。

背景技术

自以往以来，在通过低温多晶硅 TFT(Thin Film Transistor，薄膜晶体管)制造过程所制造的有源矩阵型液晶显示装置中，为了降低驱动信号 IC 的成本，在液晶面板的玻璃衬底上形成有电源电路，该电源电路产生用以控制像素 TFT 的导通(on)/关断(off)的电源电位。

在所述电源电路中，具有：使作为输入电位的正电源电位 VDD 变为 2 倍而产生 2VDD 的电荷泵(charge pump)方式的正电源产生电路、及使正的电源电位 VDD 变为-1 倍而产生负的电源电位-VDD 的电荷泵方式的负电源产生电路。

所述正电源产生电路、负电源产生电路具备经串联连接的多个电荷传送晶体管、及耦合于电荷传送晶体管的连接节点的快速电容器。再者，与施加于快速电容器的时钟频率同步，而切换电荷传送晶体管，由此经由电荷传送组件将电荷从输入侧传送至输出侧。

将上述的电源电路内建在玻璃衬底上的有源矩阵型液晶显示装置记载于专利文件 1。

专利文件 1：日本特开 2004-146082 号公报

发明内容

发明欲解决的问题

然而，在上述的电源电路中，在时钟频率反转时，有在电荷传送晶体管中产生不必要的直通电流的情形。如果产生不必要的直通电流，则电源电路的效率降低，而导致输出电位的不足或消耗电力的增加。

解决问题的方案

本发明的电源电路的特征为，具备：经串联连接的第一及第二电
荷传送晶体管；第一配线，用以将输入电位提供至前述第一电荷传送晶体管的源极；输出电容器，其连接于前述第二电荷传送晶体管的漏极；及快速电容器，其一端子经由第二配线连接于前述第一电荷传送晶体管与第二电荷传送晶体管的连接节点，而在另一端子施加有时钟频率；前述第一配线的电阻值比前述第二配线的电阻值大。

发明的效果

依据本发明的电源电路，可抑制时钟频率反转时所产生的不必要的直通电流，并可抑制输出电位的不足、消耗电力的增加。

附图说明

图 1 是依据本发明的第一实施方式及第二实施方式的电源电路的电路图。

图 2 是表示依据本发明的第一实施方式及第二实施方式的正电源产生电路的动作的波形图。

图 3 是表示依据本发明的第一实施方式及第二实施方式的电源电路的配线的布局图。

图 4 是表示依据本发明的第一实施方式及第二实施方式的负电源产生电路的动作的波形图。

图 5 是依据本发明的第三实施方式的电源电路的电路图。

图 6 是依据本发明的第四实施方式的电源电路的电路图。

符号说明

1 正电源产生电路  2 负电源产生电路
3、3A 驱动器 IC  4 缓冲电路
11、12、13、14、21、22、23、24 配线
100 玻璃衬底  C1、C2、C11、C12 快速电容器
C3、C13 输出电容器 DCCLK 时钟频率
HCLK 水平时钟频率 I1、I2、I3、I4 直通电流
MP1、MP2、MP11、MP12 P 沟道型电荷传送晶体管
MN1、MN2、MN11、MN12 N 沟道型电荷传送晶体管
P1、P2、P3、P11、P13 端子
R1、R2、R3、R4、R11、R12、R13、R14 电阻值
具体实施方式

第一实施方式

图 1 是显示第一实施方式的电源电路的电路图。所述电源电路是由：根据正的输入电位 VDD 而产生正的输出电位 VPP=2VDD 的正电源产生电路 1、及用于产生负的输出电位 VBB=-VDD 的负电源产生电路 2 所构成。驱动器 IC 3 产生电源电位 VDD(本发明的“输入电源”一例)、接地电位 VSS、及专用的时钟频率并提供至这些电路。所产生的电源电位 2VDD、-VDD 作为电源电位提供至用以产生控制配置于像素区域的各像素的像素 TFT 的导通/关断的垂直扫描信号的垂直驱动电路。

此外，所述电源电路通过以低温多晶硅 TFT 制造技术集成驱动液晶所需的电路功能的玻璃上系统(System On Glass，SOG)技术，而形成在有源矩阵型液晶显示装置的玻璃衬底 100(液晶面板)上。在玻璃衬底 100 上，除电源电路与驱动器 IC 3 之外，虽然还形成有垂直驱动电路、水平驱动电路、及接受来自这些驱动电路的水平扫描信号、垂直扫描信号的像素区域，但是在图 1 中仅显示电源电路与驱动器 IC 3。

在正电源产生电路 1 中，N 沟道型电荷传送晶体管 MN1 (本发明的“第一电荷传送晶体管”的一例)与 P 沟道型电荷传送晶体管 MP1(本发明的“第二电荷传送晶体管”的一例)串联连接，在所述晶体管的连接节点，经由配线 11(本发明的“第二配线”的一例)而连接有快速电容器 C1 (本发明的“(第一)快速电容器”的一例)的一方端子。快速电容器 C1 为设置于玻璃衬底 100 之外的外接电容器。配线 11 为自前述连接节点经由设置于玻璃衬底 100 上的端子 P1 而连接于快速电容器 C1 的一方端子的配线，其包含玻璃衬底 100 上的配线部分和玻璃衬底 100 外的安装配线部分。将所述配线 11 的电阻值设为 R1。

此外，N 沟道型电荷传送晶体管 MN2(本发明的“第三电荷传送晶
体管”的一例)与 P 沟道型电荷传送晶体管 MP2(本发明的“第四电荷传送晶体管”的一例)串联连接，在所述晶体管的连接节点，经由配线 12(本发明的“第三配线”的一例)而连接有快速电容器 C2(本发明的“第二快速电容器”的一例)的一方端子。快速电容器 C2 也是设置于玻璃衬底 100 之外的外接电容器。配线 12 是前述连接节点经过设于玻璃衬底 100 上的端子 P2 而连接于快速电容器 C2 的一方端子的配线，其包含玻璃衬底 100 上的配线部分和玻璃衬底 100 外的安装配线部分。将所述配线 12 的电阻值设为 R2。

此外，MN1 及 MP1 的栅极连接于 MN2 与 MP2 的连接节点，MN2 及 MP2 的栅极连接于 MN1 与 MP1 的连接节点。

N 沟道型电荷传送晶体管 MN1、MN2 的源极相互连接，而形成共通源极。在所述共通源极中，经由配线 14(本发明的“第一配线”的一例)而从驱动器 IC 3(输入电源)施加有正的电源电压 VDD 作为输入电压。配线 14 是用以连接前述共通源极与驱动器 IC 3 的电源端子 VDD 的配线，其包含玻璃衬底 100 上的配线部分与玻璃衬底 100 外的安装配线部分。将所述配线 14 的电阻值设为 R4。MP1 与 MP2 的漏极相互连接而形成共通漏极(输出端)。所述共通漏极经由配线 13 而连接于输出电容器 C3(本发明的“输出电容器”的一例)的一方端子。输出电容器 C3 的另一方端子接地。配线 13 是从共通漏极经由设于玻璃衬底 100 上的端子 P3 而连接于输出电容器 C3 的一方端子的配线，其包含玻璃衬底 100 上的配线部分与玻璃衬底 100 外的安装配线部分。将所述配线 13 的电阻值设为 R3。

此外，来自驱动器 IC 3 的时钟频率 DCCLK(本发明的“第二时钟频率”的一例)施加在快速电容器 C2 的另一方端子，且来自驱动器 IC 3 的时钟频率 XDCCLK(本发明的“第一时钟频率”的一例)(DCCLK 的反转时钟频率)则施加在快速电容器 C1 的另一方端子。

参照图 2 说明上述的正电源产生电路 I 的基本动作。时钟频率 DCCLK 为 L 电位(VSS)时，反转时钟频率 XDCCLK 为 H 电位(VDD)，而 MN1、MP2 为关断状态，MN2、MP1 为导通状态，MN1 与 MP1 的连接节点的电位 V1 通过快速电容器 C1 的电容耦合而升压为 2VDD，且其电位通过 MP1 而输出。MN2 与 MP2 的连接节点的电位 V2 充电
为 VDD。

接着，时钟频率 DCCLK 为 H 电位 (VDD) 时，MN1、MP2 为导通状态，而 MN2、MP1 为关断状态。MN2 与 MP2 的连接节点的电位 V2 通过快速电容器 C2 的电容耦合而升压为 2VDD，其电位经由 MP2 而输出。电位 V1 充电为 VDD。总而言之，通过电荷传送，从正电源产生电路的左右的串联晶体管电路交替输出 2VDD 的输出电位 VPP。

然而，由于配线 11、12 的电阻值 R1、R2 与电荷传送晶体管 MN1、MN2、MP1、MP2 的栅极电容所致的时间常数，而会有在 MN1 与 MP1 的连接节点、MN2 与 MP2 的连接节点的时钟频率的上升时间、下降时间变长，使不必要的直流电流流通至电荷传送晶体管的情形。参照图 1 及图 2 详细说明其原因。

如前所述，时钟频率 DCCLK 为 L 电位时，MN1、MP2 为关断状态，MN2、MP1 为导通状态。其后，当时钟频率 DCCLK 从 L 电位 (VSS) 反转为 H 电位 (VDD) 时，则电位 V2 从 VDD 转为 2VDD，而电位 V1 从 2VDD 反转为 VDD。然而，由于前述时间常数的影响，电位 V2 的上升时间及电位 V1 的下降时间会变长。如此一来，在此期间，由于 MP1、MN2 不会完全关断而仍处于导通状态，因此不必要的直流电流 I1 会从配线 12 经由 MN2 而流通至驱动器 IC 3 的电源端子 VDD。此外，不必要的直流电流 I2 则从输出端经由 MP1 而流通于配线 11。

即，如果 MN2 无法关断，则电位 V2 就会因直流电流 I1 而难以达到 2VDD，而使驱动器 IC 3 的消耗电流增大。再者，如果电位 V2 未达到 2VDD，则 MP1 无法关断，而产生直流电流 I2，电位 V1 难以达到 VDD，而使 MN2 难以关断，并且输出电位 VPP 也降低。

所述状态虽是暂时持续，但是电位 V1 逐渐充电至 5V、而电位 V2 逐渐进行充电至 10V，如果 MN2、MP1 的栅极源极间电压 Vgs 成为阈值以下，则 MN2、MP1 关断，而直流电流 I1、I2 停止。

因此，在本实施方式中，为了抑制上述时钟频率 DCCLK 反转时的过渡性直流电流 I1、I2，并且抑制输出电位 VPP 的降低，而以满足以下关系的方式设定电阻值 R1、R2、R4：

配线 14 的电阻值 R4 > 配线 11 的电阻值 R1，
配线 14 的电阻值 R4 > 配线 12 的电阻值 R2。
即，通过将电阻值 R1、R2 减小，可使因时钟频率 DCCLK 的反转所致的电位 V1、V2 的反转急速进行，从而能够抑制直通电流 I1、I2。此外，通过将电阻值 R4 设定成比电阻值 R1、R2 大，可抑制直通电流 I1，且抑制输出电位 VPP 的降低。另外，为了充分获得抑制直通电流 I1、I2 的效果，抑制输出电位 VPP 的降低的效果，电阻值 R4 较佳为比各个电阻值 R1、R2 高约 1.5 倍或以上，这点已在实验中获得确认。

配线 11、12、14 的玻璃衬底 100 上的部分例如可通过铝配线来形成。如图 3 所示，配线 11、12 配置于正电源产生电路 1 与端子 P1、P2之间。此外，配线 14 配置于正电源产生电路 1 与驱动器 IC 3 的电源端子 VDD 之间。再者，所述配线长度 L 大致相等，并可通过使配线宽度不同而将电阻值 R1、R2、R4 调整为满足上述的关系。即，如果将配线 11 的配线宽度设为 W1、配线 12 的配线宽度设为 W2、配线 14 的配线宽度设为 W4，则形成 W4＜W1、W4＜W2 的关系。

接着参照图 1 说明负电源产生电路 2 的电路构成。N 沟道型电荷传送晶体管 MN11 与 P 沟道型电荷传送晶体管 MP11 串联连接，而在所述晶体管的连接节点经由配线 21 而连接有快速电容器 C11 的一方端子。快速电容器 C11 是外接电容器。配线 21 是自前述连接节点经由设于玻璃衬底 100 上的端子 P11 而连接于快速电容器 C11 的一方端子的配线，其包含玻璃衬底 100 上的配线部分和玻璃衬底 100 外的安装配线部分。将此配线 21 的电阻值设为 R11。

此外，N 沟道型电荷传送晶体管 MN12 与 P 沟道型电荷传送晶体管 MP12 串联连接，而在所述晶体管的连接节点经由配线 22 而连接有快速电容器 C12 的一方端子。快速电容器 C12 也是设于玻璃衬底 100 之外的外接电容器。配线 22 是自前述连接节点经由设于玻璃衬底 100 上的端子 P12 而连接于快速电容器 C12 的一方端子的配线，其包含玻璃衬底 100 上的配线部分和玻璃衬底 100 外的安装配线部分。将所述配线 22 的电阻值设为 R12。

此外，MN11 及 MP11 的栅极连接于 MN12 与 MP12 的连接节点，且 MN12 及 MP12 的栅极连接于 MN11 与 MP11 的连接节点。

P 沟道型电荷传送晶体管 MP11、MP12 的源极相互连接而形成共通源极。在所述共通源极中，经由配线 24 而从驱动器 IC 3 施加有接地
电位 VSS 作为输入电位。配线 24 是用以将前述共通源级与驱动器 IC 3 的接地端子 VSS 予以连接的配线，其包含玻璃衬底 100 上的配线部分和玻璃衬底 100 外的装配配线部分。将所述配线 24 的电阻值设为 R14。

MN11 与 MN12 的漏极相互连接而形成共通漏极(输出端)。所述共通漏极经由配线 23 而连接于输出电容器 C13 的一方端子。输出电容器 C13 的另一方端子接地。配线 23 是从共通漏极经由设于玻璃衬底 100 上的端子 P13 而连接于输出电容器 C13 的一方端子的配线，其包含玻璃衬底 100 上的配线部分和玻璃衬底 100 外的装配配线部分。将所述配线 23 的电阻值设为 R13。

此外，来自驱动器 IC 3 的时钟频率 DCCLK 施加于快速电容器 C12 的另一方端子，而来自驱动器 IC 3 的时钟频率 XDCCLK (DCCLK 的反转时钟频率)施加于快速电容器 C11 的另一方端子。

参照图 4 说明上述负电源产生电路 2 的基本动作。时钟频率 DCCLK 为 L 电位 (VSS) 时，反转时钟频率 XDCCLK 为 H 电位 (VDD)，而 MN11、MP12 为关断状态，MN12、MP11 为导通状态，MN11 与 MP11 的连接节点的电位 V3 充电为 VSS，而 MN12 与 MP12 的连接节点的电位 V4 通过快速电容器 C12 的电容耦合而降低至 -VDD 电位，而其电位经由 MN12 而输出。

时钟频率 DCCLK 如果成为 H 电位 (VDD)，则 MN11、MP12 为导通状态，MN12、MP11 为关断状态，而电位 V3 通过快速电容器 C11 的电容耦合降低至 -VDD，而其电位经由 MN11 而输出。电位 V4 充电为 VSS。总而言之，通过电荷传送，从负电源产生电路 2 的左右的串联晶体管电路交替输出-VDD 的电位作为输出电位 VBB。

在所述负电源产生电路 2，也流通时钟频率 DCCLK 反转时的过渡性直通电流 I3、I4。(参照图 1)不过，与正电源产生电路 1 的直通电流 I1、I2 呈反方向。

为了抑制上述时钟频率 DCCLK 反转时的过渡性直通电流 I3、I4，并且抑制输出电位 VBB 的上升，而以满足以下关系的方式设定电阻值 R11、R12、R14:

1. 配线 24 的电阻值 R14 > 配线 21 的电阻值 R11，
2. 配线 24 的电阻值 R14 > 配线 22 的电阻值 R12。
即，通过将电阻值 R11、R12 减小，可使时钟频率 DCCLK 反转所致的电位 V3、V4 的反转急速进行，从而能够抑制直流电流 I3、I4。此外，通过将电阻值 R14 设定成比电阻值 R11、R12 还大，可抑制直流电流 I3，且抑制输出电位 VBB 的上升。另外，为了充分获得抑制直流电流 I3、I4 的效果、抑制输出电位 VBB 的上升的效果，电阻值 R14 较佳为比各个电阻值 R11、R12 大 2 倍或以上。

配线 21、22、24 的玻璃衬底 100 上的部分可通过例如铝配线来形成。如图 3 所示，配线 21、22 配置于负电源产生电路 2 与端子 P11、P12 之间。此外，配线 24 配置于负电源产生电路 2 与驱动器 IC 3 的电源端子 VSS 之间。再者，所述配线长度 L 大致相等，且可通过使配线宽度不同而将电阻值 R11、R12、R14 调整为满足上述的关系。即，如果将配线 21 的配线宽度设为 W11、配线 22 的配线宽度设为 W12、配线 24 的配线宽度设为 W14，则形成 W14=W11、W14=W12 的关系。

第二实施方式

在本实施方式，在上述正电源产生电路 1 中，为了抑制上述的时钟频率 DCCLK 反转时的过渡型直流电流 I1、I2，并且抑制输出电位 VPP 的降低，而以满足以下关系的方式设定电阻值 R1、R2、R3：

配线 13（本发明的“第四配线”）的电阻值 R3＞配线 11 的电阻值 R1，
配线 13 的电阻值 R3＞配线 12 的电阻值 R2。

即，通过将电阻值 R1、R2 减小，可使因时钟频率 DCCLK 反转所致的电位 V1、V2 的反转急速进行，从而能够抑制直流电流 I1、I2。此外，通过将电阻值 R3 设定成比电阻值 R1、R2 还大，可抑制直流电流 I2，且抑制输出电位 VPP 的降低。另外，为了充分获得抑制直流电流 I1、I2 的效果、抑制输出电位 VPP 的降低的效果，电阻值 R3 较佳为比各个电阻值 R1、R2 大 2 倍或以上。

配线 11、12、13 的玻璃衬底 100 上的部分可通过例如铝配线来形成。如图 3 所示，配线 11、12、13 配置于正电源产生电路 1 与端子 P1、P2、P3 之间。再者，所述配线长度 L 相等，且可通过使配线宽度不同而将电阻值 R1、R2、R3 调整为满足上述的关系。即，如果将配线 11 的配线宽度设为 W1、配线 12 的配线宽度设为 W2、配线 13 的配线宽
度设为 W3，则形成 W3＜W1、W3＜W2 的关系。

此外，在负电源产生电路 2 中，为了抑制时钟频率 DCCLK 反转时的过渡性直流电流 I3、I4，并且抑制输出电位 VBB 的上升，而以满足以下关系的方式设定电阻值 R11、R12、R13：

配线 23 的电阻值 $R_{13}$＞配线 21 的电阻值 $R_{11}$，
配线 23 的电阻值 $R_{13}$＞配线 22 的电阻值 $R_{12}$。

即，通过将电阻值 $R_{11}$、$R_{12}$ 减小，可使因时钟频率 DCCLK 反转所致的电位 V3、V4 的反转急剧进行，从而能够抑制直流电流 I3、I4。此外，通过将电阻值 $R_{13}$ 设定成比电阻值 $R_{11}$、$R_{12}$ 还大，可抑制直流电流 I3，且抑制输出电位 VBB 的上升。另外，为了充分获得抑制直流电流 I3、I4 的效果、抑制输出电位 VBB 的上升的效果，电阻值 $R_{13}$ 较佳为比各个电阻值 $R_{11}$、$R_{12}$ 大 2 倍或以上。

配线 21、22、23 的玻璃衬底 100 上的部分例如可通过铝配线来形成。如图 3 所示，配线 21、22、23 配置于负电源产生电路 2 与端子 P11、P12、P13 之间。再者，所述配线长度 L 相等，且可通过使配线宽度不同而将电阻值 $R_{11}$、$R_{12}$、$R_{13}$ 调整为满足上述的关系。即，如果将配线 21 的配线宽度设为 W11、配线 22 的配线宽度设为 W12、配线 23 的配线宽度设为 W13，则形成 W13＜W11、W13＜W12 的关系。

第三实施方式

第一实施方式、第二实施方式的电源电路以驱动器 IC 3 产生专用的时钟频率，而在本实施方式的电源电路中，利用产生有源矩阵型液晶显示装置的水平扫描信号、垂直扫描信号所需的作为既有信号的水平时钟频率 HCLK、垂直时钟频率 VCLK，来产生电源电路驱动用的时钟频率 DCCLK、XDCCCLK。

如图 5 所示，水平时钟频率 HCLK、垂直时钟频率 VCLK 从驱动器 IC 3A 输出。水平时钟频率 HCLK、垂直时钟频率 VCLK 的驱动能力不高的情况很多。因此，水平时钟频率 HCLK、垂直时钟频率 VCLK 通过缓冲(buffer)电路 4(本发明的“缓冲电路”的一例)将其波形进行整形，而形成电源电路驱动用的时钟频率 DCCLK、XDCCCLK。缓冲电路 4 可由多个反相器(inverter)构成。时钟频率 DCCLK、XDCCCLK 与第一实施方式同样施加于对应的快速电容器 C1、C2、C11、C12。驱动器
IC 3A、缓冲电路 4 设置于有源矩阵型液晶显示装置的玻璃衬底 100 上。

至于其它构成与第一实施方式或第二实施方式相同，如第一实施方式，通过使从快速电容器到电源产生电路的配线的电阻值小于从驱动器 IC 的输入电源到电源产生电路的配线的电阻值，或如第二实施方式，通过使从快速电容器到电源产生电路的配线的电阻值小于从输出电容器到电源产生电路的配线的电阻值，可抑制时钟频率反转时所产生的不必要的直通电流，且抑制输出电位的不足、消耗电力的增加。

第四实施方式

在该实施方式的电源电路中，如图 6 所示，将快速电容器 C1、C2、C11、C12 形成于有源矩阵型液晶显示装置的玻璃衬底 100 上。快速电容器 C1、C2、C11、C12 可通过低温多晶硅 TFT 制造技术来形成。这种情况下，快速电容器 C1、C2、C11、C12 的电容值虽受到电路图案面积的这一点限制，但是在不很需要电源电路能力的情况下并无问题，而且可削减外接部件而谋求降低成本。

至于其它构成与第一实施方式或第二实施方式相同，如第一实施方式，通过使从快速电容器到电源产生电路的配线电阻值小于从驱动器 IC 的输入电源到电源产生电路的配线电阻值，或如第二实施方式，通过使从快速电容器到电源产生电路的配线电阻值小于从输出电容器到电源产生电路的配线电阻值，可抑制时钟频率反转时所产生的不必要的直通电流，且抑制输出电位的不足、消耗电力的增加。

在此所揭示的实施方式，从各方面而言都仅仅是例示性的，而不是用以限定本发明者。本发明的范围，并非限定于上述实施方式的说明，而是以权利要求所揭示的内容为范围，且还包含有与权利要求均等的含义和范围内的所有变更，例如，在第一实施方式至第四实施方式的电源电路中，虽并列设置有正电源产生电路 1 与负电源产生电路 2，但是也可仅设置其中任一电路。此外，第一实施方式至第三实施方式的电源电路虽为依据时钟频率的极性的反转而从左右的串联晶体管电路将输出电位交替输出的双极钳位(clamp)方式的电源电路，但是本发明同样也可适用于使用一个串联晶体管电路的单极钳位方式的电源电路。

此外，电源产生电路只要是快速电容器、将时钟频率提供至快速
电容器的时钟频率产生电路、利用电荷传送晶体管而将输入电位转换输出的电路，则不限于实施方式第一至第三实施方式的电路，也可为其它形态的电路。

此外，第一实施方式至第三实施方式的电源电路，即使利用在 TN 模式、垂直配向模式(VA 模式)、利用横电场的 IPS(In-Plane Switching)模式、利用边缘(fringe)电场的 FFS(Fringe Field Switching)模式等的液晶显示装置也无妨。此外，不仅全穿透型，利用于全反射型、反射穿透兼用型液晶显示装置也无妨。此外，不使用于液晶显示装置，而使用于有机 EL 显示器、场发射(field emission)型显示器也可以。
图 2
图 3
图 4